

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 745 550**

51 Int. Cl.:

**H03M 13/25** (2006.01)  
**H03M 13/27** (2006.01)  
**H03M 13/35** (2006.01)  
**H03M 13/29** (2006.01)  
**H03M 13/11** (2006.01)  
**H04L 1/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.05.2012 E 15175491 (8)**

97 Fecha y número de publicación de la concesión europea: **03.07.2019 EP 2950453**

54 Título: **Intercalador de bits para un sistema de BICM con códigos de QC-LDPC**

30 Prioridad:

**18.05.2011 EP 11004126**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**02.03.2020**

73 Titular/es:

**PANASONIC CORPORATION (100.0%)  
1006, Oaza Kadoma Kadoma-shi  
Osaka 571-8501, JP**

72 Inventor/es:

**PETROV, MIHAIL**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

**ES 2 745 550 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Intercalador de bits para un sistema de BICM con códigos de QC-LDPC

5 La presente divulgación se refiere al campo de las comunicaciones digitales, y más específicamente a un intercaldador de bits para un sistema de codificación y modulación de bits intercalados con códigos de comprobación de paridad de baja densidad cuasi-cíclicos.

**[Antecedentes de la técnica]**

En los últimos años, los sistemas de codificación y modulación de bits intercalados (en lo sucesivo, BICM) se han usado en el campo de las comunicaciones digitales (véase, por ejemplo, la Norma DVB-T2 ETSI EN 302 755 V1.2.1)

Los sistemas de BICM en general incorporan las siguientes tres etapas.

- 10 (1) Codificar bloques de datos en palabras de código usando, por ejemplo, código de comprobación de paridad de baja densidad cuasi-cíclico (en lo sucesivo, QC LDPC) o similar.
- (2) Realizar intercalación de bits en los bits de cada palabra de código.
- (3) Dividir cada palabra de código de bits intercalados en palabras de constelación que tienen un número de bits de constelación, y mapear las palabras de constelación a constelaciones.

15 Típicamente, es deseable eficacia en la intercalación aplicada a las palabras de código de códigos de comprobación de paridad de baja densidad cuasi-cíclicos.

20 El artículo "Macro Interleaver Design for Bit Interleaved Coded Modulation with Low-Density Parity-Check Codes" por Frank Kienle u Norbert cuando (Vehicular Technology Conference, 2008. VTC Spring 2008. IEEE, Piscataway, NJ, Estados Unidos) desvela un intercaldador diseñado para modulación codificada intercalada con códigos de comprobación de paridad de baja densidad.

La presente divulgación tiene por objeto proporcionar un procedimiento de intercalación de bits que posibilita intercalación eficaz a aplicarse a las palabras de código de códigos de comprobación de paridad de baja densidad cuasi-cíclicos, así como un correspondiente intercaldador de bits, un procedimiento de procesamiento de señal, y un procesador de señal.

25 Esto se consigue mediante las características de las reivindicaciones independientes.

La invención se define mediante las reivindicaciones adjuntas. Cualesquiera referencias a realizaciones que no caen bajo el alcance de las reivindicaciones han de entenderse como ejemplos útiles para entender la invención.

El procedimiento de intercalación de bits de la presente invención posibilita que se aplique intercalación eficaz a las palabras de código de los códigos de comprobación de paridad de baja densidad cuasi-cíclicos.

30 **[Breve descripción de los dibujos]**

La Figura 1 es un diagrama de bloques que muestra la configuración de un transmisor que incluye un codificador de BICM típico.

La Figura 2 ilustra un ejemplo de una matriz de comprobación de paridad para códigos de comprobación de paridad de baja densidad cuasi-cíclicos que tienen una tasa de codificación de 1/2.

35 La Figura 3 ilustra un ejemplo de una matriz de comprobación de paridad para códigos de comprobación de paridad de baja densidad cuasi-cíclicos de repetir-acumular que tienen una tasa de codificación de 2/3.

La Figura 4 ilustra una matriz de comprobación de paridad para los códigos de comprobación de paridad de baja densidad cuasi-cíclicos de repetir-acumular de la Figura 3 después de una permutación de fila.

40 La Figura 5 ilustra una matriz de comprobación de paridad para los códigos de comprobación de paridad de baja densidad cuasi-cíclicos de repetir-acumular de la Figura 3 después de una permutación de fila y una permutación de paridad.

La Figura 6 describe diferentes niveles de robustez de los bits codificados en ocho símbolos de PAM.

45 La Figura 7 es un diagrama de bloques que muestra la configuración de un intercaldador de bits típico donde el factor cíclico  $Q$  es 8, el número de bloques cíclicos por palabra de código de comprobación de paridad de baja densidad  $N$  es 12, y el número de bits por constelación  $M$  es 4.

La Figura 8A es un diagrama de bloques que muestra la configuración de un modulador de DVB-T2 usado en la norma de DVB-T2, y la Figura 8B es un diagrama de bloques que muestra la configuración de un codificador de BICM para el modulador de DVB-T2 de la Figura 8A.

50 La Figura 9A ilustra un procedimiento de escritura para los bits de una palabra de código de 16K (es decir, un código de LDPC donde la longitud de palabra de código de LDPC es 16200 bits) según se realiza por un intercaldador de columna-fila que tiene doce columnas, y la Figura 9B ilustra un procedimiento de lectura para los bits de la palabra de código escritos de la manera indicada por la Figura 9A según se realiza por el intercaldador de columna-fila.

La Figura 10A ilustra un procedimiento de escritura para los bits de una palabra de código de 16K según se realiza

por un intercalador de columna-fila que tiene ocho columnas, y la Figura 10B ilustra un procedimiento de lectura para los bits de la palabra de código escritos de la manera indicada por la Figura 10A según se realiza por el intercalador de columna-fila.

5 La Figura 11 es un diagrama de bloques que muestra la configuración de un demultiplexor de bit a célula usado para códigos de 16K de 16-QAM en la norma de DVB-T2.

La Figura 12 es un diagrama de bloques que muestra la configuración de un demultiplexor de bit a célula usado para códigos de 16K de 64-QAM en la norma de DVB-T2.

La Figura 13 es un diagrama de bloques que muestra la configuración de un demultiplexor de bit a célula usado para códigos de 16K de 256-QAM en la norma de DVB-T2.

10 La Figura 14 ilustra un problema que tiene lugar para códigos 16K con un intercalador de bits de DVB-T2 de ocho columnas.

La Figura 15 ilustra un problema que tiene lugar para códigos 16K con un intercalador de bits de DVB-T2 de doce columnas.

15 La Figura 16 ilustra un problema que tiene lugar para códigos 16K con un intercalador de bits de DVB-T2 de ocho columnas cuando se aplica giro de columna.

La Figura 17 ilustra un problema que tiene lugar para códigos 16K con un intercalador de bits de DVB-T2 de doce columnas cuando se aplica giro de columna.

La Figura 18A y 18B respectivamente ilustran una primera y segunda condiciones descubiertas por los inventores que posibilitan que se proporcione un intercalador extremadamente eficaz.

20 La Figura 19 ilustra una función de mapeo por un intercalador que pertenece a una realización.

La Figura 20 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a una realización.

25 La Figura 21A es un diagrama de bloques que muestra la configuración de un permutador de sección que realiza la permutación de sección ilustrada en la Figura 20, y la Figura 21B ilustra una función de mapeo del permutador de sección mostrado en la Figura 21A.

La Figura 22A es un diagrama de bloques que muestra una configuración alternativa de un permutador de sección que realiza la permutación de sección ilustrada en la Figura 20, y la Figura 22B ilustra una función de mapeo del permutador de sección mostrado en la Figura 22A.

30 La Figura 23 es un diagrama de bloques que muestra la configuración de un intercalador que pertenece a otra realización.

La Figura 24 es un diagrama de bloques que muestra la configuración del intercalador de bits mostrada en la Figura 23.

La Figura 25 es un diagrama de bloques de un transmisor que pertenece a una realización adicional de la presente divulgación.

35 La Figura 26 es un diagrama de bloques que muestra la configuración de un codificador de BICM que pertenece a una realización adicional.

La Figura 27 es un diagrama de bloques de un receptor de ejemplo, que incluye un decodificador de BICM no iterativo, que pertenece a una realización adicional de la divulgación.

40 La Figura 28 es un diagrama de bloques que muestra la configuración de un receptor que incluye un decodificador de BICM iterativo, que pertenece a una realización adicional.

La Figura 29 es un diagrama de bloques que muestra la configuración de un decodificador de BICM iterativo que pertenece a una realización adicional.

### **[Descripción de las realizaciones]**

(Información de antecedentes)

45 La Figura 1 es un diagrama de bloques que muestra la configuración de un transmisor 100 que incluye un codificador de codificación y modulación de bits intercalados típico (en lo sucesivo, BICM). Como se muestra, el transmisor 100 incluye un procesador 110 de entrada, un codificador de BICM (que incluye a su vez un código 120 de comprobación de paridad de baja densidad (en lo sucesivo, LDPC), un intercalador 130 de bits, y un mapeador 140 de constelación), y un modulador 150.

50 El procesador 110 de entrada convierte una secuencia de bits de entrada en bloques de una longitud predeterminada. El codificador 120 de LDPC codifica los bloques en palabras de código usando códigos LDPC, y a continuación transmite las palabras de código al intercalador 130 de bits. El intercalador 130 de bits aplica un procedimiento de intercalación a cada palabra de código de LDPC, a continuación divide cada palabra de código intercalada en una secuencia de palabras de célula (es decir, palabras de constelación). El mapeador 140 de constelación mapea cada palabra de célula (es decir, palabra de constelación) a una secuencia de constelaciones (por ejemplo, usando QAM).  
55 El modulador 150 genérico en la salida incluye todos los bloques de procesamiento de la salida del codificador de BICM a un amplificador de potencia de frecuencia de radio (en lo sucesivo, RF).

60 Un código de LDPC es un código de corrección de error lineal que está definido completamente por una matriz de comprobación de paridad (en lo sucesivo, PCM). Una PCM es una matriz dispersa binaria que representa la conexión de bits de palabra de código (en lo sucesivo también denominado nodos variables) a las comprobaciones de paridad (en lo sucesivo también denominado nodos de comprobación). Las columnas y las filas de la PCM corresponden respectivamente a los nodos variables y a los nodos de comprobación. En la PCM, una conexión entre un nodo variable

y un nodo de comprobación se representa por un elemento uno.

Los códigos de comprobación de paridad de baja densidad cuasi-cíclicos (en lo sucesivo, QC LDPC) son una diversidad de códigos de LDPC. Los códigos QC LDPC tienen una estructura que es particularmente adecuada para implementación de hardware. De hecho, la mayoría de las normas en uso hoy en día emplean códigos QC LDPC. La PCM de un código QC LDPC tiene una configuración especial compuesta de una pluralidad de matrices circulantes. Una matriz circulante es una matriz cuadrada en la que cada fila es un desplazamiento cíclico de los elementos en la fila anterior, y tiene una, dos o más diagonales plegadas. Cada matriz circulante tiene un tamaño de  $Q \times Q$ . En este punto,  $Q$  representa el factor cíclico del QC LDPC. La configuración cuasi-cíclica anteriormente descrita permite que se procesen  $Q$  nodos de comprobación en paralelo, que es claramente eficaz para implementación de hardware eficaz.

La Figura 2 muestra la PCM de un código QC LDPC que tiene un factor cíclico  $Q$  de ocho, como un ejemplo. En la Figura 2, así como en las Figuras 3 y 5 descritas más adelante, los cuadrados más pequeños cada uno representan un elemento de la PCM, donde los cuadrados negros son elementos uno y todos los demás cuadrados son elementos cero. La PCM muestra matrices circulantes con una o dos diagonales plegadas cada una. Este código QC LDPC codifica un bloque de  $8 \times 6 = 48$  bits en una palabra de código de  $8 \times 12 = 96$  bits. Por consiguiente, la tasa de codificación del QC LDPC es  $48/96 = 1/2$ . Los bits de palabra de código se dividen en una pluralidad de bloques de  $Q$  cada uno. Los bloques de  $Q$  bits se denominan en lo sucesivo bloques cíclicos (o grupos cíclicos) para esta relación al factor cíclico de  $Q$ .

Una diversidad especial de códigos QC LDPC son códigos de comprobación de paridad de baja densidad cuasi-cíclicos de repetir acumular (en lo sucesivo, RA QC LDPC). Los códigos RA QC LDPC son bien conocidos ya que son fáciles de codificar, y por lo tanto se usan en una amplia diversidad de normas (por ejemplo, en las normas de DVB de la segunda generación, que incluyen DVB-S2, DVB-T2, y DVB-C2). El lado derecho de la PCM corresponde a los bits de paridad. Los elementos uno en la misma, están dispuestos en una estructura de escalera. La Figura 3 muestra un ejemplo de una PCM para un RA QC LDPC que tienen una tasa de codificación de  $2/3$ .

Anteriormente, y a través del presente documento, DVB-T es una abreviatura de Difusión de Vídeo Digital - Terrestre, DVB-S2 es una abreviatura de Difusión de Vídeo Digital - de la Segunda Generación Satélite, DVB-T2 es una abreviatura de Difusión de Vídeo Digital - de la Segunda Generación Terrestre, y DVB-C2 es una abreviatura de Difusión de Vídeo Digital - de la Segunda Generación Cable.

Aplicando una permutación de fila sencilla a la PCM mostrada en la Figura 3, se revela la estructura cuasi-cíclica de los códigos RA QC LDPC, con la excepción de la porción de paridad, mostrada en la Figura 4. La permutación de fila es un cambio sencillo de la representación gráfica que no tiene influencia en la definición de código.

La estructura cuasi-cíclica de la porción de paridad de PCM se imparte aplicando una permutación de fila adecuada a únicamente los bits de paridad de la PCM mostrada en la Figura 4. Esta técnica es ampliamente conocida en el campo y se usa en las normas tales como DVB-T2, bajo el nombre de intercalación de paridad de permutación de paridad. La Figura 5 muestra la PCM obtenida como resultado de aplicar tal permutación de paridad a la PCM mostrada en la Figura 4.

Típicamente, los bits de una palabra de código de LDPC varían en importancia, y los bits de una constelación varían en nivel de robustez. Mapear los bits de una palabra de código de LDPC a una constelación directamente, es decir, sin intercalación, conduce a rendimiento subóptimo. Por lo tanto, los bits de la palabra de código de LDPC requieren intercalación antes de mapear en constelaciones.

Para este fin, se proporciona el intercalador 130 de bits entre el codificador 120 de LDPC y el mapeador 140 de constelación, como se muestra en la Figura 1. Diseñando cuidadosamente el intercalador 130 de bits, se mejora la asociación entre los bits de la palabra de código de LDPC y los bits codificados por la constelación, que conduce a rendimiento de receptor mejorado. El rendimiento se mide típicamente usando la tasa de errores de bits (en lo sucesivo, BER) como una función de la relación de señal a ruido (en lo sucesivo, SNR).

Los bits de la palabra de código de LDPC difieren en importancia principalmente puesto que no todos los bits están necesariamente implicados en el mismo número de comprobaciones de paridad. En cuantas más comprobaciones de paridad (nodos de comprobación) esté implicado un bit de palabra de código dado (nodo variable), más importante será el bit de palabra de código dado en un procedimiento de decodificación de LDPC iterativo. Una razón adicional es que los nodos variables cada uno tiene conectividad diferente a los ciclos de un grafo de Tanner que representa los códigos de LDPC. Por lo tanto, los bits de palabra de código es probable que difieran en importancia a pesar de que estén implicados en el mismo número de comprobaciones de paridad. Estas ideas son bien entendidas en el campo. Como una regla, la importancia de los nodos variables aumenta a medida que aumenta el número de nodos de comprobación conectados con los mismos.

En el caso particular de códigos QC LDPC, todos los bits incluidos en un bloque cíclico de  $Q$  bits tienen el mismo número de comprobaciones de paridad aplicadas al mismo, y tienen la misma conectividad a los ciclos del grafo de Tanner. Por lo tanto, todos los bits tienen la misma importancia.

De manera similar, los bits codificados de una constelación es ampliamente conocido que tienen diferentes niveles de

robustez. Por ejemplo, una constelación de modulación por amplitud en cuadratura (en lo sucesivo, QAM) está compuesta de dos símbolos de modulación de amplitud de pulso independiente (en lo sucesivo, PAM), un símbolo que corresponde a la parte real y el otro símbolo que corresponde a la parte imaginaria. Los dos símbolos PAM cada uno codifican  $M$  bits. La Figura 6 muestra símbolos de 8-PAM que usan codificación Gray. Como se muestra, los bits codificados por cada símbolo de PAM varían en términos de nivel de robustez. La diferencia en robustez es un resultado de la distancia entre dos subconjuntos definidos por cada bit (por ejemplo, 0 o 1) que son diferentes para cada uno de los bits. Cuanto mayor es la distancia, más robusto y fiable es el bit. La Figura 6 indica que bit b3 tiene el nivel de robustez más alto, mientras que bit b1 tiene el nivel de robustez más bajo.

Por lo tanto, una constelación de 16-QAM codifica cuatro bits y tiene dos niveles de robustez. Análogamente, una constelación de 64-QAM codifica seis bits y tiene tres niveles de robustez. También, una constelación de 256-QAM codifica ocho bits y tiene cuatro niveles de robustez.

Los siguientes parámetros se usan en lo sucesivo a través de toda la presente descripción.

Factor cíclico:  $Q = 8$

Número de bloques cíclicos por palabra de código de LDPC:  $N = 12$

Número de bits por constelación:  $M = 4$  (es decir, 16-QAM)

Dados los parámetros anteriores, el número de constelaciones a las que se mapea cada palabra de código de LDPC es igual a  $QxN/M = 24$ . Típicamente, se seleccionan los parámetros  $Q$  y  $N$  de manera que  $QxN$  es igual a un múltiplo de  $M$  para todas las constelaciones soportadas por el sistema.

La Figura 7 es un diagrama de bloques que muestra la configuración de un intercalador típico cuando se aplican los parámetros anteriores. En la Figura 7, los 12 bloques cíclicos se etiquetan QB1 QB 12, y las 24 constelaciones se etiquetan C1 C24. Un intercalador 710 de bits intercala los 96 bits de la palabra de código de LDPC.

Un intercalador de bits convencional es conocido a partir de la norma de DVB-T2 (véase ETSI EN 302 755). La norma de DVB-T2 es una norma de televisión que presenta mejoras sobre la norma DVB-T, y describe un sistema de transmisión de línea de base de la segunda generación para difusión de televisión digital. La norma de DVB-T2 proporciona los detalles de un sistema de codificación de canal y modulación para servicios de televisión de difusión y datos genéricos.

La Figura 8A es un diagrama de bloques que muestra la estructura de un modulador usado en la norma de DVB-T2 (es decir, un modulador de DVB-T2). El modulador 800 de DVB-T2 incluye un procesador 810 de entrada, un codificador 820 de BICM, un creador 830 de tramas, y un generador 840 de OFDM.

El procesador 810 de entrada convierte una secuencia de bits de entrada en bloques de una longitud predeterminada. El codificador 820 de BICM aplica procesamiento de BICM a la entrada. El creador 830 de tramas usa la entrada del codificador 820 de BICM y similares para generar una estructura de trama de distribución en el formato de DVD-T2. El generador 840 de OFDM realiza adición de piloto, aplicación de Transformada Rápida de Fourier, inserción de intervalo de guarda, y similares en la estructura de trama de distribución, a continuación emite una señal de transmisión en el formato de DVD-T2.

El BICM usado en la norma de DVB-T2 se describe en el capítulo 6 de la norma ETSI EN 302 755. La norma anteriormente mencionada se explica a continuación.

La Figura 8B es un diagrama de bloques que muestra la estructura del codificador 820 de BICM en el modulador 800 de DVB-T2 ilustrado en la Figura 8A. La Figura 8B omite la codificación de BCH exterior, rotación de constelación, el intercalador de célula, el intercalador de tiempo y similares.

El codificador 820 de BICM incluye un codificador 821 de LDPC, un intercalador de bits (que incluye a su vez un intercalador 822 de paridad y un intercalador 823 de columna-fila), un demultiplexor 824 de bit a célula, y un mapeador 825 de QAM.

El codificador 821 de LDPC codifica los bloques en palabras de código usando códigos LDPC. El intercalador de bits (que incluye el intercalador 822 de paridad y el intercalador 823 de columna-fila) realiza intercalación en los bits de las palabras de código. El demultiplexor 824 de bit a célula demultiplexa los bits intercalados de las palabras de código en palabras de célula (palabras de constelación). El mapeador 825 de QAM mapea las palabras de célula (palabras de constelación) a símbolos de QAM complejos. Los símbolos de QAM complejos se denominan también células. De hecho, el demultiplexor 824 de bit a célula puede considerarse también una parte del intercalador de bits. En situaciones de este tipo, el codificador de BICM conforme a la norma de DVB-T2 puede considerarse que tiene la estructura básica mostrada en la Figura 1.

Los códigos de LDPC usados en la norma de DVB-T2 son códigos RA QC LDPC que tienen un factor cíclico de  $Q = 360$ . Se definen dos longitudes de palabra de código para la norma de DVB-T2, siendo una 16200 bits y siendo la otra 64800 bits. En el presente documento, los códigos de LDPC que usan una longitud de palabra de código de 16200 bits se denominan como códigos 16K (o como códigos de LDPC 16K), y los códigos LDPC que tienen una longitud de

palabra de código de 64800 bits se denominan como códigos de 64K (o como códigos de LDPC de 64K). El número de bloques cíclicos por palabra de código es 45 para los códigos 16K y 180 para los códigos 64K. Los códigos disponibles que corresponden a cada longitud de bloque (longitud de palabra de código) se proporcionan en las Tablas A1 a A6 de ETSI EN 302 755 para la norma de DVB-T2.

5 El intercalador de bits se usa únicamente para constelaciones mayores que las constelaciones de modulación por desplazamiento de fase cuaternaria (en lo sucesivo, QPSK), e incluye el intercalador 822 de paridad, el intercalador 823 de columna-fila, y el demultiplexor 824 de bit a célula. De acuerdo con la norma de DVB-T2, el intercalador de bits no incluye el demultiplexor 824 de bit a célula. Sin embargo, el presente documento pertenece a intercalación como se aplica a códigos de LDPC antes del mapeo de constelación. Como tal, el demultiplexor 824 de bit a célula se trata como una parte del intercalador de bits.

El intercalador 822 de paridad realiza permutación de paridad en los bits de paridad de cada palabra de código para aclarar la estructura cuasi-cíclica de los mismos, como se ha descrito anteriormente (véanse las Figuras 4 y 5).

De manera conceptual, el intercalador 823 de columna-fila opera escribiendo los bits de cada palabra de código de LDPC a nivel de columnas en una matriz intercaladora, a continuación leyendo los bits a nivel de filas. El primer bit de la palabra de código de LDPC se escribe en primer lugar, y se lee en primer lugar. Después de escribir y antes de leer la palabra de código de LDPC bits, el intercalador 823 de columna-fila desplaza cíclicamente las columnas de bits por un número predeterminado de posiciones. Esto se denomina como giro de columna en la norma de DVB-T2. El número de columnas  $N_c$  y el número de filas  $N_r$  en la matriz intercaladora se proporcionan en la Tabla 1 para varios tamaños de constelación, de acuerdo con las dos longitudes de palabra de código de LDPC anteriormente mencionadas.

[Tabla 1]

Longitud de palabra de código de LDPC	Tamaño de constelación	N.º de columnas: $N_c$	N.º de filas: $N_r$
16200	16-QAM	8	2025
	64-QAM	12	1350
	256-QAM	8	2025
64800	16-QAM	8	8100
	64-QAM	12	5400
	256-QAM	16	4050

El número de columnas  $N_c$  es dos veces el número de bits por constelación, con la excepción de códigos 16K con una constelación de 256-QAM. Esta excepción tiene lugar puesto que la longitud de palabra de código de LDPC de 16200 no es un múltiplo de 16, es decir, no es dos veces el número de bits por constelación de 256-QAM.

El procedimiento de escritura de bits de palabra de código y el procedimiento de lectura de bits para códigos 16K realizados por el intercalador 823 de columna-fila se ilustra en las Figuras 9A y 9B para doce columnas, y en las Figuras 10A y 10B para ocho columnas. Cada uno de los cuadrados pequeños corresponde a un bit de la palabra de código de LDPC. El cuadrado ennegrecido representa el primer bit de la palabra de código de LDPC. Las flechas indican el orden en el que han de escribirse y leerse los bits de la matriz intercaladora. Por ejemplo, cuando la matriz intercaladora tiene doce columnas, los bits de la palabra de código del código 16K se escriben en el orden dado en la Figura 9A, en concreto (Fila 1, Columna 1), (Fila 2, Columna 1) (Fila 1350, Columna 1), (Fila 1, Columna 2) (Fila 1350, Columna 12), a continuación se leen en el orden dado en la Figura 9B, en concreto (Fila 1, Columna 1), (Fila 1, Columna 2) (Fila 1, Columna 12), (Fila 2, Columna 1) (Fila 1350, Columna 12). Las Figuras 9A, 9B, 10A, y 10B no ilustran el procedimiento de giro de columna.

Antes del mapeo de QAM, el demultiplexor 824 de bit a célula demultiplexa las palabras de código de LDPC para obtener una pluralidad de flujos de bits paralelos. El número de flujos es dos veces el número de bits codificados  $M$  por constelación de QAM, es decir,  $2xM$ , con la excepción de códigos de LDPC de 16K con una constelación de 256-QAM. Para los códigos de LDPC de 16K con una constelación de 256-QAM, el número de flujos igual al número de bits codificados  $M$  por constelación de QAM. Los  $M$  bits codificados por constelación se denominan como una palabra de célula (palabra de constelación). Para los códigos de LDPC de 16K, el número de palabras de célula por palabra de código es  $16200/M$ , como se proporciona a continuación.

- 8100 células para QPSK,
- 4050 células para 16-QAM,
- 2700 células para 64-QAM, y
- 2025 células para 256-QAM.

De acuerdo con la Tabla 1, dada anterior, el número de flujos paralelos es igual al número de columnas en el intercalador de columna-fila para constelaciones mayores que QPSK. El demultiplexor de bit a célula que corresponde a constelaciones de 16-QAM, constelaciones de 64-QAM, y constelaciones de 256-QAM para los códigos de LDPC

de 16K se muestra respectivamente en las Figuras 11, 12, y 13. La notación de bits usada es la de la norma de DVB-T2.

Como se muestra en la Figura 11 (y las Figuras 12 y 13), el demultiplexor 824 de bit a célula incluye un único demultiplexor 1110 (también 1210, 1310) y un permutador demultiplexor 1120 (también 1220, 1320).

- 5 Además de tener el demultiplexor 1110 sencillo (1210, 1310) que demultiplexa simplemente las palabras de código de LDPC, a las que se ha aplicado intercalación, el demultiplexor 824 de bit a célula también tiene el permutador 1120 de DEMUX (1220, 1320) que realiza una permutación en las secuencias de bits paralelas demultiplexadas.

10 Sin embargo, cuando se usa el intercalador de columna-fila (es decir, para constelaciones de 16-QAM o mayores), la permutación aplicada a los flujos de bits es idéntica a la permutación aplicada a las columnas del intercalador de columna-fila debido al número de flujos de bits paralelos que es igual al número de columnas. Por lo tanto, la permutación realizada por el demultiplexor 824 de bit a célula se considera como una parte del intercalador de bits.

El intercalador de bits usado en la norma de DVB-T2 esencialmente tiene dos problemas.

15 El primer problema es que el paralelismo está deteriorado cuando el número de bloques cíclicos en la palabra de código de LDPC no es un múltiplo del número de columnas en la matriz de intercalador de bits. El paralelismo reducido conduce a latencia aumentada. Esto es especialmente problemático cuando se usa decodificación de BICM iterativa por el receptor. Esta situación tiene lugar para varias combinaciones de longitud de palabra de código de LDPC y tamaño de constelación en la norma de DVB-T2.

20 Las Figuras 14 y 15 ilustran la situación anteriormente mencionada para los casos de código de LDPC de 16K donde la matriz intercaladora tiene ocho y doce columnas, respectivamente. Se usan ocho columnas en la matriz intercaladora para constelaciones de 16-QAM y constelaciones de 256-QAM. Se usan doce columnas en la matriz intercaladora para constelaciones de 64-QAM. En las Figuras 14 y 15, la cuadrícula representa una palabra de código de LDPC, los cuadrados pequeños cada uno representa un bit de la palabra de código de LDPC, las filas corresponden a los bloques cíclicos, y las columnas corresponden a bits del mismo índice de bit en un bloque cíclico. Los cuadrados ennegrecidos representan los bits octavo y duodécimo de la primera fila en la matriz intercaladora. Para facilidad de comprensión, el número de bits por bloque cíclico se ha reducido de 360 a 72. Sin embargo, esto no afecta al entendimiento.

El segundo problema es que, en la norma de DVB-T2, el número de posibles configuraciones de intercalador está limitado por el número de columnas en la matriz de intercalador de bits.

30 Un problema adicional del intercalador de bits de DVB-T2 es que la regularidad y el paralelismo de la permutación se deteriora por el procedimiento de giro de columna. Las Figuras 16 y 17 ilustran respectivamente las mismas situaciones que las Figuras 14 y 15, con la adición del procedimiento de giro de columna. Cuando la matriz intercaladora tiene ocho columnas para los códigos de LDPC de 16K, los valores de giro de columna para las columnas del intercalador de bits de DVB-T2 son (0, 0, 0, 1, 7, 20, 20, 21). De manera similar, cuando la matriz intercaladora tiene doce columnas para los códigos de LDPC de 16K, los valores de giro de columna para las columnas del intercalador de bits de DVB-T2 son (0, 0, 0, 2, 2, 2, 3, 3, 3, 6, 7, 7).

35 Por consiguiente, se desea un intercalador de bits que reduzca la latencia mientras se mejora el paralelismo. Estas propiedades son particularmente importantes en decodificación de BICM iterativa.

(Descubrimientos del experimentador)

40 El inventor ha descubierto, como el fruto de la experimentación prolongada, que un intercalador que satisface las siguientes dos condiciones es extremadamente eficaz.

(Condición 1)

Los  $M$  bits de cada constelación se mapean cada uno a uno de  $M$  diferentes bloques cíclicos de la palabra de código de LDPC. Esto es equivalente al mapeo de un bit de  $M$  diferentes bloques cíclicos de la palabra de código de LDPC a una palabra de constelación. Esto se ilustra esquemáticamente en la Figura 18A.

45 (Condición 2)

Todas las palabras de constelación mapeadas a los  $M$  bloques cíclicos se mapean únicamente a ese bloque cíclico particular. Esto es equivalente al mapeo de todos los  $M \times Q$  bits de los  $M$  diferentes bloques cíclicos cada uno compuesto de  $Q$  bits a exactamente  $Q$  constelaciones. Esto se ilustra esquemáticamente en la Figura 18B.

50 Las condiciones anteriores implican que se mapean exactamente  $Q$  constelaciones a cada conjunto de  $M$  bloques cíclicos. (Realización 1)

Lo siguiente describe los detalles de un intercalador de bits (es decir, un intercalador de bits paralelo) que satisface las Condiciones 1 y 2 dadas anteriormente. En la siguiente descripción, el procesamiento y las unidades que realizan

tal procesamiento se etiquetan con los mismos números de referencia cada vez que sea aplicable.

En el presente documento, cada grupo de  $M$  bloques cíclicos y cada grupo de  $Q$  palabras de constelación se denomina como una sección (o como una sección de intercalador).

5 Las Figuras 19 y 20 son diagramas de bloques que ilustran respectivamente la función de mapeo de un intercalador de bits que satisface las Condiciones 1 y 2 y que corresponde a los parámetros anteriormente mencionados (es decir,  $Q = 8$ ,  $M = 4$ ,  $N = 12$ ), y una configuración de muestra para un intercalador de bits de este tipo.

10 En las Figuras 19 y 20, las palabras de código de QC-LDPC están compuestas de  $N = 12$  bloques cíclicos, cada uno a su vez compuesto de  $Q = 8$  bits. Cada una de las 24 palabras de constelación está compuesta de  $M = 4$  bits. Cada palabra de constelación indica uno de  $2^M = 16$  puntos de constelaciones. El intercalador de bits se divide en  $N/M = 3$  secciones. Las 24 palabras de constelación cada una está asociada a una de las tres secciones.

Un intercalador 2000 de bits incluye un permutador 2010 de bits, que a su vez incluye  $N/M (= 3)$  permutadores 2021, 2022, y 2023 de sección, operando cada uno de manera independiente. Sin embargo, en lugar de proporcionar tres permutadores de sección, puede proporcionarse un único permutador de sección, por ejemplo, para realizar los procedimientos de permutación de sección descritos a continuación, la conmutación entre los mismos con el tiempo.

15 Los permutadores (2021, 2022, y 2023) de sección realizan cada uno de manera independiente una permutación de sección en los 32 bits que componen cada uno de 4 bloques cíclicos, de manera que un bit de cada cuatro bloques cíclicos (es decir, QB1 a QB4, QB5 a QB8, y QB9 a QB12) se mapea a cada grupo de ocho palabras de constelación (es decir, C1 a C8, C9 a C16, y C17 a C24).

20 Las condiciones 1 y 2, anteriormente descritas, aseguran que el intercalador de bits es divisible en  $N/M$  secciones paralelas. Las permutaciones de sección aplicadas a las secciones paralelas pueden aplicar las mismas reglas de permutación, pueden aplicar cada una diferentes reglas de permutación, o pueden implicar un subconjunto de las secciones que aplican reglas de permutación idénticas mientras que otras difieren.

25 Por ejemplo, los permutadores de sección pueden mapear los  $Q$  bits de un bloque cíclico (que cada uno tiene la misma importancia en decodificación de LDPC) a bits que tienen el mismo índice de bit (es decir, que tiene el mismo nivel de robustez) en las  $Q$  palabras de constelación. Para cada bloque cíclico, los  $Q$  bits pueden estar en orden secuencial o permutado. El último caso se describe con referencia a las Figuras 21A y 21B, mientras que el primer caso se describe con referencia a las Figuras 22A y 22B.

La Figura 21A ilustra estructuralmente el permutador de sección de la Figura 20.

30 El permutador 2101 de sección incluye los permutadores 2111 a 2114 de bloque intra cíclicos y un permutador 2131 de columna-fila. En lugar de proporcionar cuatro permutadores de bloque intra cíclico, por ejemplo, puede proporcionarse un único bloque intra cíclico y realizar los cuatro procedimientos de permutación de bloque intra cíclico, descrito más adelante, conmutando entre los mismos con el tiempo.

35 Los permutadores (2111-2114) de bloque intra cíclico cada uno realiza una permutación de bloque intra cíclico en los bloques cíclicos (QB1-QB4) de  $Q$ -bits (8 bits). Las permutaciones de bloque intra cíclico aplicadas a los bloques cíclicos en cada sección pueden aplicar todas las mismas reglas de permutación, pueden aplicar cada una diferentes reglas de permutación, o pueden implicar que un subconjunto de las secciones aplique reglas de permutación idénticas mientras que otras difieren.

40 El permutador 2131 de columna-fila realiza una permutación de columna-fila en cada grupo de  $M \times Q (= 32)$  bits. Específicamente, el permutador 2131 de columna-fila escribe los  $M \times Q$  bits a nivel de fila en una matriz  $M \times Q (8 \times 4)$ , a continuación lee los  $M \times Q$  bits a nivel de columna a partir de la misma, aplicando por lo tanto la permutación de columna-fila. La permutación de columna-fila aplicada por el permutador 2131 de columna-fila se asemeja a la permutación aplicada a la matriz  $12 \times 1350$  mostrada en las Figuras 9A y 9B, donde se usan  $Q$  columnas y  $M$  filas, el procedimiento de escritura tiene lugar a nivel de columna, y el procedimiento de lectura tiene lugar a nivel de fila.

45 Las Figuras 21B son una representación estructural del permutador de sección mostrado en la Figura 21A. En la Figura 21 B, las palabras de constelación de  $M = 4$  bits se indica cada una  $b_1$  a  $b_4$ .

Sin embargo, también es plausible una variación en la que el procedimiento de permutación de bloque intra cíclico no es parte del procedimiento de permutación de sección.

50 Por ejemplo, se muestra una permutación de sección implementada sin ejecutar la permutación de bloque intra cíclico y una estructura de mapeo por el permutador de sección en las Figuras 22A y 22B. El permutador 2201 de sección incluye un permutador 2131 de columna-fila y realiza una única permutación de columna-fila. En la Figura 22B, las palabras de constelación de  $M = 4$  bits se indica cada una  $b_1$  a  $b_4$ .

La permutación de sección descrita en las Figuras 21A, 21B, 22A y 22B puede aplicarse a los bloques cíclicos QB5-QB8 y QB9-QB 12.



- 5 Ventajosamente, una permutación de bloque cíclico adicional puede aplicarse a los  $N$  bloques cíclicos antes de que el intercalador de bits realice la permutación de sección. La Figura 23 es un diagrama estructural de la permutación de bloque cíclico adicional aplicada por el intercalador de bits. En este contexto, la permutación de bloque cíclico desempeña un papel similar al de la permutación realizada por el demultiplexor de bit a célula en la norma de DVB-T2.
- El intercalador 2300 de bits mostrado en la Figura 23 incluye un permutador 2310 de bloque cíclico y un permutador 2010 de bits (que a su vez incluye los permutadores 2021-2023 de sección).
- El permutador 2310 de bloque cíclico realiza permutaciones 2311-2318 de bloque cíclico en los bloques cíclicos QB1-QB12. En este punto, las permutaciones 2311-2318 de bloque cíclico todas siguen las mismas reglas de permutación.
- 10 La permutación de bloque cíclico realizada en los  $N$  bloques cíclicos es particularmente ventajosa al posibilitar el mapeo optimizado de la palabra de código de LDPC bits en los bits de constelación, dando como resultado rendimiento optimizado.
- La Figura 24 es un diagrama de bloques esquemático del intercalador 2300 de bits mostrado en la Figura 23. El intercalador 2400 de bits mostrado en la Figura 24 incluye tres etapas, A, B, y C.
- 15 Etapa A: (inter) permutación de bloque cíclico  
Etapa B: permutación de bloque intra cíclico  
Etapa C: permutación de columna-fila
- La permutación de bloque (inter) cíclico se aplica a los  $N$  bloques cíclicos que componen la palabra de código, la permutación de bloque intra cíclico se aplica a los  $Q$  bits de cada bloque cíclico, y la permutación de columna-fila se aplica a las  $M \times Q$  secciones.
- 20 El intercalador 2400 de bits mostrado en la Figura 24 incluye el permutador 2310 de bloque cíclico y el permutador 2010 de bits (que a su vez incluye los permutadores 2101-2103 de sección). El permutador 2101 de sección (2102, 2013) incluye los permutadores 2111-2114 de bloque intra cíclico (2115-2118, 2119-2122) y el permutador 2131 de columna-fila (2132, 2133).
- 25 En el intercalador 2400 de bits, la permutación de bloque (inter) cíclico se realiza por el permutador 2310 de bloque cíclico (etapa A), la permutación de bloque intra cíclico se realiza por los permutadores 2111-2122 de bloque intra cíclico (etapa B), y la permutación de columna-fila se realiza por los permutadores 2131-2133 de columna-fila (etapa C).
- 30 Los permutadores 2111-2122 de bloque intra cíclico pueden eliminarse del intercalador 2400 de bits mostrado en la Figura 24, de manera que el intercalador de bits no está configurado para realizar la permutación de bloque intra cíclico. También, el intercalador 2400 de bits puede realizar la permutación de bloque (inter) cíclico antes de la permutación de bloque intra cíclico en lugar de después de la permutación de bloque intra cíclico, o puede realizar la permutación de bloque (inter) cíclico antes y después de la permutación de bloque intra cíclico.
- 35 Los permutadores de bloque intra cíclico pueden tener estructuras similares. Esto es ventajoso en que los permutadores de bloque intra cíclico pueden implementarse por lo tanto usando recursos idénticos (por ejemplo, bloques de hardware). Como alternativa, las permutaciones de bloque intra cíclico pueden consistir en desplazamientos cíclicos, que permiten implementación de hardware eficaz usando desplazadores de cilindro. También es posible una implementación que usa los desplazadores de cilindro en el decodificador de LDPC.
- 40 Lo siguiente describe un transmisor que incluye el intercalador de bits que realiza un procedimiento de intercalación de bits que satisface las Condiciones 1 y 2, con referencia a la Figura 25.
- La Figura 25 es un diagrama de bloques de un transmisor que pertenece a una realización adicional de la presente divulgación. Como se muestra en la Figura 25, un transmisor 2500 incluye un codificador de BICM (que a su vez incluye un codificador 2510 de LDPC, un intercalador 2520 de bits y un mapeador 2530 de constelación) y un modulador 2540.
- 45 El codificador 2510 de LDPC codifica bloques de entrada en palabras de código usando códigos de QC-LDPC, y a continuación transmite las palabras de código al intercalador 2520 de bits.
- 50 El intercalador 2520 de bits recibe la palabra de código de código de QC-LDPC del codificador 2510 de LDPC. La palabra de código está compuesta de  $N = 12$  bloques cíclicos, incluyendo cada bloque cíclico  $Q = 8$  bits. El intercalador 2520 de bits realiza intercalación en los bits de las palabras de código para permutar los bits de cada una de las palabras de código. El intercalador 2520 de bits divide la palabra de código intercalada en una pluralidad de palabras de constelación, cada una compuesta de  $M = 4$  bits y que indica uno de  $2^M = 16$  puntos de constelaciones, a continuación emite las palabras de constelación al mapeador 2530 de constelación. El intercalador 2520 de bits puede aplicar el procedimiento de intercalación de bits analizado con referencia a las Figuras 19 a 22A y 22B, o puede aplicar un procedimiento de permutación de bits variante. También, el intercalador 2520 de bits puede aplicar un

procedimiento de permutación de bloque cíclico adicional, tal como el procedimiento analizado con referencia a las Figuras 23 y 24 o una variación del mismo.

El mapeador 2530 de constelación recibe las palabras de constelación del intercalador 2520 de bits y realiza mapeo de constelación en las palabras de constelación así recibidas.

- 5 El modulador 2740 genera una señal de transmisión usando multiplexación por división ortogonal de frecuencia (en lo sucesivo, OFDM) o similar.

Lo siguiente describe un codificador de BICM que incluye el intercalador de bits que realiza un procedimiento de intercalación de bits que satisface las Condiciones 1 y 2, con referencia a la Figura 26.

- 10 La Figura 26 es un diagrama de bloques de un codificador de BICM de ejemplo que pertenece a una realización adicional de la divulgación. En la Figura 26, el codificador 2600 de BICM corresponde a los parámetros anteriormente dados (es decir,  $Q = 8$ ,  $N = 12$ ,  $M = 4$ ).

- 15 El codificador 2600 de BICM mostrado en la Figura 26 incluye una memoria 2601 principal, un controlador 2611 de LDPC, un rotador 2612, un grupo 2613 de procesadores de nodo de comprobación, un des-rotador 2614, un contador 2631 de QB, la tabla A 2632, el intercalador B 2633, un grupo 2634 de registros, el intercalador C 2635, y un grupo 2651 de mapeadores.

En la Figura 26, dado que  $Q = 8$ , la memoria 2601 principal lee ocho bits a la vez, el grupo 2613 de procesadores de nodo de comprobación incluye ocho procesadores de nodo de comprobación, y el grupo 2651 de mapeadores incluye ocho mapeadores. También, dado que  $M = 4$ , el grupo 2634 de registros incluye cuatro registros.

- 20 La memoria 2601 principal recibe una secuencia de bits para su transmisión de, por ejemplo, el procesador de entrada (no representado), y almacena la secuencia de bits recibida.

- 25 El controlador 2611 de LDPC emite una dirección de lectura a la memoria 2601 principal. La memoria 2601 principal emite en consecuencia la secuencia de bits, ocho bits a la vez comenzando con el bit de inicio, al rotador 2612. El rotador 2612 se controla por el controlador 2611 de LDPC para realizar un número predeterminado de desplazamientos cíclicos en los ocho bits suministrados al mismo por la memoria 2601 principal, y a continuación emite los ocho bits cíclicamente desplazados a los procesadores de nodo de comprobación del grupo 2613 de procesadores de nodo de comprobación, un bit cada vez, estando los bits y los procesadores de nodo de comprobación en una correspondencia uno a uno. Cada procesador de nodo de comprobación del grupo 2613 de procesadores de nodo de comprobación se controla por el controlador 2611 de LDPC para realizar procesamiento de nodo de comprobación en cada bit introducido al mismo, a continuación emite los resultados al des-rotador 2614. El des-rotador 2614 se controla por el controlador 2611 de LDPC para realizar un número predeterminado de desplazamientos cíclicos en los ocho bits recibidos del grupo 2613 de procesadores de nodo de comprobación para cancelar el desplazamiento cíclico aplicado por el rotador 2612, y a continuación emite los ocho bits desplazados a la memoria 2601 principal. El controlador 2611 de LDPC emite una dirección de escritura a la memoria 2601 principal. La memoria 2601 principal almacena en consecuencia los ocho bits suministrados a la misma por el des-rotador 2614. El controlador 2611 de LDPC, el rotador 2612, el grupo 2613 de procesadores de nodo de comprobación, y el des-rotador 2614 componen el codificador de BICM en el codificador 2510 de LDPC mostrado en la Figura 25.

El contador 2631 de QB cuenta de 0 a 11 y emite el valor de contador a la tabla A 2632. La operación de recuento del contador 2631 de QB se define en consideración de  $N = 12$ .

- 40 La tabla A 2632 es una tabla de búsqueda sencilla en la que se almacenan las reglas de permutación de bloque cíclico. Es decir, la tabla A 2632 almacena  $N = 12$  piezas de información de orden de bloque cíclico leído (información que asocia un bloque cíclico diferente con cada uno de los 12 valores de contador del contador 2631 de QB). La tabla A 2632 emite una dirección de lectura a la memoria 2601 principal de manera que los bits de un bloque cíclico (es decir,  $Q = 8$  bits) que corresponde al valor de contador suministrado por el contador 2631 de QB se suministran a la memoria 2601 principal al intercalador B 2633. Por lo tanto, la memoria 2601 principal emite los bits de un bloque cíclico que corresponde al valor de contador del contador 2631 de QB al intercalador B 2633. El procesamiento que usa la tabla A 2632 se ejecuta como el procedimiento de permutación de bloque cíclico (etapa A).

- 50 El intercalador B 2633 realiza un número predeterminado de desplazamientos cíclicos en los bits del bloque cíclico suministrados por la memoria 2601 principal, y emite los resultados a un registro de primer nivel del grupo 2634 de registros. El procesamiento por el intercalador B 2633 se ejecuta como el procedimiento de permutación de bloque intra cíclico (etapa B). Cada registro en el grupo 2634 de registros almacena un bloque cíclico de bits con temporización que coincide con la recepción de un pulso de control, y emite el bloque cíclico de bits antes de recibir el siguiente pulso de control.

- 55 Cuando el contador 2631 de QB realiza el procedimiento anteriormente mencionado para valores de contador 0 a 3, los bits de cuatro bloques cíclicos (es decir, 32 bits) se introducen al intercalador C 2635. En este momento, el intercalador C 2635 intercala los bits de los cuatro bloques cíclicos introducidos al mismo, y los mapeadores del grupo 2651 de mapeadores emiten una palabra de constelación de bits (es decir,  $M = 4$  bits). A través de todo el

procedimiento de intercalación, se suministran cuatro bits, es decir, uno de cada uno de los cuatro registros en el grupo 2634 de registros, a cada mapeador. Este procesamiento por el intercalador C 2635 se ejecuta como el procedimiento de permutación de columna-fila (etapa C).

5 El contador 2631 de QB, tabla A 2632, intercalador B 2633, el grupo 2634 de registros, y el intercalador C 2635 componen el intercalador 2520 de bits del codificador de BICM mostrado en la Figura 25.

Los mapeadores del grupo 2651 de mapeadores cada uno mapean cuatro bits suministrados al mismo del intercalador C 2635 a una constelación, a continuación emiten los resultados. El grupo 2651 de mapeadores compone el mapeador 2530 de constelación del codificador de BICM mostrado en la Figura 25.

10 Para cada palabra de código, el conjunto anteriormente descrito de procedimientos se aplica tres veces, una vez para cada valor de contador 0-3, 4-7, y 8-11 del contador 2631 de QB.

15 La realización representada en la Figura 26 incluye Q mapeadores que operan en paralelo. Sin embargo, los mapeadores también son realizables como un codificador de BICM para reducir o aumentar el paralelismo. Por ejemplo, el número de secciones de intercalador paralelas en el intercalador de bits, es decir, el cociente de  $N/M$ , de manera evidente puede aumentarse para mejorar fácilmente el paralelismo. Tales procedimientos posibilitan que se optimice el paralelismo paralelizando los  $Q \times N/M$  mapeadores. Implementar tal paralelismo, sin desventajas, en el intercalador de bits es beneficioso.

Lo siguiente describe un receptor que recibe señales de un transmisor que incluye el intercalador de bits que realiza un procedimiento de intercalación de bits que satisface las Condiciones 1 y 2, con referencia a la Figura 27.

20 La Figura 27 es un diagrama de bloques de un receptor de ejemplo, que incluye un decodificador de BICM no iterativo, que pertenece a una realización adicional de la divulgación. El receptor realiza las operaciones del transmisor a la inversa.

El receptor 2700 mostrado en la Figura 27 incluye un demodulador 2710 y un decodificador de BICM no iterativo (que a su vez incluye un desmapeador 2720 de constelación, un desintercalador 2730 de bits, y un decodificador 2740 de LDPC).

25 El demodulador 2710 realiza un procedimiento de demodulación a través de OFDM, por ejemplo, y emite los resultados demodulados.

30 El desmapeador 2720 de constelación del decodificador de BICM no iterativo genera una secuencia de bits flexible aplicando un procedimiento de desmapeo a la entrada del demodulador 2710, y emite la secuencia de bits flexible así generada al desmapeador 2730 de constelación. Los bits flexibles son una medida de probabilidad de que un bit dado sea un bit cero o un bit uno. Típicamente, los bits flexibles se representan como relaciones de probabilidad logarítmica (en lo sucesivo, LLR), definidas como sigue.

$$LLR(b) = \ln[p(b = 0)/p(b = 1)]$$

donde  $p(b = 0)$  indica la probabilidad de que el bit dado  $b$  sea un bit cero, y  $p(b = 1)$  representa la probabilidad de que el bit dado  $b$  sea un bit uno. Por supuesto,  $p(b = 0) + p(b = 1) = 1$ .

35 El desintercalador 2730 de bits realiza un procedimiento de intercalación (es decir, un procedimiento de desintercalación de bits) en la secuencia de bits flexible emitida del desmapeador 2720 de constelación para cancelar el procedimiento de intercalación de bits aplicado a la secuencia de bits por el intercalador 2730 de bits en el transmisor ilustrado en la Figura 25.

40 El decodificador 2740 de LDPC recibe la secuencia de bits flexible desintercalada por el desintercalador 2730 de bits, y realiza un procedimiento de decodificación de LDPC usando la secuencia de bits flexible así recibida.

Una técnica mejorada que ofrece rendimiento significativo es la decodificación de BICM iterativa. La Figura 28 ilustra un decodificador de BICM iterativo.

45 La Figura 28 es un diagrama de bloques de un receptor de ejemplo, que incluye un decodificador de BICM iterativo, que pertenece a una realización adicional de la divulgación. El receptor realiza las operaciones del transmisor a la inversa.

Como se muestra en la Figura 28, un receptor 2800 incluye el demodulador 2710 y un decodificador de BICM iterativo (que a su vez incluye el desmapeador 2720 de constelación, el desintercalador 2730 de bits, el decodificador 2740 de LDPC, un restador 2760, y un intercalador 2750 de bits).

50 El receptor 2800 de la Figura 28 tiene el desmapeador 2720 de constelación que realiza un procedimiento de desmapeo de constelación, el desintercalador 2730 de bits que realiza un procedimiento de desintercalación de bits, y el decodificador 2740 de LDPC que realiza un procedimiento de decodificación de LDPC.

Después de una o más iteraciones de decodificación de LDPC, la información extrínseca, obtenida por el restador 2760 que resta la entrada al decodificador 2740 de LDPC de la salida del decodificador 2740 de LDPC, se emite al intercalador 2750 de bits. El intercalador 2750 de bits realiza un procedimiento de intercalación en la información extrínseca usando las mismas reglas de intercalación que aquellas aplicadas a la secuencia de bits por el intercalador de bits del transmisor representado en la Figura 25. El intercalador 2750 de bits a continuación realimenta la información extrínseca intercalada al desmapeador 2720 de constelación. El desmapeador 2720 de constelación usa la información extrínseca así realimentada como una información a priori para calcular valores de LLR más fiables. El desintercalador 2730 de bits a continuación realiza un procedimiento de intercalación en los valores de LLR nuevamente calculados (es decir, un procedimiento de desintercalación de bits) para cancelar el procedimiento de intercalación de bits aplicado a la secuencia de bits por el intercalador de bits en el transmisor representado en la Figura 25 y restaura el orden original de la secuencia de bits. El decodificador 2740 de LDPC usa los valores de LLR así desintercalados en el procedimiento de decodificación de LDPC.

Como se muestra en la Figura 28, un bucle de decodificación iterativo está compuesto de cuatro elementos, en concreto el desmapeador 2720 de constelación, el desintercalador 2730 de bits, el decodificador 2740 de LDPC, y el intercalador 2750 de bits. El desintercalador 2730 de bits y el intercalador 2750 de bits tienen beneficiosamente latencia muy baja, idealmente cero y baja complejidad. Esto da como resultado una implementación de receptor más eficaz. El desintercalador 2730 de bits y el intercalador 2750 de bits anteriormente descritos satisfacen ambas de estas condiciones.

La Figura 29 ilustra un decodificador de BICM iterativo que realiza implementación paralela muy eficaz.

La Figura 29 es un diagrama de bloques de un decodificador de BICM de ejemplo que pertenece a una realización adicional de la divulgación. En la Figura 29, el decodificador 2900 de BICM corresponde a los parámetros anteriormente dados (es decir,  $Q = 8$ ,  $N = 12$ ,  $M = 4$ ).

Como se muestra, el decodificador 2900 de BICM incluye una memoria 2901 de LLR, una memoria 2902 de LLR de memoria intermedia, un controlador 2911 de LDPC, un rotador 2912, un grupo 2913 de procesadores de nodo de comprobación, un des-rotador 2914, un contador 2931 de QB, la tabla A 2932, un grupo 2933 de restadores, el intercalador B 2934, el grupo 2935 de registros, el intercalador C 2936, un grupo 2937 de desmapeadores, el desintercalador C 2938, el grupo 2939 de registros, el desintercalador B 2940, y un retardador 2941.

En la Figura 29, dado que  $Q = 8$ , la memoria 2901 de LLR principal y la memoria 2902 de LLR de memoria intermedia cada una lee ocho valores de LLR a la vez, el grupo 2913 de procesadores de nodo de comprobación incluye ocho procesadores de nodo de comprobación, y el grupo 2951 de desmapeadores incluye ocho desmapeadores. También, dado que  $M = 4$ , los grupos 2935 y 2972 de registros cada uno incluye cuatro registros.

Los desmapeadores en el grupo 2937 de desmapeadores cada uno realiza un procedimiento de desmapeo en la salida de un demodulador (no representada), a continuación emite los valores de LLR así obtenidos al desintercalador C 2938. El grupo 2937 de desmapeadores compone el desmapeador 2720 de constelación del decodificador de BICM iterativo mostrado en la Figura 28.

El desintercalador C 2938 aplica un procedimiento de desintercalación a los valores de LLR (es decir, un nuevo procedimiento de intercalación que cancela el procedimiento de intercalación aplicado por el transmisor durante la etapa C), a continuación emite los valores de LLR desintercalados a los registros del grupo 2939 de registros. Cada registro almacena un bloque cíclico de valores de LLR (es decir, ocho valores de LLR). En el grupo 2939 de registros, el bloque cíclico de valores de LLR almacenado por cada registro se emite secuencialmente a un nivel posterior de manera que el contenido de cada registro se actualiza secuencialmente. El desintercalador B 2940 aplica un procedimiento de desintercalación al bloque cíclico de (ocho) valores de LLR (es decir, un nuevo procedimiento de intercalación que cancela el procedimiento de intercalación aplicado por el transmisor durante la etapa B), a continuación escribe los resultados a la memoria 2901 de LLR principal y a la memoria 2902 de LLR de memoria intermedia de acuerdo con la tabla A 2932 (analizada más adelante). Un procedimiento de intercalación que cancela el procedimiento de intercalación aplicado por el transmisor durante la etapa A se consigue por esta escritura a la memoria 2901 de LLR principal y la memoria 2902 de LLR de memoria intermedia de acuerdo con el contenido de la Tabla A 2932.

Por lo tanto, la memoria 2901 de LLR principal almacena los valores de LLR de post-desintercalación, y también se usa por el decodificador de LDPC (es decir, el controlador 2911 de LDPC, el rotador 2912, el grupo 2913 de procesadores de nodo de comprobación, y el des-rotador 2914). El procedimiento de decodificación de LDPC es un procedimiento iterativo que implica una o más iteraciones. En cada iteración de decodificación de LDPC, se actualizan los valores de LLR en la memoria 2901 de LLR principal. Para calcular la información extrínseca necesaria para decodificación de BICM iterativa, los valores de LLR antiguos se graban en la memoria 2902 de LLR de memoria intermedia.

Lo siguiente describe las operaciones de decodificador de LDPC.

El controlador 2911 de LDPC emite la dirección leída a la memoria 2901 de LLR principal de acuerdo con la matriz de comprobación de paridad de los códigos de LDPC. Por lo tanto, la memoria 2901 de LLR principal emite

secuencialmente un bloque cíclico de valores de LLR al rotador 2912. El rotador 2912 se controla por el controlador 2911 de LDPC para realizar un número predeterminado de desplazamientos cíclicos en el bloque cíclico de valores de LLR suministrado secuencialmente por la memoria 2901 de LLR principal, a continuación emite los valores de LLR así desplazados a los procesadores de nodo de comprobación del grupo 2913 de procesadores de nodo de comprobación uno cada vez. Los procesadores de nodo de comprobación del grupo 2913 de procesadores de nodo de comprobación se controlan por el controlador 2911 de LDPC para realizar un procedimiento de nodo de comprobación en la secuencia de valores de LLR secuencialmente introducidos al mismo. A continuación, los procesadores de nodo de comprobación del grupo 2913 de procesadores de nodo de comprobación se controlan por el controlador 2911 de LDPC para emitir secuencialmente los valores de LLR que dan como resultado el procedimiento de nodo de comprobación. El des-rotador 2914 se controla por el controlador 2911 de LDPC para realizar un número predeterminado de desplazamientos cíclicos que cancelan el desplazamiento cíclico aplicado al bloque cíclico recibido secuencialmente del grupo 2913 de procesadores de nodo de comprobación por el rotador 2912, a continuación emite secuencialmente los resultados desplazados a la memoria 2901 de LLR principal. El controlador 2911 de LDPC emite la dirección de escritura a la memoria 2901 de LLR principal de acuerdo con la matriz de comprobación de paridad de los códigos de LDPC. Por lo tanto, la memoria 2901 de LLR principal almacena el bloque cíclico de resultados secuencialmente suministrados al mismo por el des-rotador 2914. El controlador 2911 de LDPC ejecuta repetitivamente el procesamiento anteriormente descrito de acuerdo con la matriz de comprobación de paridad de los códigos de LDPC.

Después de un número predeterminado de iteraciones de LDPC, se realiza una iteración de BICM. Las iteraciones de LDPC y BICM también se denominan respectivamente como iteraciones internas y externas. Estos dos tipos de iteración pueden también solapar en algunas implementaciones. Esto posibilita que se aumente la velocidad de convergencia. Los procedimientos de decodificación de BICM y LDPC son bien conocidos en el campo, y por lo tanto se omiten los detalles de los mismos.

El contador 2931 de QB cuenta de 0 a 11 y emite el valor de contador a la tabla A 2932. La operación de recuento del contador 2931 de QB se define en consideración de  $N = 12$ .

La tabla A 2932 es una tabla de búsqueda sencilla en la que se almacenan las reglas de permutación de bloque cíclico. Es decir, la tabla A 2932 almacena  $N = 12$  piezas de información de orden (es decir, con información que asocia un bloque cíclico diferente con cada uno de los 12 valores de contador del contador 2631 de QB) de lectura (y escritura) de bloque cíclico. La tabla A 2932 emite la dirección de lectura a la memoria 2901 de LLR principal y a la memoria 2902 de LLR de memoria intermedia de manera que un bloque cíclico de valores de LLR que corresponde al valor de contador suministrado por el contador 2931 de QB se suministra al grupo 2933 de restadores por la memoria 2901 de LLR principal y a la memoria 2902 de LLR de memoria intermedia. Por lo tanto, la memoria 2901 de LLR principal y la memoria 2902 de LLR de memoria intermedia cada una emite un bloque cíclico de valores de LLR que corresponde al valor de contador del contador 2931 de QB al restador 2933. El retardador 2941 hace un ajuste de retardo de manera que la posición del valor de LLR leído de la memoria 2901 de LLR principal y la memoria 2902 de LLR de memoria intermedia coincide con la posición de escritura de los mismos valores de LLR a la memoria 2901 de LLR principal y la memoria 2902 de LLR de memoria intermedia. El procesamiento que usa la tabla A 2932 se ejecuta como el procedimiento de permutación de bloque cíclico (etapa A).

El restador 2933 en el grupo de restadores resta la salida de la memoria 2902 de LLR de memoria intermedia de la salida de la memoria 2901 de LLR principal, a continuación emite la información extrínseca para un bloque cíclico obtenido de esta manera (es decir, ocho piezas de información extrínseca) al intercalador B 2934.

El intercalador B 2634 realiza un número predeterminado de desplazamientos cíclicos en las piezas de información extrínseca para uno de los bloques cíclicos suministrados por el restador 2933, y emite los resultados a un nivel de primer registro del grupo 2935 de registros. El procesamiento realizado por el intercalador B 2934 corresponde a la permutación de bloque intra cíclico (etapa B). Cada registro en el grupo 2935 de registros almacena ocho bits con temporización que coincide con la recepción de un pulso de control, y emite los ocho bits antes de recibir el siguiente pulso de control.

Cuando el contador 2631 de QB realiza el procedimiento anteriormente mencionado para valores de contador 0 a 3, la información extrínseca para cuatro bloques cíclicos (es decir, 32 piezas de información extrínseca) se introduce al intercalador C 2936. En este momento, el intercalador C 2936 realiza un procedimiento de intercalación en la información extrínseca introducida al mismo para cuatro bloques cíclicos, a continuación emite una palabra de constelación de información extrínseca (es decir,  $M = 4$  piezas de información extrínseca) a cada desmapeador del grupo 2937 de desmapeadores. A través del procedimiento de intercalación, las cuatro piezas de información extrínseca se suministran a los desmapeadores del grupo 2951 de desmapeadores de los cuatro registros en el grupo 2935 de registros, uno cada vez. Este procesamiento por el intercalador C 2936 se ejecuta como el procedimiento de permutación de columna-fila (etapa C).

El contador 2931 de QB, la tabla A 2932, el intercalador B 2934, el grupo 2935 de registros, y el intercalador C 2936 componen el intercalador 2750 de bits del decodificador de BICM mostrado en la Figura 28.

Los desmapeadores del grupo 2937 de desmapeadores usan las cuatro piezas de información extrínseca

suministradas por el intercalador C 2936 como información a priori para realizar un procedimiento de desmapeo, a continuación emiten los valores resultantes de LLR al desintercalador C 2938.

5 El desintercalador C 2938 aplica un procedimiento de desintercalación a los valores de LLR (es decir, un nuevo procedimiento de intercalación que cancela el procedimiento de intercalación aplicado por el transmisor durante la etapa C), a continuación emite los valores de LLR desintercalados a los registros del grupo 2939 de registros. Cada registro almacena un bloque cíclico de valores de LLR (es decir, ocho valores de LLR). En el grupo 2939 de registros, el bloque cíclico de valores de LLR almacenado por cada registro se emite secuencialmente a un nivel posterior de manera que el contenido de cada registro se actualiza secuencialmente. El desintercalador B 2940 aplica un procedimiento de desintercalación al bloque cíclico de (ocho) valores de LLR (es decir, un nuevo procedimiento de intercalación que cancela el procedimiento de intercalación aplicado por el transmisor durante la etapa B), a continuación escribe los resultados a la memoria 2901 de LLR principal y la memoria 2902 de LLR de memoria intermedia. La memoria 2901 de LLR principal y la memoria 2902 de LLR de memoria intermedia reciben la dirección de escritura de la tabla A 2932 mediante el des-retardador 2941, a continuación almacenan un bloque cíclico de valores de LLR (es decir, ocho valores de LLR) recibidos del desintercalador 2940 de acuerdo con la dirección de escritura recibida. Un procedimiento de intercalación que cancela el procedimiento de intercalación aplicado por el transmisor durante la etapa A (es decir, un procedimiento de desintercalación) se consigue mediante esta escritura de acuerdo con el contenido de la tabla A 2932.

Para cada palabra de código, el conjunto anteriormente descrito de procedimientos se aplica tres veces, una vez para cada valor de contador 0-3, 4-7, y 8-11 del contador 2931 de QB.

20 El contador 2931 de QB, la tabla A 2932, el desintercalador B 26938, el grupo 2939 de registro, y el intercalador C 2940 componen el intercalador 2730 de bits del decodificador de BICM mostrado en la Figura 28.

El intercalador B 2934 y el desintercalador B 2940 son reconfigurables. Esto requiere un cierto coste de hardware, aunque este coste se minimiza mediante diseño atento. El intercalador C 2936 y el desintercalador 2938 implementan la permutación de columna-fila. Esta permutación es uniforme durante un tamaño de constelación predeterminado. Por lo tanto, se reduce el coste de implementación.

30 La realización representada en la Figura 29 incluye  $Q$  desmapeadores que operan en paralelo. Sin embargo, los desmapeadores también son realizables como un decodificador de BICM iterativo reduciendo o aumentando el paralelismo. Por ejemplo, el número de secciones de intercalador paralelas en el intercalador de bits, es decir, el cociente de  $N/M$ , de manera evidente puede aumentarse para mejorar fácilmente el paralelismo. Tales procedimientos posibilitan que se optimice el paralelismo paralelizando los  $Q \times N/M$  desmapeadores. El intercalador de bits anteriormente descrito tiene el mérito de poder implementarse con tal paralelismo sin problema.

(Complemento 1)

35 La presente divulgación no está limitada a las realizaciones anteriormente descritas. Con la condición de que se consigan los objetivos de la invención y reivindicaciones adjuntas, son posibles también otras variaciones, tales como las siguientes.

(1) La realización 1 se ha descrito anteriormente usando los parámetros  $N = 12$ ,  $Q = 8$ , y  $M = 4$ . Sin embargo, no se pretende limitación a los parámetros  $N$ ,  $M$ , y  $Q$ . En este punto,  $N$  puede ser cualquier múltiplo de  $M$ . Cuando  $N$  es dos o más veces  $M$ , el procesamiento por el intercalador de bits es divisible en una pluralidad de secciones.

40 (2) En las realizaciones anteriormente descritas, las constelaciones se describen como 16-QAM (es decir,  $M = 4$ ). Sin embargo, las constelaciones pueden especificarse por otros procedimientos de modulación tales como QPSK y QAM, tales como constelaciones circulares empleadas en la norma de DVB-S2, constelaciones de dimensiones superiores, y así sucesivamente.

45 (3) Los procedimientos y dispositivos analizados en las realizaciones anteriores pueden implementarse como software o como hardware. No se pretende limitación particular en este sentido. Específicamente, las realizaciones anteriormente descritas pueden implementarse como un medio legible por ordenador que tiene realizado en el mismo instrucciones ejecutables por ordenador que están adaptadas para permitir que un ordenador, un microprocesador, un microcontrolador, y similares ejecuten los procedimientos anteriormente descritos. También, las realizaciones anteriormente descritas pueden implementarse como un Circuito Integrado Específico de la Aplicación (ASIC) o como un Campo de Matriz de Puertas Programables (FPGA).

50 (Complemento 2)

El procedimiento de intercalación de bits, intercalador de bits, procedimiento de desintercalación de bits, desintercalador de bits, y decodificador de la presente divulgación, y los efectos de los mismos, se describen a continuación.

55 En un primer aspecto de un procedimiento de intercalación de bits, un procedimiento de intercalación de bits para un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad cuasi-cíclicos comprende:

una etapa de recepción de recepción de una palabra de código de los códigos de comprobación de paridad de baja densidad cuasi-cíclicos compuestos de  $N$  bloques cíclicos incluyendo cada uno  $Q$  bits; una etapa de permutación de bits de aplicación de un procedimiento de permutación de bits a la palabra de código para permutar los bits en la palabra de código; y una etapa de división de división de la palabra de código, después del procedimiento de permutación de bits, en una pluralidad de palabras de constelación, estando compuesta cada una de las palabras de constelación de  $M$  bits e indicando uno de  $2^M$  puntos de constelación predeterminados, en el que antes del procedimiento de permutación de bits, la palabra de código se divide en  $N/M$  secciones, incluyendo cada una de las secciones  $M$  de los bloques cíclicos, y estando asociada cada una de las palabras de constelación con una de las  $N/M$  secciones, y en la etapa de permutación de bits, el procedimiento de permutación de bits se aplica de manera que los  $M$  bits en cada una de las palabras de constelación incluye un bit de cada uno de  $M$  diferentes bloques cíclicos en una sección dada asociada con una palabra de constelación dada, y de manera que todos bits de la sección dada se mapean únicamente a  $Q$  de las palabras de constelación asociadas con la sección dada.

En otro aspecto, un primer intercalador de bits para un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad cuasi-cíclicos comprende: una unidad de permutación de bits que recibe una palabra de código de los códigos de comprobación de paridad de baja densidad cuasi-cíclicos compuestos de  $N$  bloques cíclicos incluyendo cada uno  $Q$  bits, aplicar un procedimiento de permutación de bits a la palabra de código para permutar los bits en la palabra de código, y dividir la palabra de código, para emitir después el procedimiento de permutación de bits, en una pluralidad de palabras de constelación, estando compuesta cada una de las palabras de constelación de  $M$  bits y que indica uno de  $2^M$  puntos de constelación predeterminados, en el que antes del procedimiento de permutación de bits, la palabra de código se divide en  $N/M$  secciones, incluyendo cada una de las secciones  $M$  de los bloques cíclicos, y estando asociada cada una de las palabras de constelación con una de las  $N/M$  secciones, y la unidad de permutación de bits se aplica al procedimiento de permutación de bits de manera que los  $M$  bits en cada una de las palabras de constelación incluye un bit de cada uno de los  $M$  diferentes bloques cíclicos en una sección dada asociada con una palabra de constelación dada, y de manera que todos los bits de la sección dada se mapean a únicamente  $Q$  de las palabras de constelación asociadas con la sección dada.

Por consiguiente, es conseguible un procedimiento de intercalación de bits que tiene alto paralelismo.

En un segundo aspecto del procedimiento de intercalación de bits, la etapa de permutación de bits incluye una etapa de permutación de sección de aplicación de un procedimiento de permutación de sección independientemente a cada una de las  $N/M$  secciones para permutar los bits en cada una de las secciones.

También, en un segundo aspecto de un intercalador de bits, la unidad de permutación de bits incluye una unidad de permutación de sección que aplica un procedimiento de permutación de sección independientemente a cada una de las  $N/M$  secciones para permutar los bits en cada una de las secciones.

Por consiguiente, son ejecutables en paralelo una pluralidad de procedimientos de permutación de sección de pliegue.

En un tercer aspecto del procedimiento de intercalación de bits, en la etapa de permutación de sección, se aplica el procedimiento de permutación de sección de manera que los  $Q$  bits en el bloque cíclico dado se mapean cada uno a un bit de un índice de bit idéntico en las  $Q$  palabras de constelación asociadas con la sección dada que corresponden al bloque cíclico dado.

También, en un tercer aspecto de un intercalador de bits, la unidad de permutación de sección aplica el procedimiento de permutación de sección de manera que los  $Q$  bits en el bloque cíclico dado se mapean cada uno a un bit de un índice de bit idéntico en las  $Q$  palabras de constelación asociadas con la sección dada que corresponde al bloque cíclico dado.

Por consiguiente, los bits de la palabra de código que tienen la misma importancia se mapean a bits de la palabra de constelación que tienen el mismo nivel de robustez, permitiendo una coincidencia de importancia y nivel de robustez. Por ejemplo, el bit de la palabra de código que tiene la importancia más alta puede mapearse a un bit de la palabra de constelación que tiene el nivel de robustez más alto. En un caso de este tipo, se consigue alta fiabilidad en el momento de recepción para el bit de la palabra de código que tiene la importancia más alta, dando como resultado capacidad de recepción mayor.

En un cuarto aspecto del procedimiento de intercalación de bits, la etapa de permutación de sección incluye una etapa de permutación de columna-fila de aplicación de un procedimiento de permutación de columna-fila a los  $M \times Q$  bits en cada una de las secciones, para permutar los bits en cada una de las secciones.

En un quinto aspecto del procedimiento de intercalación de bits, la etapa de permutación de sección incluye, para cada una de las  $N/M$  secciones: una etapa de permutación de bloque intra cíclico de aplicación de un procedimiento de permutación de bloque intra cíclico independientemente a cada uno de los bloques cíclicos para permutar los bits en cada uno de los bloques cíclicos, y una etapa de permutación de columna-fila de aplicación de un procedimiento de permutación de columna-fila a los  $M \times Q$  bits en cada una de las secciones, para permutar los  $M \times Q$  bits después del procedimiento de permutación de bloque cíclico.

En un sexto aspecto del procedimiento de intercalación de bits, el procedimiento de permutación de columna-fila es

equivalente a la escritura de los  $M \times Q$  bits a nivel de filas en una matriz que tiene  $Q$  columnas y  $M$  filas, leyendo a continuación los  $M \times Q$  bits a nivel de columna.

5 También, en un cuarto aspecto de un intercalador de bits, la unidad de permutación de sección incluye una unidad de permutación de columna-fila que aplica un procedimiento de permutación de columna-fila a los  $M \times Q$  bits en cada una de las secciones, para permutar los bits en cada una de las secciones.

10 También, en un quinto aspecto de un intercalador de bits, la unidad de permutación de sección aplica, a cada una de las  $N/M$  secciones: un procedimiento de permutación de bloque intra cíclico, aplicado independientemente a cada uno de los bloques cíclicos para permutar los bits en cada uno de los bloques cíclicos, y un procedimiento de permutación de columna-fila, aplicado a los  $M \times Q$  bits en cada una de las secciones para permutar los  $M \times Q$  bits después del procedimiento de permutación de bloque cíclico.

Por consiguiente, se usa una permutación de columna-fila en el procedimiento de permutación de sección, posibilitando por lo tanto la realización de un procedimiento de permutación de sección extremadamente eficaz.

15 En un séptimo aspecto del procedimiento de intercalación de bits, el procedimiento de intercalación de bits del primer aspecto comprende adicionalmente una etapa de permutación de bloque cíclico de aplicación de un procedimiento de permutación de bloque cíclico a los bloques cíclicos en la palabra de código para permutar los bloques cíclicos en la palabra de código.

También, en un sexto aspecto de un intercalador de bits, el intercalador de bits del primer aspecto comprende adicionalmente una unidad de permutación de bloque cíclico que aplica un procedimiento de permutación de bloque cíclico a los bloques cíclicos en la palabra de código para permutar los bloques cíclicos en la palabra de código.

20 Por consiguiente, los bits en la palabra de código se mapean óptimamente a los bits en la palabra de constelación, posibilitando por lo tanto optimización de BICM global.

25 En un aspecto adicional, un procedimiento de intercalación de bits para desintercalar un flujo de bits en un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad cuasi-cíclicos comprende: una etapa de recepción de recepción de una secuencia de bits compuesta de  $N \times Q$  bits; y una etapa de permutación de bits inversa de aplicación de un procedimiento de permutación de bits inverso a la secuencia de bits recibida para permutar los bits en la secuencia de bits para restaurar la palabra de código de los códigos de comprobación de paridad de baja densidad cuasi-cíclicos, en el que el procedimiento de permutación de bits inverso invierte el procedimiento de permutación de bits en el procedimiento de intercalación de bits del primer aspecto.

30 En un aspecto alternativo, un desintercalador de bits para desintercalar un flujo de bits en un sistema de comunicación que usa códigos de comprobación de paridad de baja densidad cuasi-cíclicos comprende: una unidad de permutación de bits inversa que recibe una secuencia de bits compuesta de  $N \times Q$  bits, y aplicar un procedimiento de permutación de bits inverso a la secuencia de bits recibida para permutar los bits en la secuencia de bits para restaurar una palabra de código de los códigos de comprobación de paridad de baja densidad cuasi-cíclicos, en el que el procedimiento de permutación de bits inverso invierte el procedimiento de permutación de bits aplicado por el intercalador de bits del primer aspecto.

35 En otro aspecto, un decodificador para un sistema de intercalación y demodulación de bits que usa códigos de comprobación de paridad de baja densidad cuasi-cíclicos comprende un desmapeador de constelación que genera una secuencia de bits flexible que indica una probabilidad de que un correspondiente bit sea uno de un bit cero y un bit uno; desintercalar el desintercalador de bits del aspecto alternativo la secuencia de bits flexible; y un decodificador de comprobación de paridad de baja densidad que decodifica la secuencia de bits flexible desintercalada.

40 En otro aspecto más, el decodificador del otro aspecto comprende adicionalmente: una unidad de resta que resta la entrada introducida al decodificador de comprobación de paridad de baja densidad de la salida del decodificador de comprobación de paridad de baja densidad; y el intercalador de bits del primer aspecto, que proporciona la diferencia de la unidad de resta al desmapeador de constelación como realimentación.

45 Por consiguiente, es conseguible un procedimiento de intercalación de bits que tiene alto paralelismo.

**[Aplicabilidad industrial]**

La presente invención es aplicable a un intercalador de bits en una codificación de bit-intercalado y sistema de modulación usado para códigos de paridad de baja densidad cuasi-cíclicos, y a un desintercalador de bits que corresponde a un intercalador de bits de este tipo.

50 **[Lista de signos de referencia]**

2000, 2300, 2400	intercalador de bits
2010	permutador de bits
2021-2023	permutador de sección



## ES 2 745 550 T3

2101, 2201	permutador de bits
2111-2122	permutador de bloque intra cíclico
2131-2133	permutador de columna-fila
2310	permutador de bloque cíclico
2500	transmisor
2510	codificador de LDPC
2520	intercalador de bits
2530	mapeador de constelación
2700, 2800	receptor
2710	desmapeador de constelación
2720	desintercalador de bits
2730	decodificador de LDPC
2740	restador
2750	intercalador de bits

**REIVINDICACIONES**

1. Un procedimiento de intercalación de bits para intercalar bits de una palabra de código generada en base a un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico, que incluye un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico de repetir-acumular, comprendiendo el procedimiento de intercalación de bits:

5 una etapa de permutación de bloque cíclico de aplicación de un procedimiento de permutación de bloque cíclico a la palabra de código compuesta de N bloques cíclicos que consiste cada uno en Q bits, para reordenar los bloques cíclicos de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos;

10 una etapa de permutación de bits de aplicación de un procedimiento de permutación de bits a la palabra de código después del procedimiento de permutación de bloque cíclico, para reordenar los bits de la palabra de código de acuerdo con una regla de permutación de bits que define una reordenación de los bits; y

15 una etapa de división para dividir la palabra de código después del procedimiento de permutación de bits en una pluralidad de palabras de constelación, estando compuesta cada una de las palabras de constelación de M bits, en el que

N es un múltiplo de M,

la regla de permutación de bits mapea todos los  $M \times Q$  bits de M diferentes bloques cíclicos a Q palabras de constelación de manera que los Q bits en cada uno de los N bloques cíclicos está cada uno asignado a un bit de un índice de bit idéntico en Q palabras de constelación y las Q palabras de constelación está cada una compuesta de un bit de cada uno de dichos M diferentes bloques cíclicos, siendo comunes dichos M diferentes bloques cíclicos a dichas Q palabras de constelación.

20

2. Un intercalador de bits para intercalar bits de una palabra de código generada en base a un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico, que incluye un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico de repetir-acumular, comprendiendo el intercalador de bits:

25 un permutador de bloque cíclico que aplica un procedimiento de permutación de bloque cíclico a la palabra de código compuesta de N bloques cíclicos que consiste cada una en Q bits, para reordenar los bloques cíclicos de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos;

30 un permutador de bits que aplica un procedimiento de permutación de bits a la palabra de código después del procedimiento de permutación de bloque cíclico, para reordenar los bits de la palabra de código de acuerdo con una regla de permutación de bits que define una reordenación de los bits; y un divisor que divide la palabra de código después del procedimiento de permutación de bits en una pluralidad de palabras de constelación, estando compuesta cada una de las palabras de constelación de M bits, en el que

35 N es un múltiplo de M,

la regla de permutación de bits mapea todos los  $M \times Q$  bits de M diferentes bloques cíclicos a Q palabras de constelación de manera que los Q bits en cada uno de los N bloques cíclicos está cada uno asignado a un bit de un índice de bit idéntico en Q palabras de constelación y las Q palabras de constelación está cada una compuesta de un bit de cada uno de dichos M diferentes bloques cíclicos, siendo comunes dichos M diferentes bloques cíclicos a dichas Q palabras de constelación.

3. Un procedimiento de procesamiento de señal para procesar una señal transmitida modulando  $N \times Q/M$  palabras de constelación, generándose las palabras de constelación aplicando un procedimiento de reordenación de bits a una palabra de código generada en base a un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico, que incluye un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico de repetir-acumular, y dividir bits de la palabra de código en las palabras de constelación, estando compuesta cada palabra de constelación de M bits, estando compuesta la palabra de código de N bloques cíclicos incluyendo cada uno Q bits, comprendiendo el procedimiento de reordenación de bits:

40 un procedimiento de permutación de bloque cíclico de reordenación de los bloques cíclicos de la palabra de código de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos; y un procedimiento de permutación de bits de reordenación de los bits de la palabra de código después del procedimiento de permutación de bloque cíclico de acuerdo con una regla de permutación de bits que define una reordenación de los bits, en el que

45 N es un múltiplo de M,

la regla de permutación de bits mapea todos los  $M \times Q$  bits de M diferentes bloques cíclicos a Q palabras de constelación de manera que los Q bits en cada uno de los N bloques cíclicos cada uno está asignado a un bit de un índice de bit idéntico en Q palabras de constelación y dichas Q palabras de constelación están compuestas cada una

50 de un bit de cada uno de dichos M diferentes bloques cíclicos, siendo comunes dichos M diferentes bloques cíclicos a dichas Q palabras de constelación, y comprendiendo el procedimiento de procesamiento de señal

55 una etapa de demodulación de generación de una señal demodulada demodulando la señal, que se ha transmitido modulando las  $N \times Q/M$  palabras de constelación; y

60 una etapa de decodificación de, realizar en la señal demodulada, un procedimiento de reversión que cancela el

procedimiento de permutación de bits y un procedimiento de revisión que cancela el procedimiento de permutación de bloque cíclico de acuerdo con la regla de permutación de bloque cíclico y la regla de permutación de bits, y un procedimiento de decodificación, generando por lo tanto datos antes de la codificación de acuerdo con el esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico.

- 5 4. Un procesador de señal para procesar una señal transmitida modulando  $NxQ/M$  palabras de constelación, generándose las palabras de constelación aplicando un procedimiento de reordenación de bits a una palabra de código generada en base a un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico, que incluye un esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico de repetir-acumular, y dividir bits de la palabra de código en las palabras de constelación, estando compuesta cada palabra de constelación de  $M$  bits, estando compuesta la palabra de código de  $N$  bloques cíclicos incluyendo cada uno  $Q$  bits, comprendiendo el procedimiento de reordenación de bits:

15 un procedimiento de permutación de bloque cíclico de reordenación de los bloques cíclicos de la palabra de código de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos; y un procedimiento de permutación de bits de reordenación de los bits de la palabra de código después del procedimiento de permutación de bloque cíclico de acuerdo con una regla de permutación de bits que define una reordenación de los bits, en el que

20  $N$  es un múltiplo de  $M$ , la regla de permutación de bits mapea todos los  $MxQ$  bits de  $M$  diferentes bloques cíclicos a  $Q$  palabras de constelación de manera que los  $Q$  bits en cada uno de los  $N$  bloques cíclicos se asigna cada uno a un bit de un índice de bit idéntico en  $Q$  palabras de constelación y dichas  $Q$  palabras de constelación están compuestas cada una de un bit de cada uno de dichos  $M$  diferentes bloques cíclicos, siendo comunes dichos  $M$  diferentes bloques cíclicos a dichas  $Q$  palabras de constelación, y

25 comprendiendo el procesador de señal generar un demodulador una señal demodulada demodulando la señal, que se ha transmitido modulando las  $NxQ/M$  palabras de constelación; y

30 un decodificador que realiza, en la señal demodulada, un procedimiento de reversión que cancela el procedimiento de permutación de bits y un procedimiento de revisión que cancela el procedimiento de permutación de bloque cíclico de acuerdo con la regla de permutación de bloque cíclico y la regla de permutación de bits, y un procedimiento de decodificación, generando por lo tanto datos antes de codificación de acuerdo con el esquema de codificación de comprobación de paridad de baja densidad cuasi-cíclico.

FIG. 1

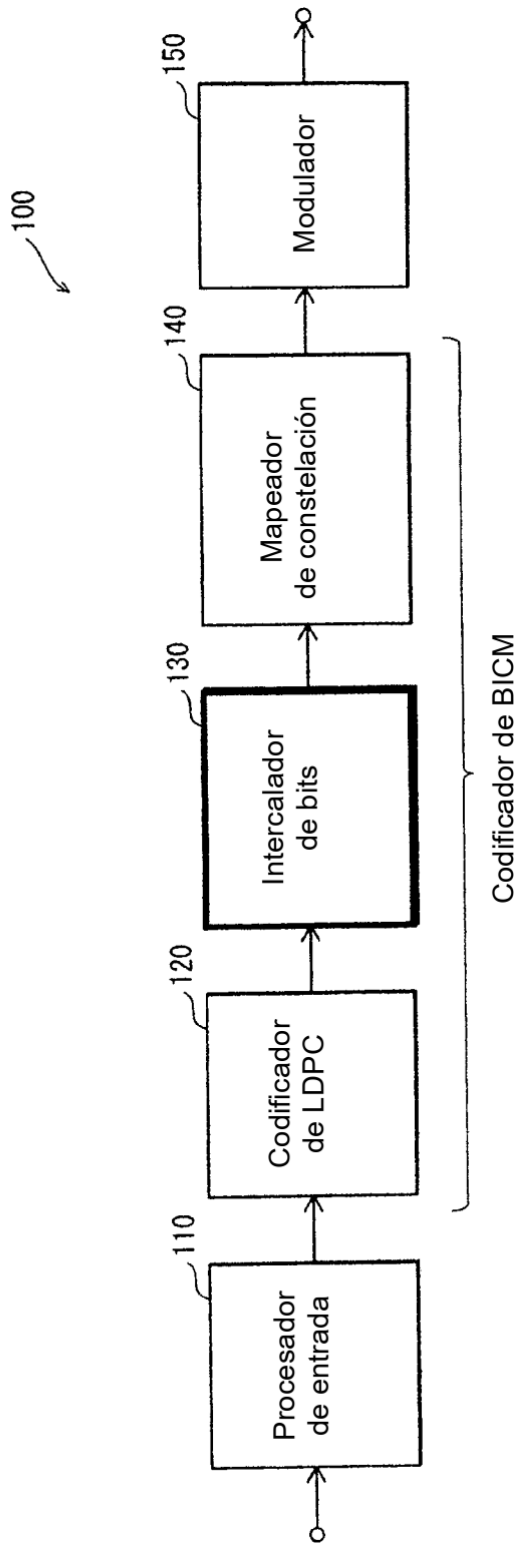


FIG. 2

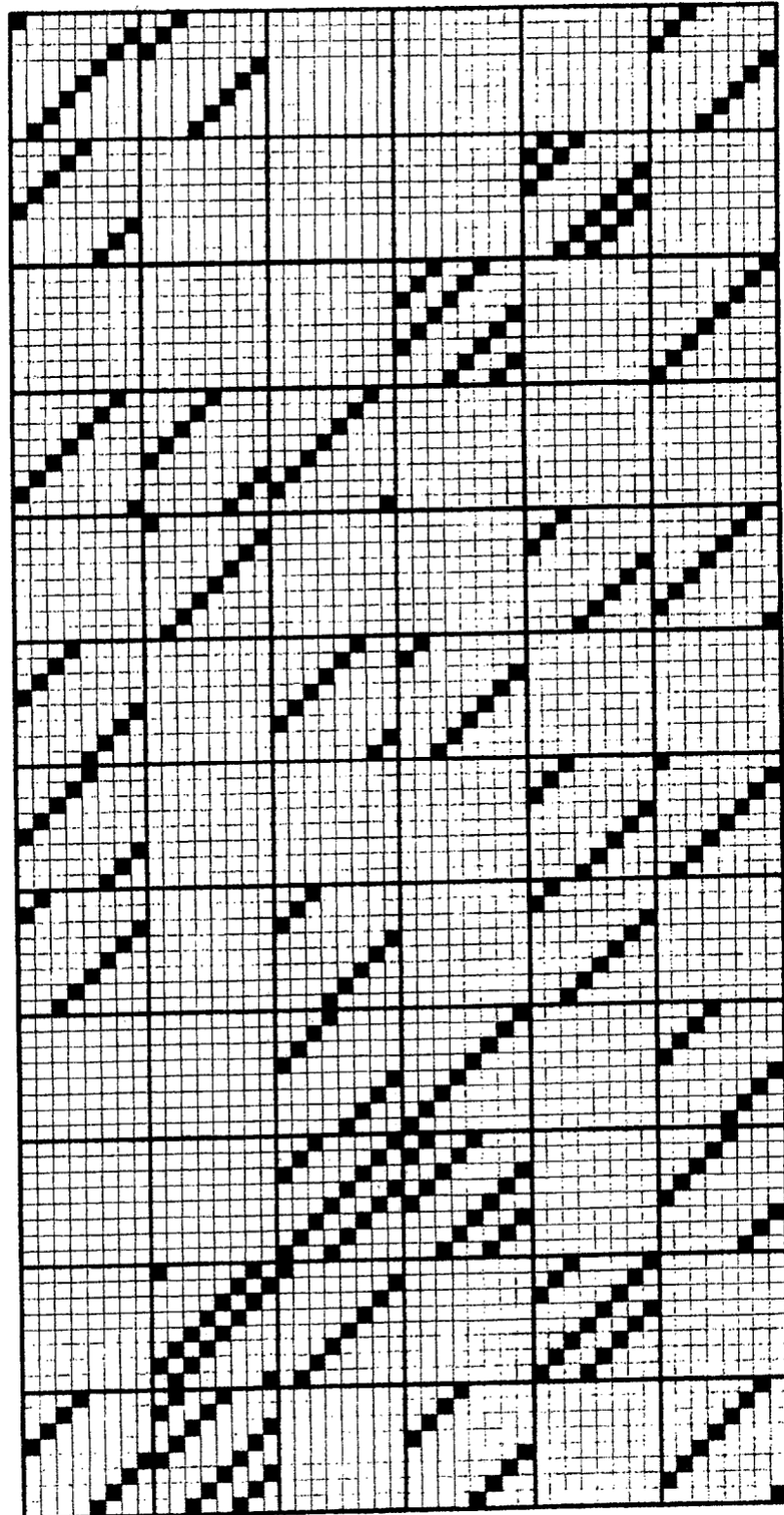


FIG. 3

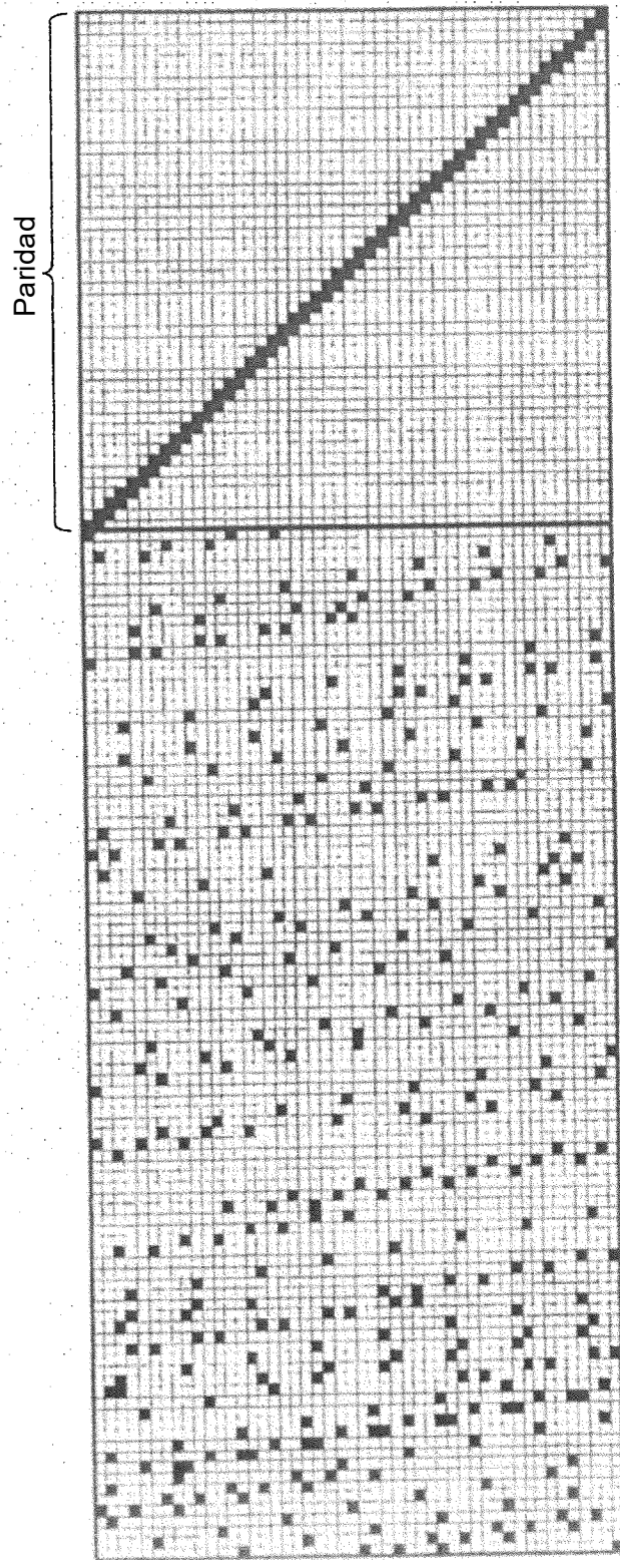


FIG. 4

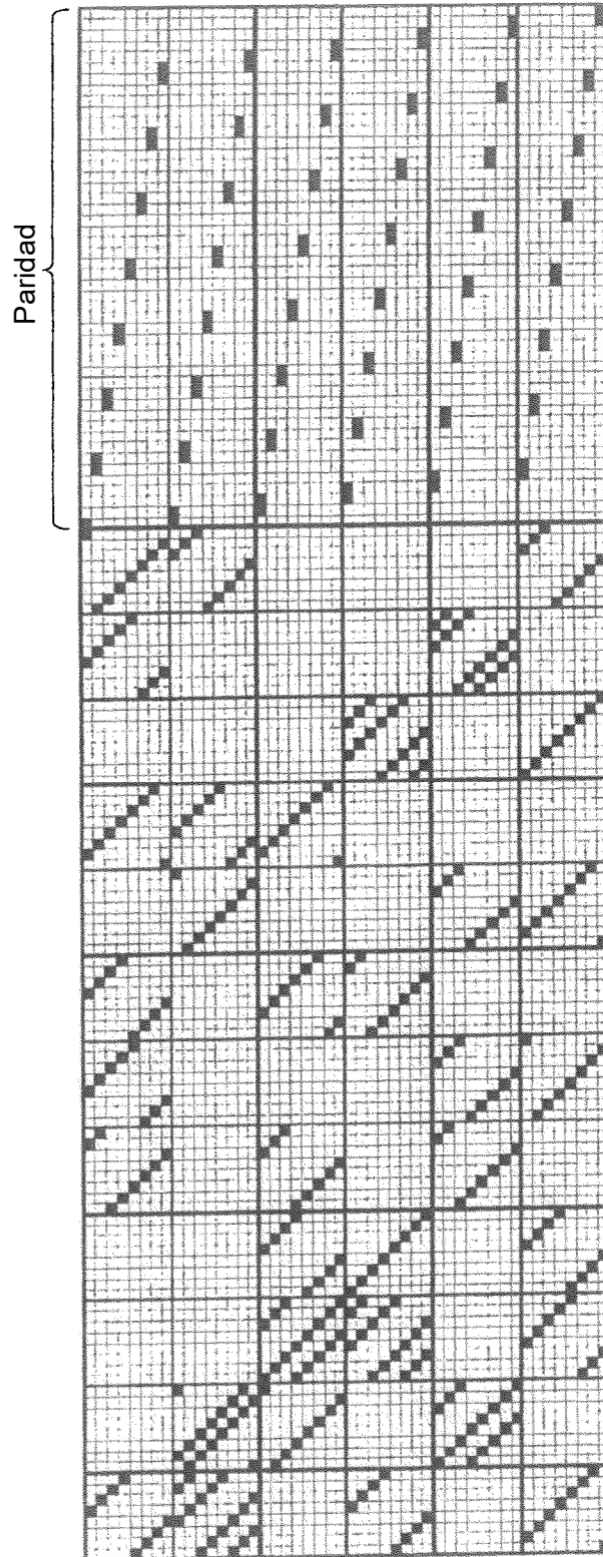


FIG. 5

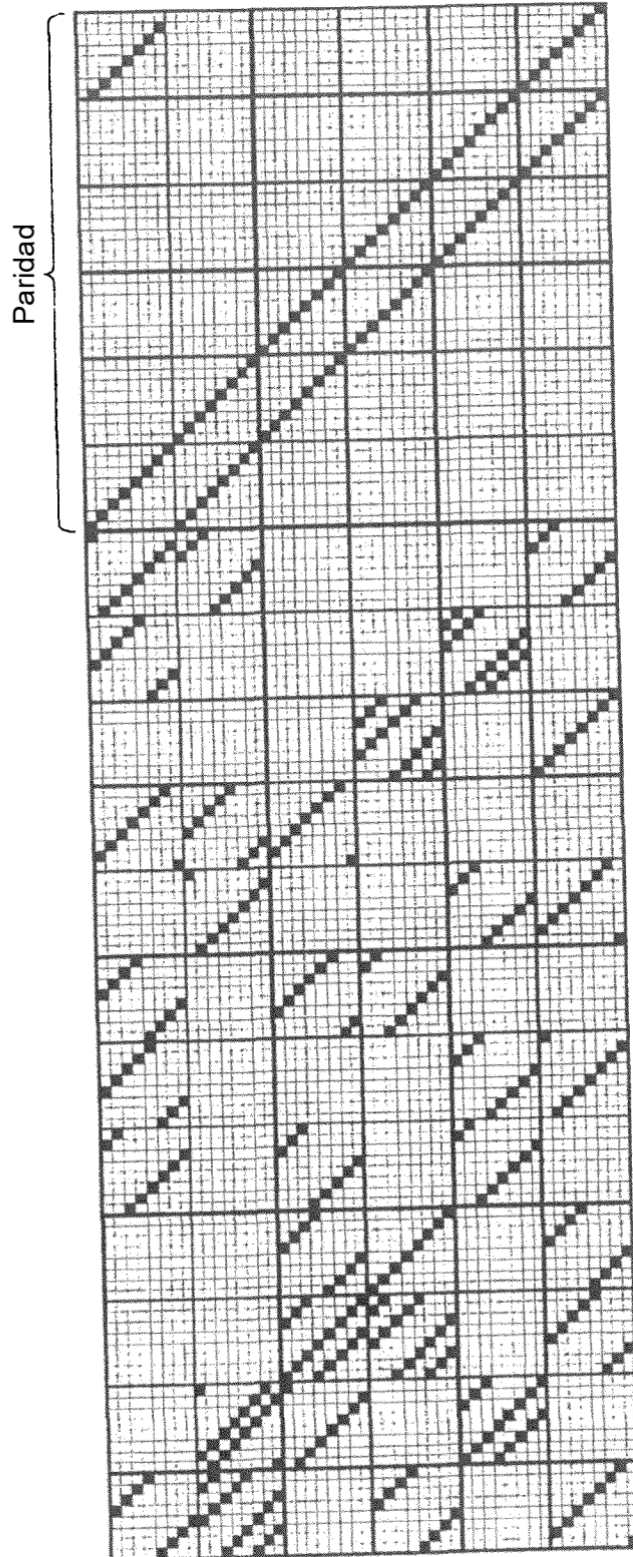




FIG. 6

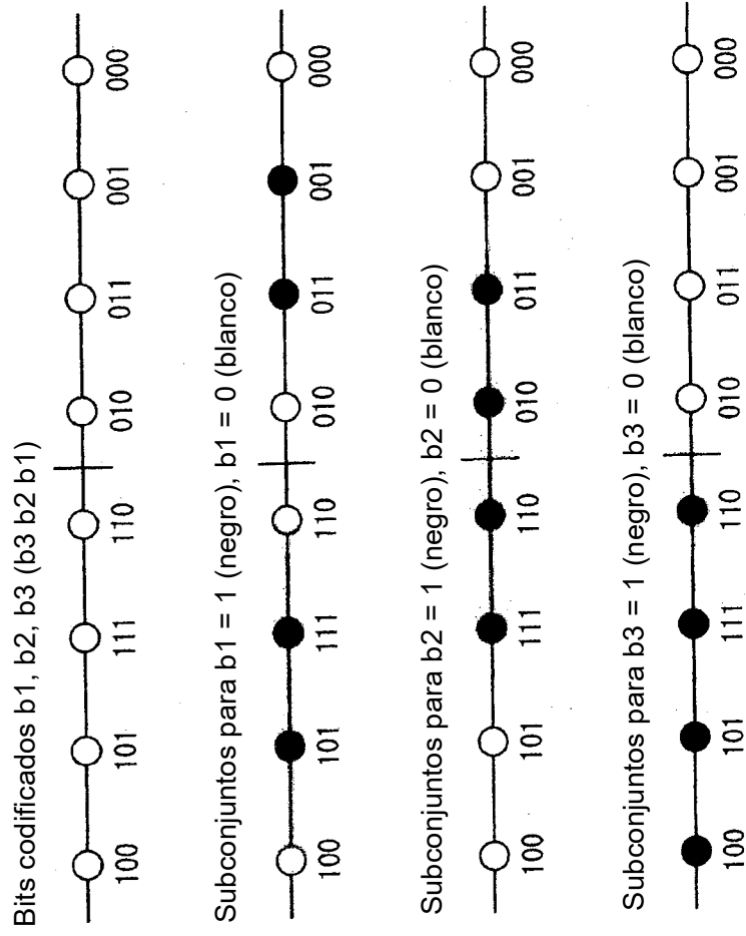
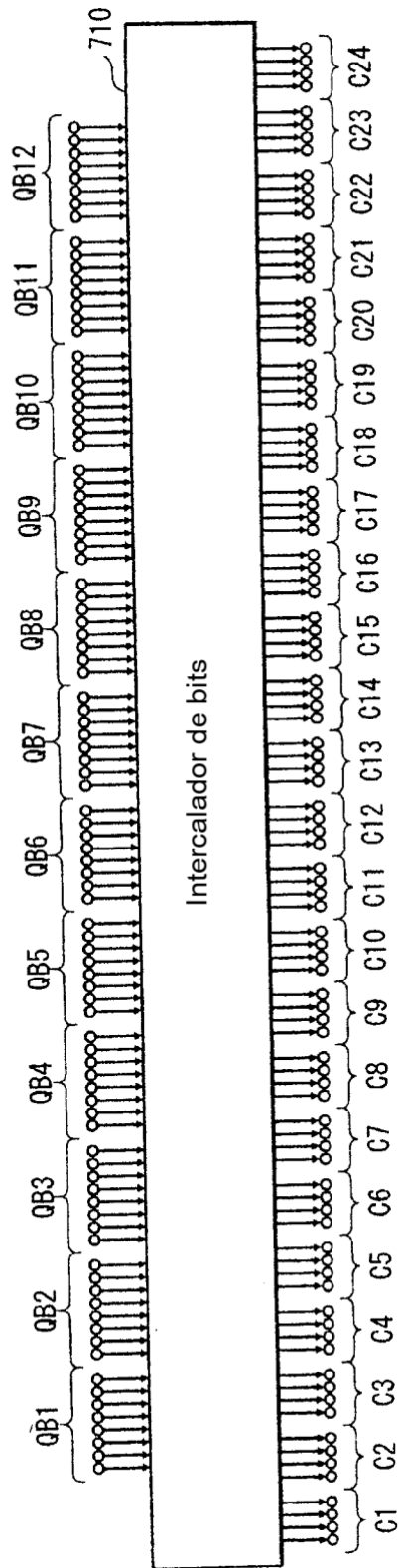


FIG. 7



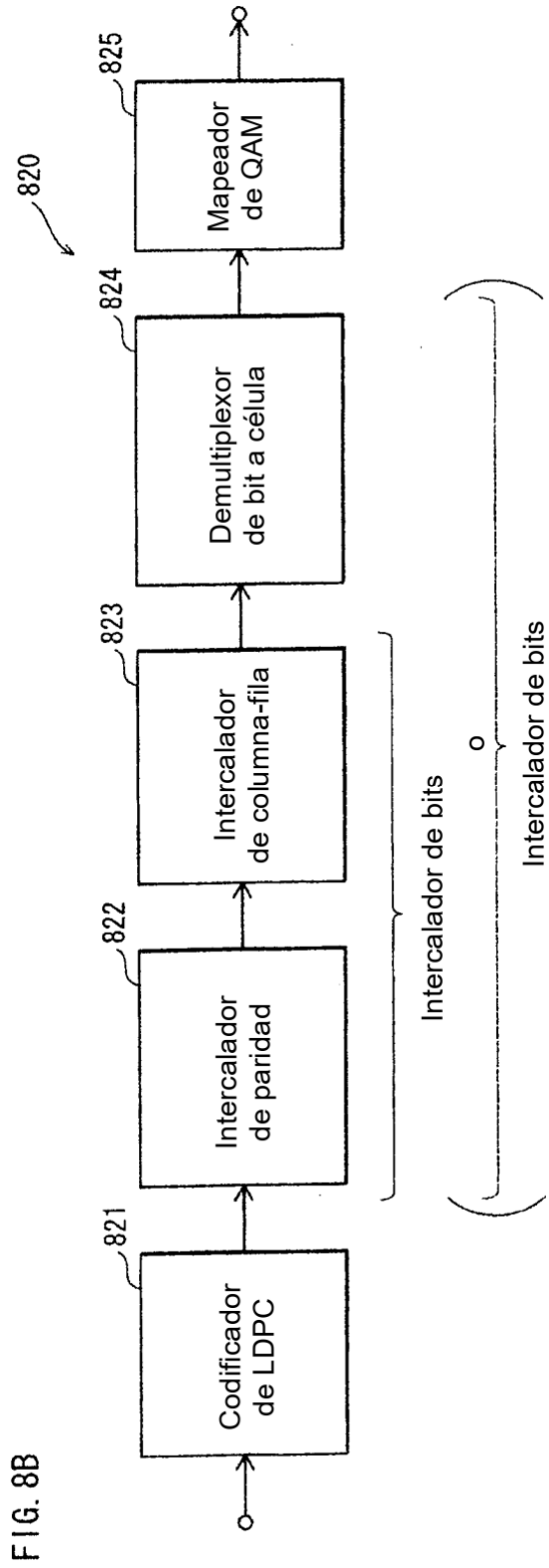
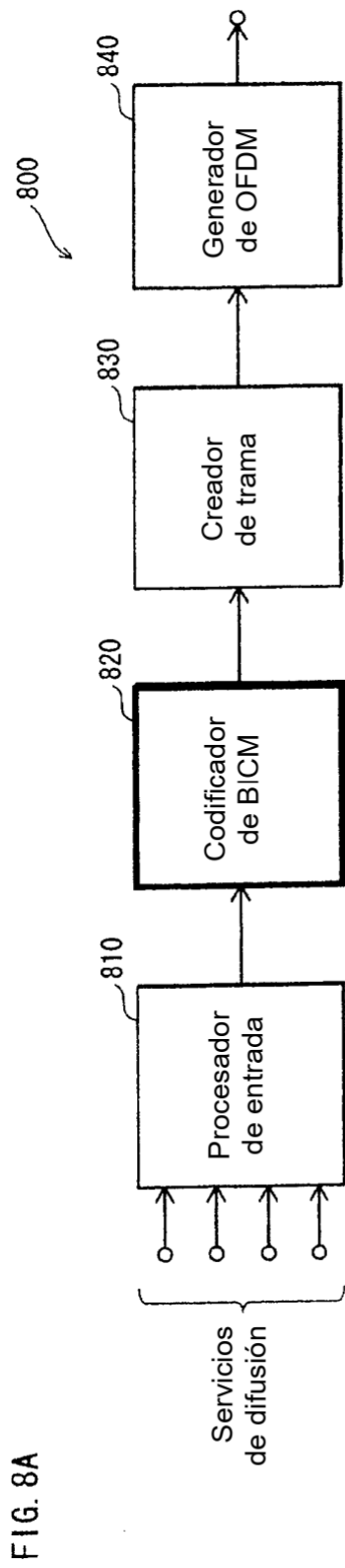


FIG. 9B

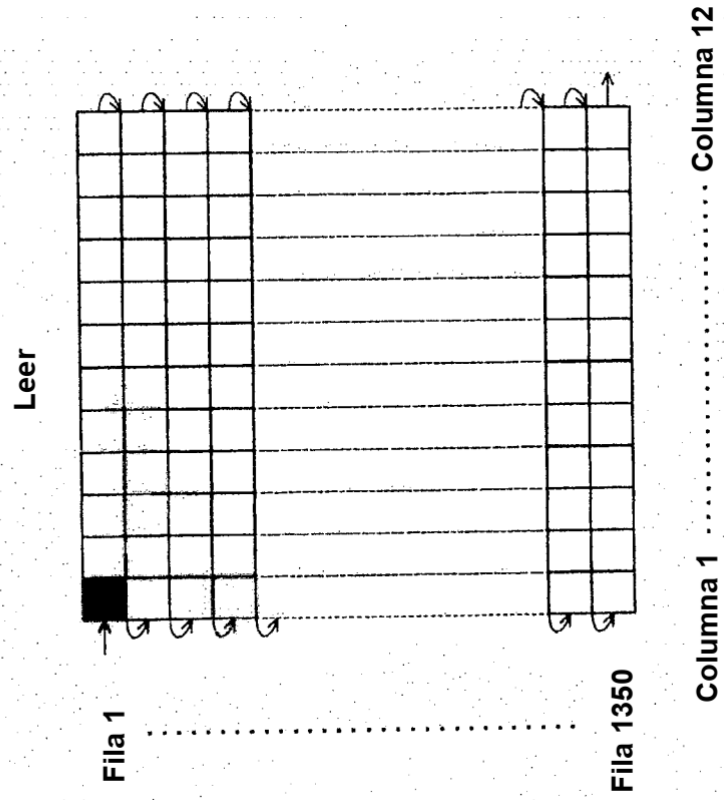


FIG. 9A

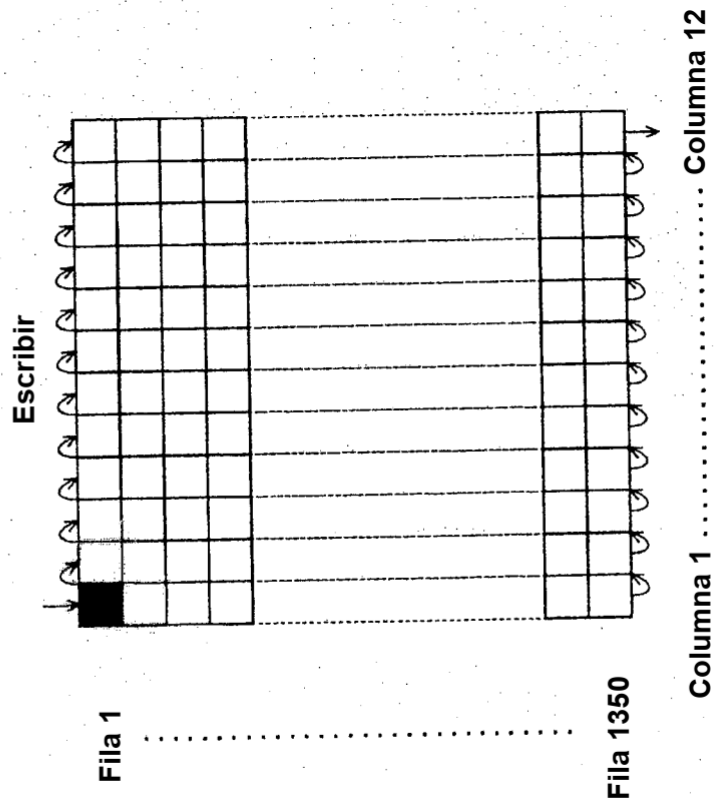


FIG. 10B

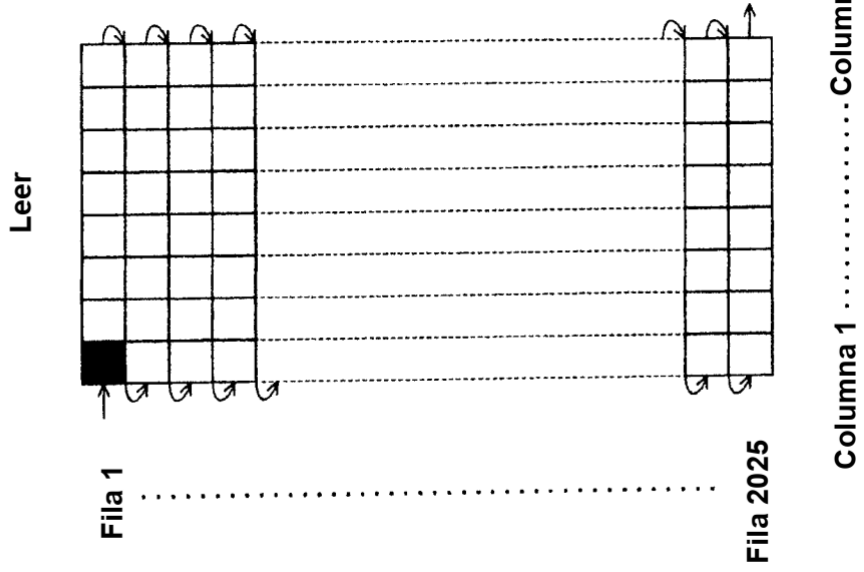


FIG. 10A

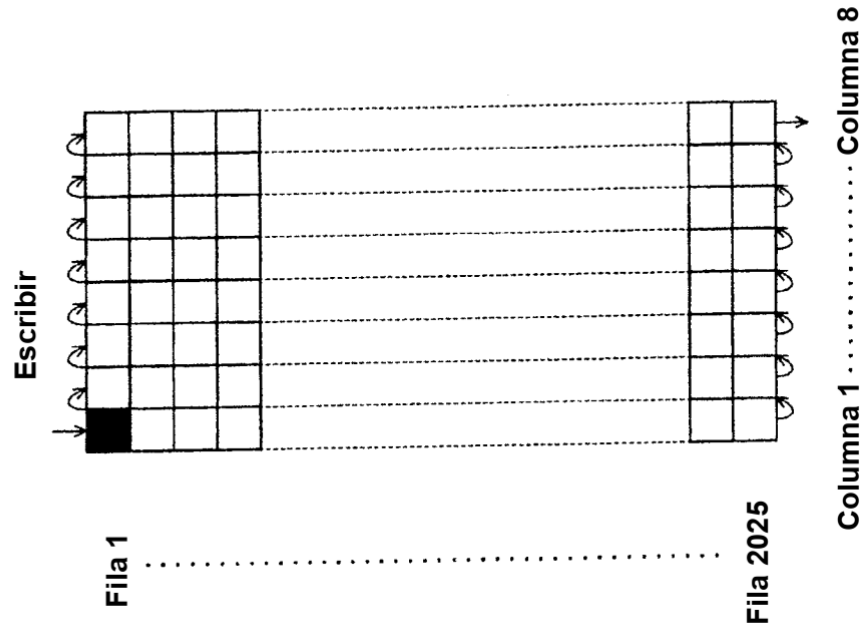


FIG. 11

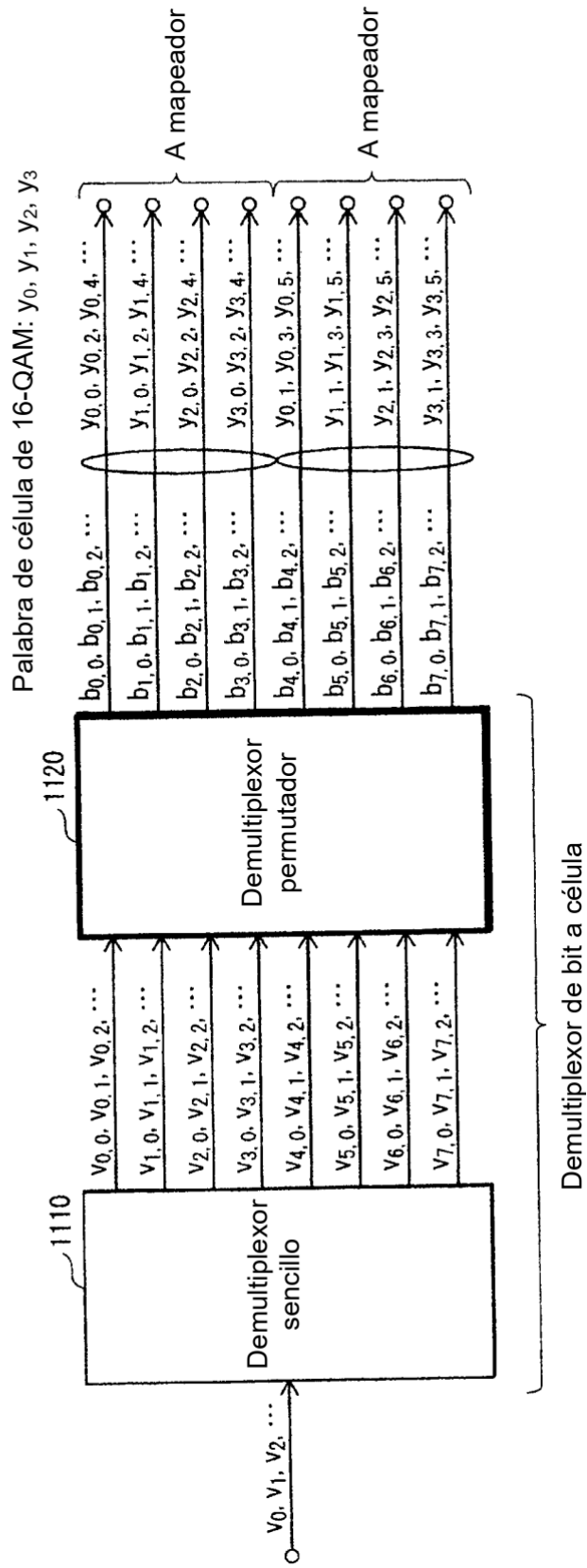


FIG. 12

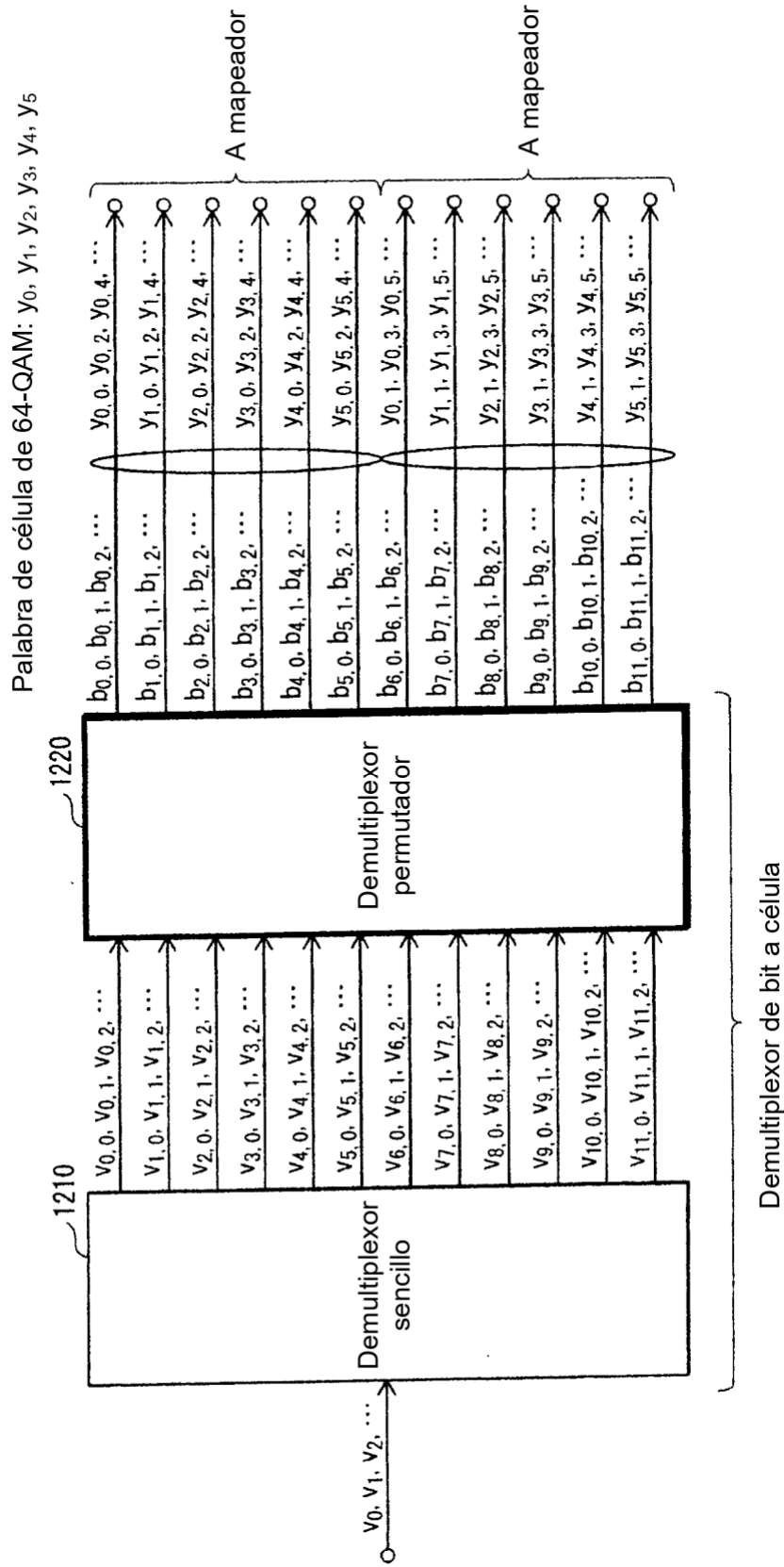
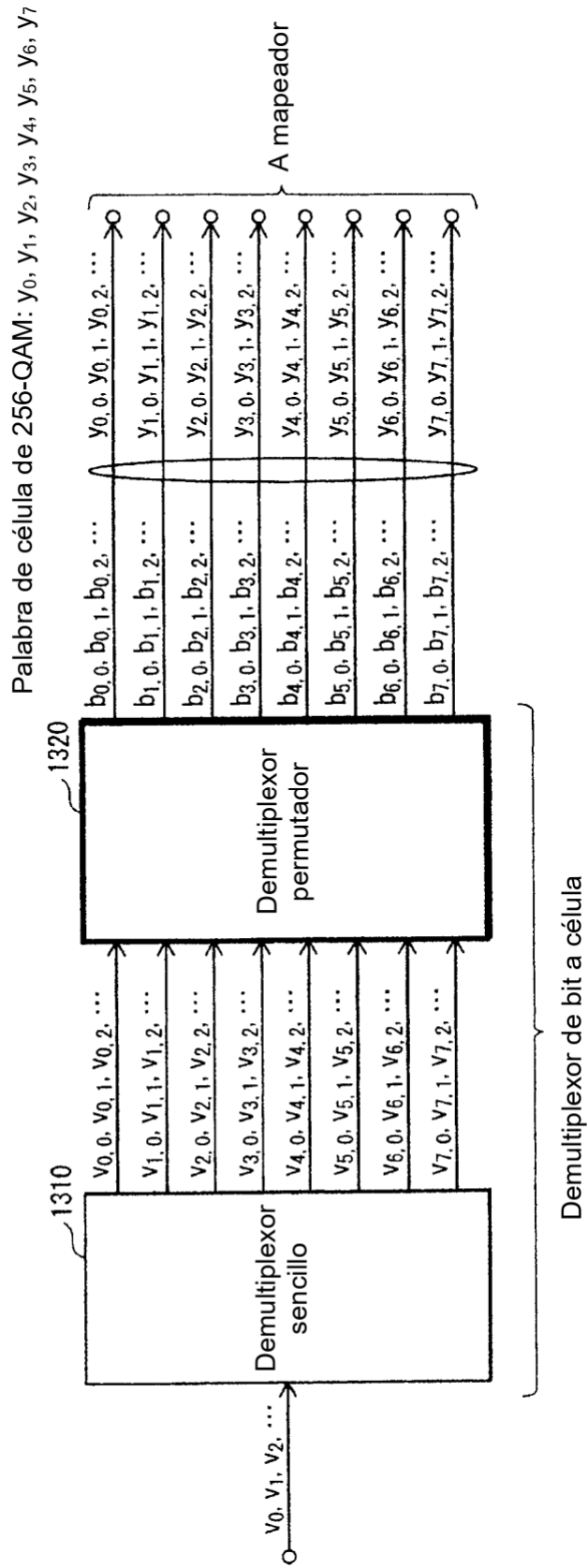
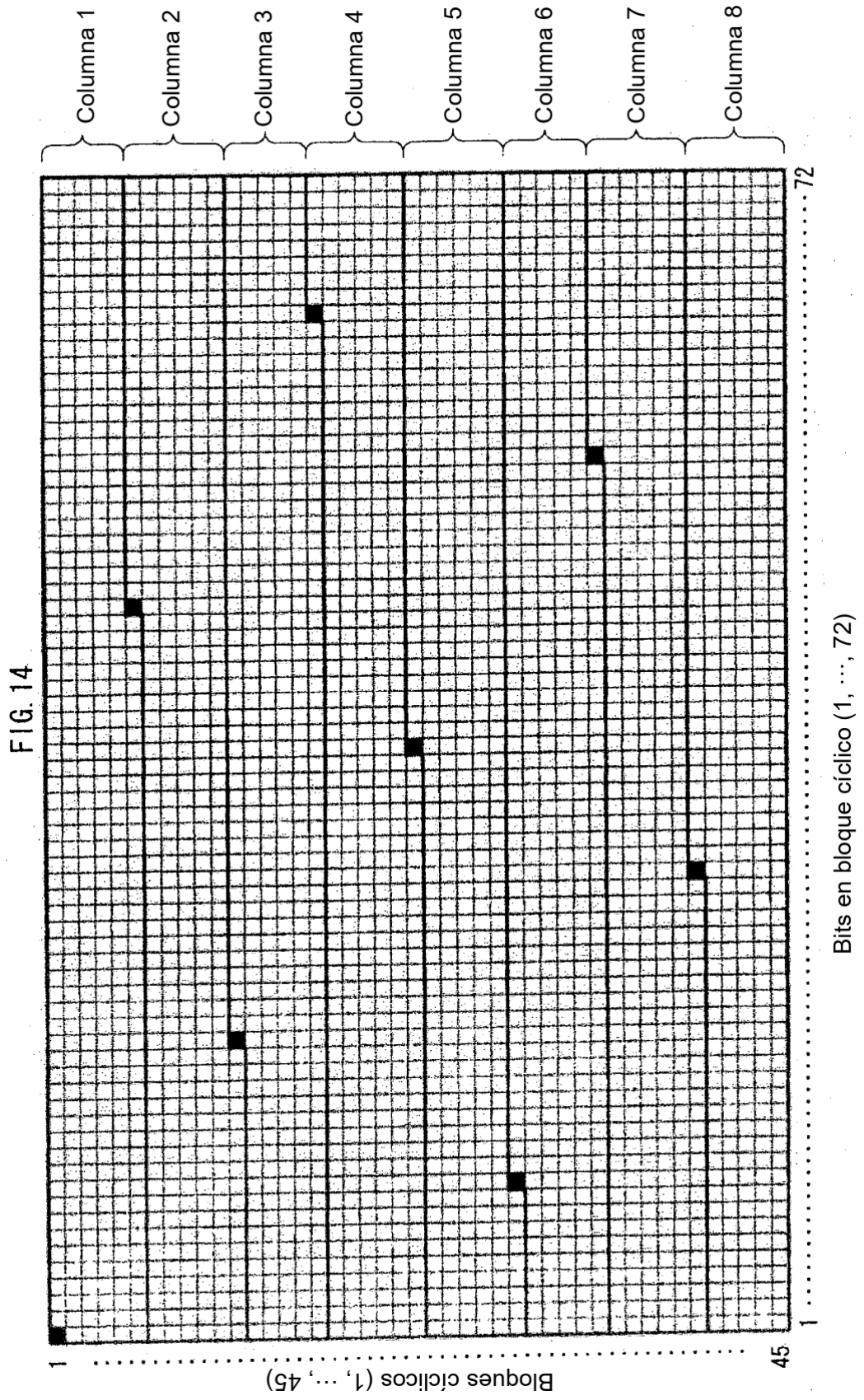
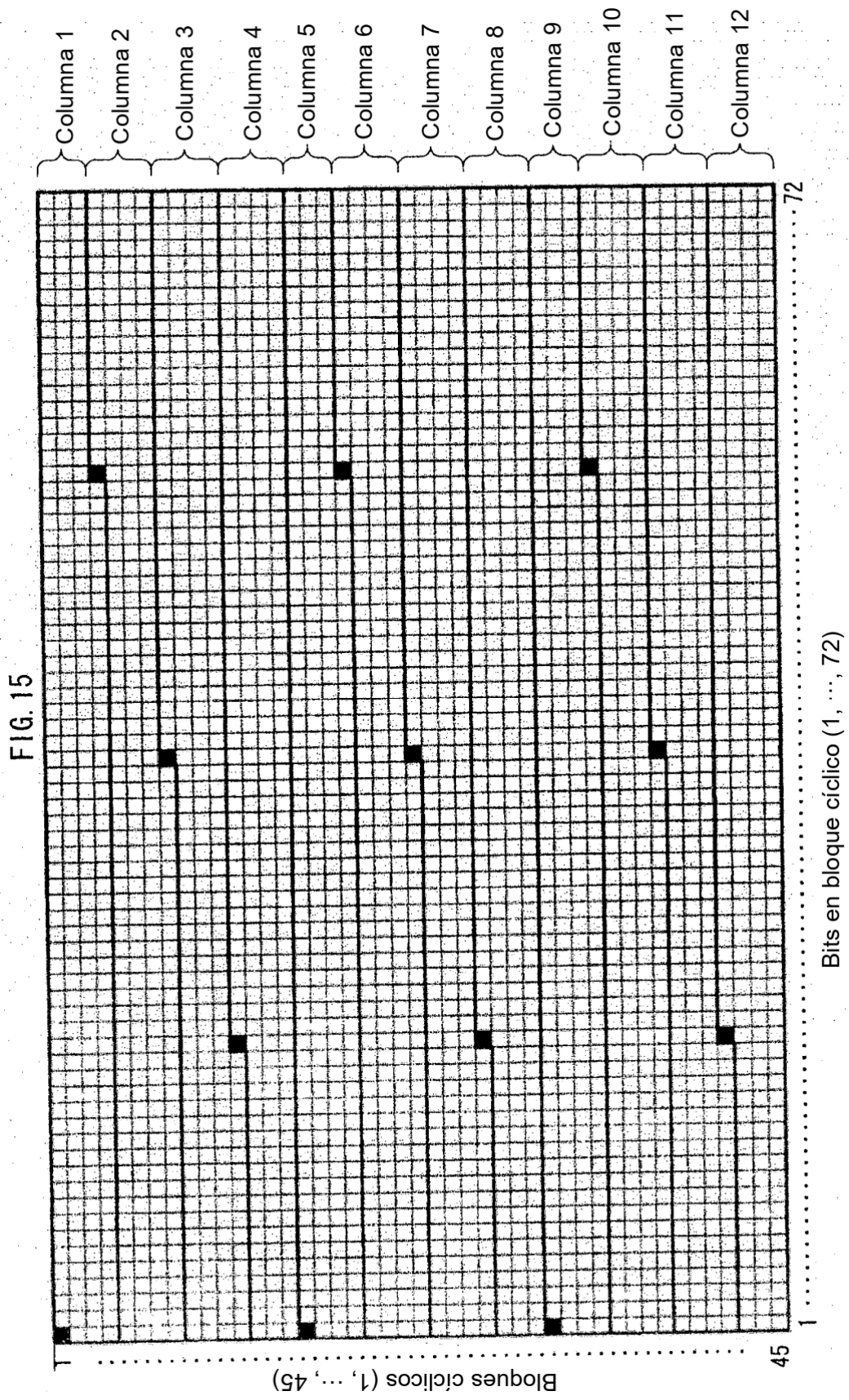


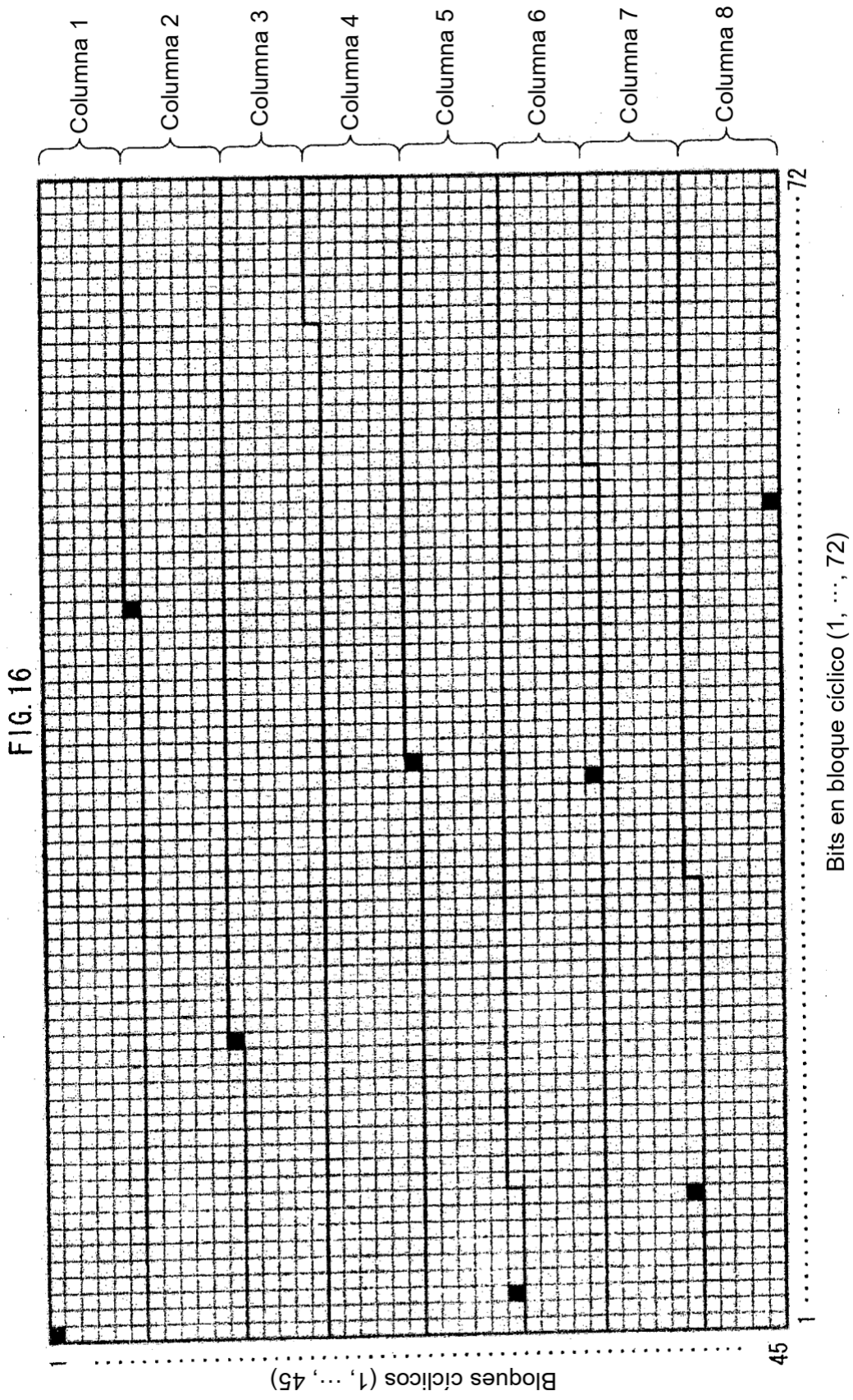
FIG. 13











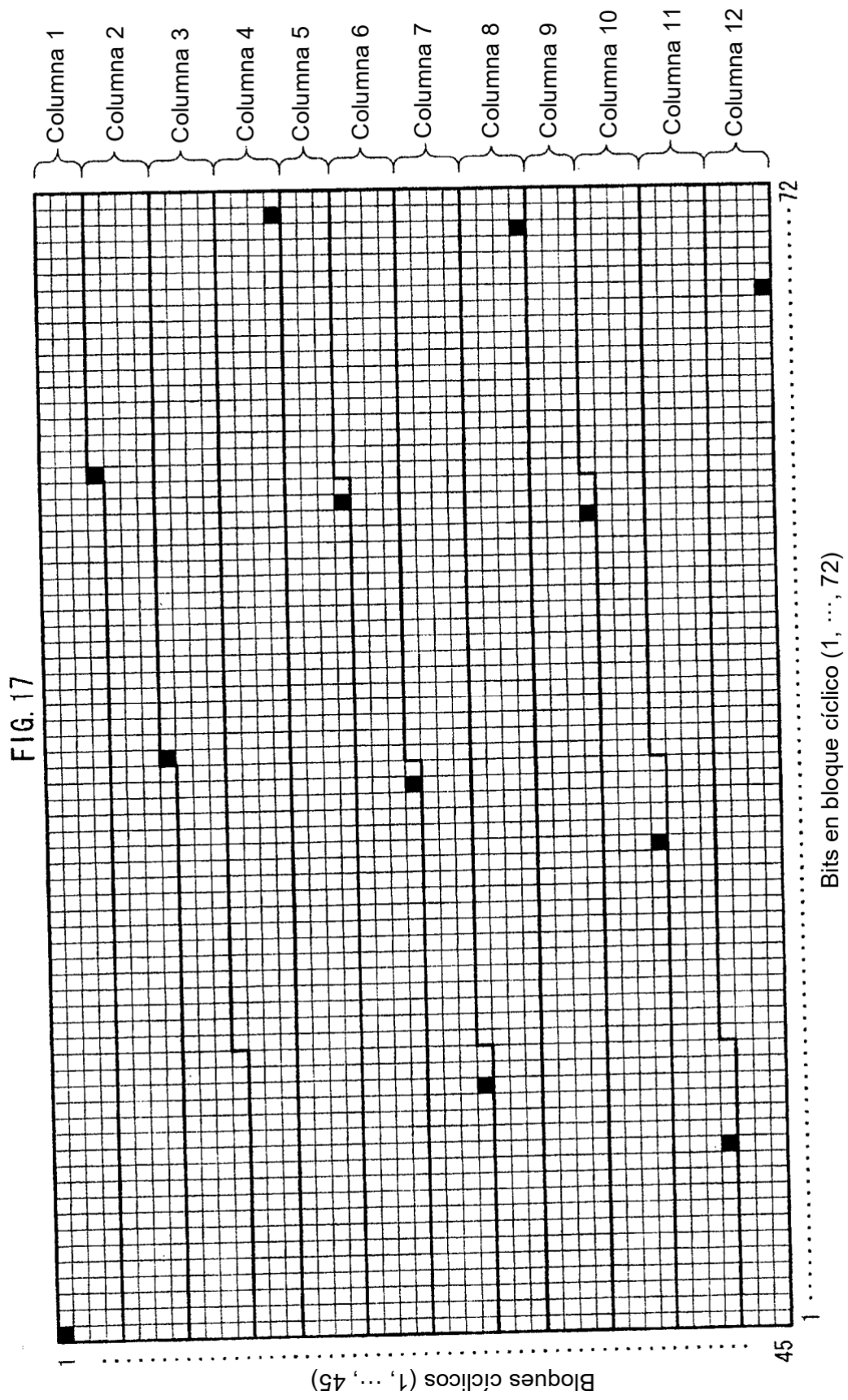


FIG. 18A

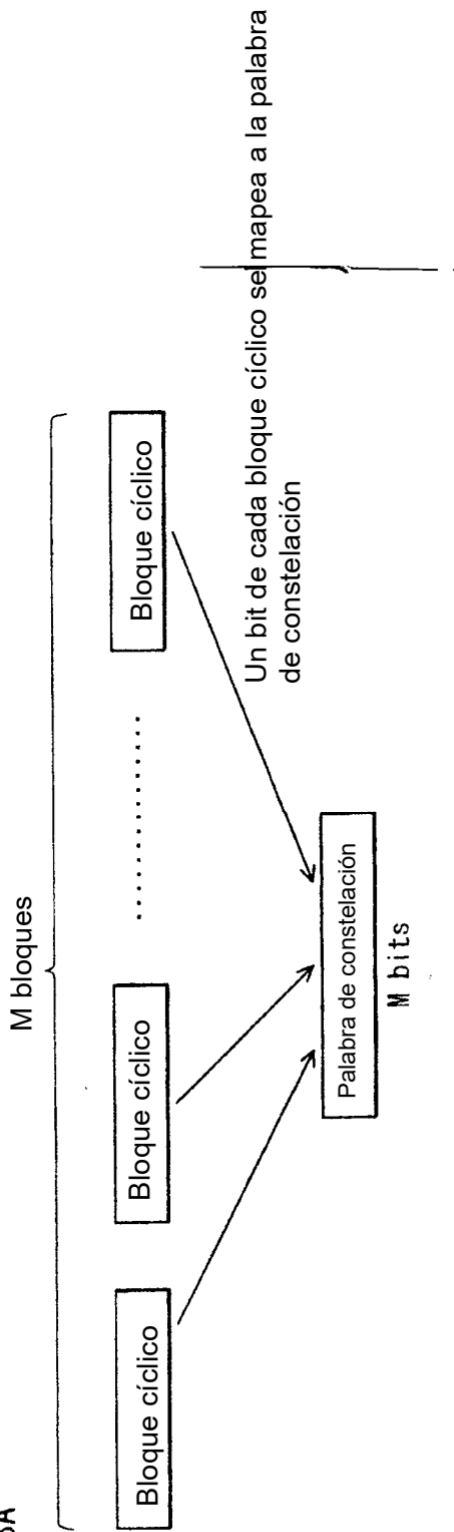


FIG. 18B

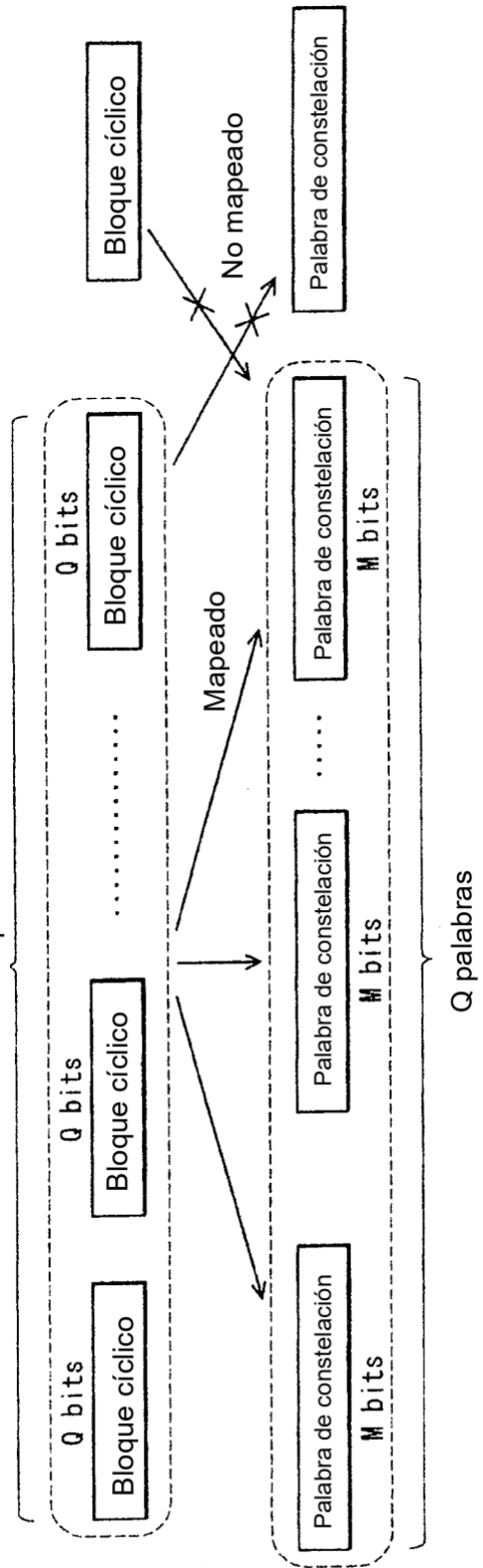


FIG. 19

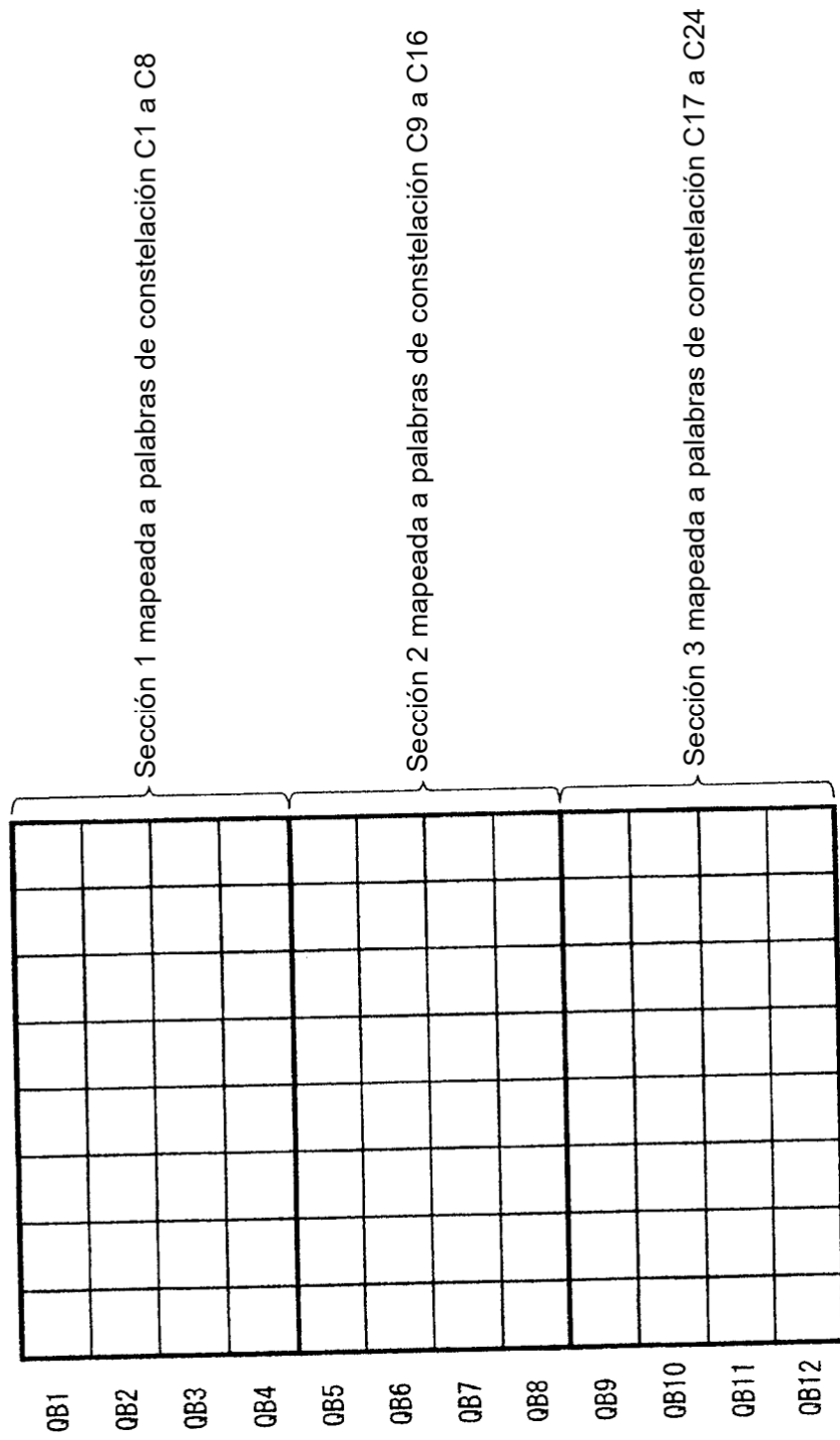


FIG. 20

2000

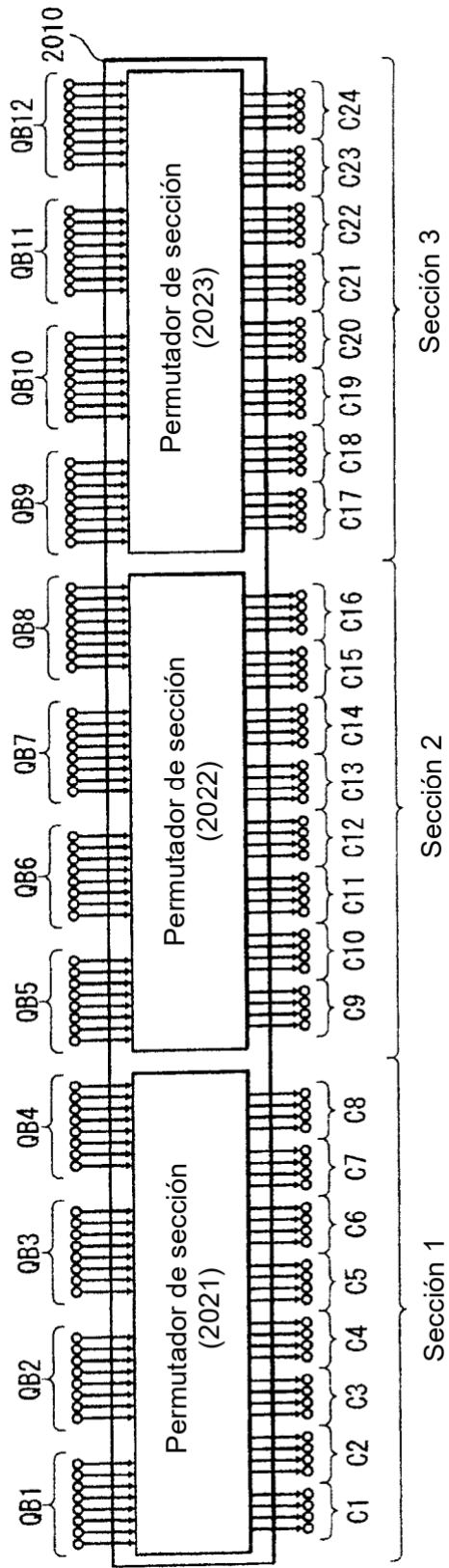


FIG. 21B

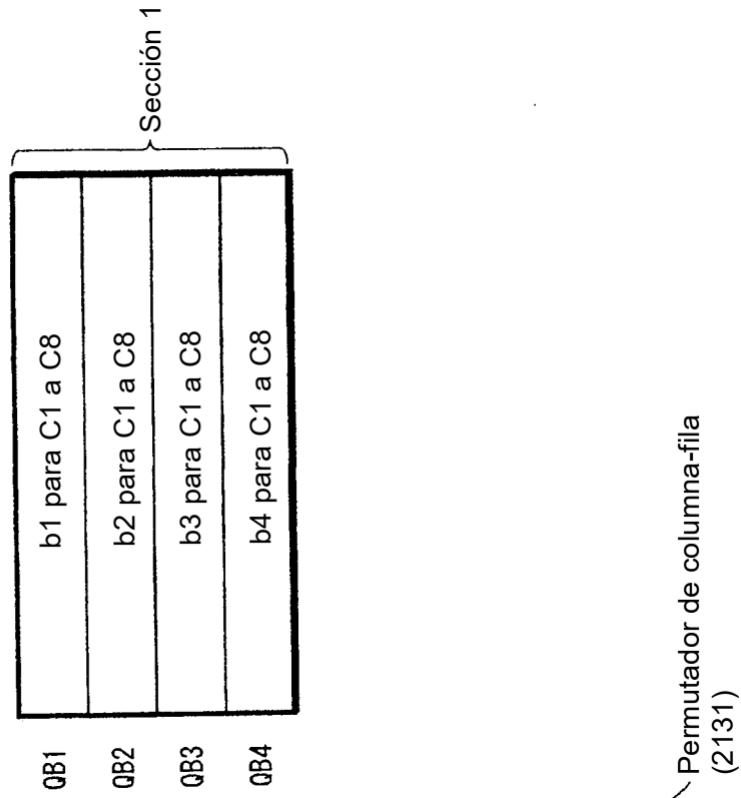


FIG. 21A

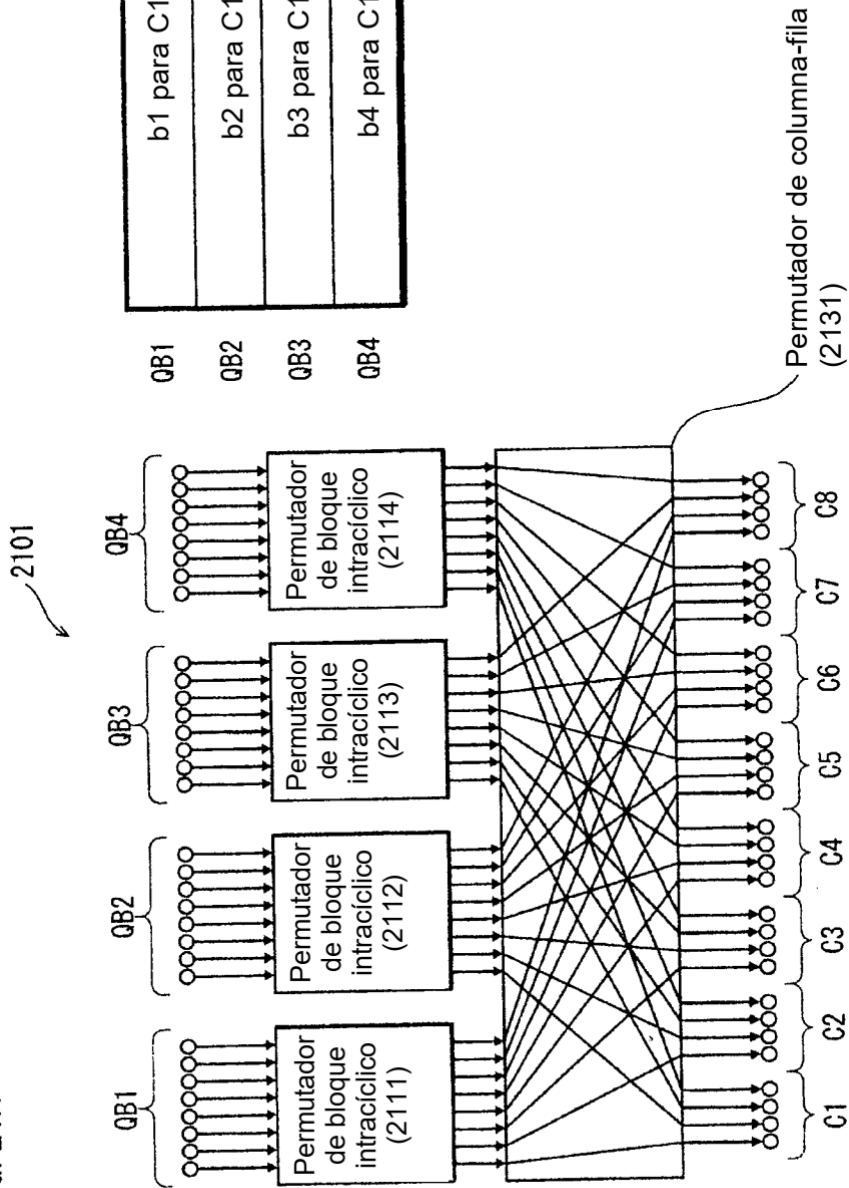




FIG. 22A

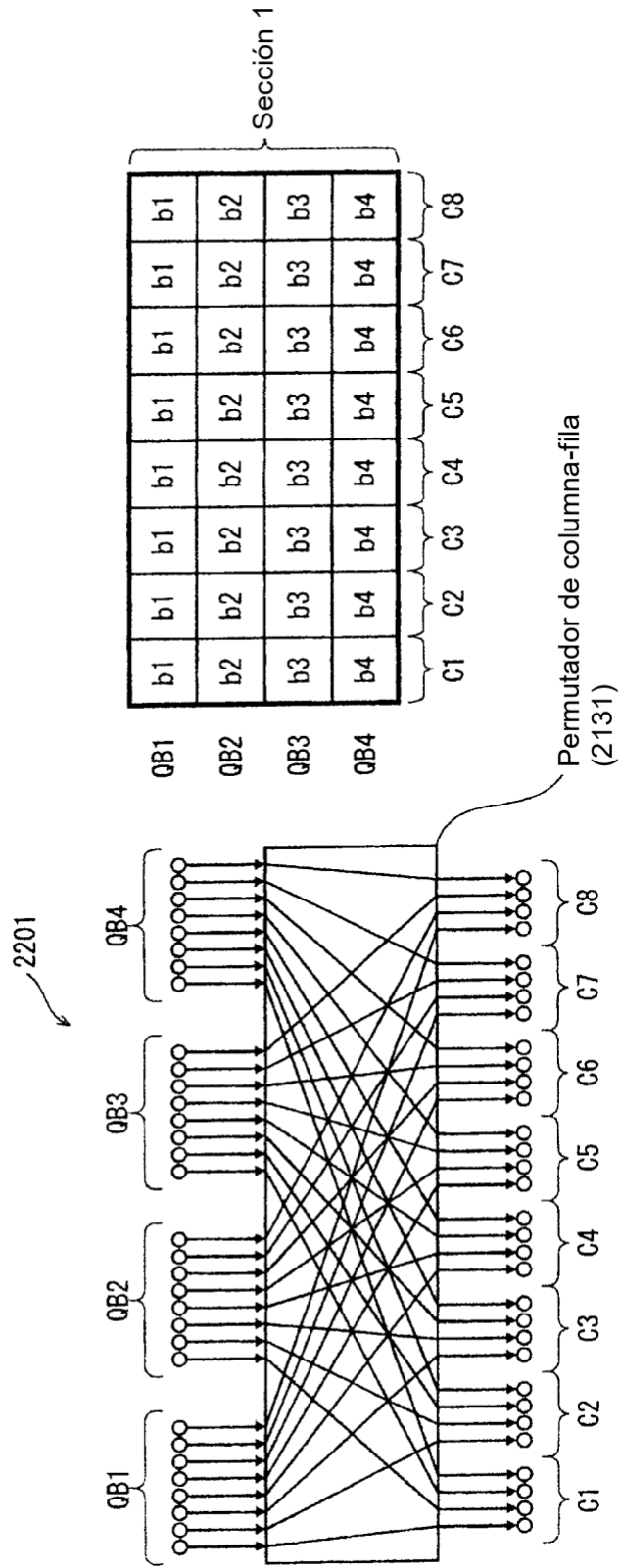


FIG. 23

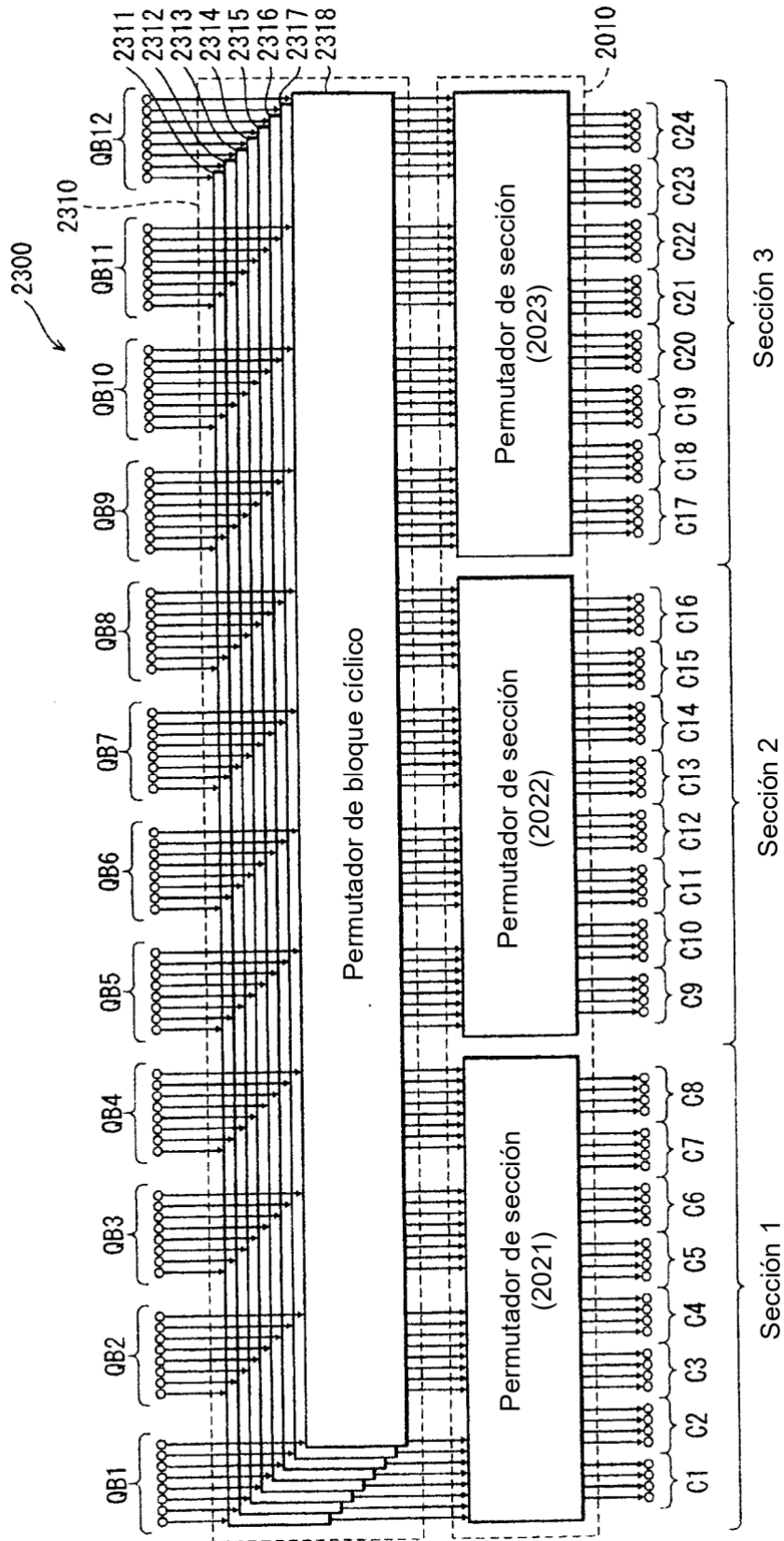


FIG. 24

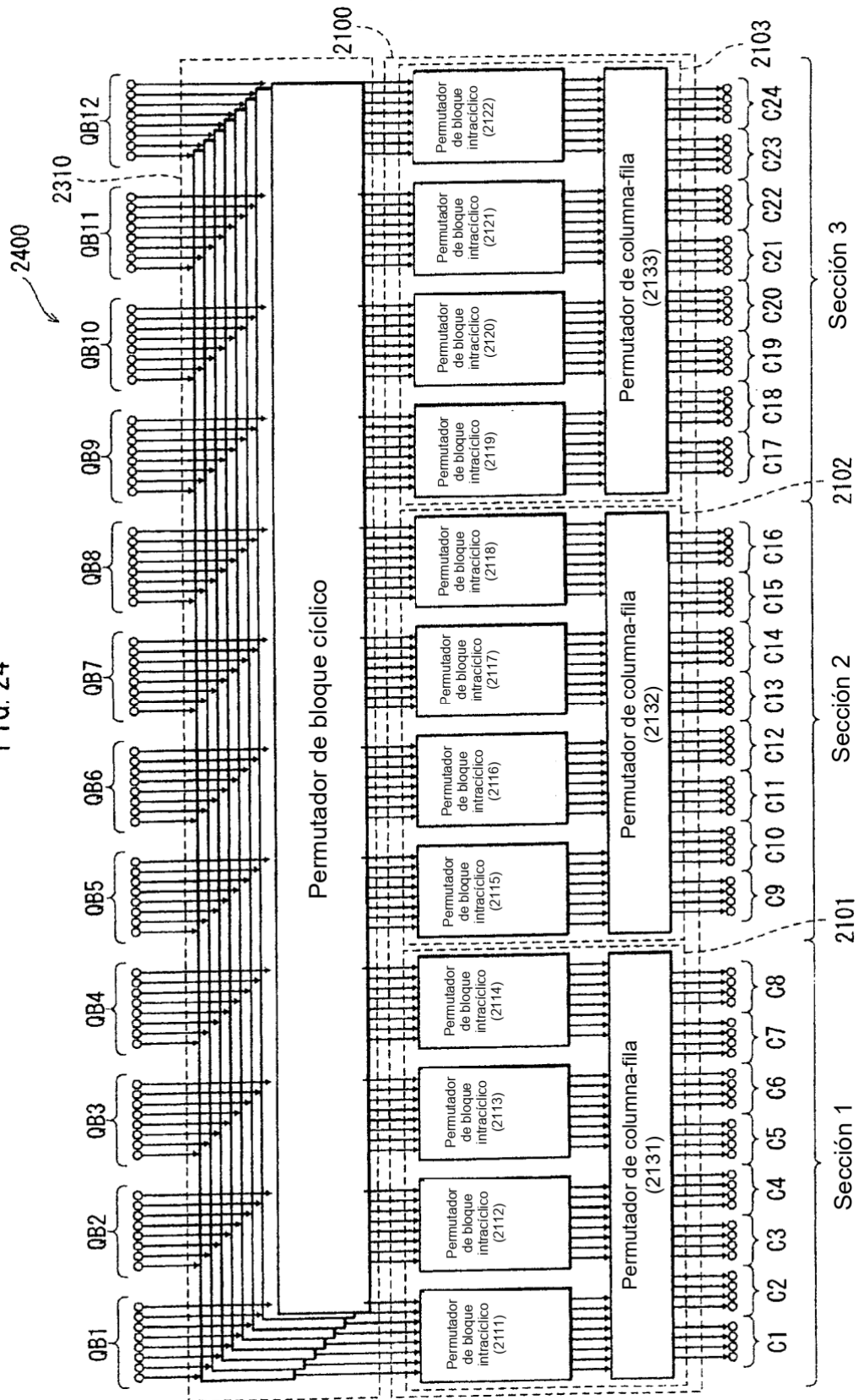
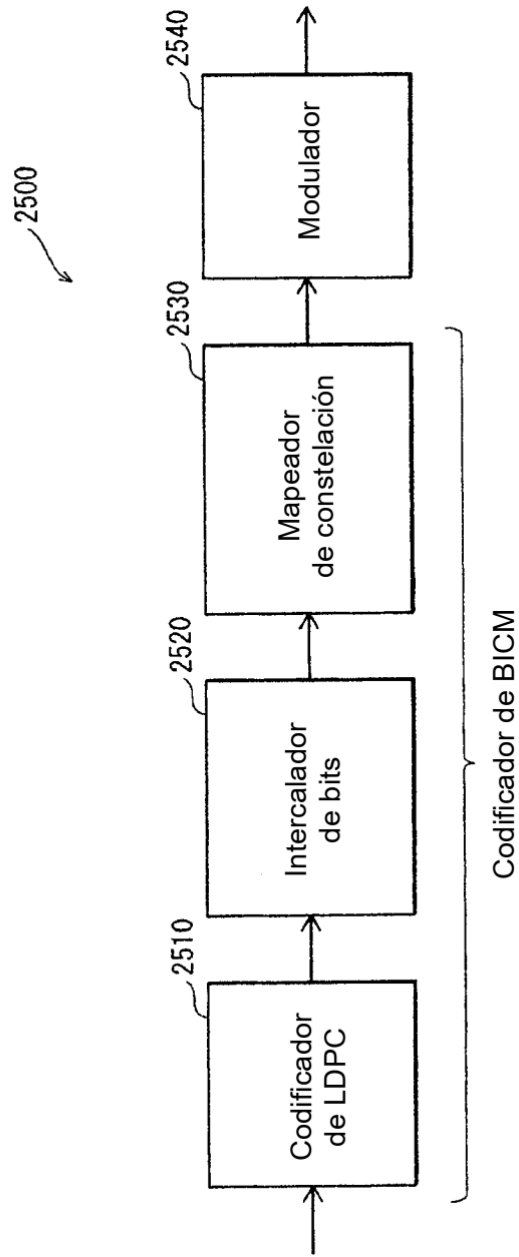


FIG. 25



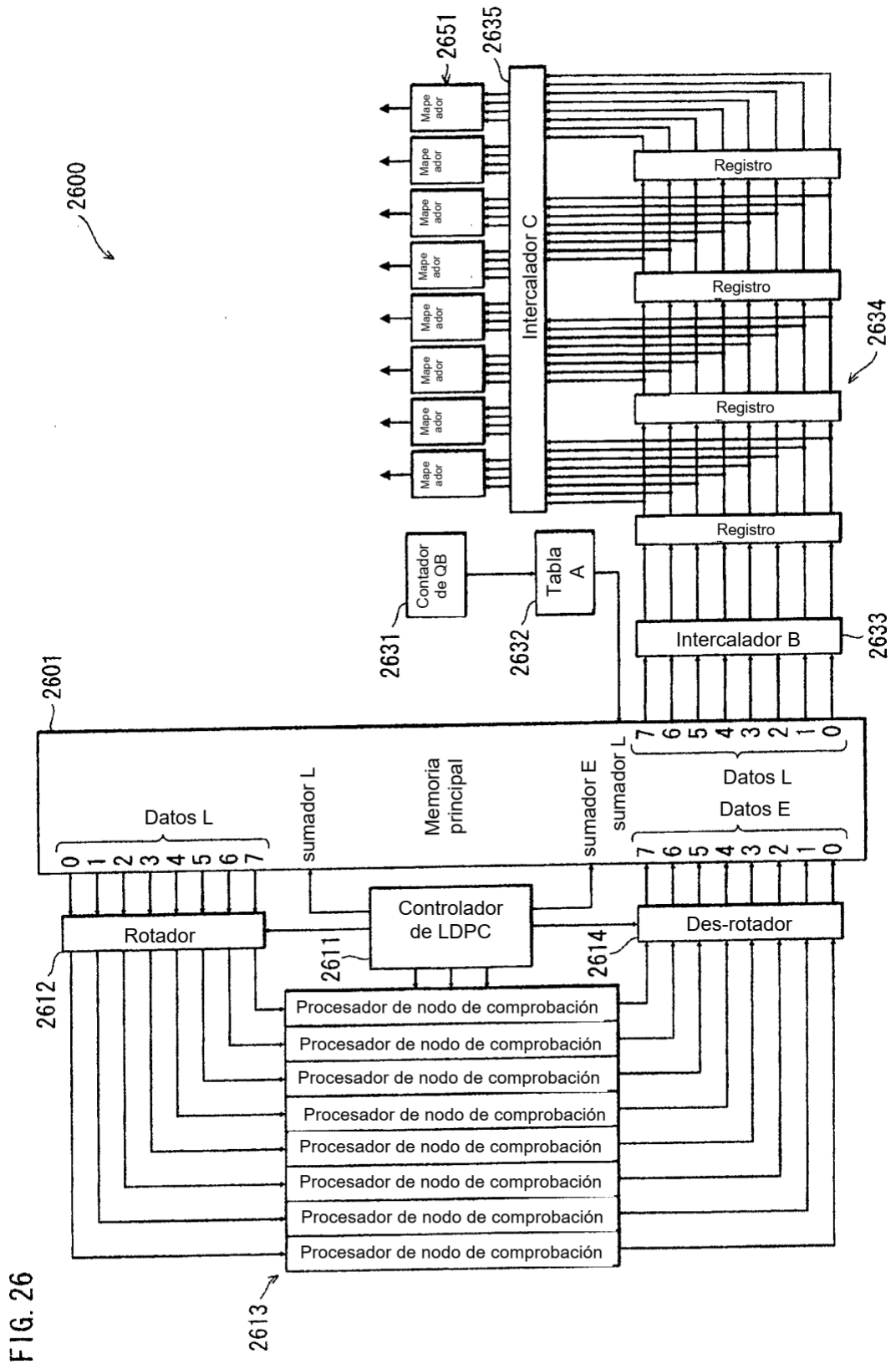


FIG. 26

FIG. 27

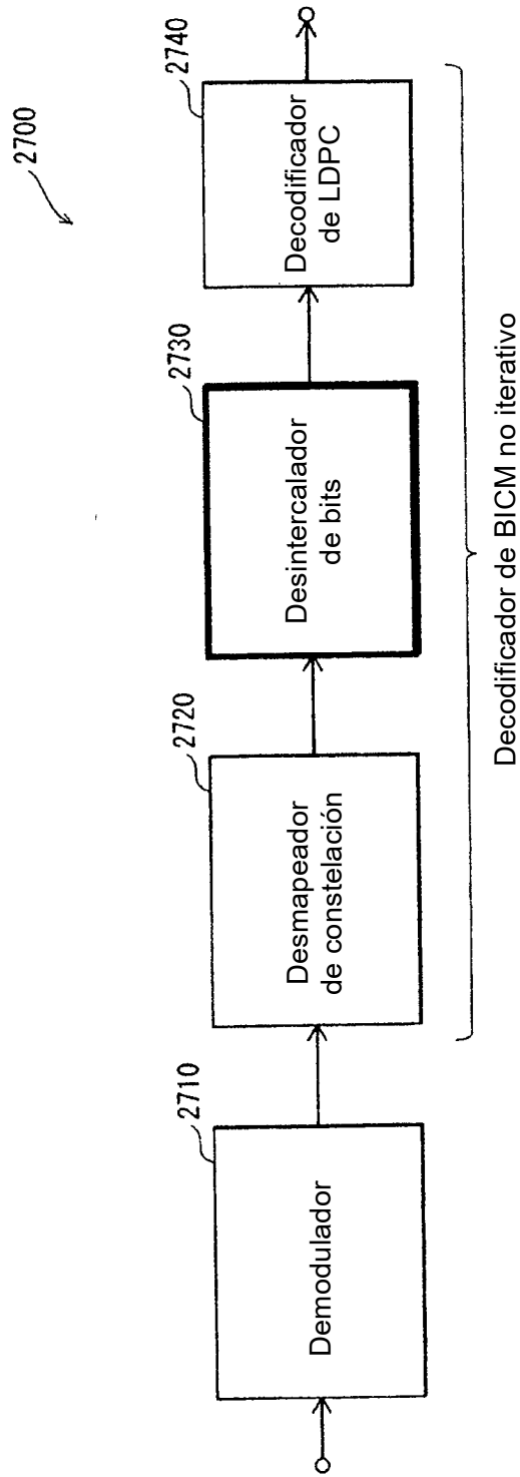


FIG. 28

