

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 745 948**

51 Int. Cl.:

**G11C 11/418** (2006.01)

**G11C 11/419** (2006.01)

**G11C 7/22** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **31.05.2008 PCT/US2008/065448**

87 Fecha y número de publicación internacional: **11.12.2008 WO08151099**

96 Fecha de presentación y número de la solicitud europea: **31.05.2008 E 08769948 (4)**

97 Fecha y número de publicación de la concesión europea: **19.06.2019 EP 2158592**

54 Título: **Generación de señal de reloj y control para dispositivos de memoria de alto rendimiento**

30 Prioridad:

**31.05.2007 US 756017**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**04.03.2020**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration 5775  
Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**CHEN, ZHIQIN y  
JUNG, CHANG HO**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

**ES 2 745 948 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Generación de señal de reloj y control para dispositivos de memoria de alto rendimiento

5 **ANTECEDENTES****I.Campo**

10 **[0001]** La presente divulgación se refiere en general a la electrónica y, más específicamente, a técnicas para generar señales de reloj y control en dispositivos de memoria.

**II.Antecedentes**

15 **[0002]** Los dispositivos de memoria se usan comúnmente en muchos dispositivos electrónicos como ordenadores, dispositivos de comunicación inalámbricos, asistentes digitales personales (PDA), etc. Un dispositivo de memoria típicamente incluye muchas filas y columnas de células de memoria. Cada célula de memoria puede almacenar un valor de datos, que típicamente es un "0" o un "1" binario. Para leer una célula de memoria en una fila dada y una columna dada, se activa una línea de palabra para la fila, y la célula de memoria carga o descarga una línea de bits para la columna dependiendo del valor de los datos almacenados en la célula de memoria. A

20 continuación, un amplificador de detección detecta el voltaje en la línea de bits y proporciona un valor lógico basado en el voltaje detectado. Para escribir en una célula de memoria en una fila dada y una columna dada, se activa la línea de palabra para la fila. A continuación, un controlador de entrada de datos controla la línea de bits para la columna baja o alta, dependiendo del valor de los datos que se escribirán en la célula de memoria. El valor de los datos almacenados actualmente en la célula de memoria se sobrescribe con el valor en la línea de bits.

25 **[0003]** Para una operación de lectura, el amplificador de detección debe activarse lo antes posible y durante un tiempo mínimo para lograr una alta velocidad de funcionamiento y un bajo consumo de energía. El amplificador de detección puede activarse después de que la línea de bits se haya cargado o descargado lo suficiente, de modo que el valor de los datos almacenados en la célula de memoria pueda detectarse de manera confiable. Este tiempo de carga/descarga depende de las características de los transistores en las células de memoria y los efectos parásitos, los cuales pueden variar ampliamente debido a las variaciones en el proceso del circuito integrado (CI), el voltaje de la fuente de alimentación y la temperatura. Para una operación de escritura, el controlador de entrada de datos debe estar activado durante el tiempo necesario para escribir un valor de datos en la célula de memoria. La cantidad de tiempo necesario para escribir en la célula de memoria depende de las características del transistor

30 y los efectos parásitos.

35 **[0004]** Por lo tanto, existe una necesidad en la técnica de técnicas para generar señales de reloj y control para operaciones de lectura y escritura, de modo que se pueda alcanzar una alta velocidad de funcionamiento en presencia de variaciones en el proceso de CI, voltaje y temperatura (PVT).

40 **[0005]** La solicitud de patente EP 1 630 815, en la que se basa el preámbulo, se refiere a una pluralidad de células de memoria y un medio de acceso a la memoria que está controlado por al menos una señal de control por un medio de control para generar la al menos una señal de control e incluir medios de retardo. Los medios de retardo retardan una conmutación de la señal de control, por lo que el tiempo de retardo es ajustable de acuerdo con el voltaje de alimentación aplicada.

45

**SUMARIO**

50 **[0006]** Las técnicas para generar señales de reloj y control para lograr un buen rendimiento para las operaciones de lectura y escritura en dispositivos de memoria se describen en el presente documento. En un diseño, un dispositivo de memoria incluye una matriz de memoria, un reloj y un generador de señales de control, y otros bloques de circuitos. La matriz de memoria incluye células de memoria para almacenar datos y células ficticias para imitar ciertas características (por ejemplo, la carga) de las células de memoria. El reloj y el generador de señales de control generan las señales de reloj y control utilizadas para escribir datos en las células de memoria y leer datos de las células de memoria.

55

**[0007]** Aspectos de la presente invención se exponen en las reivindicaciones adjuntas.

60 **[0008]** A continuación, se describen en más detalle diversos aspectos y características de la divulgación.

**BREVE DESCRIPCIÓN DE LOS DIBUJOS****[0009]**

65 La FIG. 1 muestra un diagrama de bloques de un dispositivo de memoria.

La FIG. 2 muestra un diagrama esquemático de una matriz de memoria, un reloj y un generador de señales de control, y un circuito de entrada/salida (I/O) dentro del dispositivo de memoria en la FIG. 1.

5 La FIG. 3 muestra un diagrama esquemático de un reloj y un generador de señales de control con dos generadores de reloj y dos generadores de señales de control.

La FIG. 4 muestra un diagrama de temporización para un generador de reloj en la FIG. 3.

10 La FIG. 5 muestra varias señales de control utilizadas para operaciones de lectura y escritura.

La FIG. 6 muestra un diagrama esquemático de otro reloj y generador de señales de control con un generador de reloj y dos generadores de señales de control.

15 La FIG. 7 muestra un diagrama esquemático de un controlador con una potencia de accionamiento configurable.

La FIG. 8 muestra un diagrama de bloques de un circuito de retardo programable.

20 La FIG. 9 muestra un proceso para generar señales de reloj y control.

La FIG. 10 muestra un diagrama de bloques de un dispositivo de comunicación inalámbrica.

### DESCRIPCIÓN DETALLADA

25 **[0010]** Los dispositivos de memoria con buen rendimiento de lectura y escritura se describen en el presente documento. Los dispositivos de memoria pueden ser para memoria de acceso aleatorio (RAM), RAM estática (SRAM), RAM dinámica (DRAM), DRAM síncrona (SDRAM), RAM de vídeo (VRAM), RAM síncrona de gráficos (SGRAM), memoria de solo lectura (ROM), memoria flash, etc. Los dispositivos de memoria pueden ser dispositivos independientes o pueden estar integrados en otros dispositivos, por ejemplo, procesadores.

30 **[0011]** La FIG. 1 muestra un diagrama de bloques de un diseño de un dispositivo de memoria 100 con buen rendimiento de lectura y escritura. El dispositivo de memoria 100 incluye un bloqueo de dirección 110, un descodificador de dirección y controladores de línea de palabras 120, una matriz de memoria 150, un reloj y un generador de señales de control 160, y un circuito de E/S 170.

35 **[0012]** La matriz de memoria 150 incluye M filas y N columnas de las células de memoria 152 y además incluye una fila y una columna de células ficticias 154; en general, M y N pueden tener cualquier valor. Una célula de memoria es un circuito que puede almacenar un valor de datos y puede implementarse con varios diseños de circuitos. Una célula ficticia es un circuito que puede almacenar un valor conocido y/o está conectado de una manera particular para lograr un efecto de carga deseado. Una célula ficticia puede implementarse con el mismo o similar diseño de circuito que una célula de memoria. Las M filas de células de memoria se seleccionan a través de M líneas de palabras WL1 a WLM. La fila de células ficticias está acoplada a una línea de palabra ficticia DWL. Las N columnas de las células de memoria están acopladas a N líneas de bits diferenciales BL1 y BL1b a través de BLN y BLNb. La columna de células ficticias está acoplada a una línea de bits STBL de tiempo propio.

45 **[0013]** El bloqueo de dirección 110 recibe una dirección para acceder a una célula de memoria o un bloque de células de memoria y bloquea la dirección. El descodificador de dirección 120 recibe la dirección bloqueada y puede generar una dirección de fila basada en la dirección recibida. A continuación, el descodificador de dirección 120 puede realizar una pre-descodificación en la dirección de la fila y proporcionar señales pre-descodificadas que indican una línea de palabra específica para activar o afirmar. Los controladores de línea de palabra 120 reciben las señales descodificadas y manejan una línea de palabra específica, como lo indican las señales descodificadas, de modo que se pueda acceder a la fila deseada de células de memoria.

50 **[0014]** El circuito de E/S 170 incluye varios circuitos para leer datos de las células de memoria y escribir datos en las células de memoria. Por ejemplo, el circuito de E/S 170 incluye un amplificador de detección y una memoria intermedia de salida de datos para cada línea de bits diferencial para leer datos de las células de memoria acopladas a esa línea de bits. El circuito de E/S 170 incluye además un bloqueo de datos y controladores de entrada de datos para cada línea de bits diferencial para escribir datos en las células de memoria acopladas a esa línea de bits,

60 **[0015]** El generador de señales de reloj y control 160 recibe una señal de reloj externa CLK y también está acoplado a la línea de bits de temporización automática STBL y la línea de palabra ficticia DWL. El generador 160 genera señales de reloj y control utilizadas para controlar el funcionamiento del dispositivo de memoria 100, por ejemplo, señales de reloj y control usadas para operaciones de lectura y escritura. El reloj y las señales de control tienen una sincronización determinada por la columna y la fila de células ficticias, como se describe a continuación. El generador 160 puede generar las siguientes señales de reloj y control:

- RCLK - un reloj interno utilizado para el control de línea de palabra para operaciones de lectura y escritura,
- ALE - una señal de habilitación de bloqueo de dirección utilizada para operaciones de lectura y escritura,
- SEN - una señal de habilitación de amplificador de sentido utilizada solo para operaciones de lectura,
- Precarga - una señal de precarga de línea de bits utilizada para las operaciones de lectura y escritura,
- DLE - una señal de habilitación de bloqueo de datos utilizada solo para operaciones de escritura, y
- WCLK - un reloj de controlador de entrada de datos utilizado solo para operaciones de escritura.

**[0016]** Las señales de reloj y control y algunos de los bloques de circuitos en la FIG. 1 se describen con más detalle a continuación.

**[0017]** La FIG. 2 muestra un diagrama esquemático de un diseño de la matriz de memoria 150 y el circuito de E/S 170 en la FIG. 1. Para mayor claridad, solo se muestra una célula de memoria 152 y una célula ficticia 154 en la matriz de memoria 150 en la FIG. 2. Además, solo se muestra la línea de palabra ficticia DWL en la FIG. 2 pero no las células ficticias acopladas a esta línea de palabras. También para mayor claridad, se muestran los circuitos de lectura/escritura para una sola línea de bits en la FIG. 2.

**[0018]** En el diseño mostrado en la FIG. 2, la célula de memoria 152 incluye un par de inversores de acoplamiento cruzado 210a y 210b y un par de transistores de paso 212a y 212b. Cada inversor 210 puede formarse con un transistor de efecto de campo de canal P (P-FET) y un transistor de efecto de campo de canal N (N-FET), como se conoce en la técnica. El inversor 210a tiene su entrada acoplada a un nodo A y su salida acoplada a un nodo B. El inversor 210b tiene su entrada acoplada al nodo B y su salida acoplada al nodo A. Cada transistor de paso 212 se implementa con un N-FET. N-FET 212a tiene su drenaje acoplado al nodo A, su puerta acoplada a una línea de palabra  $W_Lm$  y su fuente acoplada a una línea de golpe  $BL_x$ , donde  $m \in \{1, \dots, M\}$  y  $x \in \{1, \dots, N\}$ . El N-FET 212b tiene su drenaje acoplado al nodo B, su puerta acoplada a la línea de palabra  $W_Lm$  y su fuente acoplada a una línea de bits complementaria  $BL_{xb}$ .

**[0019]** Los inversores 210a y 210b almacenan un valor de datos mediante retroalimentación positiva. Si la célula de memoria 152 almacena la lógica alta ("1"), el nodo A está en la lógica alta y el nodo B está en la lógica baja. Si la célula de memoria 152 almacena la lógica baja ("0"), el nodo A está en la lógica baja y el nodo B está en la lógica alta. Para una lectura de memoria, las líneas  $BL_x$  y  $BL_{xb}$  se precargan inicialmente a nivel lógico alto mediante un circuito de precarga 230, a continuación la línea de palabras  $W_Lm$  se confirma a nivel lógico alto y se activan los N-FET 212a y 212b. Si la célula de memoria 152 almacena la lógica alta, entonces la línea de bits  $BL_x$  es cargada por el inversor 210b a través de N-FET 212a, y la línea de bits complementaria  $BL_{xb}$  es descargada por el inversor 210a a través de N-FET 212b. Lo contrario es cierto si la célula de memoria 152 almacena la lógica baja. Un amplificador de detección 226 detecta la diferencia de voltaje entre las líneas  $BL_x$  y  $BL_{xb}$  para determinar el valor de los datos almacenados en la célula de memoria 152.

**[0020]** Para una escritura de memoria, las líneas  $BL_x$  y  $BL_{xb}$  se precargan inicialmente a nivel lógico alto mediante el circuito 230 de precarga, a continuación la línea de palabras  $W_Lm$  se establece como lógica alta y los N-FETs 212a y 212b están activados. Para escribir la lógica alta ('1') en la célula de memoria 152, la línea de bits  $BL_x$  se activa en el nivel alto y obliga al nodo A a la lógica alta a través del N-FET 212a y la línea de bits complementaria  $BL_{xb}$  se activa en el nivel bajo y obliga al nodo B a la lógica baja mediante N FET 212b. Lo contrario de lo anterior es cierto cuando se escribe lógica baja en la célula de memoria 152.

**[0021]** En el diseño mostrado en la FIG. 2, la célula ficticia 154 incluye los inversores 214a y 214b y los N-FET 216a y 216b que están acoplados como se describió anteriormente para los inversores 210a y 210b y los N-FETs 212a y 212b en la célula de memoria 152, aunque con las siguientes diferencias. El N-FET 216a tiene su puerta acoplada a la conexión a tierra del circuito y su fuente acoplada a la línea de bits auto-temporizada STBL. El N-FET 216b tiene su drenaje acoplado a un voltaje de alimentación, Vdd. En este diseño, el N-FET 216a siempre está desactivado, el nodo A 'está en el nivel lógico bajo y el nodo B' está en el nivel lógico alto.

**[0022]** Las células ficticias 154 en la matriz de memoria 150 pueden implementarse con la misma estructura y tamaño que las células de memoria normales 152. La línea de bits de temporización automática STBL para la columna de células ficticias 154 puede tener la misma carga que cada una de las líneas de bits N  $BL_1$  a  $BL_N$ . La línea de palabra ficticia DWL para la fila de células ficticias 154 también puede tener la misma carga que cada una de las líneas de palabra M  $W_L1$  a  $W_LM$ . Las señales de reloj y control utilizadas para las operaciones de lectura y escritura pueden generarse con la línea de bits de temporización automática STST y la línea de palabra ficticia DWL, y a continuación pueden rastrear el tiempo de las células de memoria 152.

**[0023]** En el diseño mostrado en la FIG. 2, para cada línea de bits, el circuito de E/S 170 incluye un bloqueo de datos 220, controladores de entrada de datos 222a y 222b, un multiplexor de lectura/escritura (Mux) 224, un amplificador de detección 226 y una memoria intermedia de datos de salida (Dout) 228. Un multiplexor 224 acopla las líneas BLx y BLxb a los controladores 222a y 222b para operaciones de escritura y al amplificador de detección 226 para operaciones de lectura. Para una operación de escritura, el enclavamiento 220 recibe y bloquea un valor de datos de entrada Dinx basado en la señal DLE. Los controladores de entrada de datos 222a y 222b reciben el valor de datos enclavados y las líneas de control BLx y BLxb, respectivamente, cuando están habilitados por la señal WCLK. Para una operación de lectura, el amplificador de detección 226 amplifica la diferencia de voltaje entre las líneas BLx y BLxb, detecta un valor lógico (por ejemplo, lógico bajo o alto) para el voltaje amplificado cuando está habilitado por la señal SEN, y proporciona el valor lógico detectado. La memoria intermedia 228 guarda la salida del amplificador de detección 226 y proporciona un valor de datos de salida Doutx. El circuito de precarga 230 genera señales que precargan las líneas BLx y BLxb a lógica alta antes de cada operación de lectura y escritura.

**[0024]** El generador 160 usa células ficticias 154 para generar las señales de reloj y control para las operaciones de lectura y escritura. En el diseño mostrado en la FIG. 2, el generador 160 genera una ventana/pulso en una señal de reloj interno (DCLK) para cada operación de lectura y escritura. El ancho de la ventana en la señal DCLK está determinado por las células ficticias 154 y también puede ajustarse por medios programables para lograr buenos márgenes de tiempo para las operaciones de lectura y escritura. Se generan varias señales de reloj y control con el tiempo determinado por la señal DCLK como se describe a continuación.

**[0025]** La FIG. 2 también muestra un generador de señales de control y reloj 160a, que es un diseño del generador de señales de control y reloj 160 en la FIG. 1. En este diseño, el generador 160a incluye generadores de reloj 250 y 260, generadores de señales de control 252 y 262, un circuito de reinicio 270 y un circuito de reinicio de activación compuesto por una puerta NAND 254. El generador de reloj 250 funciona para las operaciones de lectura y escritura y genera una señal RCLKb. El generador de reloj 260 está operativo solo para operaciones de escritura y genera una señal WCLKb. El generador de señales de control 252 recibe la señal RCLKb y genera la señal RCLK utilizada para habilitar las líneas de palabra M WL1 a WLM, la señal ALE para el bloqueo de dirección 110, la señal SEN para el amplificador de detección 226 y la señal de precarga para el circuito de precarga 230. El generador de señales de control 262 recibe la señal WCLKb y genera el reloj WCLK para los controladores de entrada de datos 222a y 222b y la señal DLE para el seguro de entrada de datos 220. Los generadores de reloj 250 y 260 y los generadores de señal de control 252 y 262 pueden implementarse como se describe a continuación.

**[0026]** La puerta NAND 254 recibe las señales RCLKb y WCLKb de los generadores de reloj 250 y 260, respectivamente, y proporciona la señal DCLK para reiniciar el circuito 270 y la línea de palabra ficticia DWL. La señal DCLK observa una carga similar a la de una línea de palabra normal. Dentro del circuito de reinicio 270, un controlador de inversión 272 recibe la señal DCLK y controla la línea de bits STBL de temporización automática. El controlador 272 tiene una potencia de unidad configurable que puede configurarse para generar un ancho de ventana deseado en la señal DCLK. Un detector/circuito de retardo programable 274 detecta una señal STBL en la línea de bits de temporización automática y genera señales Reset\_R y Reset\_W para los generadores de reloj 250 y 260, respectivamente. El circuito 274 también puede proporcionar un retardo programable para las señales Reset\_R y Reset\_W, que se pueden usar para obtener una ventana más larga en la señal DCLK.

**[0027]** La FIG. 3 muestra un diagrama esquemático de un diseño de los generadores de reloj 250 y 260 y los generadores de señal de control 252 y 262 en la FIG. 2. El generador de reloj 250 recibe la señal CLK, una señal de selección de chip (CS) y la señal Reset\_R y genera la señal RCLKb utilizada para las operaciones de lectura y escritura. La señal CS está en el nivel lógico alto cuando el dispositivo de memoria 100 está habilitado y está en el nivel bajo de lo contrario. El generador de reloj 260 recibe la señal CLK, la señal CS, la señal de habilitación de escritura (WE) y la señal Reset\_W y genera la señal WCLKb utilizada para las operaciones de escritura.

**[0028]** Dentro del generador de reloj 250, una memoria intermedia 312a recibe la señal CLK y proporciona una señal CLK retardada. La memoria intermedia 312a puede implementarse con dos o más inversores acoplados en serie. Un inversor 316 recibe la señal CS y proporciona una señal CSb. Una puerta NOR 314a recibe la señal CLK retardada y la señal CSb en dos entradas y proporciona una versión invertida y retardada de la señal CLK cuando el dispositivo de memoria 100 está habilitado. Los N-FETs 320a y 322a y un P-FET 324a están acoplados en una configuración apilada. El N-FET 320a tiene su fuente acoplada a la masa del circuito, su puerta acoplada a la salida de la puerta NOR 314a y su drenaje acoplado a la fuente del N-FET 322a. El N-FET 322a tiene su puerta que recibe la señal CLK y su drenaje acoplado al drenaje del P-FET 324a y que proporciona la señal RCLKb. El P-FET 324a tiene su puerta que recibe la señal Reset\_R del circuito de reinicio 270 y su fuente acoplada a la fuente de alimentación. Los inversores 326a y 328a están acoplados en serie, con la entrada invertida 326a recibiendo la señal RCLKb, la entrada invertida 328a acoplada a la salida del inversor 326a y la salida del inversor 328a acoplada a la entrada del inversor 326a.

**[0029]** Dentro del generador de señales de control 252, un inversor 330 recibe la señal RCLKb y proporciona la señal RCLK. Una puerta NAND 332 recibe la señal RCLKb y la señal Reset\_R en dos entradas y proporciona la señal ALE. Un generador SEN 334 recibe la señal RCLK y genera la señal SEN para el amplificador de detección

226. Un generador de precarga 336 también recibe la señal RCLK y genera la señal de precarga para el circuito de precarga 230.

5 **[0030]** Dentro del generador de reloj 260, una puerta NAND 318 recibe la señal CS y la señal WE y proporciona una señal WEb que está en lógica baja para operaciones de escritura y en lógica alta de lo contrario. Un inversor 319 recibe la señal WEb y proporciona una señal WEd. Una memoria intermedia 312b, una puerta NOR 314b, N-FETs 320b y 322b, un P-FET 324b e inversores 326b y 328b están acoplados de la misma manera que la memoria intermedia 312a, NOR puerta 314a, N-FETs 320a y 322a, P-FET 324a e inversores 326a y 328a, respectivamente, dentro del generador de reloj 250, con las siguientes diferencias. La puerta NOR 314h recibe la señal CLK retardada de la memoria intermedia 312b y la señal WEb de la puerta 318 NAND. P-FET 324b recibe la señal Reset\_W en su puerta y proporciona la señal WCLKb en su drenaje.

10 **[0031]** Dentro del generador de señales de control 262, un inversor 340 recibe la señal WCLKb y proporciona la señal WCLK. Una puerta NAND 342 recibe la señal WCLKb y la señal Reset\_W en dos entradas y proporciona la señal DLE.

15 **[0032]** Dentro del circuito de retardo 274 detector/programable, un inversor 372 recibe la señal STBL y proporciona una señal STBL invertida. Una unidad de retardo 374 recibe la salida del inversor 372 y proporciona una señal de reinicio. Un inversor 376 recibe la señal de reinicio y proporciona la señal de reinicio\_R para el generador de reloj 250. Una puerta NAND 378 recibe la señal de reinicio y la señal WEb de la puerta NAND 318 y proporciona la señal de reinicio\_W para el generador de reloj 260.

20 **[0033]** La FIG. 4 muestra un diagrama de temporización que ilustra la operación del generador de reloj 250 en la FIG. 3. La señal CS está en el nivel lógico alto para habilitar el dispositivo de memoria 100, la señal Reset\_R está inicialmente en el nivel lógico alto y la señal WCLKb está en el nivel lógico alto. Antes del tiempo  $T_1$ , la señal CLK está en el nivel lógico bajo, el N-FET 320a está activado y el N-FET 322a está desactivado. La señal CLK pasa de la lógica baja al nivel lógico alto en el tiempo  $T_1$ . A continuación, el N-FET 322a se activa y arrastra la señal RCLKb a lógica baja en el tiempo  $T_2$ , lo cual hace que la señal DCLK pase a lógica alta en el tiempo  $T_3$ . El borde ascendente en la señal CLK genera un borde ascendente en la señal DCLK. El N-FET 320a se activa un breve retardo después del tiempo  $T_1$  mediante la lógica alta en la señal CLK, y los inversores 326a y 328a actúan como un circuito de mantenimiento que mantiene la lógica baja para la señal RCLKb.

25 **[0034]** La línea de bits de temporización automática STBL se precarga inicialmente a nivel lógico alto antes de una operación de lectura o escritura. El borde ascendente en la señal DCLK, que se eleva más lentamente que otras señales de control debido a la carga debida a la línea de palabra ficticia DWL, activa el mecanismo de seguimiento de retardo de tiempo automático implementado con células ficticias 154. El controlador de inversión 272 activa la línea de bits de temporización automática STBL hacia la lógica baja al recibir el borde ascendente en la señal DCLK. La velocidad/frecuencia a la que se desplaza hacia abajo la línea de bits de temporización automática STBL se determina mediante la carga en esta línea de bits, así como por la potencia de la unidad del controlador 272, que puede variar como se describe a continuación para lograr los márgenes de temporización de lectura y escritura deseados. La línea de bits temporizada se carga debido a la columna de células ficticias 154 e imita la carga en la línea de bits BLx normal debido a una columna de células de memoria 152. El circuito 274 detecta cuándo la línea de bits temporizada cruza por debajo de un primer voltaje de umbral  $V_{T1}$  en el tiempo  $T_4$  y genera un borde descendente en la señal Reset\_R en el tiempo  $T_5$ . El circuito 274 puede retardar aún más el borde descendente en la señal Reset\_R en una cantidad programable, como se describe a continuación. El P-FET 324a se activa con la lógica baja en la señal Reset\_R y lleva la señal RCLKb a la lógica alta en el tiempo  $T_6$ , lo cual hace que la señal DCLK pase a la lógica baja en el tiempo  $T_7$ . El borde descendente en la señal Reset\_R genera un borde descendente en la señal DCLK.

30 **[0035]** La inversión del controlador 272 impulsa la línea de bits STBL temporizada hacia la lógica alta al recibir el borde descendente en la señal DCLK. El controlador de inversión 272 arrastra la línea de bits temporizada a una velocidad lenta utilizando transistores de arrastre relativamente débiles que imitan los transistores del caso más desfavorable en las células de memoria 152. El controlador de inversión 272 levanta la línea de bits temporizada a un ritmo más rápido con transistores de parada relativamente fuertes. El circuito 274 detecta cuándo la línea de bits temporizada cruza por encima de un segundo voltaje de umbral  $V_{T2}$  en el momento  $T_8$  y genera un borde ascendente en la señal Reset\_R en el tiempo  $T_9$ . El ancho de pulso de la señal DCLK puede variarse controlando la potencia de activación del controlador de inversión 272 y/o seleccionando una cantidad apropiada de retardo en el circuito 274 para lograr buenos márgenes de tiempo para las operaciones de lectura y escritura.

35 **[0036]** Con referencia de nuevo a la FIG. 3, el generador de reloj 260 funciona de manera similar al generador de reloj 250 cuando está habilitado por la señal WE. Cuando la señal WE está en el nivel lógico alto para las operaciones de escritura, la señal WEb está en el nivel lógico bajo, la salida de la puerta NOR 314b depende de la señal CLK retardada de la memoria intermedia 312b, y el generador de reloj 260 está operativo. La lógica baja en la señal WEb también da como resultado una lógica alta en la señal WEd, lo cual permite que la puerta NAND 378 proporcione una versión invertida de la señal de reinicio como la señal Reset\_W. A la inversa, cuando la señal WE está en el nivel lógico bajo para las operaciones de lectura, la señal WEb está en el nivel lógico alto, la salida

de la puerta NOR 314b se mantiene en el nivel lógico bajo, el N-FET 320b se desactiva y el generador de reloj 260 se desactiva. La lógica alta en la señal WEb también produce una lógica baja en la señal WEd, lo cual hace que la salida de la puerta NAND 378 permanezca en la lógica alta. En las operaciones de escritura, la puerta NAND 378 actúa como un inversor para la señal de reinicio desde la unidad de retardo 374. En las operaciones de lectura, la señal Reset\_W permanece en la lógica alta, la señal WCLKb también permanece en la lógica alta, y la señal DLE permanece en la lógica baja.

**[0037]** La puerta NAND 254 genera la señal DCLK basada en las señales RCLKb y WCLKb. Cuando el generador de reloj 260 está habilitado, el borde ascendente en la señal DCLK está determinado por el primero de los bordes descendentes en las señales RCLKb y WCLKb, y el borde descendente en la señal DCLK está determinado por el último de los bordes ascendentes en el RCLKb y señales WCLKb. Los generadores de reloj 250 y 260 pueden coincidir de modo que la señal WCLKb coincida estrechamente con la señal RCLKb. Cuando el generador de reloj 260 está deshabilitado, la señal WCLKb está en el nivel lógico alto, y la señal DCLK se determina basándose únicamente en la señal RCLKb.

**[0038]** El reinicio de activación es un tema importante en el diseño de la memoria. Después de activarse, los generadores de reloj 250 y 260 deben reiniciarse en un modo no activo/deshabilitado. La puerta NAND 254 garantiza que las señales RCLKb y WCLKb se restablezcan a lógica alta y permanezcan en lógica alta hasta que llegue el siguiente borde en la señal CLK. Si la señal RCLKb o WCLKb se despierta con una lógica baja, entonces la señal DCLK estará en la lógica alta, el controlador de inversión 272 hará que la señal STBL tenga una lógica baja, y las señales Reset\_R y Reset\_W pasarán a la lógica baja y se reiniciarán las señales RCLKb y WCLKb a lógica alta. La puerta NAND 254 garantiza que las señales RCLKb y WCLKb se restablezcan automáticamente a nivel lógico alto después de la activación o cuando una dirección está fuera de rango. Este reinicio automático puede evitar una situación en la que un reloj interno se atasca en un modo activo en la activación y causa una corriente de fuga o un fallo funcional de la memoria.

**[0039]** La FIG. 5 muestra un diagrama de tiempo que ilustra la generación de varias señales de reloj y control usadas para operaciones de lectura y escritura. Para simplificar, se supone que los generadores de reloj 250 y 260 están emparejados, las señales RCLKb y WCLKb están emparejadas, y las señales Reset\_R y Reset\_W también están emparejadas. Las señales RCLKb, DCLK, STBL y Reset\_R se generan como se describe anteriormente para la FIG. 4.

**[0040]** La puerta NAND 332 genera la señal ALE basada en las señales RCLKb y Reset\_R. La señal ALE tiene un ancho de pulso determinado por el pulso bajo en la señal RCLKb y también el pulso bajo en la señal Reset\_R. La señal ALE es utilizada por el latch de dirección 110 en la FIG. 1 para bloquear una dirección.

**[0041]** El inversor 330 genera la señal RCLK, que es una versión retardada e invertida de la señal RCLKb. La señal RCLK se puede usar para afirmar la línea de palabra WLM para una fila seleccionada de células de memoria. La duración activa de la línea de palabra WLM se puede determinar mediante (por ejemplo, establecer igual a) la ventana en la señal RCLK. Por ejemplo, la línea de palabra WLM puede ser afirmada por el borde ascendente en la señal RCLK y desactivada por el borde descendente en la señal RCLK. La línea de palabra WLM activa los N-FET 212a y 212b en la célula de memoria 152, como se muestra en la FIG. 2. Para una operación de lectura, la duración activa de la línea de palabra WLM determina la cantidad de tiempo que la célula de memoria 152 puede descargar las líneas BLx y BLxb. Para una operación de escritura, la duración activa de la línea de palabra WLM determina la cantidad de tiempo permitido para escribir datos en la célula de memoria 152. La línea de palabras WLM se puede afirmar durante diferentes duraciones para las operaciones de lectura y escritura, como se describe a continuación.

**[0042]** Para una operación de lectura, el generador 334 de SEN genera un impulso en la señal SEN basándose en un borde descendente en la señal RCLK. Este pulso se puede usar para habilitar el amplificador de detección 226 en la FIG. 2 para detectar la diferencia de voltaje entre las líneas BLx y BLxb.

**[0043]** Para una operación de escritura, el generador de reloj 260 está habilitado, y la señal WCLKb se genera de la misma manera que la señal RCLKb. El inversor 340 genera la señal WCLK, que es una versión retardada e invertida de la señal WCLKb. La señal WCLK se usa para habilitar los controladores de entrada de datos 222a y 222b en la FIG. 2. La puerta NAND 342 genera la señal DLE basada en las señales WCLKb y Reset\_W. La señal ALE tiene un ancho de pulso determinado por el pulso bajo en la señal WCLKb y también el pulso bajo en la señal Reset\_W. La señal DLE tiene una temporización similar a la de la señal ALE y es utilizada por el bloqueo de datos 220 en la FIG. 2 para bloquear los datos de entrada.

**[0044]** El circuito de precarga 230 en la FIG. 2 genera una señal de precarga que precarga las líneas BLx y BLxb a lógica alta antes de cada operación de lectura y escritura. La señal de precarga se desactiva mientras las líneas BLx y BLxb son manejadas por la célula de memoria seleccionada durante una lectura de memoria o las memorias intermedias de entrada de datos 222a y 222b durante una escritura de memoria. La señal de precarga puede generarse basándose en la señal RCLK y puede tener bordes ascendentes y descendentes determinados por aquellos en la señal RCLK.

**[0045]** El diseño mostrado en las FIGS. 2 y 3 con dos generadores de reloj pueden proporcionar varias ventajas. Primero, el diseño tiene pequeños retardos desde la señal CLK externa a las señales RCLK y WCLK internas y se puede usar para dispositivos de memoria de alto rendimiento que funcionan con velocidad de reloj rápida y ventanas de tiempo de configuración y retención limitadas. El retardo de la señal CLK a la señal RCLK es de dos puertas: una puerta para los N-FET 320a y 322a y P-FET 324a y otra puerta para el inversor 330. El retardo de la señal CLK a la señal WCLK también es de dos puertas: una puerta para los N-FET 320b y 322b y P-FET 324b y otra puerta para el inversor 340. Los pequeños retardos para las señales RCLK y WCLK admiten operaciones rápidas de lectura y escritura. En segundo lugar, el generador de reloj 260 se puede desactivar durante las operaciones de lectura para reducir el consumo de energía. Las señales WCLK y ALE se usan solo para operaciones de escritura, y el generador de reloj 260 puede habilitarse durante las operaciones de escritura para generar estas señales.

**[0046]** La FIG. 6 muestra un diagrama esquemático de un generador de señales de control y reloj 160h, que es otro diseño del generador de señales de control y reloj 160 en la FIG. 1. El generador 160h incluye el generador de reloj 250 y el generador de señal de control 252 que están acoplados como se muestra en la FIG. 3. El generador 160h incluye además un generador de señales de control 630 para operaciones de escritura. El generador de señales de control 630 incluye puertas NAND 638 y 642 y un inversor 640. La puerta NAND 638 recibe la señal RCLK y la señal WE en dos entradas y proporciona una señal WCLKc, que está habilitada solo para operaciones de escritura. El inversor 640 recibe la señal WCLKc y proporciona la señal WCLK. La puerta NAND 642 recibe la señal WCLKc y la señal Reset\_R en dos entradas y proporciona la señal DLE. Un inversor 654 recibe la señal RCLKb y proporciona la señal DCLK para el controlador 272. El inversor 654 reemplaza la puerta NAND 254 en las FIGS. 2 y 3.

**[0047]** En el diseño mostrado en la FIG. 6, la señal WCLKc se genera basándose en la señal RCLK solo durante las operaciones de escritura. La señal WCLKc se usa luego para generar las señales WCLK y DLE de la misma manera que se muestra en la FIG. 3. En comparación con el diseño mostrado en la FIG. 3, la señal WCLK en la FIG. 6 observa dos retardos de puerta adicionales a través de la puerta NAND 638 y el inversor 640, y la señal DLE también observa dos retardos de puerta adicionales a través de las puertas NAND 638 y 642. Los dos retardos de puerta adicionales para las señales WCLK y DLE se evitan en el diseño que se muestra en las FIGS. 2 y 3 utilizando dos generadores de reloj y aplicando la señal WE en la puerta NAND 318 antes de la señal CLK en lugar de en la puerta NAND 638 después de la señal CLK.

**[0048]** La FIG. 7 muestra un diagrama esquemático de un diseño de inversión del controlador 272 en las FIGS. 2, 3 y 6. Dentro del controlador de inversión 272, un inversor 710 recibe la señal DCLK y controla la línea de bits STBL de temporización automática. El menú desplegable para el inversor 710 lo proporcionan los N-FET 712a a 712l. Cada N-FET 712 tiene su drenaje acoplado a un nodo desplegable Y para el inversor 710 y su fuente acoplada a la tierra del circuito. Un inversor 714 recibe una señal de lectura complementaria (READb) y acciona la puerta del N-FET 712l. Las puertas de los N-FET 712a a 712k reciben K señales de control del acelerador C<sub>1</sub> a C<sub>K</sub>, respectivamente, donde K puede ser cualquier valor entero, por ejemplo, K = 16.

**[0049]** Cada N-FET 712 puede activarse para proporcionar más capacidad de arrastre para el inversor 710, lo cual aumentaría la potencia de accionamiento del inversor 710 y, en consecuencia, acortaría la ventana en la señal DCLK. N-FET 712l se activa para cada operación de lectura. También se puede activar un número suficiente de N-FET entre los N-FET 712a a 712k para cada operación de lectura, según lo determine un ajuste del acelerador, para obtener el margen de tiempo de lectura deseado. El N-FET 712l puede activarse para cada operación de escritura, lo cual daría como resultado una menor potencia de accionamiento para el inversor 710 y un pulso más amplio en la señal DCLK. El N-FET 712l puede diseñarse para proporcionar una cantidad adecuada de tiempo extra (por ejemplo, 200 pico segundos) para que una operación de escritura logre el margen de tiempo de escritura deseado.

**[0050]** La FIG. 8 muestra un diagrama esquemático de un circuito 274 en las FIGS. 2, 3 y 6. En este diseño, el circuito 274 incluye un inversor 372 que recibe la señal STBL analógica en la línea de bits temporizada y proporciona una señal digital correspondiente. El inversor 372 detecta cuándo la señal STBL cruza por debajo del umbral V<sub>T1</sub> y proporciona un borde descendente en su salida, como se muestra en la FIG. 4. El inversor 372 también detecta cuándo la señal STBL supera el umbral V<sub>T2</sub> y proporciona un borde ascendente en su salida, como también se muestra en la FIG. 4.

**[0051]** La salida del inversor 372 se proporciona a la unidad de retardo programable 374 formada por los inversores 812a a 812p y los inversores 814a a 814q, que están acoplados en serie. El inversor 812a recibe la salida del inversor 372, y los inversores 812p y 814q proporcionan sus salidas a un multiplexor 816. El multiplexor 816 proporciona la salida del inversor 812p o 814q a un multiplexor 818. El multiplexor 818 proporciona la salida del inversor 372 o del multiplexor 816 como señal de reinicio.

**[0052]** En el diseño mostrado en la FIG. 8, se pueden seleccionar tres retardos diferentes para la señal de reinicio. El retardo más corto se obtiene al proporcionar la salida del inversor 372 a través del multiplexor 818 como señal



de reinicio. Se obtiene un retardo medio al proporcionar la salida del inversor 372 a través de los inversores 812a a 812p y los multiplexores 816 y 818 como la señal de reinicio. El retardo más prolongado se obtiene al proporcionar la salida del inversor 372 a través de los inversores 812a a 812p, los inversores 814a a 814q, y los multiplexores 816 y 818 como la señal de reinicio. El retardo programable se puede usar para extender la ventana en la señal DCLK cuando se selecciona el número mínimo de N-FET 712 en el controlador de inversión 272 que no proporciona una ventana suficientemente larga en la señal DCLK.

**[0053]** Las técnicas descritas en el presente documento se pueden usar para combatir variaciones de tiempo debidas a PVT. Las técnicas se pueden usar para obtener los márgenes de tiempo de lectura y escritura deseados a través de las variaciones de PVT y para varias configuraciones de memoria con el fin de lograr un buen rendimiento y una alta productividad. El margen de temporización deseado puede obtenerse con el esquema de seguimiento de temporización automática (que puede realizar un seguimiento del retardo de células de memoria) y el acelerador y/o retardo programable (que puede proporcionar la cantidad deseada de margen de tiempo).

**[0054]** En los diseños mostrados en las FIGS. 2, 3 y 6, las señales ALE y DLE se generan convenientemente con pocas puertas basadas en otras señales de control. Para garantizar las operaciones correctas de lectura y escritura, el bloqueo de dirección 110 y el bloqueo de datos 220 deben mantenerse cerrados hasta que se complete un ciclo completo de lectura o escritura. Por lo tanto, los anchos de pulso de las señales ALE y DLE deben extenderse para cubrir el ancho de pulso de la línea de palabras WLM. Los circuitos de una sola activación se pueden usar para extender los anchos de pulso de las señales ALE y DLE. Un circuito de una sola activación genera un pulso de una duración fija para cada borde ascendente de una señal de entrada, y la duración del pulso fijo se determina mediante un circuito de retardo dentro del circuito de una sola activación. Los circuitos de una sola activación para las señales ALE y DLE pueden requerir un gran número de inversores en los circuitos de retardo para obtener anchos de pulso que sean lo suficientemente largos para todas las configuraciones de memoria y las variaciones de PVT. Con los diseños mostrados en las FIGS. 2, 3 y 6, las señales Reset\_R y Reset\_W de la línea de bits de tiempo automático se usan de manera eficiente para extender el ancho de pulso de las señales ALE y DLE para cubrir una operación completa de lectura o escritura, incluido el ancho de pulso de la línea de palabra WLM. Esto garantiza que el bloqueo de dirección 110 y el bloqueo de datos 220 no se abrirán hasta que se complete el ciclo completo de lectura o escritura, para todas las configuraciones de memoria y condiciones de PVT. De este modo, los diseños en las FIGS. 2, 3 y 6 pueden generar las señales ALE y DLE utilizando menos puertas y menos área de troquel de CI en comparación con un diseño que utiliza circuitos de una sola activación.

**[0055]** La FIG. 9 muestra un diseño de un proceso 900 para generar señales de reloj y control en un dispositivo inalámbrico. Una primera señal de reloj puede generarse con un primer generador de reloj y usarse para operaciones de lectura y escritura (bloque 912). Una segunda señal de reloj puede generarse con un segundo generador de reloj y usarse para operaciones de escritura (bloque 914). Cada señal de reloj puede tener bordes iniciales generados basándose en una señal de reloj externa (por ejemplo, la señal CLK) y bordes posteriores generados basándose en una señal de reinicio (por ejemplo, la señal Reset\_R o Reset\_W). El nivel lógico de cada señal de reloj puede ser mantenido por un circuito de mantenimiento durante el tiempo entre los bordes anterior y posterior. La primera y la segunda señales de reloj pueden generarse con retardos iguales. La segunda señal de reloj puede deshabilitarse para operaciones de lectura, por ejemplo, deshabilitando el segundo generador de reloj. La primera y la segunda señales de reloj también se pueden reiniciar a un nivel lógico conocido al activar con un circuito de reinicio de activación (por ejemplo, la puerta NAND 254).

**[0056]** Al menos una señal de reinicio puede generarse para el primer y segundo generadores de reloj con un circuito de reinicio (bloque 916). El dispositivo de memoria puede tener una matriz de memoria que comprende células de memoria y células ficticias. La(s) señal(es) de reinicio pueden tener una temporización determinada basándose en la carga en una línea de bits para una columna de células ficticias y/o la carga en una línea de palabras para una fila de células ficticias. La(s) señal(es) de reinicio pueden tener un primer retardo para las operaciones de lectura y un segundo retardo para las operaciones de escritura. Se pueden obtener diferentes retardos para las operaciones de lectura y escritura con un controlador que tenga una intensidad de accionamiento configurable y/o una unidad de retardo que tenga un retardo programable.

**[0057]** Un primer generador de señales de control basado en la primera señal de reloj (bloque 918) puede generar una señal de reloj de control de línea de palabra (RCLK) y una señal ALE utilizada para las operaciones de lectura y escritura y una señal SEN utilizada para las operaciones de lectura. Un segundo generador de señales de control basado en la segunda señal de reloj (bloque 920) puede generar una señal de reloj de controlador de entrada de datos (WCLK) y una señal DLE utilizada para las operaciones de escritura. Las señales RCLK y WCLK pueden generarse con retardos iguales basándose en la primera y la segunda señales de reloj, respectivamente. Las señales ALE y DLE pueden generarse con retardos iguales y posiblemente anchos de pulso iguales, por ejemplo, sin usar circuitos de una sola activación. La señal ALE puede generarse basándose en la primera señal de reloj y una señal de reinicio para el primer generador de reloj. La señal DLE se puede generar basándose en la segunda señal de reloj y una señal de reinicio para el segundo generador de reloj.

**[0058]** Los dispositivos de memoria descritos en el presente documento pueden usarse para diversas aplicaciones, como comunicación inalámbrica, computación, redes, electrónica personal, etc. Los dispositivos de

memoria pueden implementarse como dispositivos independientes o incorporados en procesadores, procesadores de señales digitales (DSP), procesadores de ordenador de conjunto de instrucciones reducidas (RISC), procesadores de máquina RISC avanzada (ARM), procesadores de gráficos, unidades de procesamiento de gráficos (GPU), controladores, microprocesadores, etc. A continuación se describe un uso a modo de ejemplo de los dispositivos de memoria para un dispositivo de comunicación inalámbrica.

[0059] La FIG. 10 muestra un diagrama de bloques de un dispositivo inalámbrico 1000 en un sistema de comunicación inalámbrica. El dispositivo inalámbrico 1000 puede ser un teléfono móvil, un terminal, un auricular, un PDA, un módem inalámbrico, etc. El sistema de comunicación inalámbrica puede ser un sistema de acceso múltiple por división de código (CDMA), un sistema global para comunicaciones móviles (GSM), o algún otro sistema.

[0060] El dispositivo inalámbrico 1000 puede proporcionar una comunicación bidireccional a través de una trayectoria de recepción y de una trayectoria de transmisión. En la ruta de recepción, las señales transmitidas por las estaciones base se reciben por una antena 1012 y se proporcionan a un receptor (RCVR) 1014. El receptor 1014 acondiciona y digitaliza la señal recibida y proporciona muestras a una sección digital 1020 para su procesamiento adicional. En la vía de transmisión, un transmisor (TMTR) 1016 recibe datos que se van a transmitir desde la sección digital 1020, procesa y acondiciona los datos, y genera una señal modulada, que se transmite a través de la antena 1012 a las estaciones base.

[0061] La sección digital 1020 incluye varias unidades de procesamiento, interfaz y memoria tales como, por ejemplo, un procesador de módem 1022, un procesador de vídeo 1024, un controlador/procesador 1026, un procesador de pantalla 1028, un ARM/DSP 1032, un procesador de gráficos 1034, una memoria interna 1036 y una interfaz de bus externa (EBI) 1038. El procesador de módem 1022 realiza un procesamiento para la transmisión y recepción de datos, por ejemplo, codificación, modulación, desmodulación y descodificación. El procesador de vídeo 1024 realiza el procesamiento del contenido de vídeo (por ejemplo, imágenes fijas, vídeos en movimiento y textos en movimiento) para aplicaciones de vídeo como videocámara, reproducción de vídeo y videoconferencia. El controlador/procesador 1026 puede dirigir el funcionamiento de varias unidades dentro de la sección digital 1020. El procesador de visualización 1028 realiza el procesamiento para facilitar la visualización de vídeos, gráficos y textos en una unidad de visualización 1030. El ARM/DSP 1032 puede realizar diversos tipos de procesamiento para el dispositivo inalámbrico 1000. El procesador de gráficos 1034 realiza el procesamiento de gráficos, por ejemplo, para gráficos, videojuegos, etc. La memoria interna 1036 almacena datos y/o instrucciones para varias unidades en la sección digital 1020. La EBI 1038 facilita la transferencia de datos entre la sección digital 1020 (por ejemplo, la memoria interna 1036) y una memoria principal 1040.

[0062] Cada uno de los procesadores 1022 a 1034 puede incluir una memoria incorporada, que puede implementarse como se ha descrito anteriormente. La memoria interna 1036 y la memoria principal 1040 también pueden implementarse como se ha descrito anteriormente. La sección digital 1020 se puede implementar con uno o más circuitos integrados específicos de la aplicación (ASIC) y/u algunos otros tipos de CI.

[0063] Las técnicas y los dispositivos de memoria descritos en el presente documento pueden implementarse en varias unidades de hardware, como un CI de memoria, un ASIC, un DSP, un dispositivo de procesamiento de señales digitales (DSPD), un dispositivo lógico programable (PLD), una matriz de puertas programables de campo (FPGA), un controlador, un procesador y otros dispositivos electrónicos. Las unidades de hardware se pueden fabricar en diversas tecnologías de proceso CI, como CMOS, N-MOS, P-MOS, bipolar-CMOS (Bi-CMOS), bipolar, etc. La tecnología CMOS puede fabricar tanto N-FET como P-FET en el mismo troquel de IC, mientras que la tecnología N-MOS solo puede fabricar N-FET y la tecnología P-MOS solo puede fabricar P-FET. Las unidades de hardware pueden fabricarse con tecnología de cualquier tamaño de dispositivo, por ejemplo, 130 nanómetros (nm), 90 nm, 65 nm, 30 nm, etc.

[0064] Un aparato que implementa las técnicas descritas en el presente documento puede ser una unidad autónoma o puede formar parte de un dispositivo. El dispositivo puede ser (i) un circuito integrado (CI) autónomo, (ii) un conjunto de uno o más CI que pueden incluir CI de memoria para almacenar datos y/o instrucciones, (iii) un ASIC, tal como un módem de estación móvil (MSM), (iv) un módulo que puede estar incorporado dentro de otros dispositivos, (v) un teléfono celular, un dispositivo inalámbrico, un microteléfono o una unidad móvil, (vi) etc.

[0065] La descripción previa de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones de la divulgación resultarán inmediatamente evidentes para los expertos en la técnica y los principios genéricos definidos en el presente documento pueden aplicarse a otras variantes sin apartarse del espíritu o alcance de la divulgación. Por lo tanto, no se pretende limitar la divulgación a los ejemplos y diseños descritos en el presente documento, sino que se le ha de conceder el alcance más amplio conforme a los principios y las características novedosas divulgados en el presente documento.

**REIVINDICACIONES**

1. Un dispositivo de memoria que comprende:
- 5 un primer generador de reloj configurado para generar una primera señal de reloj (RCLKb) utilizada para operaciones de lectura y escritura;
- un segundo generador de reloj configurado para generar una segunda señal de reloj (WCLKb) utilizada para operaciones de escritura;
- 10 una matriz de memoria que comprende células de memoria y células ficticias;
- caracterizado por que:**
- 15 el primer generador de reloj comprende un primer circuito configurado para generar bordes iniciales en la primera señal de reloj basada en una señal de reloj externa (CLK) y para generar bordes finales en la primera señal de reloj basada en al menos una señal de reinicio,
- en el que un circuito de reinicio está configurado para generar la al menos una señal de reinicio para el primer y segundo generadores de reloj, y
- 20 en el que el circuito de reinicio está configurado para generar la al menos una señal de reinicio con el tiempo determinado basándose en la carga en una línea de bits para una columna de las células ficticias en la matriz de memoria o la carga en una línea de palabras para una fila de células ficticias en el matriz de memoria.
- 25
2. El dispositivo de memoria de la reivindicación 1, en el que un segundo circuito está configurado para mantener el nivel lógico de la primera señal de reloj entre los bordes anterior y posterior activados por la señal de reloj externa y la señal de reinicio.
- 30
3. El dispositivo de memoria de la reivindicación 1, en el que el segundo generador de reloj está deshabilitado para operaciones de lectura.
- 35
4. El dispositivo de memoria de la reivindicación 1, que comprende adicionalmente:
- un primer generador de señales de control configurado para recibir la primera señal de reloj y generar una señal de reloj de control de línea de palabra (RCLK) y una señal de habilitación de bloqueo de dirección (ALE) utilizada para las operaciones de lectura y escritura.
- 40
5. El dispositivo de memoria de la reivindicación 4, en el que el primer generador de señales de control está configurado para generar la señal ALE basada en la primera señal de reloj y una señal de reinicio para el primer generador de reloj, o para generar una señal de habilitación de amplificador de sentido (SEN) utilizada para operaciones de lectura.
- 45
6. El dispositivo de memoria de la reivindicación 4, que comprende adicionalmente:
- un segundo generador de señales de control configurado para recibir la segunda señal de reloj y generar una señal de reloj de controlador de entrada de datos (WCLK) y una señal de habilitación de bloqueo de datos (DLE) utilizada para las operaciones de escritura.
- 50
7. El dispositivo de memoria de la reivindicación 6, en el que el segundo generador de señales de control está configurado para generar la señal DLE basándose en la segunda señal de reloj y una señal de reinicio para el segundo generador de reloj.
- 55
8. El dispositivo de memoria de cualquier reivindicación precedente, en el que el circuito de reinicio genera la al menos una señal de reinicio con el tiempo determinado basándose en la carga en una línea de bits para una columna de células ficticias y en una línea de palabra para una fila de células ficticias en la matriz de memoria.
- 60
9. Un procedimiento para generar señales de reloj para una matriz de memoria, que comprende:
- generar al menos una señal de reinicio;
- generar una primera señal de reloj (RCLKb) utilizada para operaciones de lectura y escritura; y
- 65 generar una segunda señal de reloj (WCLKb) utilizada para operaciones de escritura,

**caracterizado por que**

la sincronización de la al menos una señal de reinicio se basa en la carga en una línea de bits para una columna de células ficticias o una línea de palabra para una fila de células ficticias en la matriz de memoria, y

5

los bordes iniciales se generan en la primera señal de reloj (RCLKb) basada en una señal de reloj externa (CLK) y los bordes finales se generan en la primera señal de reloj basada en la al menos una señal de reinicio.

10

**10.** El procedimiento según la reivindicación 9, que comprende además mantener niveles lógicos de la primera señal de reloj (RCLKb) entre los bordes anterior y posterior activados por la señal de reloj externa (CLK) y la al menos una señal de reinicio.

15

**11.** El procedimiento según la reivindicación 9, en el que la primera y la segunda señales de reloj tienen los mismos retardos.

**12.** El procedimiento según la reivindicación 9, que comprende además:

20

generar una señal de reloj de control de línea de palabra (RCLK) y una señal de habilitación de bloqueo de dirección (ALE) para operaciones de lectura y escritura basadas en la primera señal de reloj, y

25

generar una señal de reloj de controlador de entrada de datos (WCLK) y una señal de habilitación de bloqueo de datos (DLE) para las operaciones de escritura basadas en la segunda señal de reloj, con las señales RCLK y WCLK que tienen retardos iguales.

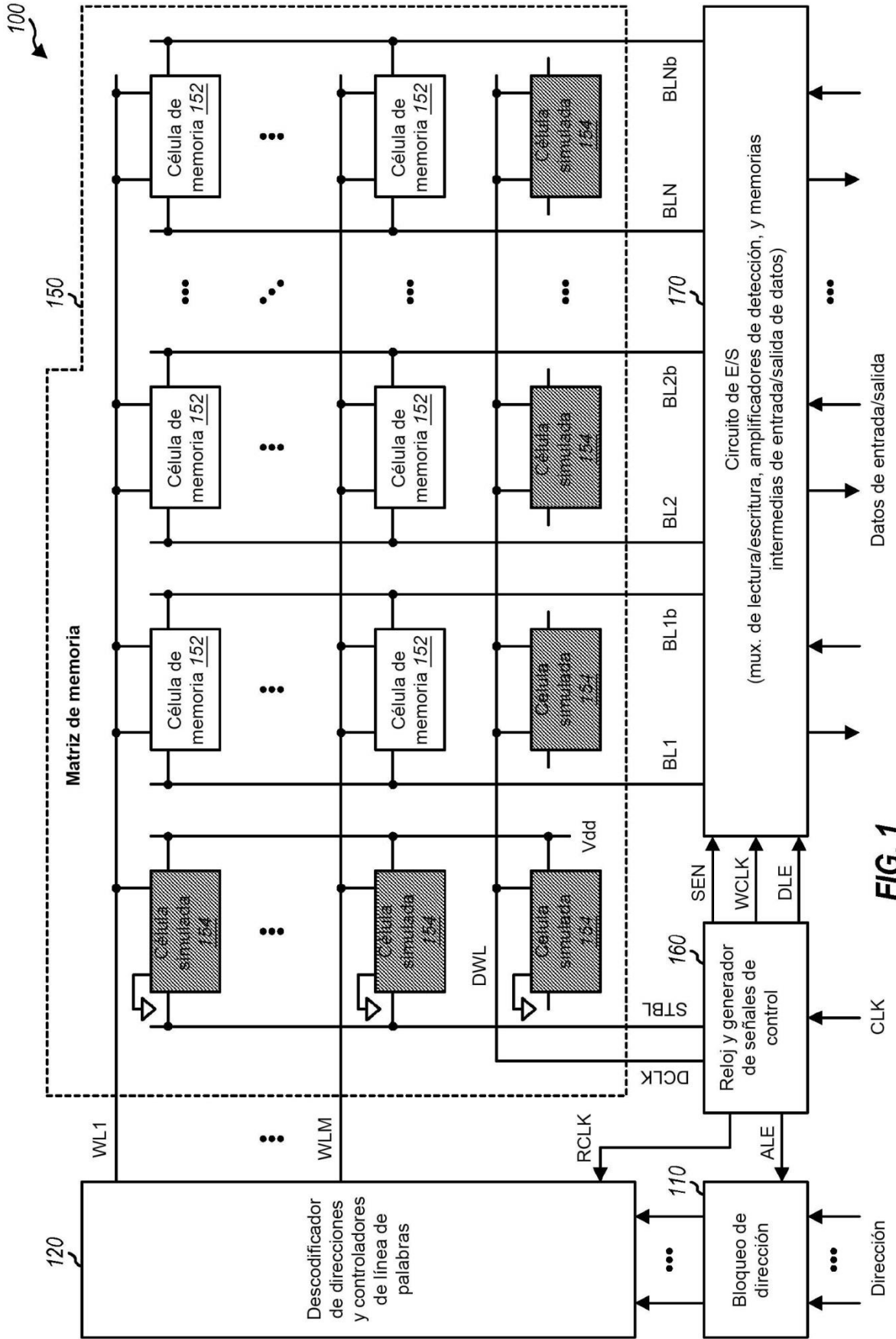


FIG. 1

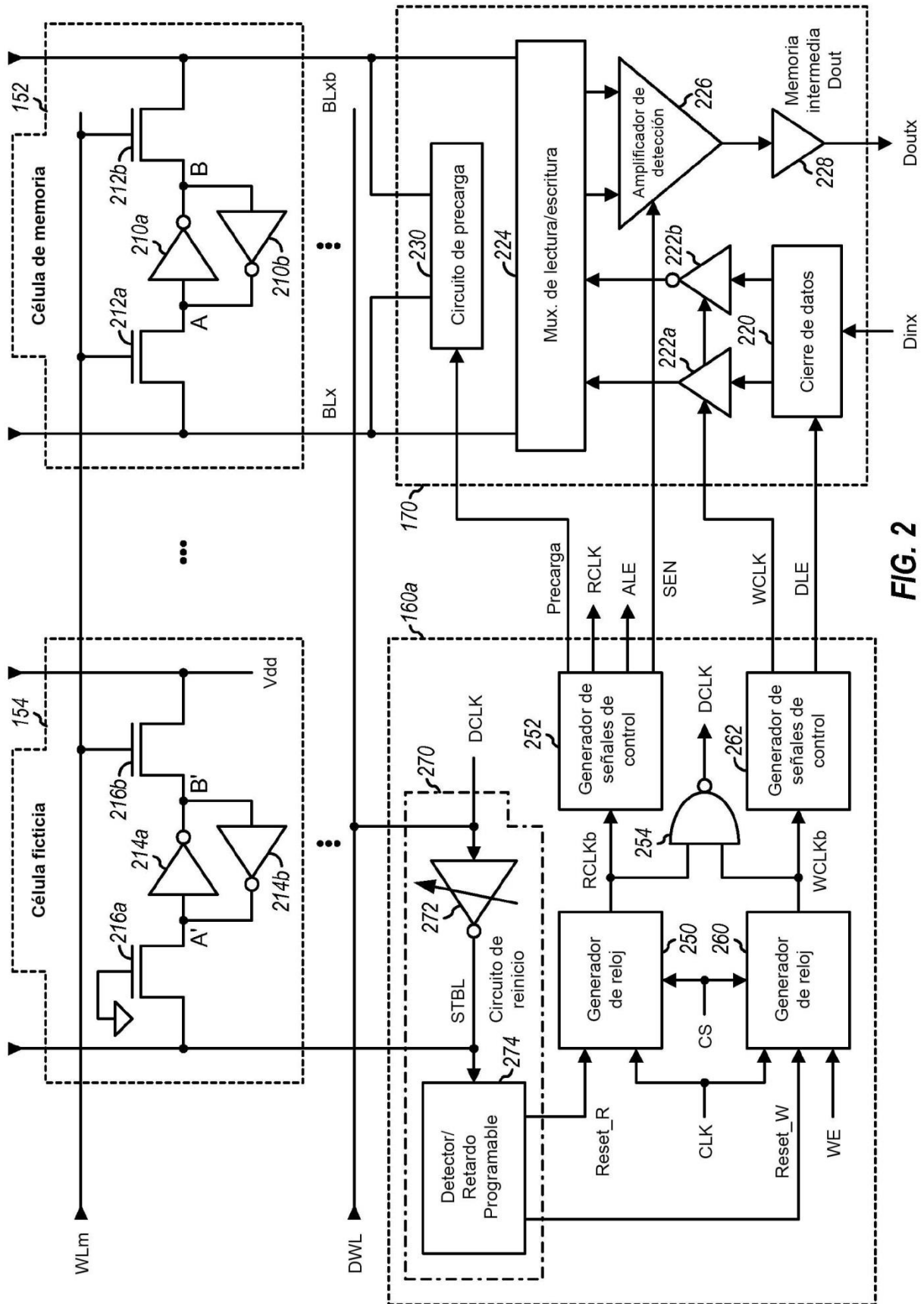


FIG. 2

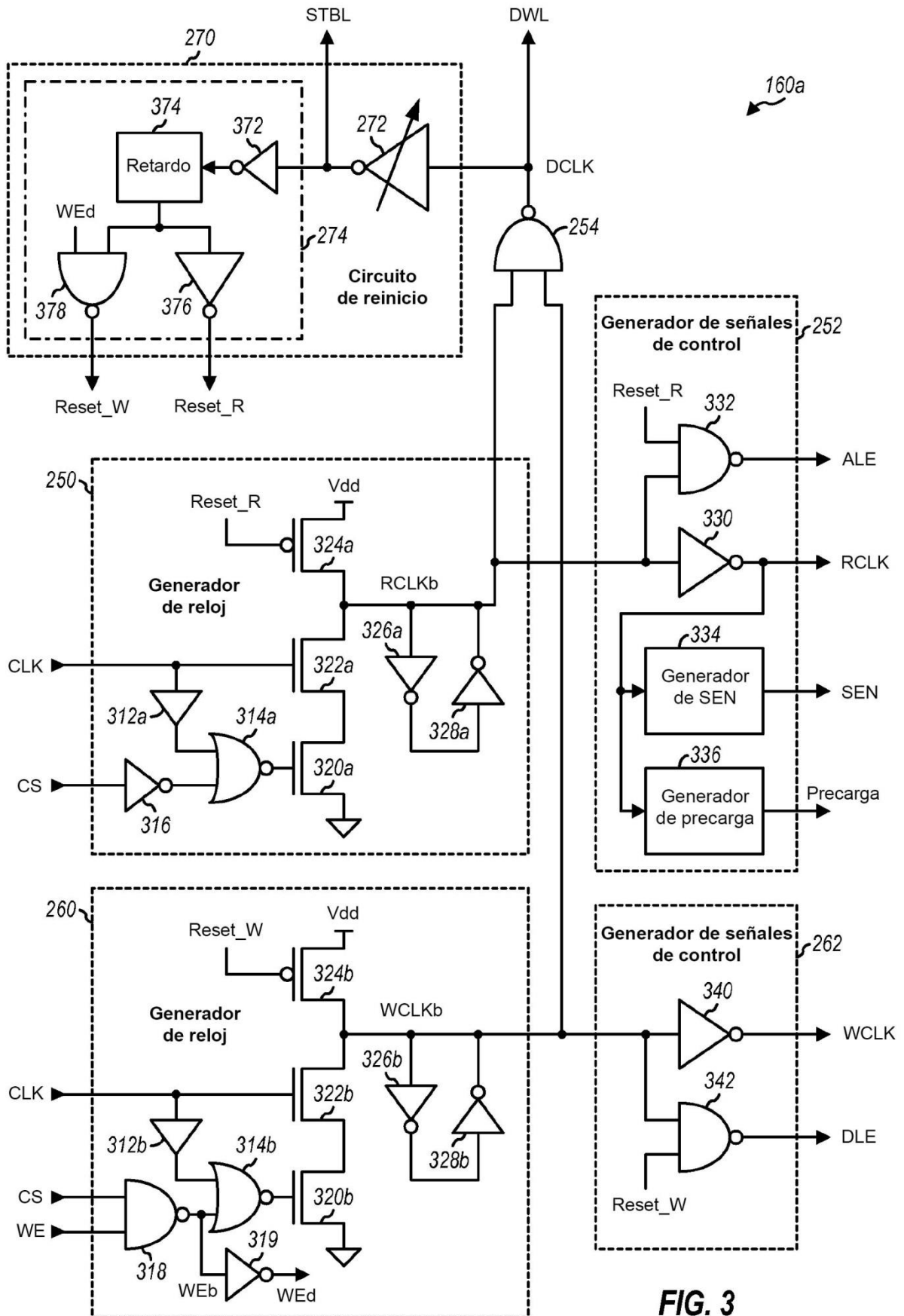
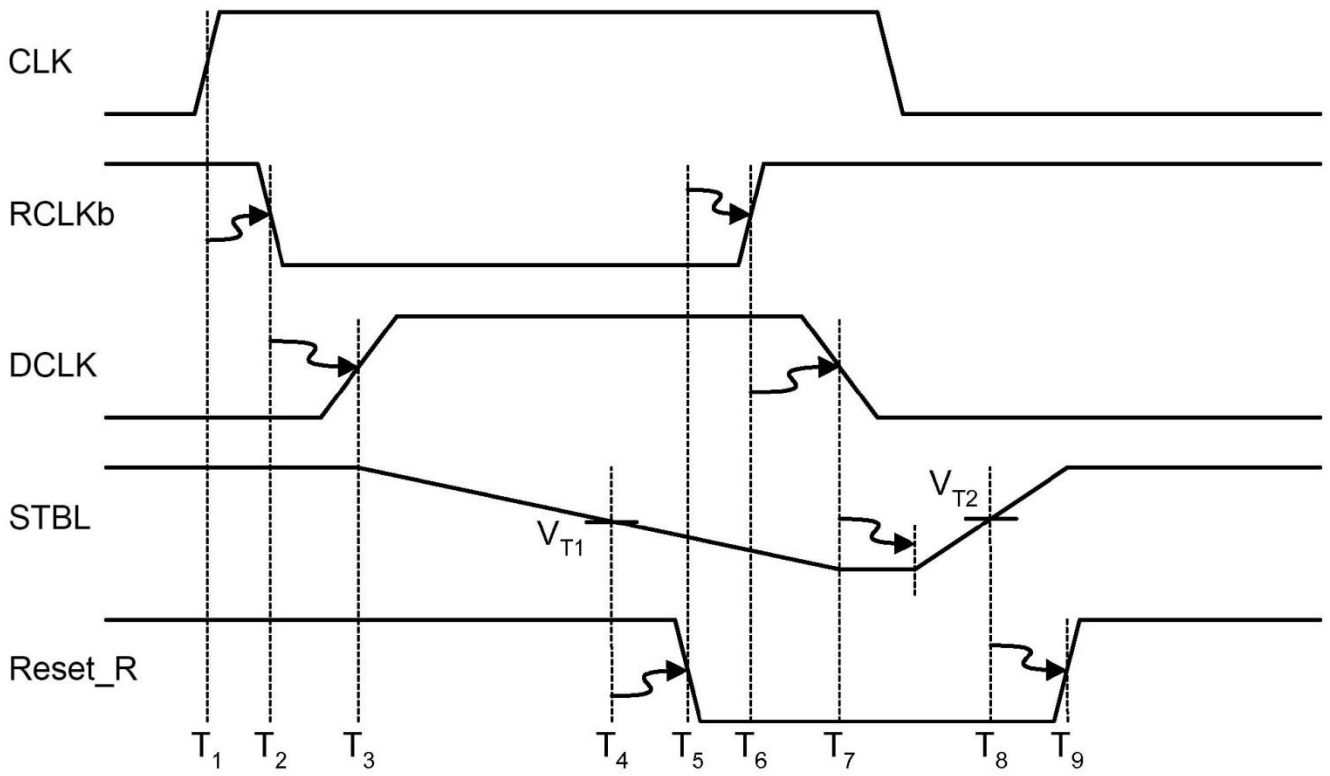
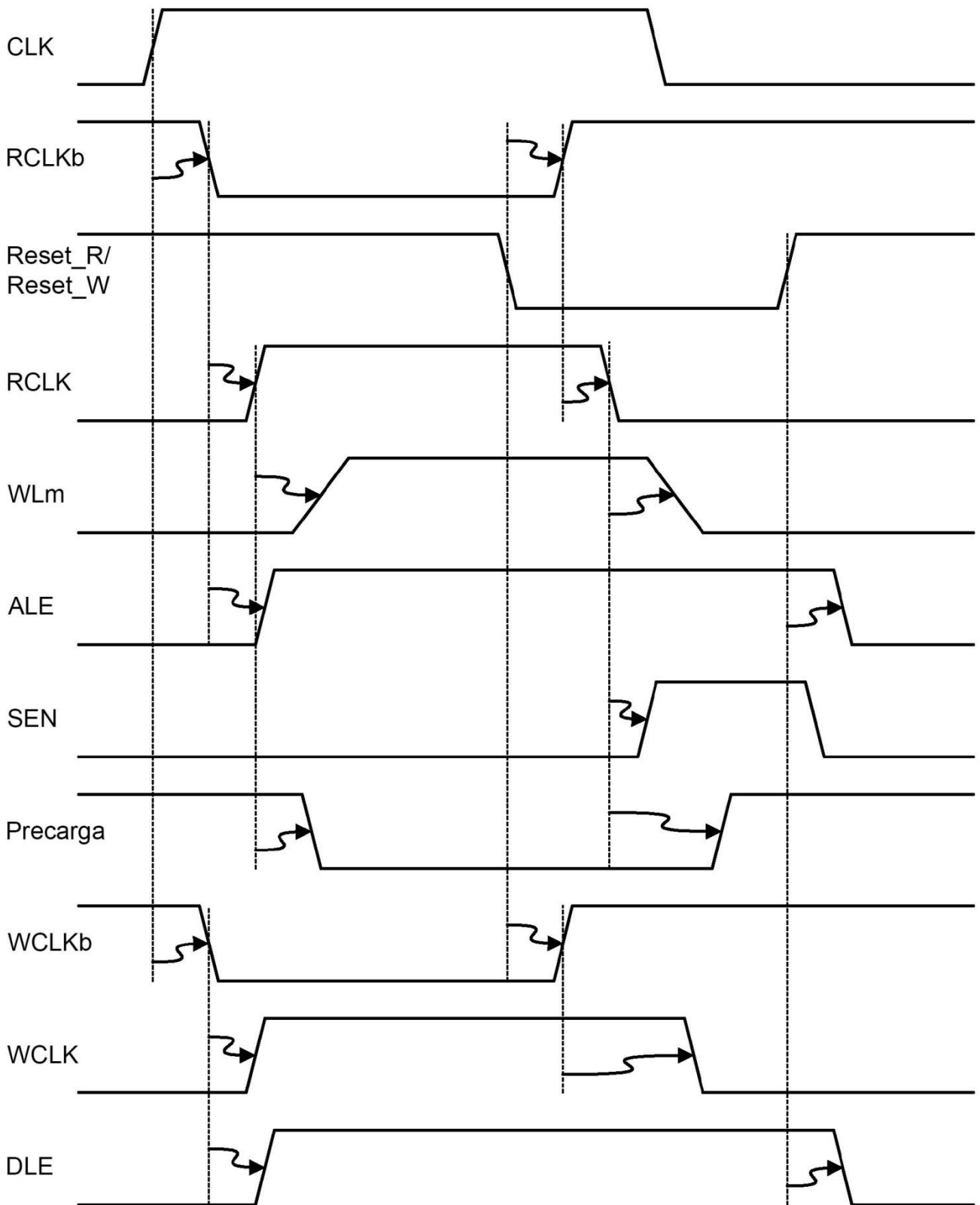


FIG. 3



**FIG. 4**





**FIG. 5**

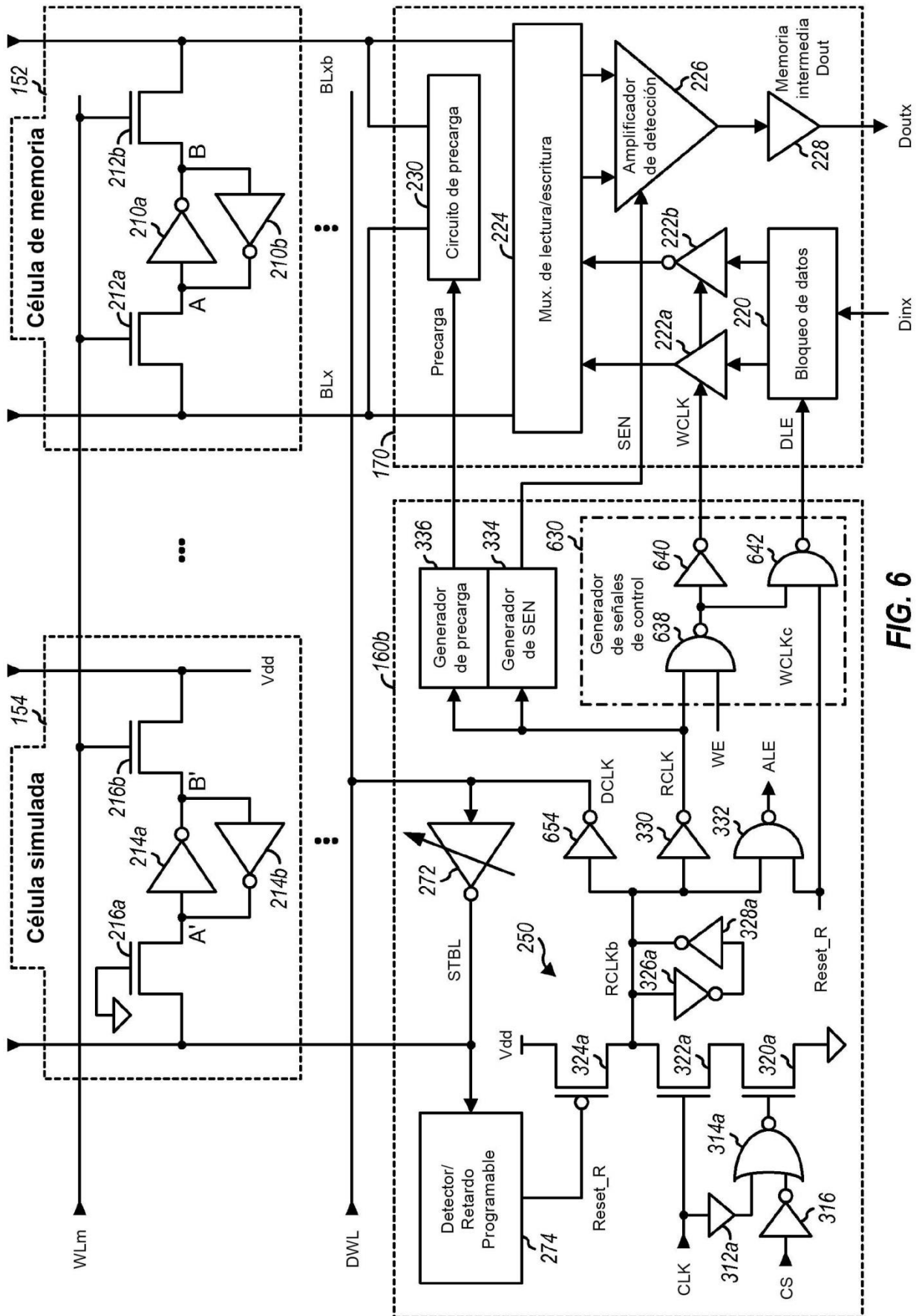


FIG. 6

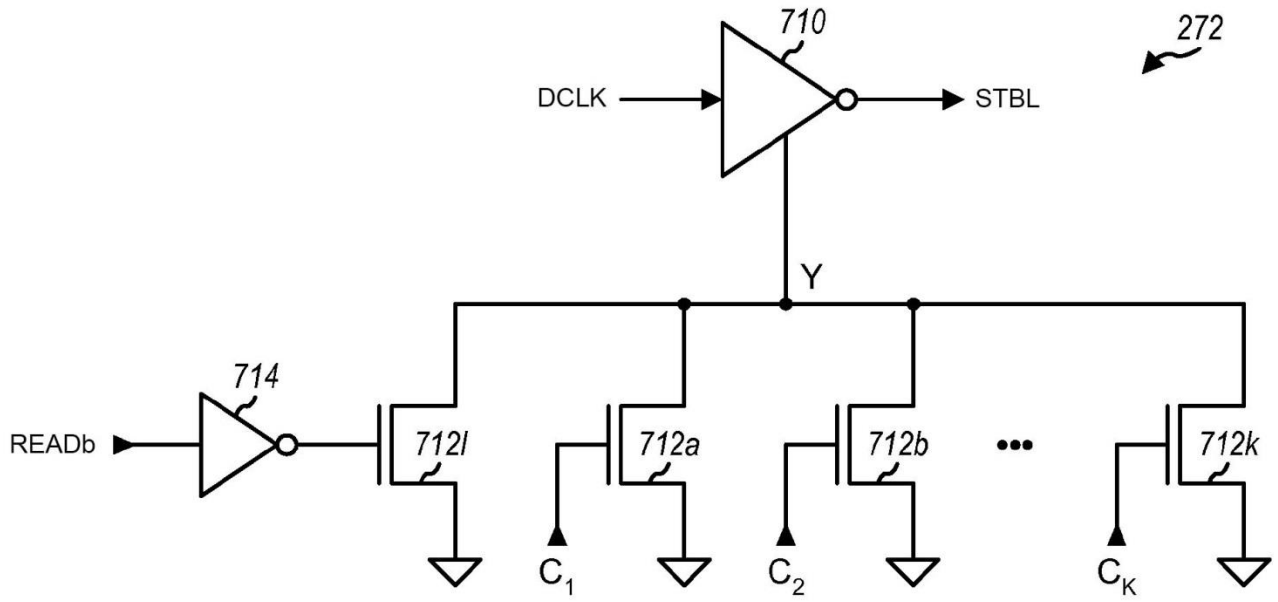


FIG. 7

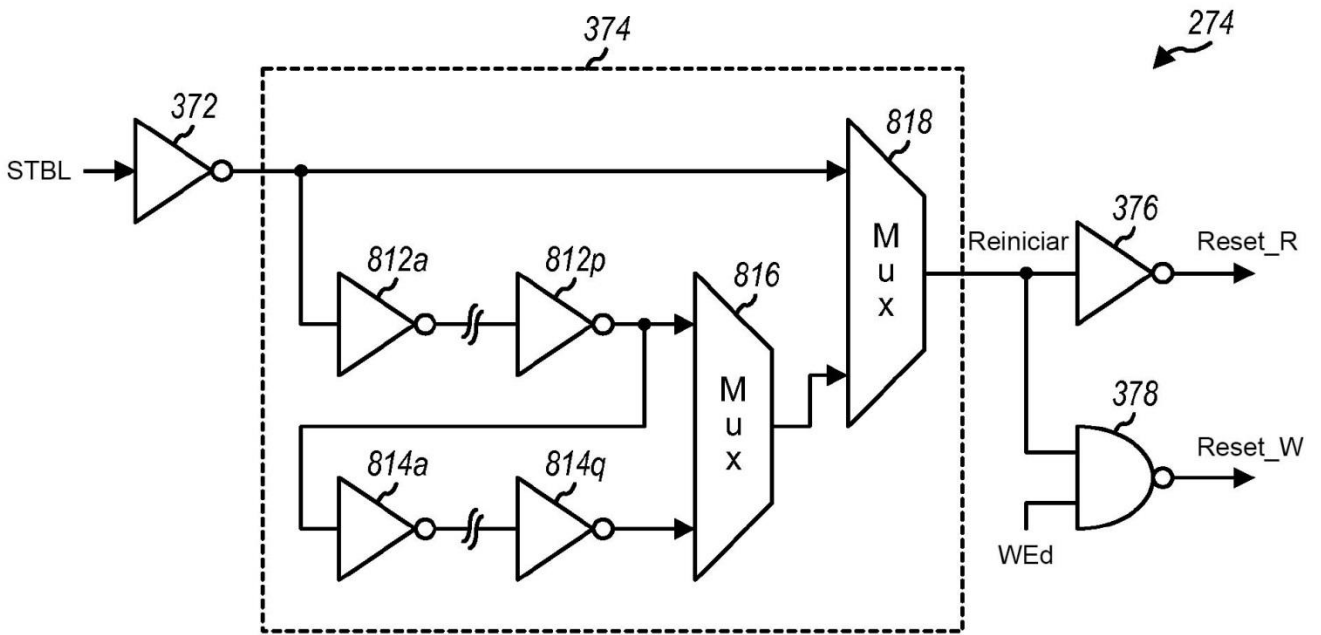
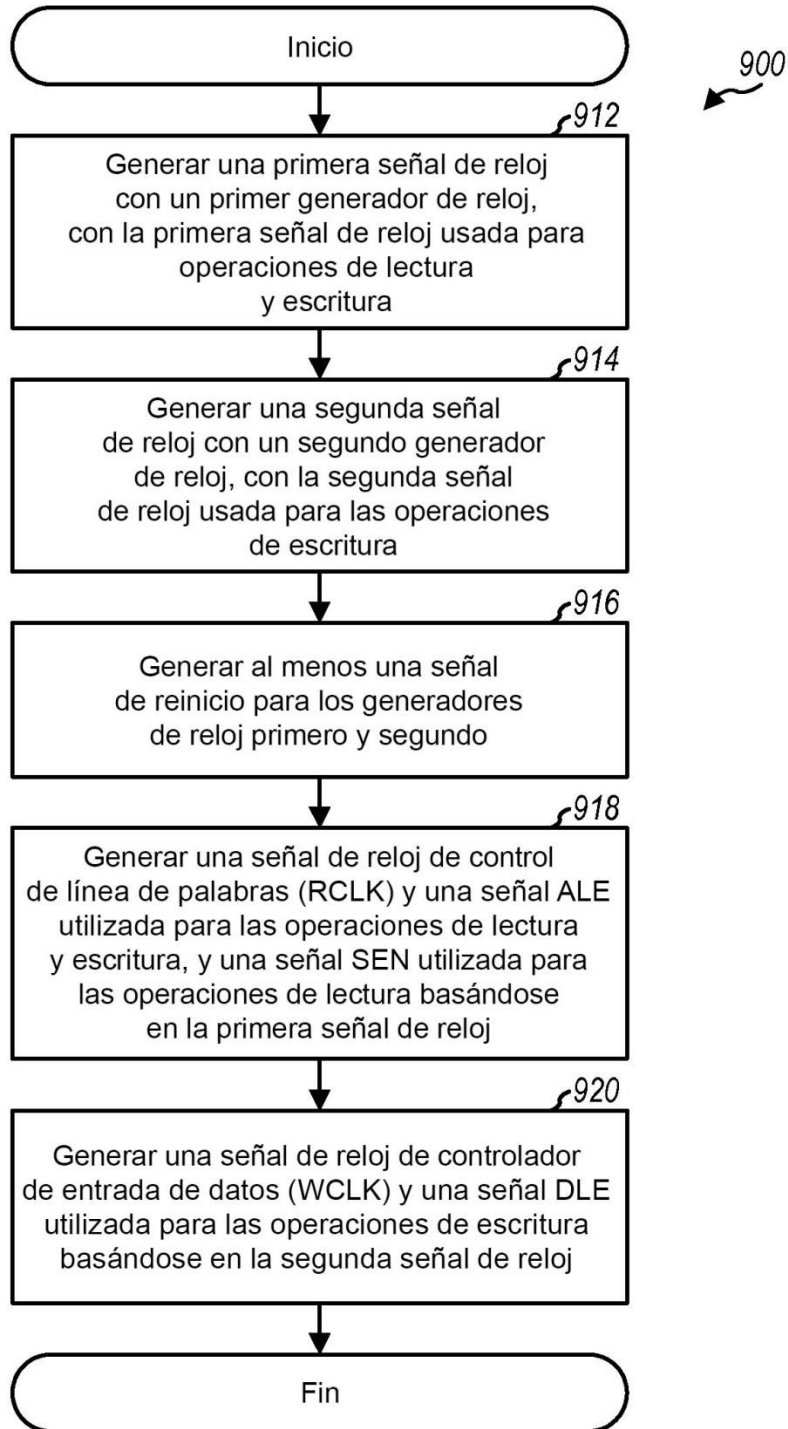


FIG. 8



**FIG. 9**

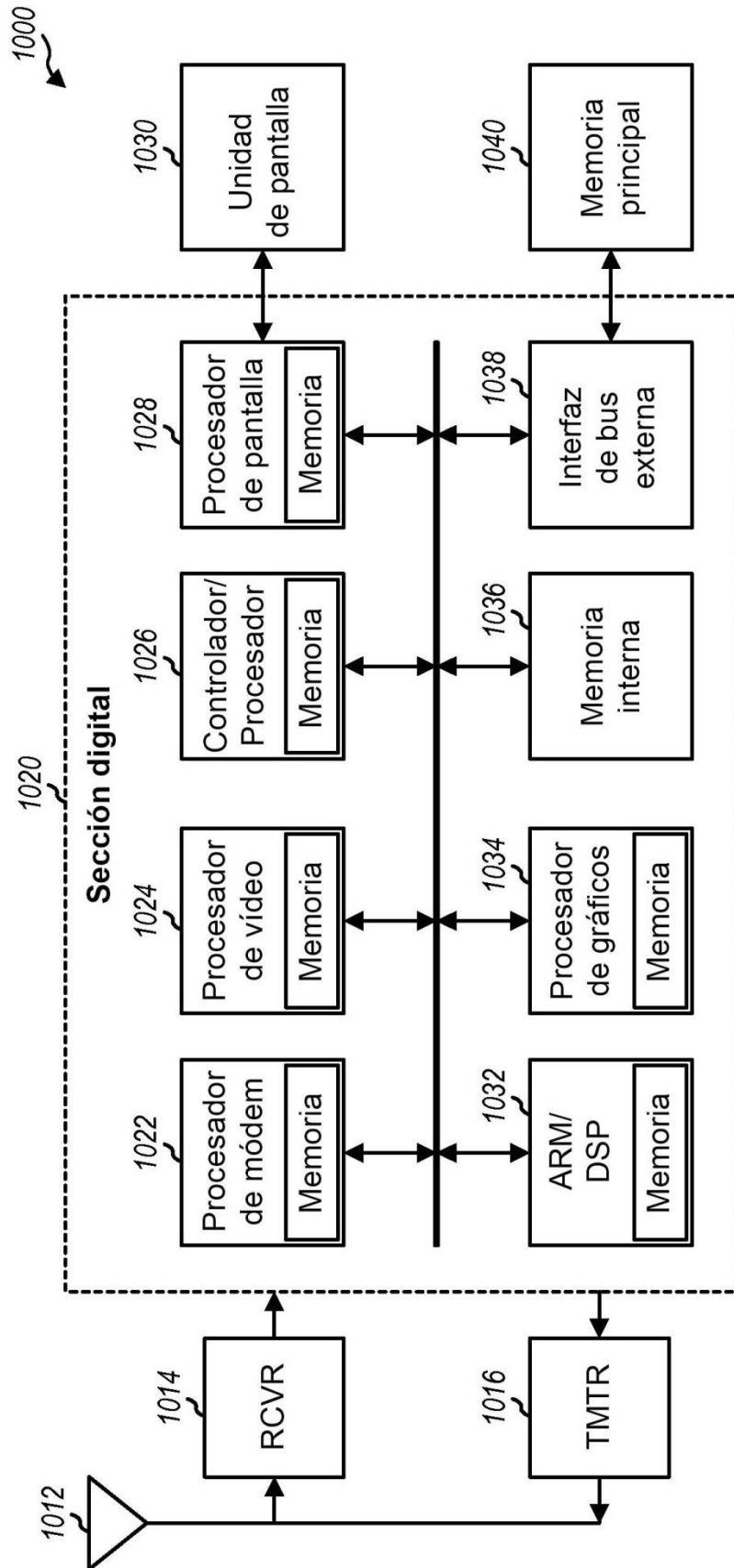


FIG. 10