

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 746 750**

51 Int. Cl.:

**H03M 5/02** (2006.01)

**B66B 1/34** (2006.01)

**H03M 1/22** (2006.01)

**H03M 7/22** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **18.01.2013 PCT/US2013/022079**

87 Fecha y número de publicación internacional: **24.07.2014 WO14113015**

96 Fecha de presentación y número de la solicitud europea: **18.01.2013 E 13872262 (4)**

97 Fecha y número de publicación de la concesión europea: **11.09.2019 EP 2946476**

54 Título: **Reducción de resolución de codificador**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**06.03.2020**

73 Titular/es:

**OTIS ELEVATOR COMPANY (100.0%)**  
**One Carrier Place**  
**Farmington CT 06032, US**

72 Inventor/es:

**KANG, KEUNMO;**  
**CULP, SLADE, R.;**  
**BOGLI, CRAIG, DREW;**  
**VERONESI, WILLIAM, A. y**  
**MARVIN, DARYL, J.**

74 Agente/Representante:

**ISERN JARA, Jorge**

Observaciones:

**Véase nota informativa (Remarks, Remarques o Bemerkungen) en el folleto original publicado por la Oficina Europea de Patentes**

ES 2 746 750 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Reducción de resolución de codificador

5 ANTECEDENTES

En un sistema o entorno dado, la resolución de un codificador puede necesitar ser regulada o controlada. Por ejemplo, los sistemas de rescate en ascensores normalmente utilizan una resolución de codificador relativamente baja, tal como nueve (9) líneas/revolución. De manera más general, puede ser necesaria una baja resolución de codificador cuando se interconecta a un sistema, dispositivo o componente que no puede manejar una frecuencia alta

Los codificadores reflectantes pueden usar una resolución de aproximadamente ocho (8) líneas/milímetro (si una pista del codificador está situada en, por ejemplo, un círculo de 24,70 milímetros (mm) de radio, entonces la resolución será 1296 líneas/revolución). Tal resolución relativamente alta podría ser incompatible con una interfaz que requiere una resolución baja.

El documento US 2008/0177501 describe un procedimiento para detectar una posición de una unidad de accionamiento donde una señal de posición es detectada con un primer grado de precisión y puede ser alimentada a un convertidor mediante el cual el primer grado de precisión puede reducirse a un segundo grado de precisión. La señal puede ser de un codificador de cuadratura y el desplazamiento de fase puede mantenerse en las señales convertidas.

BREVE RESUMEN

25 Según la invención, se proporciona un procedimiento según la reivindicación 1 y un sistema según la reivindicación 4.

Ciertas realizaciones preferidas pueden estar dirigidas a un aparato que comprende al menos un procesador, y memoria que tiene instrucciones almacenadas en la misma que, cuando son ejecutadas por el al menos un procesador, hacen que el aparato: reciba dos canales asociados con una salida de un codificador, ejecute un primer algoritmo para detectar una dirección de movimiento de una entidad a la que se aplica el codificador basándose en los dos canales, ejecute un segundo algoritmo para generar dos canales con una resolución reducida en relación con los dos canales asociados con la salida del codificador, comprendiendo los dos canales con la resolución reducida la dirección de movimiento detectada, y produzca como salida los dos canales con la resolución reducida.

35 Ciertas realizaciones preferidas pueden estar dirigidas a un aparato que comprende un componente decodificador configurado para recibir entradas que están en cuadratura entre sí, determinar una dirección de las entradas y generar un impulso en respuesta a una transición en cualquiera de las entradas, un componente contador modular configurado para ser incrementado en respuesta al impulso cuando la dirección de las entradas corresponde a una primera dirección y disminuido en respuesta al impulso cuando la dirección de las entradas corresponde a una segunda dirección, y un componente de salida en cuadratura configurado para dividir una salida de recuento por el contador modular en una pluralidad de segmentos y generar un par de señales de salida en cuadratura.

Ciertas realizaciones preferidas pueden estar dirigidas a un sistema que comprende un codificador configurado para producir como salida una señal, y un dispositivo informático configurado para recibir la señal del codificador y generar una versión a resolución reducida de la señal, el dispositivo informático está configurado para transmitir la versión a resolución reducida de la señal a un destinatario.

Más adelante se describen realizaciones adicionales.

50 BREVE DESCRIPCIÓN DE LOS DIBUJOS

La presente descripción se ilustra a modo de ejemplo y no limitada en las figuras adjuntas, donde los números de referencia similares indican elementos similares.

55 La FIG. 1 ilustra un sistema de reducción de resolución de codificador ejemplar según una o más realizaciones de la descripción;

la FIG. 2 ilustra un sistema de reducción de resolución de codificador ejemplar según una o más realizaciones de la descripción;

60 la FIG. 3 ilustra un dispositivo de reducción de resolución ejemplar según una o más realizaciones de la descripción; y

65 la FIG. 4 ilustra un procedimiento ejemplar de reducción de una resolución de un codificador según una o más realizaciones de la descripción.

DESCRIPCIÓN DETALLADA

Se describen realizaciones ejemplares de aparatos, sistemas y procedimientos para reducir una resolución de un codificador. En algunas realizaciones, la reducción de resolución puede aplicarse en uno o más contextos o entornos. Por ejemplo, las realizaciones de la descripción pueden implementarse en relación con sistemas de rescate en ascensores, verificación cruzada o detección de fallos redundante, o la adquisición de una o más señales procedentes de un codificador situado a gran distancia, donde una longitud de la distancia puede estar relacionada con una frecuencia o recuento de impulsos de la(s) señal(es). En algunas realizaciones, una resolución de codificador puede reducirse para interactuar con un sistema, dispositivo o componente que requiera una baja resolución de codificador.

Se observa que se establecen diversas conexiones entre elementos en la siguiente descripción y en los dibujos (cuyo contenido se incluye en esta descripción a modo de referencia). Se observa que estas conexiones en general y, a menos que se especifique lo contrario, pueden ser directas o indirectas y que esta memoria descriptiva no pretende ser limitativa a este respecto. A este respecto, un acoplamiento entre entidades puede referirse a una conexión directa o indirecta.

La FIG. 1 ilustra un sistema de reducción de resolución de codificador (100). En algunas realizaciones, el sistema (100) puede estar incluido como una parte de un ascensor o sistema de ascensor.

El sistema (100) puede incluir un codificador (102). En algunas realizaciones, el codificador (102) puede incluir un codificador reflectante. El codificador (102) puede generar y producir como salida una o más señales, tales como señales de impulsos. La(s) señal(es) puede(n) ser indicativa(s) del funcionamiento de un dispositivo con el que está asociado el codificador (102), tal como un motor de un ascensor.

En algunas realizaciones, una señal producida como salida por el codificador (102) puede ser de una alta resolución en relación con un sistema, dispositivo o componente al que ha de ser acoplado, o interactuar con, esa señal de salida. Por ejemplo, un destinatario (104) puede incluir una interfaz de entrada que podría no estar configurada para aceptar una señal de alta frecuencia producida como salida por el codificador (102).

En algunas realizaciones, con el fin de proporcionar la salida del codificador (102) al destinatario (104), puede usarse un dispositivo (106). El dispositivo (106) puede incluir un dispositivo informático. El dispositivo (106) puede estar configurado para reducir la resolución de una señal recibida del codificador (102), y puede generar y producir como salida una señal correspondiente de una resolución más baja.

En algunas realizaciones, el dispositivo (106) puede incluir un algoritmo (108) que puede estar configurado para reducir la resolución de la señal que el dispositivo (106) recibe del codificador y producir como salida o transmitir la señal de resolución reducida. En algunas realizaciones, el algoritmo (108) puede estar implementado como, o incluir, un contador. El contador puede estar configurado para producir como salida o generar un impulso cada cierto número de recuentos de entrada. En algunas realizaciones, el algoritmo (108) puede estar implementado como, o incluir, un procedimiento o rutina de dividir por "N".

En algunas realizaciones, el dispositivo (106) puede estar implementado como, o incluir, uno o más de un dispositivo lógico programable complejo (CPLD), una matriz de puertas programable in situ (FPGA) y un microprocesador/microcontrolador. En algunas realizaciones, tales como las que incluyen al menos un microprocesador, el dispositivo (106) puede incluir memoria que tenga instrucciones almacenadas en la misma que, cuando son ejecutadas por el al menos un microprocesador, hacen que el dispositivo (106) reduzca una resolución de una señal recibida en el dispositivo (106) y produzca como salida o transmita la señal de resolución reducida. En algunas realizaciones, en el dispositivo (106) pueden estar incluidas lógica o puertas para soportar el algoritmo (108).

La FIG. 2 ilustra un sistema de reducción de resolución de codificador (200). En algunas realizaciones, el sistema (200) puede incluir uno o más de un codificador (202), un destinatario (204), un dispositivo (206) y un algoritmo (208). El codificador (202) puede corresponder o ser análogo al codificador (102) de la FIG. 1. El destinatario (204) puede corresponder o ser análogo al destinatario (104) de la FIG. 1. El dispositivo (206) puede corresponder o ser análogo al codificador (106) de la FIG. 1. El algoritmo (208) puede corresponder o ser análogo al algoritmo (108) de la FIG. 1.

En algunas realizaciones, el codificador (202) puede generar y producir como salida dos o más canales. En el sistema ejemplar (200), el codificador se muestra produciendo como salida dos canales, indicados como un primer canal A y un segundo canal B.

Los dos canales A y B producidos como salida por el codificador pueden ser de una resolución relativamente alta en comparación con una interfaz de entrada asociada con el destinatario (204). El dispositivo (206) puede estar configurado para reducir la resolución de las señales asociadas con los canales A y B producidos como salida por el codificador (202). Tal reducción de resolución puede ser realizada por el algoritmo (208). El algoritmo (208) puede estar configurado para generar y producir como salida o transmitir señales de resolución reducida que corresponden a los canales A y B.

En algunas realizaciones, el codificador (202) puede incluir, o estar asociado con dos pistas de código con sectores colocados desfasados noventa (90) grados o dos codificadores alineados de tal manera con una sola pista de código que produzcan dos señales de canal de salida desfasadas 90 grados durante los periodos de movimiento constante. Los dos canales de salida A y B del codificador (202) pueden usarse para detectar una dirección de movimiento de una entidad a la que se aplica el codificador (202), tal como un motor rotatorio. Por ejemplo, el algoritmo (210) puede estar configurado para realizar tal detección.

En algunas realizaciones, el algoritmo (210) puede estar configurado para detectar bordes ascendentes y/o descendentes de los canales A y B producidos como salida por el codificador (202), o niveles de voltaje de los canales A y B producidos como salida por el codificador (202). Una vez que se efectúan las detecciones de los canales, la dirección de movimiento puede efectuarse aplicando la lógica. Por ejemplo, puede usarse una representación digital, donde un "0" puede corresponder a hacia delante y un "1" puede corresponder a hacia atrás, o viceversa, de modo que el algoritmo (208) puede producir como salida salidas en cuadratura, potencialmente con una resolución reducida.

Aunque mostrados como algoritmos o componentes separados en la FIG. 2, en algunas realizaciones los algoritmos (208) y (210) pueden implementarse en un componente común.

La FIG. 3 ilustra un dispositivo de reducción de resolución ejemplar (300) para un codificador (de cuadratura) de doble canal según una o más realizaciones. En algunas realizaciones, el dispositivo (300) puede corresponder al dispositivo (206) de la FIG. 2.

Como se muestra, el dispositivo (300) puede estar asociado con varias señales. Por ejemplo, un reloj de muestra puede corresponder a un reloj de alta frecuencia (por ejemplo, 5 MHz) que puede usarse para sincronizar dos o más componentes (por ejemplo, los componentes (302), (304), (306), (308) y/o (310)). La entrada Ch A y la entrada Ch B pueden corresponder a señales del codificador óptico que pueden estar en cuadratura entre sí. Ch A y Ch B pueden corresponder a señales en cuadratura producidas como salida por un componente de prueba de fábrica (302). Filt A y Filt B pueden corresponder a señales en cuadratura a las que se elimina el rebote o son filtradas para eliminar el ruido de las señales Ch A y Ch B. Up/Dwn puede corresponder a una señal que representa una dirección del par en cuadratura (por ejemplo, A y B, tal como se reflejan en Filt A y Filt B). El impulso puede corresponder a una señal que representa cuando se produjo una transición en cualquiera de las señales Filt A y Filt B. El valor de recuento puede corresponder a, por ejemplo, un valor de recuento de nueve (9) bits que representa la salida de un componente contador modular o circular (308). La salida ChA y la salida Ch B pueden corresponder a una salida en cuadratura codificada del componente contador (308). Una señal de reinicialización puede configurar los componentes y las señales según un estado inicial o conocido.

El componente de prueba de fábrica (302) puede estar configurado para generar versiones simuladas de las señales de entrada Ch A y entrada Ch B. La salida generada por el componente de prueba de fábrica (302) puede basarse en el estado de las señales de prueba de avance y prueba de inversión. Las versiones simuladas de las señales de entrada Ch A y entrada Ch B generadas por el componente de prueba de fábrica (302) pueden basarse en una frecuencia de reloj más lenta que el reloj de muestra. Por ejemplo, la frecuencia de reloj más lenta puede obtenerse dividiendo el reloj de muestra por, por ejemplo, ciento veintiocho (128) como se muestra en la FIG. 3. En algunas realizaciones, las señales Ch A y Ch B producidas como salida por el componente de prueba de fábrica (302) pueden ser una función de uno o más clavijas de prueba o entradas de prueba (por ejemplo, las señales de prueba de avance y de prueba de inversión), de modo que el componente de prueba de fábrica (302) puede estar configurado para pasar las señales de entrada Ch A y entrada Ch B al componente de muestra y filtro (304) en una o más condiciones. En algunas realizaciones, el componente de prueba de fábrica (302) puede incluir uno o más multiplexores para elegir selectivamente entre pasar las señales de entrada Ch A y entrada Ch B frente a producir como salida una señal simulada. En algunas realizaciones, el componente de prueba de fábrica (302) puede usarse para probar componentes subsiguientes, tales como los componentes (304-310).

Un componente de muestra y filtro (304) puede estar configurado para muestrear las señales Ch A y Ch B y producir como salida señales Filt A y Filt B respectivas. En algunas realizaciones, las señales Ch A y Ch B recibidas en el componente de muestra y filtro (304) pueden ser asíncronas, y el componente de muestra y filtro (304) puede muestrear esas señales y sincronizarlas con un reloj de sistema o el reloj de muestra. El componente de muestra y filtro (304) puede filtrar las interferencias de las señales Ch A y Ch B. Por ejemplo, el componente de muestra y filtro (304) puede aplicar un filtro de mayoría de dos tercios (2/3) en algunas realizaciones.

Un componente decodificador de cuadratura (306) puede estar configurado para determinar una dirección de la entrada en cuadratura (por ejemplo, avance o inversión), potencialmente en respuesta a cada transición de cualquiera de Ch A o Ch B (como se refleja en Filt A y Filt B, respectivamente). La dirección determinada puede ser producida como salida por el componente decodificador de cuadratura (306) en relación con la señal Up/Dwn. El componente decodificador de cuadratura (306) puede crear un solo impulso para cada transición en relación con la señal de impulso, de modo que el componente contador (308) pueda contar el evento.

El componente contador (308) puede estar configurado para incrementar o disminuir un contador asociado para cada evento de impulso. La determinación de si incrementar o disminuir puede basarse en el estado de la señal Up/Dwn

(por ejemplo, Up = incremento, Dwn = disminución). Como el impulso procedente del componente decodificador de cuadratura (306) puede basarse en cada transición (por ejemplo, ascendente y descendente) para cada señal (por ejemplo, tanto Ch A como Ch B), el valor del contador puede ser cuatro veces la frecuencia de cualquier entrada de canal. En algunas realizaciones, puede usarse un divisor de resolución de, por ejemplo, ciento ocho (108), de modo que el contador puede estar configurado como un contador módulo cuatrocientos treinta y dos (432) (por ejemplo,  $108 \times 4 = 432$ ). El componente contador (308) puede estar configurado para producir como salida el valor del recuento en relación con la(s) señal(es) de valor de recuento.

Un componente de codificar recuento para salida en cuadratura (310) puede estar configurado para recibir la(s) señal(es) de valor de recuento y dividir el valor de recuento en segmentos, tales como cuatro segmentos iguales. El componente de codificar recuento para salida en cuadratura (310) puede estar configurado para codificar las salidas en cuadratura en, por ejemplo, cuatro estados, potencialmente para asegurar que las señales de salida serán un par en cuadratura. Un ejemplo de la secuencia de estados puede corresponder a: Salida Ch A/Salida Ch B: 0/0 => 0/1 => 1/1 => 1/0 => volver a 0/0. Pueden usarse otros patrones o secuencias.

En algunas realizaciones, la(s) señal(es) de valor de recuento producidas como salida por el componente contador (308) podrían corresponder a las señales Up/Dwn y de impulso.

La FIG. 4 ilustra un procedimiento que puede usarse en relación con uno o más dispositivos o sistemas, tales como los descritos en este documento. El procedimiento de la FIG. 4 puede usarse para generar y producir como salida uno o más canales o señales de resolución reducida.

En el bloque (402), pueden recibirse uno o más canales o señales. Por ejemplo, un dispositivo (por ejemplo, el dispositivo (106) o el dispositivo (206)) puede recibir un canal o señal procedente de un codificador (por ejemplo, el codificador (102) o el codificador (202)) en una entrada del dispositivo. El canal o señal recibido puede ser de una alta resolución, en relación con una requerida para un canal o señal de baja resolución en una interfaz de entrada asociada con un destinatario (por ejemplo, el destinatario (104) o el destinatario (204)).

En el bloque (404), el dispositivo puede ejecutar un algoritmo de decodificación de cuadratura (por ejemplo, el algoritmo (210)) para detectar una dirección de movimiento de una entidad a la que se aplica el codificador. El algoritmo de decodificación de cuadratura puede basarse en una fase relativa entre dos señales o canales de impulso de codificador (por ejemplo, los canales A y B como salida por el codificador (202)). Como parte del bloque (404), el algoritmo de decodificación de cuadratura puede producir como salida la dirección de movimiento detectada para otro algoritmo, tal como un algoritmo de reducción de resolución (por ejemplo, el algoritmo (108) o el algoritmo (208)).

En el bloque (406), el dispositivo puede ejecutar un algoritmo de reducción de resolución para reducir la resolución asociada con el canal o señal recibido en el bloque (402). Como se describió anteriormente, el algoritmo de reducción de resolución puede basarse en un contador o un procedimiento o rutina de división por "N". En algunas realizaciones, puede mantenerse la puesta en fase de modo que la dirección pueda inferirse con precisión.

En el bloque (408), el dispositivo puede producir como salida el canal o señal de resolución reducida, potencialmente para recepción por el destinatario. El canal o señal de resolución reducida de salida puede incluir salidas en cuadratura con resolución reducida basándose en la información de dirección asociada con el bloque (404).

El procedimiento ilustrado en relación con la FIG. 4 es ilustrativo. En algunas realizaciones, uno o más de los bloques de operaciones (o porciones de los mismos) pueden ser opcionales. En algunas realizaciones, las operaciones pueden ejecutarse en un orden o secuencia diferente del que se muestra. En algunas realizaciones, pueden incluirse operaciones adicionales no mostradas.

Las realizaciones de la descripción pueden reducir una resolución asociada con un canal o señal de salida de un codificador. En algunas realizaciones, un canal o señal de impulso de codificador de alta resolución puede reducirse en relación con uno o más algoritmos de reducción de resolución. Las realizaciones de la descripción pueden lograr la reducción mientras que se minimiza el coste. Por ejemplo, algunas realizaciones pueden aprovechar un codificador reflectante de bajo coste con alta resolución con el fin de interactuar con un dispositivo que requiere canales o señales de codificador de muy baja resolución.

Como se describe en este documento, en algunas realizaciones pueden tener lugar diversas funciones o actos en una ubicación dada y/o en relación con el funcionamiento de uno o más aparatos, sistemas o dispositivos. Por ejemplo, en algunas realizaciones, una porción de una función o acto dado puede realizarse en un primer dispositivo o ubicación, y el resto de la función o acto puede realizarse en uno o más dispositivos o ubicaciones adicionales.

Las realizaciones pueden implementarse usando una o más tecnologías. En algunas realizaciones, un aparato o sistema puede incluir uno o más procesadores, y memoria que almacena instrucciones que, cuando son ejecutadas por el uno o más procesadores, hacen que el aparato o sistema realice uno o más actos metodológicos como se describe en este documento. En algunas realizaciones pueden usarse diversos componentes mecánicos conocidos por los expertos en la materia.

5 En algunas realizaciones, las instrucciones pueden almacenarse en uno o más medios legibles por ordenador, tales como un medio legible por ordenador transitorio y/o no transitorio. Las instrucciones, cuando son ejecutadas, pueden hacer que una entidad (por ejemplo, un aparato o sistema) realice uno o más actos metodológicos como se describe en este documento.

10 Las realizaciones pueden estar vinculadas a una o más máquinas particulares. Por ejemplo, una o más arquitecturas o dispositivos pueden estar configurados para reducir una resolución de un codificador, tal como un codificador reflectante. En algunas realizaciones, las arquitecturas o dispositivos pueden mantener datos o información de simetría y cuadratura, que pueden usarse para obtener información respecto a una dirección de movimiento.

15 Los aspectos de la descripción se han descrito en términos de realizaciones ilustrativas de la misma. Muchas otras realizaciones, modificaciones y variaciones dentro del alcance de las reivindicaciones adjuntas se les ocurrirán a personas con conocimientos ordinarios en la técnica a partir de una revisión de esta descripción. Por ejemplo, alguien con conocimientos ordinarios en la técnica apreciará que las etapas descritas junto con las figuras ilustrativas pueden realizarse en otro orden diferente del indicado, y que una o más etapas ilustradas pueden ser opcionales.

**REIVINDICACIONES**

1.Un procedimiento para reducir la resolución de señales de un codificador (202) en un sistema de ascensor (200) que codifica la dirección de movimiento de un ascensor, que comprende:

5 recibir, mediante un dispositivo (206), dos señales de impulsos asociadas respectivamente con dos canales, comprendiendo dichos canales una salida de un codificador (202);

10 ejecutar, mediante el dispositivo (206), un primer algoritmo (210) para detectar una dirección de movimiento de una entidad a la que se aplica el codificador (202) basándose en las dos señales;

15 ejecutar, mediante el dispositivo (206), un segundo algoritmo (208) para generar dos señales con una resolución reducida en relación con la resolución de las dos señales asociadas con la salida del codificador (202), comprendiendo las dos señales con la resolución reducida la dirección de movimiento detectada; y

producir como salida, mediante el dispositivo (206), las dos señales con la resolución reducida;

donde:

20 el primer algoritmo (210) está configurado para detectar al menos uno de bordes ascendentes y descendentes en las dos señales asociadas con la salida del codificador (202) al detectar la dirección de movimiento de la entidad a la que se aplica el codificador (202), o

25 donde el primer algoritmo (210) está configurado para detectar niveles de voltaje de las dos señales asociadas con la salida del codificador (202) al detectar la dirección de movimiento de la entidad a la que se aplica el codificador (202);

caracterizado porque:

30 el segundo algoritmo (208) usa un contador configurado para producir como salida un impulso para cada una de las dos señales con la resolución reducida basándose en haber contado un número de impulsos de entrada en una señal correspondiente de las dos señales asociadas con los dos canales que comprenden la salida del codificador (202).

35 2.El procedimiento según la reivindicación 1, donde la entidad a la que se aplica el codificador (202) comprende un motor rotatorio.

3.El procedimiento según cualquier reivindicación anterior, que comprende, además:

40 producir como salida, mediante el dispositivo (206), las dos señales con la resolución reducida para recepción por parte de un sistema de rescate de ascensor.

4.Un sistema (200) para reducir la resolución de señales de un codificador (202) en un sistema de ascensor (200) que codifica la dirección de movimiento de un ascensor, que comprende:

45 un codificador (202) configurado para producir como salida dos señales; y

un dispositivo informático configurado para:

recibir (402) las dos señales producidas como salida por el codificador (202),

50 detectar una dirección de movimiento de una entidad a la que se aplica el codificador (202) basándose en las dos señales,

55 generar dos señales con una resolución reducida en relación con la resolución de las dos señales asociadas con la salida del codificador (202), comprendiendo las dos señales con la resolución reducida la dirección de movimiento detectada, y

producir como salida las dos señales con la resolución reducida;

donde:

60 el dispositivo informático está configurado para detectar al menos uno de bordes ascendentes y descendentes en los dos canales producidos como salida por el codificador (202) al detectar la dirección de movimiento de la entidad a la que se aplica el codificador (202), o

65 el dispositivo informático está configurado para detectar niveles de voltaje en los dos canales producidos como salida por el codificador (202) al detectar la dirección de movimiento de la entidad a la que se aplica el codificador (202);

caracterizado porque:

5 el dispositivo informático comprende un contador configurado para producir como salida un impulso para cada una de las dos señales con la resolución reducida basándose en haber contado un número de impulsos de entrada en una señal correspondiente de las dos señales producidas como salida por el codificador (202).

10 5.El sistema (200) según la reivindicación 4, donde el dispositivo informático comprende al menos uno de: un dispositivo lógico programable complejo (CPLD), una matriz de puertas programable in situ (FPGA) y un microprocesador/microcontrolador.

6.El sistema (200) según la reivindicación 4 o 5, donde el codificador (202) comprende un codificador reflectante.

15 7.El sistema (200) según cualquiera de las reivindicaciones 4 a 6, donde el dispositivo informático está configurado para generar un impulso en respuesta a una transición en cualquiera de las salidas de señal del codificador (202);

y donde el dispositivo informático comprende:

20 un componente contador modular (308) configurado para ser incrementado en respuesta al impulso cuando la dirección de movimiento corresponde a una primera detección y disminuido en respuesta al impulso cuando la dirección de movimiento corresponde a una segunda dirección; y

25 un componente de salida en cuadratura (310) configurado para dividir un recuento producido como salida por el contador modular en una pluralidad de segmentos y generar un par de señales de salida en cuadratura.

8.El sistema (200) según la reivindicación 7, que comprende, además:

30 un componente de filtro (304) configurado para filtrar interferencias asociadas con las señales de salida del codificador (202); y

un componente de prueba de fábrica (302) configurado para producir como salida selectivamente una de: las señales de salida del codificador (202), y señales de cuadratura simuladas como una función de uno o más clavijas de prueba o entradas de prueba.

35 9.El sistema (200) según la reivindicación 8, donde el componente contador modular (308), el componente de salida en cuadratura (310), el componente de filtro (304) y el componente de prueba de fábrica (302) están configurados para ser sincronizados entre sí por medio de un reloj, y donde el componente de prueba de fábrica (302) está configurado para generar las señales en cuadratura simuladas basándose en una división (128) del reloj.

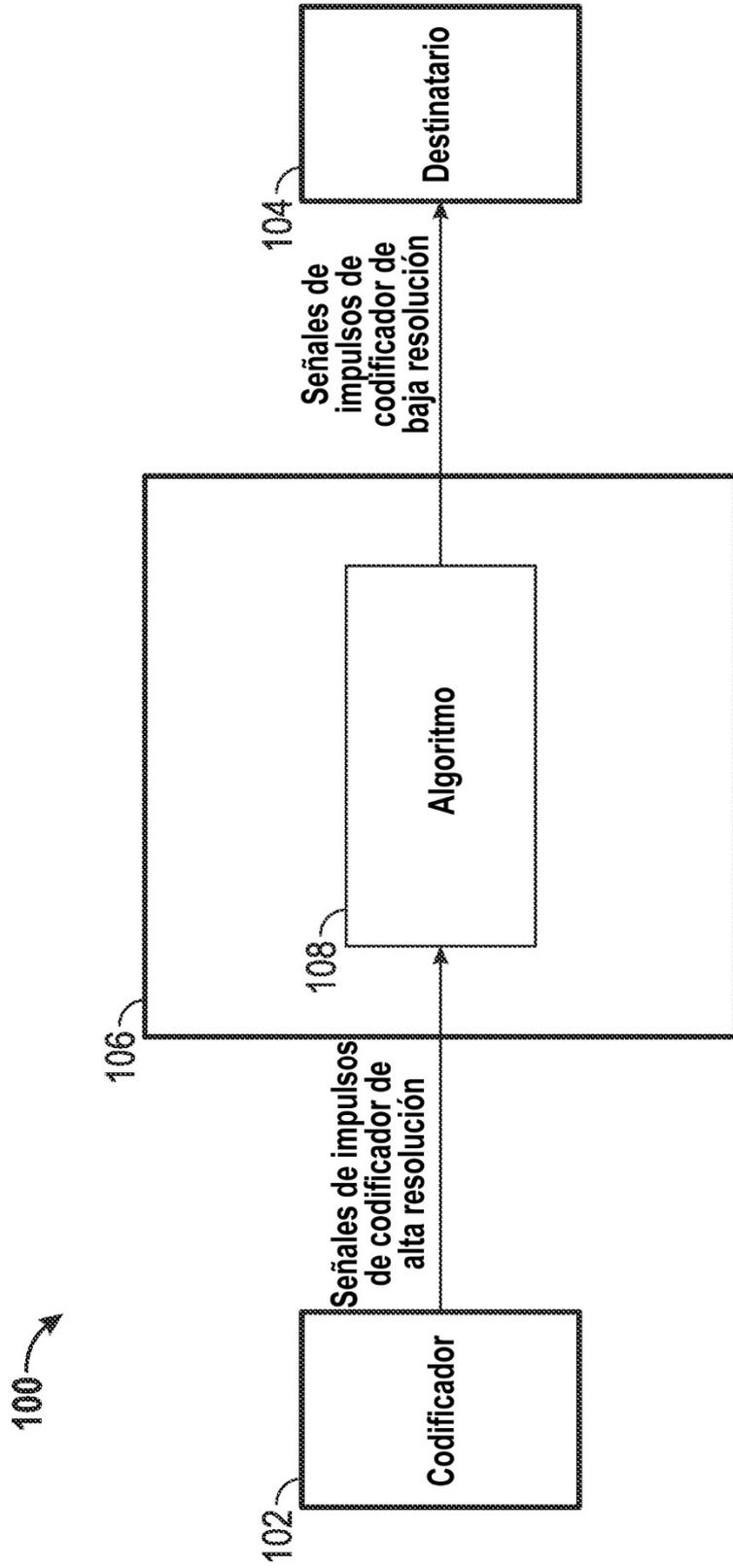


FIG. 1

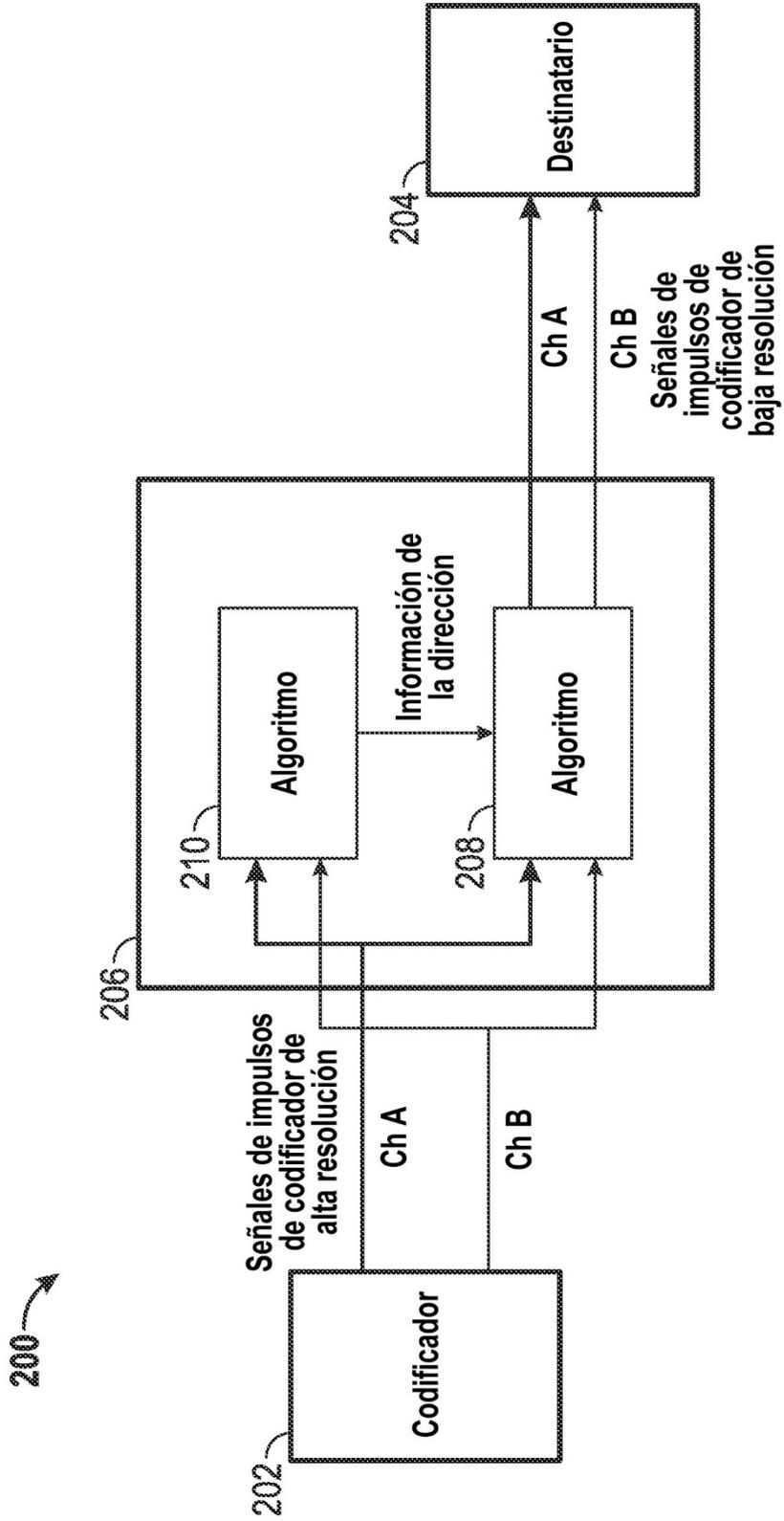


FIG. 2

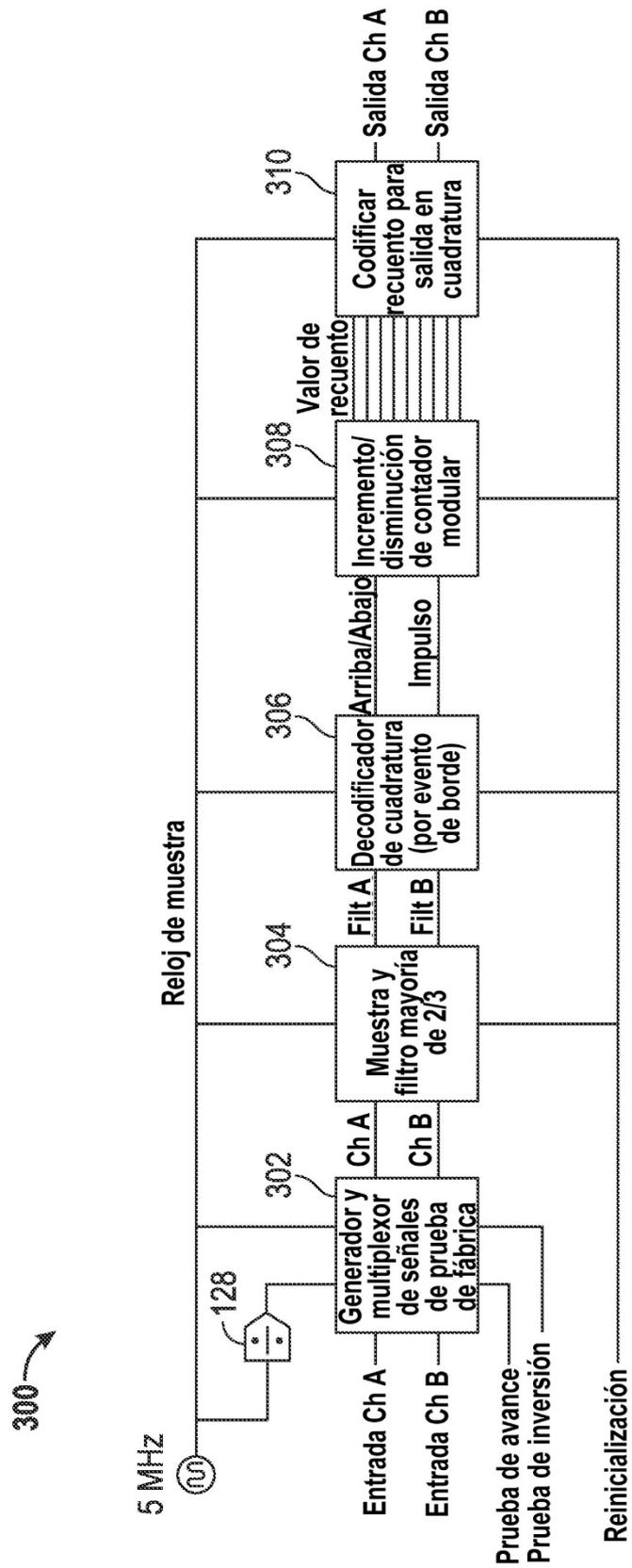
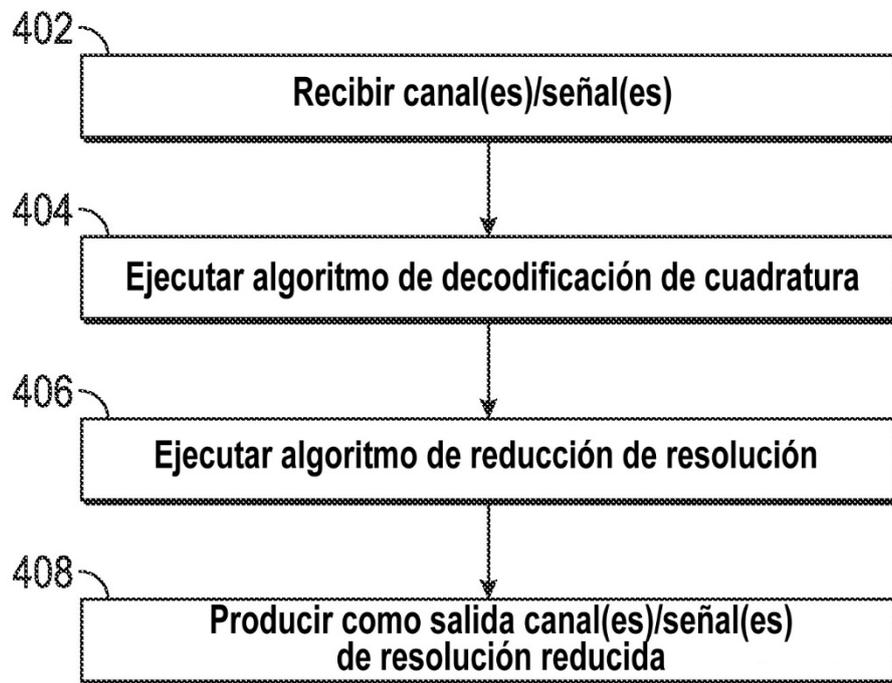


FIG. 3



**FIG. 4**