

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 747 174**

51 Int. Cl.:

H01L 27/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **01.03.2012 PCT/US2012/027337**

87 Fecha y número de publicación internacional: **07.09.2012 WO12119003**

96 Fecha de presentación y número de la solicitud europea: **01.03.2012 E 12715473 (0)**

97 Fecha y número de publicación de la concesión europea: **26.06.2019 EP 2681766**

54 Título: **Bloques de construcción distribuidos de circuitos de fijación r-c en el área central de la pastilla semiconductor**

30 Prioridad:

01.03.2011 US 201161447760 P
30.06.2011 US 201113173977

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
10.03.2020

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US

72 Inventor/es:

JALILZEINALI, REZA;
SIANSURI, EVAN;
DUNDIGAL, SREEKER, R. y
WORLEY, EUGENE R.

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 747 174 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Bloques de construcción distribuidos de circuitos de fijación r-c en el área central de la pastilla semiconductor

5 **CAMPO TÉCNICO**

[0001] La presente divulgación se refiere, en general, a circuitos semiconductores que brindan protección contra voltajes excesivos potencialmente dañinos, incluyendo, como ejemplos, voltajes excesivos resultantes de sobrecargas eléctricas (EOS) y/o eventos de descarga electrostática (ESD).

10

ANTECEDENTES

[0002] Los circuitos integrados modernos (circuitos integrados) resultan dañados fácilmente por los voltajes excesivos. Entre las fuentes comunes de estos voltajes potencialmente dañinos se incluyen sobrecarga eléctrica (EOS) y descarga electrostática (ESD). La ESD, un problema serio en la electrónica de estado sólido, es una transferencia de carga electrostática entre cuerpos o superficies a diferentes potenciales electrostáticos, ya sea por contacto directo o por un campo eléctrico inducido. Los circuitos integrados que se construyen utilizando semiconductores, como el silicio, y los materiales aislantes, como el dióxido de silicio, pueden dañarse permanentemente cuando se someten a voltajes más altos que pueden ser producidos por eventos de ESD.

15

20

[0003] Tradicionalmente, los circuitos en chip se emplean para proteger el IC durante un evento ESD. En los esquemas de protección de ESD de IC convencionales, los circuitos de fijación especiales a menudo desvían la corriente de ESD entre los rieles de la fuente de alimentación del IC y protegen así los elementos internos sensibles del IC contra daños. Dichos circuitos de fijación tienen un circuito temporizador (por ejemplo, un temporizador de resistencia-condensador (RC), que puede denominarse "detector transitorio") y un gran dispositivo MOSFET de canal n para descargar la corriente alta de ESD. Por lo tanto, a menudo se emplea un circuito de pinza del riel de alimentación dentro de un IC, de modo que si se produce un evento ESD en el riel de alimentación del IC, la pinza se activará y reducirá el voltaje para que los principales dispositivos del IC (elementos del circuito) no resulten dañados. Las implementaciones y el uso de tales pinzas RC son bien conocidos en la técnica.

25

30

[0004] El tamaño de la pinza RC es muy grande y utiliza la mayoría o todas las capas de metal del chip para proporcionar una baja resistencia y una alta capacidad de manejo de la corriente. Anteriormente, el temporizador RC y las partes del inversor de la pinza RC se habían ubicado en un soporte (en el anillo del soporte) y se han distribuido grandes transistores de efecto de campo (bigfets) a través del anillo del soporte del chip. En otras implementaciones anteriores, la pinza RC se ha configurado como una pinza RC de una pieza muy grande que contiene todos los bloques de construcción. Cada uno de estos diseños ocupa una gran parte de las capas metálicas del chip y, por lo tanto, limita en gran medida las opciones de enrutamiento para los otros componentes funcionales del chip.

35

[0005] US 2009/189194 divulga un dispositivo semiconductor que incluye una matriz de una pluralidad de dispositivos dispuestos en una pluralidad de filas. Al menos un circuito de protección contra ESD o una parte del mismo está dispuesto en al menos una de la pluralidad de filas de la matriz de la pluralidad de dispositivos. El documento US 2006/259892 describe un procedimiento para producir un chip con una matriz de células, teniendo cada una de las células una pluralidad de transistores. El procedimiento incluye además el diseño de una pluralidad de capas metálicas superiores para interconectar una pluralidad de las células para formar una pinza de descarga electrostática.

40

45

SUMARIO

[0006] Los modos de realización de la presente divulgación incluyen un diseño de pinza RC que reduce el uso de la capa conductora mediante la distribución de bloques de construcción de la pinza RC en el área central del chip invertido. El aparato y el procedimiento de la presente invención se definen respectivamente mediante las reivindicaciones independientes 1 y 7.

50

[0007] Un aspecto de la presente divulgación proporciona un aparato que incluye una pastilla semiconductor que tiene un área central y un anillo de soporte. El área central incluye un circuito de fijación basado en temporizador que incluye: una serie de bloques de condensadores, cada uno de los cuales comprende un condensador, una serie de bloques de resistencia, cada uno de los cuales comprende una resistencia, una serie de bloques inversores, cada uno de los cuales incluye un inversor; y una serie de inversores más bloques bigFET, cada uno de los cuales incluye un inversor más bigFET, en el que los bloques de condensadores, los bloques de resistencia, los bloques inversores y los bloques de inversores más bigFET se distribuyen entre sí en el área central; y una pluralidad de acoplamientos conductores a nivel de chip dispuestos para acoplar los bloques de construcción distribuidos.

55

60

[0008] En otro aspecto, se proporciona un procedimiento para configurar los circuitos de fijación en una pastilla semiconductor. El procedimiento incluye configurar bloques de construcción de circuitos de fijación que incluyen: una serie de bloques de condensadores, cada uno de los cuales comprende un condensador, una serie de bloques de resistencias, cada uno de ellos compuesto por resistencias, una serie de bloques de inversores, cada uno de los

65

5 cuales incluye un inversor; y una serie de inversores más bloques bigFET, cada uno de los cuales comprende un inversor más bigFET, en el que los bloques de condensadores, los bloques de resistencia, los bloques inversores y los bloques de inversor más bigFET se distribuyen entre sí en un área central de la pastilla semiconductora; y acoplar los bloques de construcción a través de una pluralidad de acoplamientos conductores a nivel de chip de la pastilla semiconductora.

10 **[0009]** Esto ha esbozado, algo vagamente, las características y las ventajas técnicas de la presente divulgación con el fin de que pueda entenderse mejor la siguiente descripción detallada. A continuación se describirán características y ventajas adicionales de la divulgación. Los expertos en la técnica deberían apreciar que esta divulgación puede utilizarse inmediatamente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente divulgación. Los rasgos novedosos que, se cree, son característicos de la divulgación, tanto en lo que respecta a su organización como al procedimiento de funcionamiento, junto con objetos y ventajas adicionales, se comprenderán mejor a partir de la siguiente descripción cuando se considere en relación con las figuras adjuntas. No obstante, ha de entenderse expresamente que cada una de las figuras se proporciona solo con fines de ilustración y descripción, y no pretende ser una definición de los límites de la presente divulgación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

20 **[0010]** Las características, la naturaleza y las ventajas de la presente divulgación resultarán más evidentes a partir de la descripción detallada expuesta a continuación cuando se tome junto con los dibujos, en los que los mismos caracteres de referencia identifican de manera correspondiente en todos ellos, y en los que:

25 Las FIGURAS 1A y 1B son diagramas esquemáticos que ilustran conceptualmente ejemplos de circuitos de fijación RC distribuidos de acuerdo con aspectos de la presente divulgación.

La FIGURA 2 muestra un sistema de comunicación inalámbrica a modo de ejemplo en el que se puede emplear ventajosamente un modo de realización de la divulgación.

30 La FIGURA 3 es un diagrama de flujo de proceso que ilustra un procedimiento para configurar una pastilla semiconductora de acuerdo con un aspecto de la presente divulgación.

DESCRIPCIÓN DETALLADA

35 **[0011]** Una debilidad de los diseños tradicionales de circuitos de pinza basados en temporizador es que la pinza basada en temporizador ocupa un área grande y utiliza una gran parte de las capas conductoras (por ejemplo, de metal) para manejar la corriente ESD. Esto introduce problemas a nivel de bloque o chip debido a que se asigna un área significativa para colocar las pinzas basadas en el temporizador (por ejemplo, RC), lo cual aumenta la dificultad para enrutar señales en el área central debido a los bloqueos de la capa conductora dentro de las pinzas basadas en el temporizador.

40 **[0012]** De acuerdo con los aspectos de la presente divulgación, estos problemas con las implementaciones de pinzas basadas en temporizadores tradicionales pueden aliviarse mediante la distribución de bloques de construcción de las pinzas basadas en temporizadores. La pinza basada en temporizador distribuida podría aplicarse en una configuración de chip invertido o cualquier otra configuración de chip.

45 **[0013]** La FIGURA 1A es un diagrama de bloques de un circuito de pinza basado en temporizador a modo de ejemplo en el que los componentes del circuito basado en temporizador tales como resistencias y condensadores están distribuidos entre sí en el área central de una pastilla semiconductora. En este ejemplo, el circuito de pinza basado en temporizador distribuido es una pinza RC. La pinza RC se divide en bloques de construcción más pequeños, como las resistencias R1, R2, ... Rn, condensadores C1, C2, ... Cn, Cdecapl... Cdecapn, inversores INV1, INV2, ... e inversores más bigfet INV + BIGFET1, INV + BIGFET2, ... INV + BIGFETn. En esta topología a modo de ejemplo, las resistencias R1, R2, ... Rn están acopladas en serie al nodo Vdd y los condensadores C1, C2, ... Cn, Cdecapl... Cdecapn se acoplan al nodo Vss. La FIGURA 1B muestra una topología a modo de ejemplo alternativa en la que las resistencias R1, R2, ... Rn están acopladas en serie al nodo Vss y los condensadores C1, C2, ... Cn, Cdecapl... Cdecapn se acoplan al nodo Vdd. Debe entenderse que, en vista de la presente divulgación, varias otras topologías podrían ser configuradas por personas con experiencia ordinaria en la técnica dentro del alcance de la presente divulgación. En un ejemplo que no está dentro del alcance de las reivindicaciones, las resistencias y los condensadores podrían combinarse en un solo componente, o en un solo componente que también incluya uno o más inversores. En otro ejemplo, los inversores se reemplazan por puertas NAND de 2 entradas unidas entre sí. De acuerdo con los aspectos de la presente divulgación, las diversas topologías pueden conformarse o reformarse para cumplir ciertos objetivos de diseño, por ejemplo, para rellenar un área no utilizada en un chip.

60 **[0014]** Si bien la FIGURA 1A y la FIGURA 1B muestran varios inversores más bloques de construcción bigfet, debe entenderse que los ejemplos de la presente divulgación pueden incluir varios números de cada componente, por ejemplo, 5, 7 o 9, etc. inversores, en lugar de tres, como se muestra en la FIGURA 1A, o 4, 6, 8, etc. inversores, en lugar de 2 como se muestra en la FIGURA 1B. El acoplamiento entre los bloques de construcción se produce en las

capas conductoras a nivel de chip. El acoplamiento está configurado para satisfacer la temporización RC (número de bloques de construcción de resistencias y condensadores), el tiempo de activación de pinza de RC (carga adicional máxima introducida por las guías metálicas) y los voltajes de fijación de pinza RC (número de inv más bigfets para lograr buenas características de fijación). Los condensadores no utilizados distribuidos en el área central se pueden usar como condensadores de desacoplamiento. Como se ve en la FIGURA 1A, las líneas discontinuas representan acoplamientos en el nivel del chip entre los componentes de la pinza RC. Dicho acoplamiento a nivel de chip de acuerdo con los aspectos de la presente divulgación evita las dificultades de enrutamiento y el bloqueo de enrutamiento que podrían encontrarse utilizando pinzas RC de una pieza previamente conocidas que incluyen acoplamientos a través de las capas conductoras a nivel de chip, por ejemplo.

[0015] Los modos de realización de la presente divulgación proporcionan la capacidad de aprovechar el área no utilizada en el área central o un área dentro de una macro dura (de un microprocesador, etc.) para colocar componentes de pinza RC, como bloques de condensadores. Los bloqueos de enrutamiento de la capa conductora que sufren las técnicas tradicionales de pinza RC se evitan distribuyendo los bloques de construcción de la pinza RC. Los condensadores distribuidos en el área central se pueden usar como bloques de construcción de la pinza RC o como condensadores de desacoplamiento.

[0016] La FIGURA 2 muestra un sistema de comunicación inalámbrica a modo de ejemplo 200 en el que se puede emplear ventajosamente un modo de realización de la pinza RC distribuida. Con fines ilustrativos, la FIGURA 2 muestra tres unidades remotas 220, 230 y 250 y dos estaciones base 240. Se reconocerá que los sistemas de comunicación inalámbrica pueden tener muchas más unidades remotas y estaciones base. Las unidades remotas 220, 230 y 250 incluyen los circuitos ESD distribuidos 225A, 225B y 225C, respectivamente. La FIGURA 2 muestra las señales de enlace directo 280 desde las estaciones base 240 y las unidades remotas 220, 230 y 250, y las señales de enlace inverso 290 desde las unidades remotas 220, 230 y 250 a las estaciones base 240.

[0017] En la FIGURA 2, la unidad remota 220 se muestra como un teléfono móvil, la unidad remota 230 se muestra como un ordenador portátil y la unidad remota 250 se muestra como una unidad remota de ubicación fija en un sistema de bucle local inalámbrico. Por ejemplo, las unidades remotas pueden ser teléfonos celulares, unidades de sistemas de comunicación personal (PCS) de mano, unidades de datos portátiles, tales como asistentes de datos personales, o unidades de datos de ubicación fija, tales como equipos de lectura de contadores. Aunque la FIGURA 2 ilustra unidades remotas que pueden emplear circuitos de pinzas RC distribuidos de acuerdo con las enseñanzas de la divulgación, la divulgación no está limitada a estas unidades a modo de ejemplo ilustradas. Por ejemplo, los circuitos de pinza RC distribuidos de acuerdo con modos de realización de la presente divulgación pueden emplearse adecuadamente en cualquier dispositivo.

[0018] Un procedimiento para configurar una pastilla semiconductor de acuerdo con los aspectos de la presente divulgación se describe con referencia a la FIGURA 3. En el bloque 302, los bloques de construcción de circuitos de fijación basados en temporizador, incluidos los bloques de condensadores, se configuran en el área central de la pastilla semiconductor. En el bloque 304, los bloques de construcción distribuidos se acoplan a través de capas conductoras a nivel de chip de la pastilla semiconductor.

[0019] Aunque se han establecido unos circuitos específicos, los expertos en la técnica apreciarán que no se requieren todos los circuitos divulgados para practicar los modos de realización divulgados. Además, ciertos circuitos bien conocidos no se han descrito, para mantener el enfoque en la divulgación.

REIVINDICACIONES

1. Un aparato, que comprende:

5 una pastilla semiconductora que incluye un área central y un anillo de soporte;

circuitos de fijación basados en temporizador configurados en el área central, con los circuitos de fijación que incluyen:

10 una serie de bloques de condensadores, cada uno de los cuales comprende un condensador, ubicado en una primera ubicación del área central;

una serie de bloques de resistencia, cada uno de los cuales comprende una resistencia, ubicada en una segunda ubicación del área central;

15 una serie de bloques inversores, cada uno de los cuales comprende un inversor, ubicado en una tercera ubicación del área central; y

una serie de inversores más bloques bigFET, cada uno de los cuales incluye un inversor más bigFET, ubicados en una cuarta ubicación del área central, en la que las ubicaciones primera, segunda, tercera y cuarta están distribuidas entre sí en la zona central; y

20 una pluralidad de acoplamientos conductores a nivel de chip dispuestos para acoplar los bloques de construcción distribuidos.

25 2. El aparato de la reivindicación 1, en el que varios bloques de resistencia están acoplados a una serie de bloques de condensadores por los acoplamientos conductores a nivel de chip para proporcionar una temporización de resistencia-condensador, RC, seleccionada.

30 3. El aparato de la reivindicación 1, en el que los acoplamientos conductores a nivel de chip están configurados para proporcionar un tiempo de activación de pinza de resistencia-condensador, RC, seleccionado.

35 4. El aparato de acuerdo con la reivindicación 1, en el que varios inversores y bloques bigfet están configurados para proporcionar un voltaje de fijación de pinza de resistencia-condensador, RC, seleccionado.

5. El aparato de la reivindicación 1, en el que al menos uno de los bloques de condensadores está configurado como un condensador de desacoplamiento.

40 6. El aparato de la reivindicación 1, integrado en un teléfono móvil, un decodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un ordenador, una unidad de sistemas de comunicación personal, PCS, de mano, una unidad de datos portátil, y/o una unidad de datos de ubicación fija.

45 7. Un procedimiento para configurar circuitos de fijación en una pastilla semiconductora que comprende un área central, con el procedimiento que comprende:

configurar bloques de construcción de circuitos de fijación, incluyendo:

50 una serie de bloques de condensadores, cada uno de los cuales comprende un condensador, ubicado en una primera ubicación del área central;

una serie de bloques de resistencias, cada uno de los cuales comprende resistencias, ubicadas en una segunda ubicación del área central;

55 una serie de bloques inversores, cada uno de los cuales comprende un inversor, ubicado en una tercera ubicación del área central; y

60 una serie de inversores más bloques bigFET, cada uno de los cuales incluye un inversor más bigFET, ubicados en una cuarta ubicación del área central, en el que las ubicaciones primera, segunda, tercera y cuarta están distribuidas entre sí en el área central de la pastilla semiconductora;

y

65 acoplar los bloques de construcción a través de una pluralidad de acoplamientos conductores a nivel de chip de la pastilla semiconductora (304).

- 5
8. El procedimiento según la reivindicación 7, que comprende además:
configurar una serie de bloques de resistencia y una serie de bloques de condensadores para proporcionar una temporización de resistencia-condensador, RC, seleccionada.
- 10
9. El procedimiento según la reivindicación 7, que comprende además:
configurar los acoplamientos conductores a nivel de chip para proporcionar un tiempo de activación de pinza de resistencia-condensador, RC, seleccionado.
- 15
10. El procedimiento según la reivindicación 7, que comprende además:
configurar un número de inversores más bloques BigFet para proporcionar un voltaje de fijación de pinza de resistencia-condensador, RC, seleccionado.
- 20
11. El procedimiento según la reivindicación 7, que comprende además:
configurar al menos uno de los bloques de condensadores como un condensador de desacoplamiento.
- 25
12. El procedimiento según la reivindicación 7, que comprende además:
integrar la pastilla semiconductor en un teléfono móvil, un descodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un ordenador, una unidad de sistemas de comunicación personal, PCS, de mano, una unidad de datos portátil, y/o una unidad de datos de localización fija.

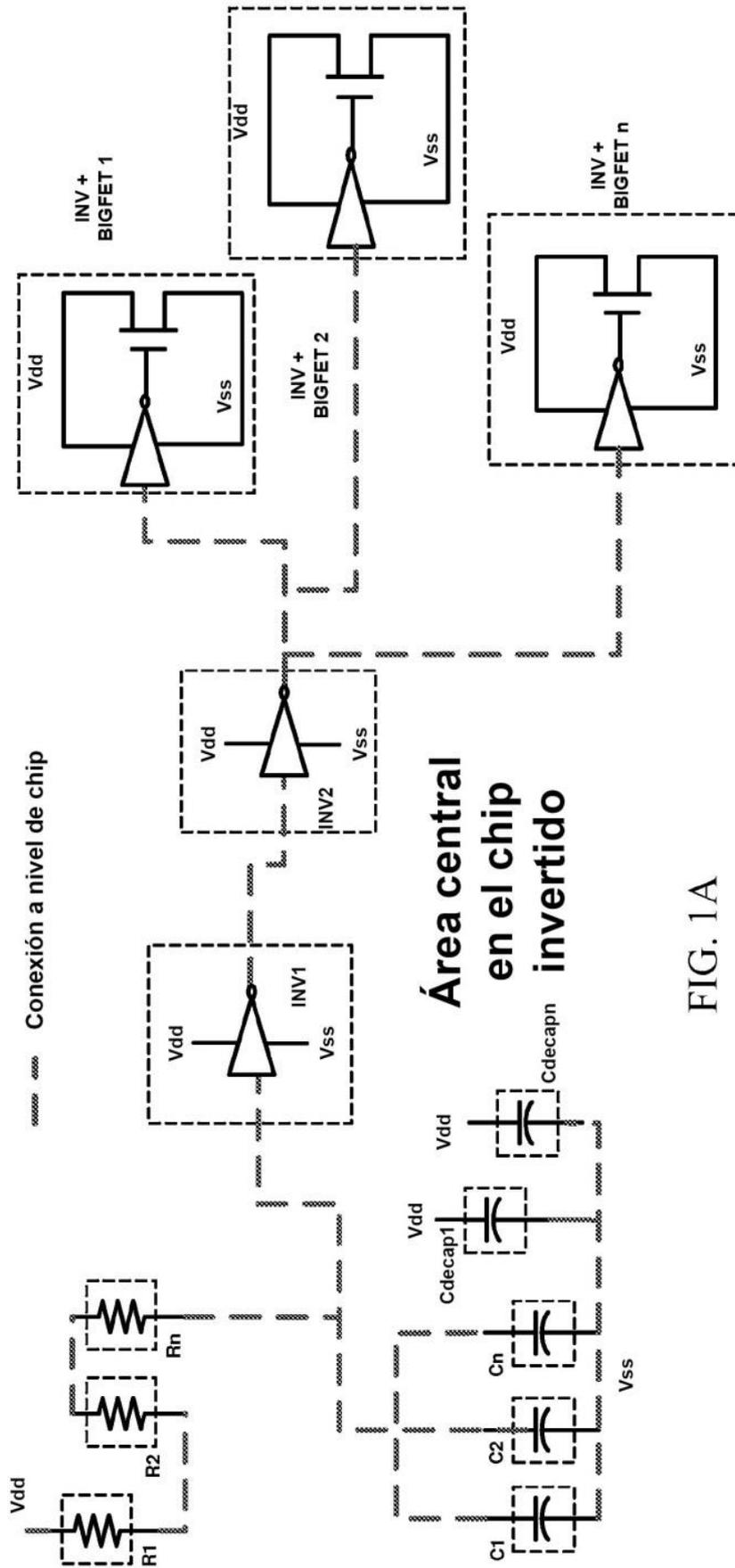


FIG. 1A

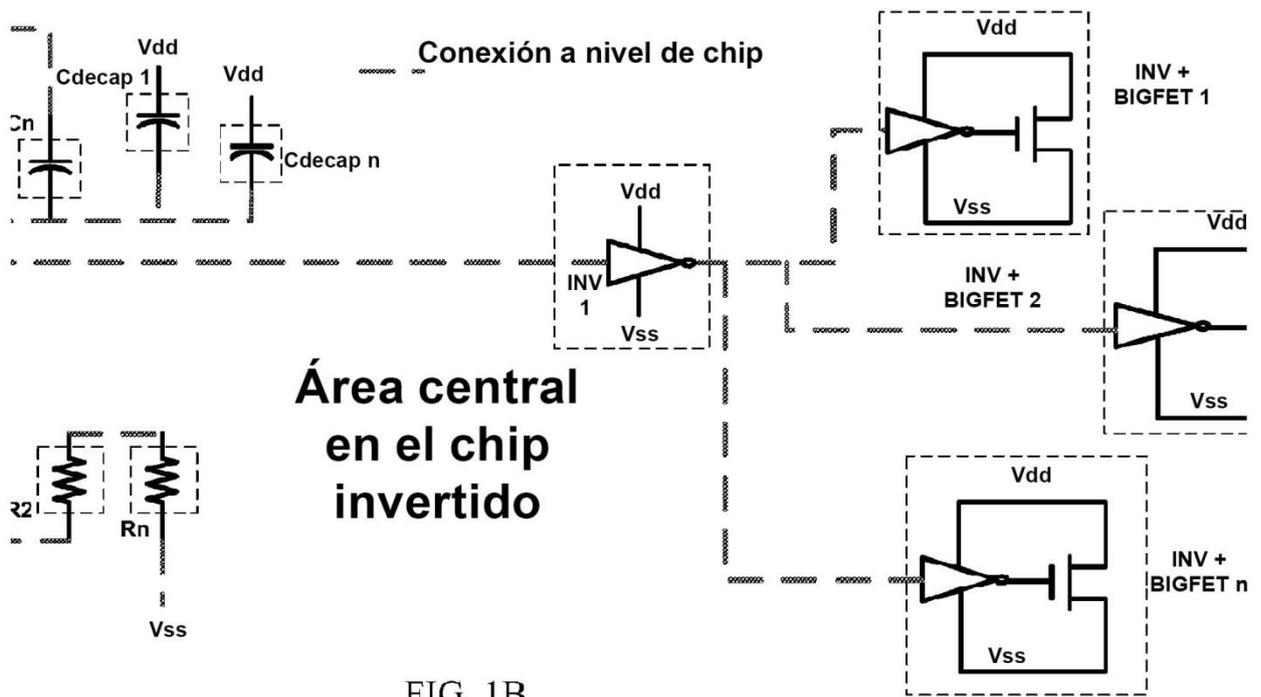


FIG. 1B

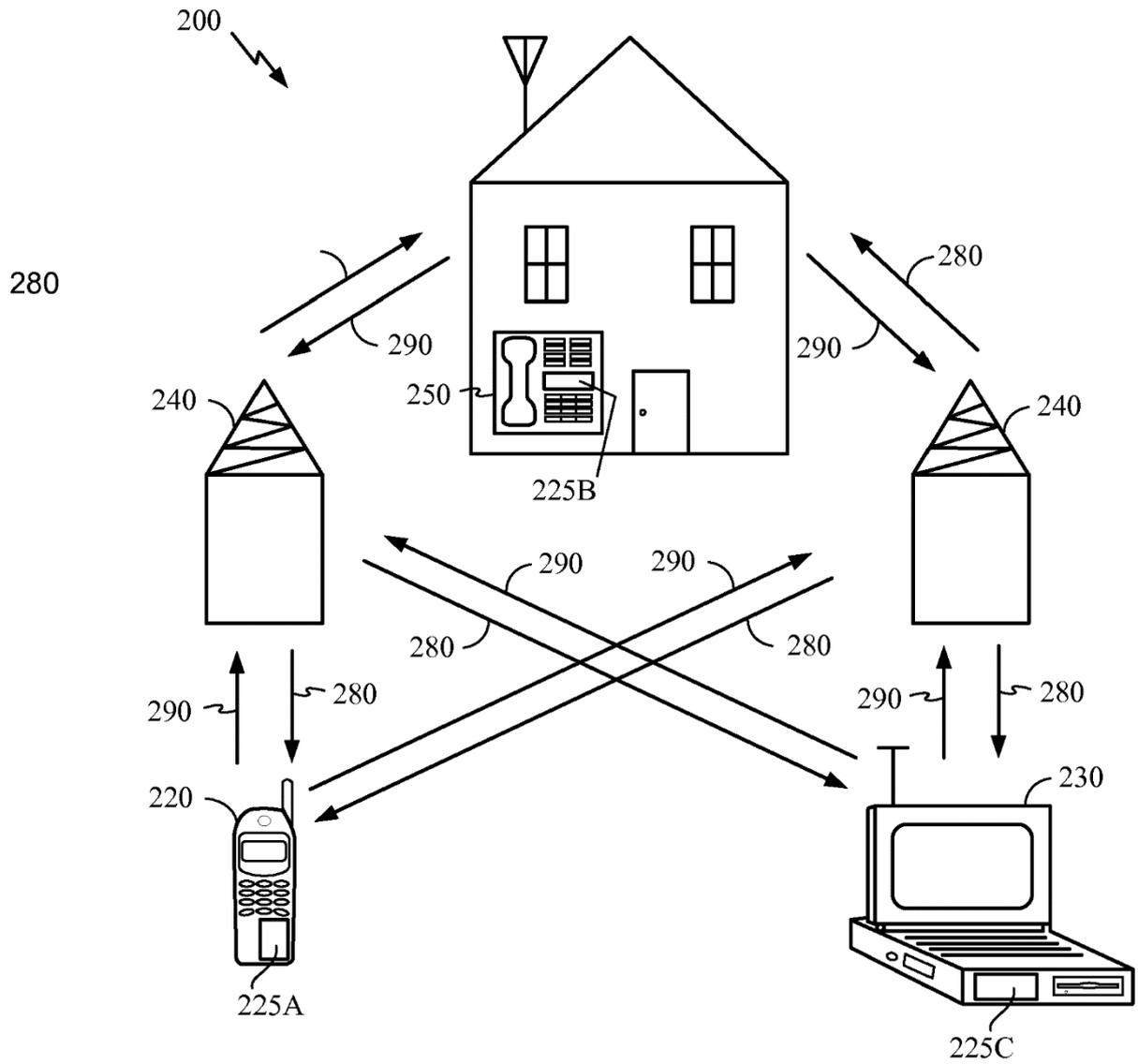


FIG. 2

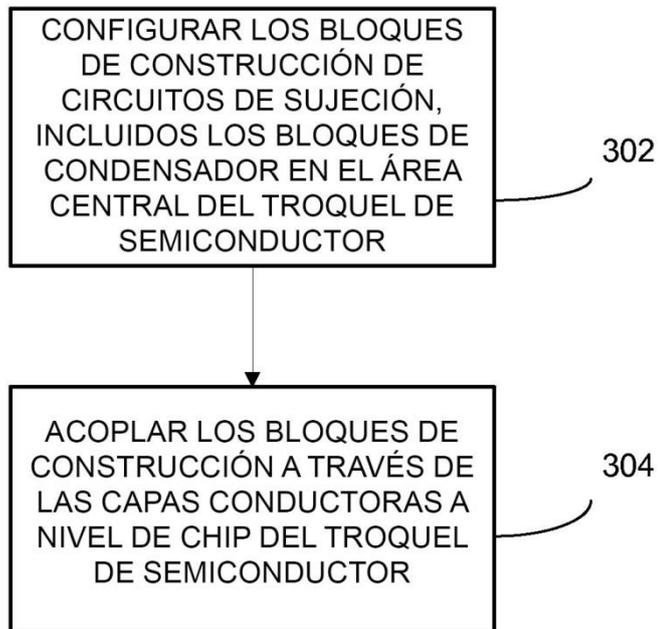


FIG. 3