

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 748 235**

51 Int. Cl.:

H03L 7/091 (2006.01)

G01R 19/25 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.10.2015** **E 18151321 (9)**

97 Fecha y número de publicación de la concesión europea: **07.08.2019** **EP 3346610**

54 Título: **Procesador para determinar una fase de una señal de recepción basada en una secuencia de recepción de valores muestreados**

30 Prioridad:

14.10.2014 DE 102014015126

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

16.03.2020

73 Titular/es:

SONOVUM AG (100.0%)
Perlickstrasse 5
04103 Leipzig , DE

72 Inventor/es:

WROBEL, MIROSLAW y
KOLANY, ADAM

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 748 235 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procesador para determinar una fase de una señal de recepción basada en una secuencia de recepción de valores muestreados

5 La presente invención se refiere a un procesador para determinar una fase de una señal de recepción basada en una secuencia de recepción de valores muestreados.

El documento US 5 404 388 A describe un procedimiento de detección de fase, recibándose una secuencia de recepción de valores muestreados con una frecuencia de muestreo de una señal de recepción, y representando la señal de recepción una reacción a una señal de emisión con una frecuencia de emisión conocida.

10 La determinación exacta de la fase de una señal de salida en la salida de un medio de transmisión en caso de excitación en la entrada con una señal de entrada de una frecuencia conocida es importante para una multitud de aplicaciones. La información sobre la fase puede usarse por ejemplo en procedimientos de codificación de la técnica de comunicaciones para transmitir a través de un canal de comunicación mensajes en forma de señales eléctricas, magnéticas o electromagnéticas. En el área de la ciencia de los materiales, la medición de la fase de una onda acústica ofrece informaciones acerca de las propiedades del material del medio de transmisión. En sistemas de análisis químicos y físicos se usan detectores de fase para determinar la temperatura, la densidad, los cambios de fase de reacciones químicas, las dimensiones de objetos y la concentración de líquido en medios químicos y físicos. En procedimientos de diagnóstico médico se determinan propiedades de tejidos mediante la medición de la fase de señales acústicas y ultrasónicas acopladas. Aplicaciones para ello son el control de la circulación de sangre en el cuerpo para detectar estados patológicos, en particular en el cerebro, y la ecografía mamaria.

20 La Figura 1 muestra una representación esquemática de un sistema 100 para la medición de relaciones de fase de ondas acústicas en un vaso 102. El sistema 100 comprende un vaso 102 a medir, por ejemplo, una célula somática, un vaso sanguíneo o una vena con una longitud de vaso L y un emisor 101 y un receptor 103 de ondas ultrasónicas. El emisor 101 acopla una onda ultrasónica 104 de una frecuencia f_0 conocida con fase φ_0 en una entrada 105 del vaso 102 al vaso 102, donde se propaga y es recibida en la salida 107 por el receptor 103. Como puede verse en la Figura 1, la onda ultrasónica 104 presenta en el vaso 102 un número entero de periodos de oscilación P, así como un período parcial, que puede representarse como diferencia de fase $\varphi_1 - \varphi_0$. Entre el tiempo de propagación T_p de la onda acústica 104 y la diferencia de fase $\varphi_1 - \varphi_0$ es válida la siguiente relación:

$$2\pi \cdot f_0 T_p = 2\pi P + (\varphi_1 - \varphi_0) \tag{1}$$

Para la velocidad de fase V en el vaso 102 es válido, por un lado, la relación

30
$$V = \lambda \cdot f_0 , \tag{2}$$

siendo f_0 la frecuencia de emisión conocida y λ la longitud de onda en el vaso 102. Por otro lado, para la velocidad de fase V en el vaso 102 es válida la relación

$$V = \sqrt{\frac{K}{\rho}} , \tag{3}$$

35 indicando K la elasticidad del vaso y ρ su densidad. Por la velocidad de fase V pueden determinarse, por lo tanto, las propiedades del vaso 102. La longitud de onda λ puede determinarse a partir del número de periodos P y la diferencia de fase $\varphi_1 - \varphi_0$ y mediante la frecuencia de emisión f_0 conocida puede determinarse la velocidad de fase V, con la que pueden caracterizarse las propiedades del material del vaso 102.

40 Habitualmente, para la determinación de la diferencia de fase $\varphi_1 - \varphi_0$ se sincroniza el receptor con el emisor y se muestrea la señal recibida mediante un convertidor analógico-digital. El valor muestreado de la señal recibida puede ponerse en relación con el momento de sincronización y a partir de ello puede determinarse la diferencia de fase.

No obstante, la precisión de la medición depende de una multitud de parámetros del sistema, como por ejemplo la precisión del muestreo, la precisión del ajuste de la frecuencia de la señal de emisión, la precisión del acoplamiento o desacoplamiento de la señal acústica, interferencias de la señal de emisión por reflexiones en los extremos del vaso y los lados del vaso, efectos Doppler, etc.

45 La presente invención tiene el objetivo de crear un concepto para una determinación sencilla y precisa de la fase en la salida de un medio de transmisión en caso de una excitación con una señal de emisión de una característica de señal conocida.

Este objetivo se consigue mediante las características de las reivindicaciones independientes. En las reivindicaciones subordinadas se indican formas de realización ventajosas.

50 Los dispositivos y sistemas presentados a continuación pueden ser de distintos tipos. Los distintos elementos

descritos pueden estar realizados como componentes hardware o software, por ejemplo, componentes electrónicos, que pueden fabricarse mediante diferentes tecnologías y por ejemplo chips semiconductores, ASICs, microprocesadores, procesadores digitales de señales, circuitos eléctricos integrados, circuitos electroópticos y/o componentes pasivos.

5 La invención se refiere a un procesador para determinar una fase de una señal de recepción, con: un registro de entrada, que está configurado para almacenar un valor de recepción de una señal de recepción muestreada con una frecuencia de muestreo f_s conocida, en el que la señal de recepción representa una reacción a una señal de emisión con una frecuencia de emisión conocida f_w ; un primer y segundo registro de coeficientes, que están configurados para almacenar un primer y un segundo coeficiente de Fourier, en el que el primer coeficiente de Fourier indica una relación lineal entre la señal de recepción y una parte real de la fase de la señal de recepción y el segundo coeficiente de Fourier indica una relación lineal entre la señal de recepción y una parte imaginaria de la fase de la señal de recepción; un primer y segundo registro de salida, que están configurados para poner a disposición una parte real de la fase y una parte imaginaria de la fase de la señal de recepción; y una unidad aritmético-lógica, que está configurada para determinar la parte real de la fase de la señal de recepción basada en un producto medio del valor de recepción con el contenido del primer registro de coeficientes y determinar la parte imaginaria de la fase de la señal de recepción basada en un producto medio del valor de recepción con el contenido del segundo registro de coeficientes.

20 Esto tiene la ventaja de que un procesador de este tipo puede determinar de forma sencilla y precisa la fase en la salida de un medio de transmisión en caso de una excitación con una señal de emisión de una característica de señal conocida. Cuando son conocidas la frecuencia de emisión y la frecuencia de muestreo, el procesador puede determinar los dos productos escalares con un esfuerzo reducido y puede suministrar valores precisos para la fase de la señal de recepción.

25 De acuerdo con una forma de realización, el procesador comprende una unidad de instrucción que está configurada para poner el segundo registro de coeficientes a uno en reacción a una señal de reset y borrar los registros restantes; almacenar un nuevo valor de recepción de la señal de recepción muestreada en reacción a una señal de sincronización y suministrar nuevos coeficientes al primer y segundo registro de coeficientes.

Esto tiene la ventaja de que el procesador puede leer la señal de entrada en función de la señal de sincronización y en cada sincronización puede llevarse a cabo una nueva etapa de procesamiento. El procesamiento puede tener lugar, en función de la sincronización, muy rápidamente y con un esfuerzo reducido.

30 De acuerdo con una forma de realización del procesador, la unidad aritmético-lógica está configurada para determinar los productos medios basados en un valor medio en el tiempo de los productos respectivamente presentes, en función de la señal de sincronización, del valor de recepción y del contenido del primer registro de coeficientes o del contenido del segundo registro de coeficientes.

35 Esto tiene la ventaja de que el procesador puede reprocesar los productos respectivamente presentes en cada sincronización. Por lo tanto, el resultado presente al final puede calcularse de forma eficiente usando los resultados parciales, es decir los productos respectivamente presentes.

40 De acuerdo con una forma de realización del procesador, la unidad de instrucción está configurada para, en reacción a la señal de sincronización, renovar el segundo registro de coeficientes con el coeficiente $dC \cdot C - dS \cdot S$ y renovar el primer registro de coeficientes con el coeficiente $dC \cdot S + dS \cdot C$, indicando C el contenido del segundo registro de coeficientes, S el contenido del primer registro de coeficientes y siendo válido además: $dC = \cos(\Omega)$ y $dS = \sin(\Omega)$ con $\Omega = 2\pi \cdot (f_w/f_s)$.

Esto tiene la ventaja de que pueden determinarse las covarianzas de las secuencias individuales paso a paso, de modo que el esfuerzo de cálculo puede dividirse en cada una de las sincronizaciones. Con ello, la fase de la señal de recepción puede determinarse de manera eficiente en cuanto a los gastos y de forma precisa.

45 De acuerdo con una forma de realización, el procesador comprende un primer y segundo registro interno; y la unidad de instrucción está configurada para, en reacción a la señal de sincronización, incrementar el primer registro interno con un producto del contenido del registro de entrada y del contenido del primer registro de coeficientes e incrementar el segundo registro interno con un producto del contenido del registro de entrada y del contenido del segundo registro de coeficientes y poner a disposición de los mismos respectivamente de forma normalizada un factor de normalización en el primer o segundo registro de salida.

50 Esto tiene la ventaja de que la fase de la señal de recepción puede determinarse paso a paso y que el esfuerzo de cálculo se distribuye por lo tanto en cada una de las sincronizaciones de la señal de sincronización.

55 De acuerdo con una forma de realización, el procesador comprende un tercer registro de salida que está configurado para poner a disposición un bias de la señal de recepción; y la unidad aritmético-lógica está configurada para determinar el bias de la señal de recepción basado en un valor medio en el tiempo del contenido del registro de entrada.

Esto tiene la ventaja de que el procesador puede determinar el bias u offset de la señal de recepción de forma sencilla mediante el valor medio en el tiempo del contenido del registro de entrada.

La determinación de la fase y del bias de acuerdo con los aspectos y ejemplos de realización aquí descritos son importantes para una multitud de aplicaciones. La fase así determinada o el bias así determinado pueden usarse por ejemplo en procedimientos de codificación de la técnica de comunicaciones para transmitir a través de un canal de comunicación mensajes en forma de señales eléctricas, magnéticas o electromagnéticas. En el área de la ciencia de los materiales, la fase así determinada o el bias así determinado pueden ofrecer respecto a una onda acústica informaciones acerca de las propiedades del material del medio de transmisión. En sistemas de análisis químicos y físicos, la fase así determinada o el bias así determinado pueden usarse para determinar la temperatura, la densidad, los cambios de fase de reacciones químicas, las dimensiones de objetos y la concentración de líquido en medios químicos y físicos.

En procedimientos de diagnóstico médico, en el caso de señales acústicas y ultrasónicas acopladas, la fase o el bias así determinados pueden usarse para determinar propiedades de tejidos. Unos ejemplos de realización de la invención se aplican por ejemplo en el control de la circulación de sangre en el cuerpo para detectar estados patológicos, en particular en el cerebro y en la ecografía mamaria. La información sobre la fase puede ofrecer aquí informaciones tanto acerca de un estado sano como de un estado patológico del tejido. Mediante mediciones de la fase de acuerdo con los procedimientos aquí presentados o con los procesadores aquí presentados en pacientes sanos pueden obtenerse, por ejemplo, informaciones acerca de un estado sano del tejido, que pueden servir aquí a modo de valor de referencia. En mediciones en pacientes en los que la información sobre la fase difiere del valor de referencia determinado, puede deducirse un estado patológico del paciente.

Otros ejemplos de realización se explicarán haciéndose referencia a los dibujos adjuntos. Muestran:

La Figura 1 una representación esquemática de un sistema 100 para la medición de relaciones de fases de ondas acústicas en un vaso 102.

La Figura 2 una representación esquemática de un procedimiento de detección de fase 200 de acuerdo con una forma de realización.

La Figura 3 una representación esquemática de un procesador 300 para determinar una fase de una señal de recepción de acuerdo con una primera forma de realización.

La Figura 4 una representación esquemática de un procesador 400 para determinar una fase de una señal de recepción de acuerdo con una segunda forma de realización.

La Figura 5 una representación esquemática de un procesador 500 para determinar una fase de una señal de recepción de acuerdo con una tercera forma de realización.

En la descripción detallada expuesta a continuación se hace referencia a los dibujos adjuntos, que forman parte de la misma y en las que se muestran con fines ilustrativos formas de realización específicas, en las que puede estar realizada la invención. Se entiende que también pueden usarse otras formas de realización y que pueden realizarse cambios estructurales o lógicos, sin desviarse del concepto de la presente invención. Por lo tanto, la descripción detallada expuesta a continuación no ha de entenderse en un sentido restrictivo. Además, se entiende que pueden combinarse las características de los diferentes ejemplos de realización aquí descritos, en caso de que no se indique específicamente otra cosa.

Los aspectos y las formas de realización se describen haciéndose referencia a los dibujos, perteneciendo los mismos signos de referencia por regla general a los mismos elementos. En la descripción expuesta a continuación se exponen numerosos detalles específicos con fines explicativos, para permitir una comprensión amplia de uno o varios aspectos de la invención. No obstante, para un experto puede ser evidente que uno o varios aspectos o formas de realización pueden realizarse con un menor grado de los detalles específicos. En otros casos, unas estructuras y elementos conocidos se representan de forma esquemática, para facilitar la descripción de uno o varios aspectos o formas de realización. Se entiende que pueden usarse otras formas de realización y que pueden realizarse cambios estructurales o lógicos, sin desviarse del concepto de la presente invención.

Aunque una característica determinada o un aspecto determinado de una forma de realización se haya dado a conocer solo respecto a una de varias implementaciones, una característica de este tipo o un aspecto de este tipo puede combinarse además con una o varias otras características o aspectos de otras implementaciones, como puede ser deseable y ventajoso para una aplicación existente o determinada. Además, en la medida en la que se usan términos como "contienen", "tienen", "con" u otras variantes de estos en la descripción detallada o en las reivindicaciones, estos términos deben ser incluyentes, de una forma similar al término "comprender". Los términos "acoplado" y "unido" pueden haberse usado junto con términos relacionados con los mismos. Se entiende que los términos de este tipo se usan para indicar que dos elementos pueden cooperar o interactuar entre sí de forma independiente de ello, ya sea que tengan un contacto físico o eléctrico directo o ya sea que no tengan un contacto directo entre ellos. Además, el término "a título de ejemplo" solo ha de entenderse como ejemplo en lugar del término lo mejor o lo óptimo. Por lo tanto, la descripción expuesta a continuación no ha de entenderse en sentido

restrictivo.

La Figura 2 muestra una representación esquemática de un procedimiento de detección de fase 200 de acuerdo con una forma de realización. El procedimiento 200 comprende una recepción 201 de una secuencia de recepción Y_j de valores Y_0, Y_1, \dots, Y_{N-1} muestreados con una frecuencia de muestreo f_s conocida de una señal de recepción Y , representando la señal de recepción Y una reacción a una señal de emisión con una frecuencia de emisión f_w conocida. El procedimiento 200 comprende una puesta a disposición 202 de una secuencia senoidal S_j y de una secuencia cosenoidal C_j para cada índice j de la secuencia de recepción Y_j , comprendiendo la secuencia senoidal S_j valores senoidales de múltiplos consecutivos de una frecuencia angular conocida, que depende de la frecuencia de emisión f_w y de la frecuencia de muestreo f_s , y comprendiendo la secuencia cosenoidal C_j valores cosenoidales de múltiplos consecutivos de una frecuencia angular conocida. El procedimiento 200 comprende una determinación 203 de una parte real de la fase U de la señal de recepción Y basada en un producto escalar de la secuencia de recepción Y_j con la secuencia cosenoidal C_j y una parte imaginaria de la fase V de la señal de recepción basada en un producto escalar de la secuencia de recepción Y_j con la secuencia senoidal S_j .

La frecuencia angular Ω conocida puede cumplir la condición: $\Omega = 2\pi (f_w/f_s)$. Un factor de normalización $2/N$ de los dos productos escalares normalizados puede depender de la longitud N de la secuencia de recepción Y_j . La frecuencia de muestreo f_s con la que se muestrea la señal de recepción Y puede ser independiente del teorema de muestreo de Nyquist-Shannon. La longitud N de la secuencia de recepción Y_j multiplicada con un cociente de la frecuencia de emisión f_w conocida y la frecuencia de muestreo f_s conocida puede ser un número entero y un período tanto de la secuencia cosenoidal C_j como de la secuencia senoidal S_j . La longitud N de la secuencia de recepción Y_j puede corresponder a un cociente de la frecuencia de muestreo f_s y al mínimo denominador común de la frecuencia de muestreo f_s y de la frecuencia de emisión f_w o a un múltiplo del cociente.

La siguiente representación describe las bases teóricas del procedimiento 200.

Se parte de un vector

$$Y_0, Y_1, \dots, Y_{N-1} \quad (4)$$

de valores muestreados de la función

$$Y(\tau) = \beta + A \text{sen}(2\pi \cdot f_w \tau + \varphi) \quad (5)$$

con la frecuencia de muestreo f_s .

Los valores aproximados de los parámetros desconocidos

A, β y φ

30 pueden recuperarse mediante la aplicación de un procedimiento de mínimos cuadrados (en inglés: least squares), aprovechándose las siguientes fórmulas:

$$\begin{bmatrix} \text{Cov}(S, Y) \\ \text{Cov}(C, Y) \end{bmatrix} = \begin{bmatrix} \text{Cov}(S, S) & \text{Cov}(S, C) \\ \text{Cov}(C, S) & \text{Cov}(C, C) \end{bmatrix} \times \begin{bmatrix} A \cos(\varphi) \\ A \text{sen}(\varphi) \end{bmatrix}, \quad (6a)$$

$$\beta = \bar{Y} - A \cdot (\bar{C} \text{sen}(\varphi) + \bar{S} \cos(\varphi)), \quad (6b)$$

siendo el término

$$\text{Cov}(Z, T) = \overline{(Z - \bar{Z}) \cdot (T - \bar{T})} = \overline{ZT} - \bar{Z} \cdot \bar{T} \quad (7)$$

35 una covarianza de las secuencias Z y T y de las secuencias S y C , y siendo definidos S y C por las relaciones:

$$S_j = \text{sen}(2\pi \cdot (f_w / f_s) \cdot j), \quad j = 0, \dots, N-1 \quad (8a)$$

$$C_j = \cos(2\pi \cdot (f_w / f_s) \cdot j), \quad j = 0, \dots, N-1 \quad (8b)$$

40 Como puede verse fácilmente, para cada N , el término

$$N \cdot (f_w / f_s) \in \mathbb{Z}, \quad (9)$$

es un período de dos secuencias $\{S_j\}$ y $\{C_j\}$, refiriéndose Z al conjunto de los números enteros.

En este caso, N también es un múltiplo de

$$\hat{f}_s = \frac{f_s}{\text{MCD}(f_s, f_w)}, \quad (10)$$

siendo MCD el máximo común divisor y siendo válido:

$$\bar{S} = \frac{1}{N} \cdot \sum_{j=0}^{N-1} S_j = 0, \quad \bar{C} = \frac{1}{N} \cdot \sum_{j=0}^{N-1} C_j = 0, \quad \overline{SC} = \frac{1}{N} \cdot \sum_{j=0}^{N-1} S_j C_j = 0 \quad (11a)$$

$$\overline{S^2} = \frac{1}{N} \cdot \sum_{j=0}^{N-1} S_j^2 = \frac{1}{2} \quad \text{y} \quad \overline{C^2} = \frac{1}{N} \cdot \sum_{j=0}^{N-1} C_j^2 = \frac{1}{2}. \quad (11b)$$

5

Por lo tanto, la ecuación (6a) adopta la siguiente forma:

$$\begin{bmatrix} \overline{S \cdot Y} \\ \overline{C \cdot Y} \end{bmatrix} = \begin{bmatrix} \frac{1}{2} & 0 \\ 0 & \frac{1}{2} \end{bmatrix} \times \begin{bmatrix} A \cos(\varphi) \\ A \sin(\varphi) \end{bmatrix} \quad (12)$$

Por lo tanto, es válido:

$$U = A \cos(\varphi) = 2 \cdot \overline{S \cdot Y}, \quad (13a)$$

$$V = A \sin(\varphi) = 2 \cdot \overline{C \cdot Y} \quad (13b)$$

10

y los valores buscados pueden determinarse mediante las siguientes relaciones:

$$A = \sqrt{U^2 + V^2}, \quad (14a)$$

$$\varphi = (\arcsen(V/A) \bmod 2\pi), \quad (14b)$$

$$\beta = \bar{Y}. \quad (14c)$$

15

La recepción 201 de la secuencia de recepción Y_i de valores Y_0, Y_1, \dots, Y_{N-1} muestreados con una frecuencia de emisión f_w conocida de una señal de recepción Y del procedimiento 200 puede describirse con las ecuaciones (4) y (5).

La puesta a disposición 202 de una secuencia senoidal S_j y de una secuencia cosenoidal C_j para cada índice j de la secuencia de recepción Y_j del procedimiento 200 puede describirse con las ecuaciones (8a), (6b), (9) y (10).

20

La determinación 203 de una parte real de la fase U de la señal de recepción Y basada en un producto escalar de la secuencia de recepción Y_j con la secuencia cosenoidal C_j y una parte imaginaria de la fase V de la señal de recepción basada en un producto escalar de la secuencia de recepción Y_j con la secuencia senoidal S_j del procedimiento 200 puede describirse con las ecuaciones (6a), (6b), (7) y (11a) a (14c).

La Figura 3 muestra una representación esquemática de un procesador 300 para determinar una fase de una señal de recepción de acuerdo con la primera forma de realización.

25

El procesador 300 comprende un registro de entrada N -ario 301, un primer registro de parámetros N -ario 303, un segundo registro de parámetros N -ario 305, un primer registro de salida 307, un segundo registro de salida 309, un tercer registro de salida 313, una unidad aritmético-lógica 311 y una unidad de instrucción 315. El procesador 300 comprende además una entrada para una señal de sincronización CLK 320 y una entrada para una señal de reset

RST 322. El procesador 300 está acoplado en el lado de entrada con un bus de datos de entrada 317 y en el lado de salida con un bus de datos de salida 319.

5 El registro de entrada N-ario 310 está configurado para almacenar una secuencia de recepción Y_j de valores Y_0, Y_1, \dots, Y_{N-1} muestreados con una frecuencia de muestreo f_s conocida de la señal de recepción Y , representando la señal de recepción Y una reacción a una señal de emisión con una frecuencia de emisión f_w conocida.

10 El primer registro de parámetros N-ario-ario 303 está configurado para almacenar una secuencia senoidal S_j que comprende valores senoidales de múltiplos consecutivos de una frecuencia angular Ω conocida que depende de la frecuencia de emisión f_w y de la frecuencia de muestreo f_s . El segundo registro de parámetros N-ario 305 está configurado para almacenar una secuencia cosenoidal C_j que comprende valores cosenoidales de múltiplos consecutivos de la frecuencia angular Ω conocida.

La frecuencia angular Ω conocida puede cumplir la condición: $\Omega = 2\pi (f_w/f_s)$.

El primer registro de salida 307 está configurado para poner a disposición una parte real de la fase U de la señal de recepción. El segundo registro de salida 309 está configurado para poner a disposición una parte imaginaria de la fase V de la señal de recepción.

15 La unidad aritmético-lógica 311 está configurada para determinar la parte real de la fase U de la señal de recepción basada en un producto escalar de la secuencia de recepción Y_j con la secuencia senoidal S_j . La unidad aritmético-lógica 311 está configurada además para determinar la parte imaginaria de la fase V de la señal de recepción Y basada en un producto escalar de la secuencia de recepción Y_j con la secuencia cosenoidal C_j . Un factor de normalización de los dos productos escalares puede elegirse como $2/N$, indicando N una longitud de la secuencia de recepción Y_j .

20 La unidad aritmético-lógica 311, que está esbozada aquí solo como caja con líneas de trazo interrumpido, puede presentar unidades aritmético-lógicas para la realización de operaciones aritméticas. Puede presentar sumadores, multiplicadores y otras unidades para la realización de operaciones de cálculo.

25 El tercer registro de salida 313 está configurado para poner a disposición un bias de la señal de recepción Y , que puede ser determinado por la unidad aritmético-lógica 311 basado en un valor medio de la secuencia de recepción Y_j .

30 El procesador 300 puede estar realizado en hardware o software. El procesador 300 puede formar una unidad operativa en un chip o puede estar realizado como chip. El procesador 300 puede ser un procesador digital de señales o un microcontrolador. El procesador 300 puede estar realizado como FPGA, como circuito integrado, como ASIC o como parte de estos componentes. El procesador 300 puede estar realizado en un receptor o como parte de un circuito receptor, por ejemplo, un receptor 103 como está representado en la Figura 1.

El funcionamiento del procesador 300 puede describirse de la siguiente manera:

Los vectores S y C almacenados en los dos registros de parámetros 303, 305 contienen respectivamente las secuencias:

$$\text{sen}(2\pi\sigma \cdot j), \quad j = 0, \dots, N-1 \text{ y} \quad (15a)$$

35
$$\text{cos}(2\pi\sigma \cdot j), \quad j = 0, \dots, N-1, \quad (15b)$$

siendo σ un cociente de la frecuencia de señal f_w y de la frecuencia de muestreo f_s :

$$\sigma = \frac{f_w}{f_s} = \frac{\hat{f}_w}{\hat{f}_s} \quad (16)$$

40 Después de conectar el procesador 300 o después de la recepción de la señal de reset RST 322, se transmiten datos del bus de datos de entrada 317 al registro de entrada N-ario 301. Los registros de salida U y V son cargados respectivamente con los valores

$$\frac{2}{N} Y \circ S \quad y \quad (17a)$$

$$\frac{2}{N} Y \circ C \quad (17b)$$

siendo Y la secuencia de valores Y_0, Y_1, \dots, Y_{N-1} muestreados de la señal de recepción Y en forma de vector y S y C respectivamente la secuencia senoidal S_i o la secuencia cosenoidal C_i en forma de vector. El símbolo \circ se refiere al producto escalar o al producto interior de dos vectores.

- 5 El bias β puede determinarse de acuerdo con la relación siguiente como valor medio mediante la secuencia de valores Y_0, Y_1, \dots, Y_{N-1} muestreados de la señal de recepción Y:

$$\bar{Y} = \frac{1}{N} \sum_{j=1, \dots, N} Y_j \quad (18)$$

y se almacena en el tercer registro de salida 313.

- 10 La Figura 4 muestra una representación esquemática de un procesador 400 para determinar una fase de una señal de recepción de acuerdo con una segunda forma de realización.

El procesador 400 comprende un registro de entrada 401, un primer registro de parámetros 403, un segundo registro de parámetros 405, un tercer registro de parámetros 425, un cuarto registro de parámetros 427, un contador 429, un primer registro de salida 407, un segundo registro de salida 409, un tercer registro de salida 413 un primer registro interno 421, un segundo registro interno 423, un tercer registro interno 431, una unidad aritmético-lógica 411 y una
15 unidad de instrucción 415. El procesador 311 comprende además una entrada para una señal de sincronización CLK 420 y una entrada para una señal de reset RST 422. El procesador 400 está acoplado en el lado de entrada con el bus de datos de entrada 417 y en el lado de salida con un bus de datos de salida 419.

El registro de entrada 401 está configurado para almacenar un valor de recepción de una señal de recepción Y muestreada con una frecuencia de muestreo f_s conocida, representando la señal de recepción Y una reacción a una
20 señal de emisión con una frecuencia de emisión f_w conocida.

El primer registro de coeficientes 403 está configurado para almacenar un primer coeficiente de Fourier S, que indica una relación lineal entre una señal de recepción Y y una parte real de la fase de la señal de recepción Y.

El segundo registro de coeficientes 405 está configurado para almacenar un segundo coeficiente de Fourier C, que indica una relación lineal entre la señal de recepción Y y una parte imaginaria de la fase de la señal de recepción Y.

- 25 El primer registro de salida 407 está configurado para poner a disposición una parte real de la fase U de la señal de recepción Y. El segundo registro de salida 409 está configurado para poner a disposición una parte imaginaria de la fase V de la señal de recepción Y.

La unidad aritmético-lógica 411 está configurada para determinar la parte real de la fase U de la señal de recepción Y basada en un producto medio del valor de recepción con el contenido S del primer registro de coeficientes 403. La
30 unidad aritmético-lógica 411 está configurada para determinar la parte imaginaria de la fase V de la señal de recepción Y basada en un producto medio del valor de recepción con el contenido C del segundo registro de coeficientes 405.

La unidad aritmético-lógica 411, que está esbozada aquí solo como caja con líneas de trazo interrumpido, puede presentar unidades aritmético-lógicas para la realización de operaciones aritméticas. Puede presentar sumadores,
35 multiplicadores y otras unidades para la realización de operaciones de cálculo.

La unidad de instrucción 415 está configurada para poner el segundo registro de coeficientes 405 a uno en reacción a una señal de reset 422 y borrar los registros restantes. La unidad de instrucción 415 está configurada para almacenar un nuevo valor de recepción de la señal de recepción Y muestreada en reacción a una señal de sincronización 420 y suministrar nuevos coeficientes S, C al primer registro de coeficientes 403 y al segundo registro
40 de coeficientes 405.

La unidad aritmético-lógica 411 está configurada además para determinar los productos medios basados en un valor medio en el tiempo en función de la señal de sincronización 420 de los productos respectivamente presentes del valor de recepción y del contenido S del primer registro de coeficientes 403 o del contenido C del segundo registro de coeficientes 405.

La unidad de instrucción 415 está configurada para renovar el segundo registro de coeficientes 405 con el coeficiente $dC \cdot C - dS \cdot S$ y renovar el primer registro de coeficientes 403 con el coeficiente $dC \cdot S + dS \cdot C$ en reacción a la señal de sincronización 420. Aquí, C indica el contenido del segundo registro de coeficientes 405, S indica el contenido del primer registro de coeficientes 403. Además, es válido: $dC = \cos(\Omega)$ y $dS = \sin(\Omega)$ con $\Omega = 2\pi \cdot (f_w/f_s)$.
 5 Los valores dC y dS se presentan respectivamente en el tercer registro de parámetros 425 o en el cuarto registro de parámetros 427. El registro del contador 429 puede almacenar un contador para contar los valores medios de los productos medios de Y con S o Y con C.

La unidad de instrucción 415 está configurada para incrementar el primer registro interno 421 con un producto SY del contenido del registro de entrada 401 y del contenido S del primer registro de coeficientes 403 en reacción a la señal de sincronización 420. La unidad de instrucción 415 está configurada para incrementar el segundo registro interno 423 con un producto CY del contenido del registro de entrada 401 y del contenido C del segundo registro de coeficientes 405 en reacción a la señal de sincronización 420. La unidad de instrucción 415 está configurada para poner a disposición los productos correspondientes de forma normalizada con un factor de normalización en el primer registro de salida 407 o en el segundo registro de salida 409.
 10

El tercer registro de salida 413 está configurado para poner a disposición un bias β de la señal de recepción Y. La unidad aritmético-lógica 411 está configurada, además, para determinar el bias β de la señal de recepción Y basado en un valor medio en el tiempo del contenido del registro de entrada 401.
 15

El procesador 400 puede estar realizado en hardware o software. El procesador 400 puede formar una unidad operativa en un chip o puede estar realizado como chip. El procesador 400 puede ser un procesador digital de señales o un microcontrolador. El procesador 400 puede estar realizado como FPGA, como circuito integrado, como ASIC o como parte de estos componentes. El procesador 400 puede estar realizado en un receptor o como parte de un circuito receptor, por ejemplo, un receptor 103 como está representado en la Figura 1.
 20

El funcionamiento del procesador 400 puede describirse de la siguiente manera:

Después de la conexión del procesador 400 o después de la recepción de la señal de reset RST 322, el procesador se hace funcionar con la frecuencia de emisión f_w predeterminada y la frecuencia de muestreo f_s predeterminada. El contador 429 se pone según los valores de f_w y f_s . En un ejemplo de realización del procesador 400 se cumple la relación arriba indicada de la ecuación (10), es decir, N es igual o un múltiplo de \hat{f}_s :
 25

$$\hat{f}_s = \frac{f_s}{\text{MCD}(f_s, f_w)}, \quad (10)$$

Los registros internos 421, 423, 431 y el primer registro de parámetros 405 se borran. El segundo registro de parámetros 405 recibe el valor uno. A continuación, se almacena sucesivamente un valor de recepción en el registro de entrada 401, que se suma al tercer registro interno 431. Acto seguido, se incrementa el primer registro interno 421 con el producto Y x S, es decir, el producto de los contenidos del registro de entrada 401 y del primer registro de coeficientes 403; el segundo registro interno 423 se incrementa con el producto Y x C, es decir, el producto de los contenidos del registro de entrada 401 y del segundo registro de coeficientes 405. Al mismo tiempo se modifica el primer registro interno 421 según la regla $S \leftarrow dC \cdot S + dS \cdot C$ y el segundo registro interno 423 se modifica según la regla $C \leftarrow dC \cdot C - dS \cdot S$. Aquí, dS y dC se refieren a constantes con los valores:
 30
 35

$$dS = \sin(\Omega), \quad (19a)$$

$$dC = \cos(\Omega), \quad (19b)$$

con

$$\Omega = 2\pi\sigma. \quad (19c)$$

El contador 429 se reduce y solo cuando se borra, se almacenan los contenidos de los registros internos 421, 423, 431, es decir, los valores
 40

$$\frac{2}{N}SY, \frac{2}{N}CY, \frac{1}{N}\Sigma_Y$$

como U, V y β en los registros de salida 407, 409, 413 correspondientes. U, V y β pueden transmitirse en este momento también al bus de datos de salida 419.

A continuación, el procesador puede ponerse a cero poniéndose la señal de reset 422.

La Figura 5 muestra una representación esquemática de un procesador 500 para determinar una fase de una señal de recepción de acuerdo con una tercera forma de realización.

5 El procesador 500 corresponde al procesador 400, con excepción de que presenta dos registros internos adicionales, un cuarto registro interno 531 y un quinto registro interno 533. Correspondientemente, la unidad aritmético-lógica 511 y la unidad de instrucción 515 para el procesamiento de los cometidos adicionales relacionados con ello están realizadas de otra manera.

10 El cuarto registro interno 531 y el quinto registro interno 533 pueden usarse para almacenar resultados intermedios en la determinación de los productos $Y \times S$ y $Y \times C$. De este modo, el cuarto registro interno 531 puede determinar el valor $\tilde{S} = dC \cdot S + dS \cdot C$, que puede usarse a continuación para modificar el primer registro interno 421 de acuerdo con la regla $S \leftarrow dC \cdot S + dS \cdot C$.o $S \leftarrow \tilde{S}$.

El quinto registro interno 533 puede determinar el valor $\tilde{C} = dC \cdot C - dS \cdot S$, que puede usarse a continuación para modificar el segundo registro interno 423 de acuerdo con la regla $C \leftarrow dC \cdot C - dS \cdot S$.o $C \leftarrow \tilde{C}$.

15 El procesador 500 puede estar realizado en hardware o software. El procesador 500 puede formar una unidad operativa en un chip o puede estar realizado como chip. El procesador 500 puede ser un procesador digital de señales o un microcontrolador. El procesador 500 puede estar realizado como FPGA, como circuito integrado, como ASIC o como parte de estos componentes. El procesador 500 puede estar realizado en un receptor o como parte de un circuito receptor, por ejemplo, un receptor 103 como está representado en la Figura 1.

20 Tanto el procesador 300 de acuerdo con la descripción de la Figura 3 como los procesadores 400, 500 de acuerdo con la descripción de las Figuras 4 y 5 son adecuados para implementar el procedimiento 200 descrito en la Figura 2.

25 Un aspecto de la invención comprende también un producto de programa de ordenador, que puede cargarse directamente en la memoria interna de un ordenador digital y que comprende secciones de códigos de software, con los que puede realizarse el procedimiento descrito en relación con la Figura 2, cuando el producto se ejecuta en un ordenador. El producto de programa de ordenador puede estar almacenado en un medio adecuado para ordenador y puede comprender lo siguiente: medios de programa legibles por ordenador, que inducen a un ordenador a recibir una secuencia de recepción de valores muestreados con una frecuencia de muestreo f_s conocida de una señal de recepción 201, representando la señal de recepción (Y) una reacción a una señal de emisión con una frecuencia de emisión f_w conocida; a poner a disposición una secuencia senoidal y una secuencia cosenoidal para cada índice de la secuencia de recepción 202, comprendiendo la secuencia senoidal valores senoidales de múltiplos consecutivos de una frecuencia angular Ω conocida, que depende de la frecuencia de emisión f_w y de la frecuencia de muestreo f_s y comprendiendo la secuencia cosenoidal valores cosenoidales de múltiplos consecutivos de la frecuencia angular conocida; y una parte real de la fase de la señal de recepción basada en un producto escalar de la secuencia de recepción con la secuencia cosenoidal y una parte imaginaria de la fase de la señal de recepción basada en un producto escalar de la secuencia de recepción con la secuencia senoidal 203.

35 El ordenador puede ser un PC, por ejemplo, un PC de una red de ordenadores. El ordenador puede estar realizado como chip, como ASIC, como microprocesador, como procesador de señales o en general como procesador y puede estar implementado por ejemplo como procesador de la forma descrita en las Figuras 3 a 5.

40 Naturalmente pueden combinarse las características de las diferentes formas de realización descritas a título de ejemplo aquí, siempre que no se indique específicamente otra cosa. Como está representado en la descripción y en los dibujos, los distintos elementos que se han representado como conectados, no tienen que estar conectados directamente; pueden estar previstos elementos intermedios entre los elementos conectados. Además, se sobrentiende que unas formas de realización de la invención pueden estar implementadas en diferentes circuitos, en circuitos parcialmente integrados o en circuitos completamente integrados o en medios de programación. El término "a título de ejemplo" solo quiere decir ejemplo, y no se refiere a lo mejor o a lo óptimo. Se han ilustrado y descrito aquí diferentes formas de realización, aunque para el experto es evidente que pueden realizarse una multitud de implementaciones alternativas y/o similares en lugar de las formas de realización mostradas y descritas, sin desviarse del concepto de la presente invención.

Lista de signos de referencia

- 50 100: Sistema 100 para la medición de relaciones de fases de ondas acústicas en un vaso
 101: Emisor
 102: Vaso
 103: Receptor
 104: Onda ultrasónica
 55 105: Entrada
 107: Salida

ES 2 748 235 T3

	200:	Procedimiento de detección de fase 200
	201:	1ª etapa del procedimiento: recepción
	202:	2ª etapa del procedimiento: puesta a disposición
	203:	3ª etapa del procedimiento: determinación
5	300:	Procesador, adecuado para determinar una fase de una señal de recepción
	301:	Registro de entrada N-ario
	303:	Primer registro de parámetros N-ario
	305:	Segundo registro de parámetros N-ario
	307:	Primer registro de salida
10	309:	Segundo registro de salida
	311:	Unidad aritmético-lógica
	313:	Tercer registro de salida
	315:	Unidad de instrucción
	317:	Bus de datos de entrada
15	319:	Bus de datos de salida
	320:	Señal de sincronización
	322:	Señal de reset
	400:	Procesador, adecuado para determinar una fase de una señal de recepción
	401:	Registro de entrada
20	403:	Primer registro de parámetros N-ario
	405:	Segundo registro de parámetros N-ario
	407:	Primer registro de salida
	409:	Segundo registro de salida
	411:	Unidad aritmético-lógica
25	413:	Tercer registro de salida
	415:	Unidad de instrucción
	417:	Bus de datos de entrada
	419:	Bus de datos de salida
	420:	Señal de sincronización
30	422:	Señal de reset
	421:	Primer registro interno
	423:	Segundo registro interno
	431:	Tercer registro interno
	425:	Tercer registro de parámetros
35	427:	Cuarto registro de parámetros
	429:	Contador
	500:	Procesador, adecuado para determinar una fase de una señal de recepción
	511:	Unidad aritmético-lógica
	515:	Unidad de instrucción
40	531:	Cuarto registro interno
	533:	Quinto registro interno

REIVINDICACIONES

1. Procesador (400, 500) para determinar una fase de una señal de recepción, con un registro de entrada (401), que está configurado para almacenar un valor de recepción de una señal de recepción (Y) muestreada con una frecuencia de muestreo f_s conocida, en el que representando la señal de recepción (Y) una reacción a una señal de emisión con una frecuencia de emisión f_w conocida;
- 5 **caracterizado por** un primer registro de coeficientes (403) y un segundo registro de coeficientes (405), que están configurados para almacenar un primer (S) y un segundo (C) coeficiente de Fourier, en el que el primer coeficiente de Fourier (S) indica una relación lineal entre la señal de recepción (Y) y una parte real de la fase de la señal de recepción (Y) y el segundo coeficiente de Fourier (C) indica una relación lineal entre la señal de recepción (Y) y una
- 10 parte imaginaria de la fase de la señal de recepción (Y); un primer registro de salida (407) y un segundo registro de salida (409), que están configurados para poner a disposición una parte real de la fase (U) y una parte imaginaria de la fase (V) de la señal de recepción (Y); y una unidad aritmético-lógica (411), que está configurada para determinar la parte real de la fase (U) de la señal de recepción (Y) basada en un producto medio del valor de recepción con el contenido (S) del primer registro de
- 15 coeficientes (403) y para determinar la parte imaginaria de la fase (V) de la señal de recepción (Y) basada en un producto medio del valor de recepción con el contenido (C) del segundo registro de coeficientes (405).
2. Procesador (400, 500) según la reivindicación 1, con una unidad de instrucción (415) que está configurada para poner el segundo registro de coeficientes (405) a uno en reacción a una señal de reset (422) y borrar los registros restantes;
- 20 almacenar un nuevo valor de recepción de la señal de recepción muestreada (Y) en reacción a una señal de sincronización (420) y suministrar nuevos coeficientes (S, C) al primer (403) y segundo (405) registro de coeficientes;
- 25 en el que la unidad aritmético-lógica (411) está configurada para determinar los productos medios basados en un valor medio en el tiempo de los productos respectivamente presentes, en función de la señal de sincronización (420), del valor de recepción y del contenido (S) del primer registro de coeficientes (403) o del contenido (C) del segundo registro de coeficientes (405);
- 30 en el que la unidad de instrucción (415) está configurada para, en reacción a la señal de sincronización (420), renovar el segundo registro de coeficientes (405) con el coeficiente $dC \cdot C - dS \cdot S$ y renovar el primer registro de coeficientes (403) con el coeficiente $dC \cdot S + dS \cdot C$, indicando C el contenido del segundo registro de coeficientes (405), S el contenido del primer registro de coeficientes (403) y siendo válido además: $dC = \cos(\Omega)$ y $dS = \sin(\Omega)$ con $\Omega = 2\pi \cdot (f_w/f_s)$.
3. Procesador (400, 500) según la reivindicación 2, con un primer (421) y segundo (423) registros internos,
- 35 en el que la unidad de instrucción (415) está configurada para, en reacción a la señal de sincronización (420), incrementar el primer registro interno (421) con un producto del contenido del registro de entrada (401) y del contenido (S) del primer registro de coeficientes (403) e incrementar el segundo registro interno (423) con un producto del contenido del registro de entrada (401) y del contenido (C) del segundo registro de coeficientes (405) y poner a disposición de los mismos respectivamente de forma normalizada un factor de normalización en el primer (407) o segundo (409) registro de salida.
- 40 4. Procesador (400, 500) según una de las reivindicaciones 1 a 3, con un tercer registro de salida (413) que está configurado para poner a disposición un bias (β) de la señal de recepción (Y),
- 45 en el que la unidad aritmético-lógica (411) está configurada para determinar el bias (β) de la señal de recepción (Y) basado en un valor medio en el tiempo del contenido del registro de entrada (401).

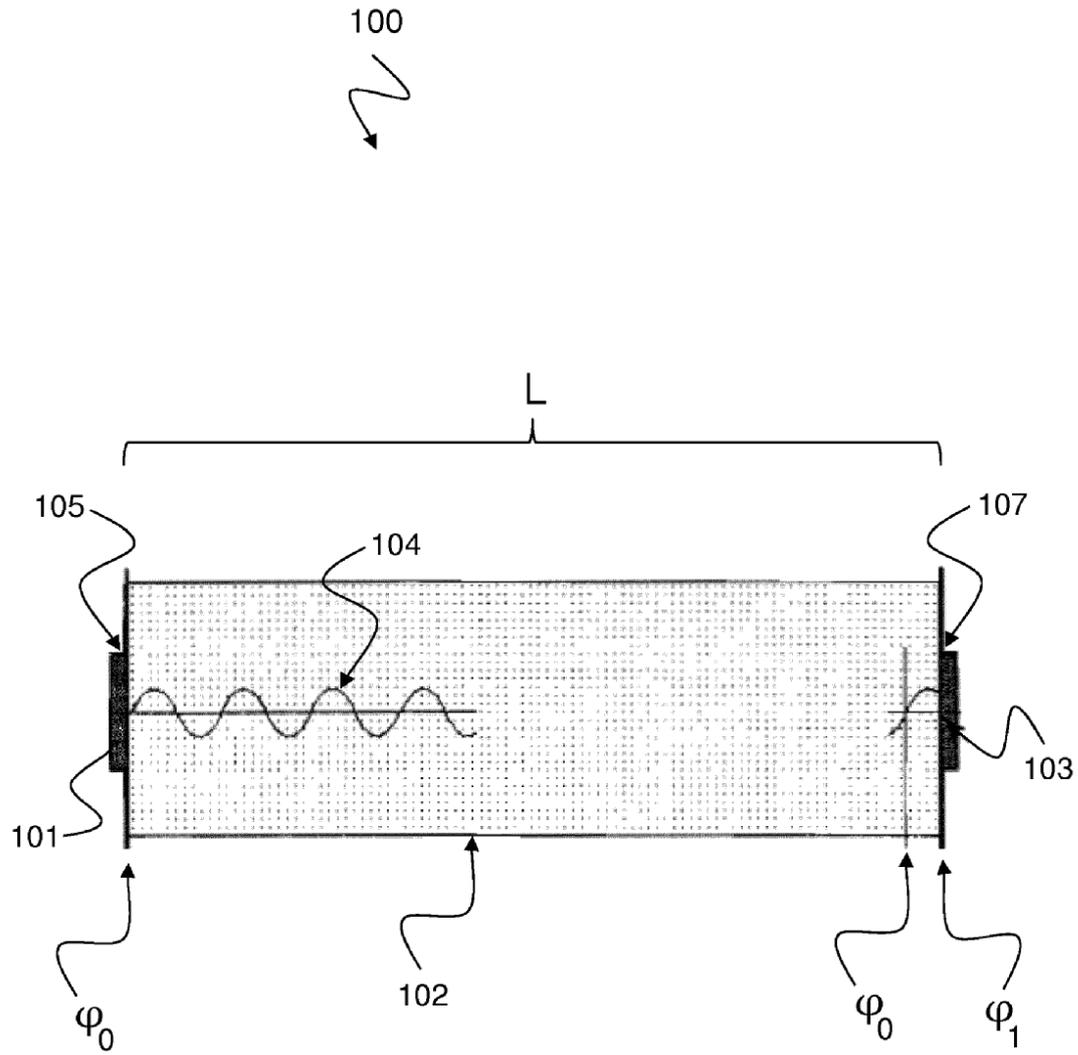


Fig. 1

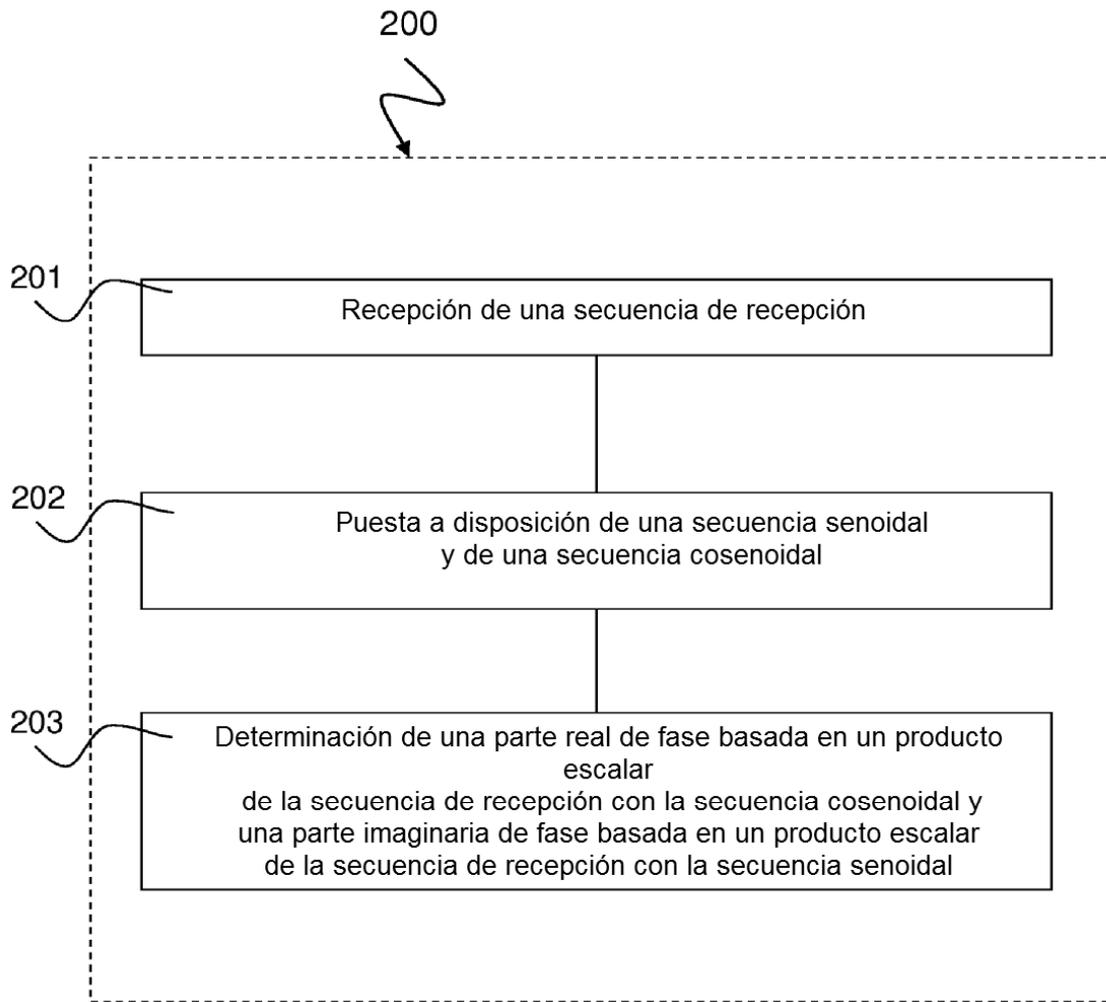


Fig. 2

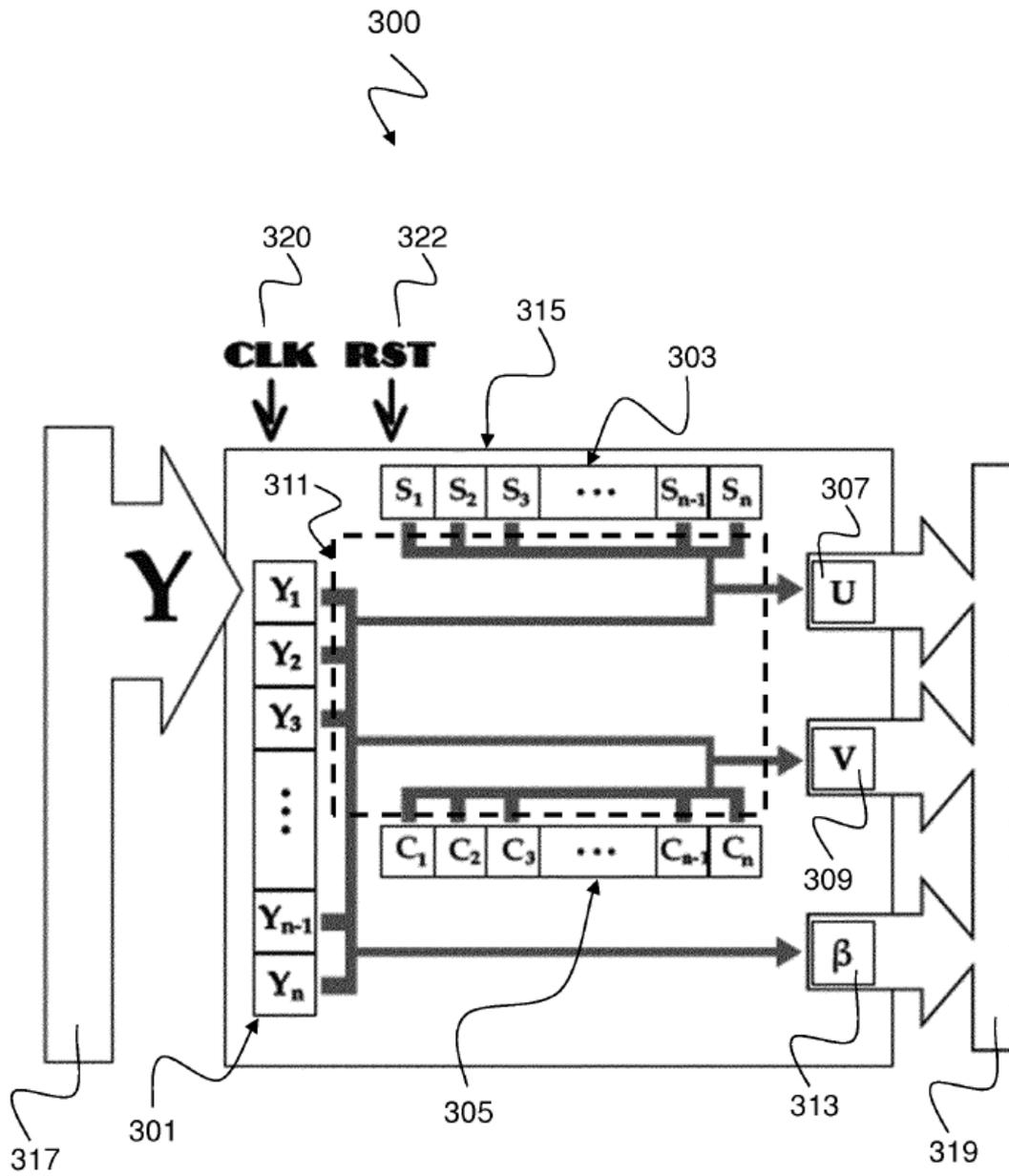


Fig. 3

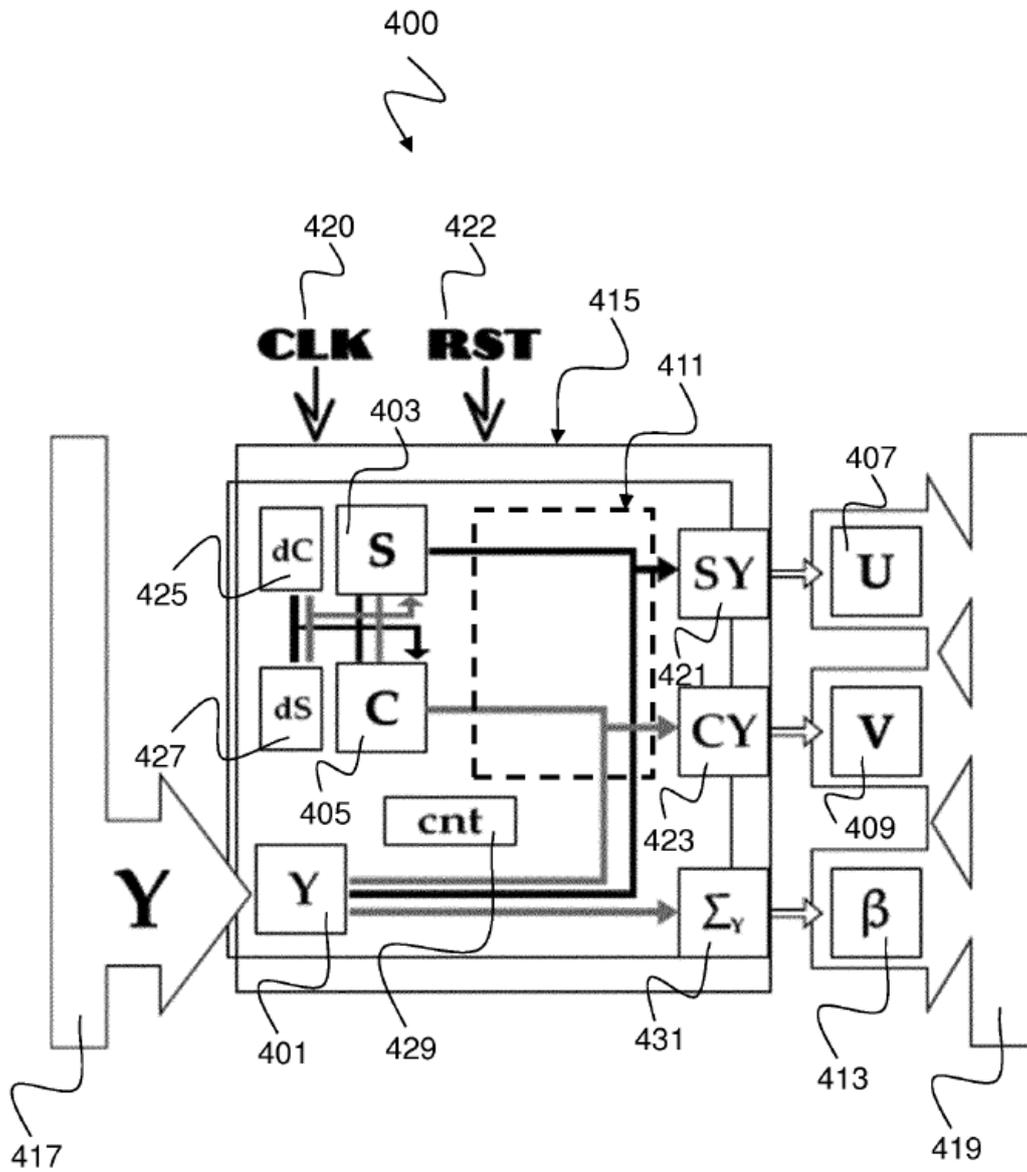


Fig. 4

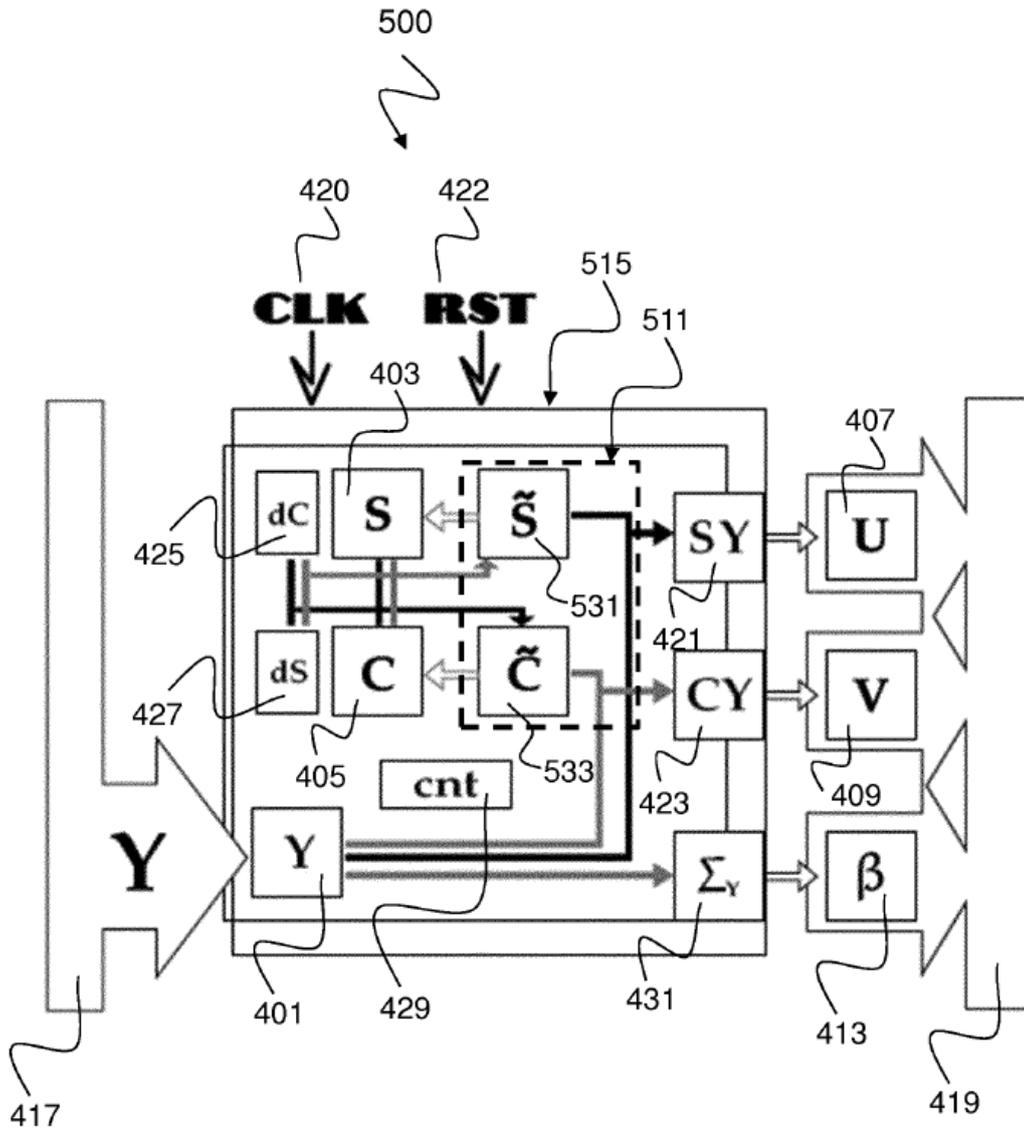


Fig. 5