

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 748 348**

51 Int. Cl.:

H04J 3/06

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **24.10.2014** E 14190219 (7)

97 Fecha y número de publicación de la concesión europea: **17.07.2019** EP 2866365

54 Título: **Procedimiento y sistema de sincronización horaria entre dos dispositivos conectados por una conexión Ethernet**

30 Prioridad:

25.10.2013 FR 1302472

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

16.03.2020

73 Titular/es:

THALES (100.0%)

**Tour Carpe Diem, Place des Corolles, Esplanade Nord
92400 Courbevoie, FR**

72 Inventor/es:

**PHILIPPE, JEAN-YVES y
PIERRELEE, OLIVIER**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 748 348 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y sistema de sincronización horaria entre dos dispositivos conectados por una conexión Ethernet

5 La presente invención se refiere a un procedimiento y un sistema de sincronización horaria entre dos dispositivos que tienen relojes que pueden ser independientes. En efecto, en el marco de los equipos de radiocomunicación táctica, puede ser necesario conectar equipos complementarios distantes varios metros, pero entre los cuales es necesario que los relojes estén sincronizados con una precisión de menos de 1 μ s. Este procedimiento y sistema también se pueden aplicar entre dos dispositivos cercanos al tiempo que se beneficia de la compacidad de la interfaz propuesta.

10 En el estado de la técnica se conocen sistemas y procedimientos que utilizan una interfaz de conexión entre los equipos. Estas conexiones constan de uno o varios cables dedicados únicamente al transporte de una señal específica que permite la sincronización. Sin embargo, esta solución no permite tener una interfaz de conexión estándar ya que esta impone una señal demás, un circuito específico de más, una conectividad de más, un protocolo específico. Por otro lado, la información enviada por esta señal en memoria tampón no tiene la misma latencia que la trama Mac Ethernet en su interface. Por trama Mac Ethernet se entiende un paquete de datos transmitidos utilizando el protocolo de red local Ethernet. En efecto, el circuito a cargo de la gestión de la interfaz de conexión emite directamente la señal, mientras que la trama MAC ha experimentado varias decenas de periodo de reloj de desfase. Estos sistemas presentan, por lo tanto, un problema de sincronización de la señal destinada a sincronizar el mensaje.

20 También se conocen en el estado de la técnica sistemas y procedimientos basados en el intercambio de paquetes. Esta transferencia utiliza una interfaz de conexión estándar y dedicada también a la transferencia de los datos. Se puede citar, por ejemplo, la norma IEEE1588 (conocida con el acrónimo inglés de PTP para «Precision Time Protocol») que se propuso en 2002 para responder a las exigencias de los procedimientos en tiempo real implementados en diferentes campos técnicos. Las solicitudes de patente US 2012/0136956 A1 y US 2011/0161701 A1 se refieren, ambas dos, a implementaciones de la norma IEEE 1588. Esta norma propone una solución muy precisa de sincronización de los relojes (esta precisión es inferior al microsegundo) de varios equipos puestos en red. Sin embargo, como esta norma está definida para la sincronización de varios equipos distribuidos en una red local, presenta un procedimiento complejo La complejidad de este procedimiento proviene en particular de la búsqueda del dispositivo que tiene el reloj más preciso para hacerle el reloj maestro de la red. Esta complejidad hace su implementación problemática en un equipo que tiene una escasa capacidad de cálculo y escasos recursos en memoria.

La presente invención pretende, por lo tanto, remediar estos problemas proponiendo un sistema y un procedimiento de sincronización que no tenga necesidad de uno o varios cables dedicados únicamente al transporte de una señal específica que permite la sincronización y que presente una complejidad baja.

35 De este modo, la invención propone un procedimiento de sincronización horaria, entre dos dispositivos conectados por una conexión por cable Ethernet y que consta de un reloj. El procedimiento consta de las etapas siguientes:

- una etapa de determinación de un periodo necesario para una transmisión de un paquete de datos entre los dos dispositivos,
- una etapa de emisión por uno de los dispositivos de un paquete de datos que consta de una hora de emisión de este paquete,
- 40 • una etapa de determinación de la hora por el otro dispositivo por adición del periodo de transmisión a la hora de emisión del paquete,

utilizando dichas etapas de determinación de un periodo necesario para una transmisión, de emisión por uno de los dispositivos de un paquete de datos y de determinación de la hora por el otro dispositivo paquetes de tramas MAC Ethernet.

45 Los relojes de los dos dispositivos pueden ser independientes si los dispositivos están alejados o provenir de una misma fuente si los dos dispositivos están cerca.

Ventajosamente, el procedimiento consta además de:

- una etapa de determinación de una deriva temporal de un reloj de uno de los dispositivos con respecto al reloj del otro dispositivo,
- 50 • una etapa de corrección de esta deriva temporal del reloj, dicha corrección se realiza adelantando el reloj del dispositivo cuyo reloj está atrasado o atrasando el reloj del dispositivo cuyo reloj está adelantado.

Ventajosamente, la etapa de determinación de una deriva temporal consta de las etapas siguientes:

- una etapa de emisión de un primer paquete de datos y de guarda de una hora de envío del paquete por uno de los dispositivos, siendo emitido dicho paquete con destino al otro dispositivo,
- 55 • una etapa de recepción del primer paquete y de guarda de una hora de recepción por el otro dispositivo,

- una etapa de envío de un segundo paquete, por el otro dispositivo, constando dicho segundo paquete de dicha hora de recepción,
- una etapa de recepción de dicho segundo paquete por el dispositivo,
- una etapa de determinación de la deriva a partir de la hora de envío, de la hora de recepción y del periodo de transmisión.

5

Ventajosamente, la etapa de determinación de la deriva está adaptada para la utilización de la siguiente relación:

$$\text{deriva} = t_{\text{recep}} - t_{\text{envío}} - TL$$

en la que $t_{\text{envío}}$ representa la hora de envío del primer paquete, t_{recep} representa la hora de recepción del segundo paquete, TL representa el periodo de transmisión y deriva representa la deriva del reloj.

10 Ventajosamente, la etapa de determinación de un periodo de transmisión consta de las etapas siguientes:

- una etapa de emisión de un primer paquete de datos y de guarda de una hora de envío, por uno de los dispositivos, que solicita a otro dispositivo la emisión de un segundo paquete de datos a cambio,
- una etapa de recepción de dicho primer paquete por el otro dispositivo
- una etapa de emisión de un segundo paquete por el otro dispositivo que puede contener una indicación de un periodo de un procesamiento que separa la recepción del primer paquete y la emisión del segundo paquete,
- una etapa de recepción del segundo paquete y de guarda de una hora de recepción del segundo paquete por el dispositivo,
- una etapa de determinación del periodo de transmisión a partir de la hora de envío, la hora de recepción y del periodo de procesamiento.

15

20 Ventajosamente, la etapa de determinación del periodo de transmisión está adaptada para la utilización de la siguiente relación:

$$TL = (t_{\text{recep}} - t_{\text{envío}} - TLDPG)/2$$

en la que $t_{\text{envío}}$ representa la hora de envío del primer paquete, t_{recep} representa la hora de recepción del segundo paquete, $TLDPG$ representa el periodo de procesamiento y TL representa el periodo de transmisión.

25 La invención también se refiere a un sistema que comprende dos dispositivos conectados por una conexión por cable Ethernet. Los dispositivos comprenden:

- medios de sincronización configurados para la implementación del procedimiento de sincronización horaria, y
- un reloj.

Ventajosamente, los paquetes de datos intercambiados entre dichos dispositivos son generados por una capa MAC.

30 Ventajosamente, los relojes de los dispositivos se basan en el incremento de un contador al ritmo de un reloj utilizado por dicha conexión Ethernet.

Ventajosamente los medios de sincronización son una FPGA, un ASIC o un componente externo.

Las ventajas de esta invención son las siguientes:

35 La invención utiliza paquetes de tramas MAC Ethernet estándar, de acuerdo con uno de los estándares de la norma IEEE 802.3. La utilización de estos paquetes MAC estándar permite disponer de circuitos más baratos.

El protocolo se ajusta a la necesidad de sincronización de una conexión punto por punto y no presenta la complejidad de los procedimientos de sincronización conocidos en el estado de la técnica.

La sincronización es la más fina posible ya que utiliza directamente el reloj utilizado por la capa MAC y la conexión Ethernet.

40 No hay modificaciones aportadas en la capa de conexión de datos.

Finalmente, este procedimiento no necesita una transmisión continua en la conexión Ethernet, lo que permite evitar una utilización inútil de la conexión y, por lo tanto, un consumo inútil.

Además, el procedimiento es ventajoso incluso entre dos dispositivos cercanos (entre 2 tarjetas internas a un equipo) que en este caso de configuración pueden disponer del mismo reloj. En efecto, las restricciones de sitio y de coste favorecen las interfaces de tipo serie rápida. En este caso, ya no existe la problemática de deslizamiento de los relojes (salvo si los relojes no tienen el mismo piloto), una vez que los dispositivos están sincronizados.

45

La invención se comprenderá mejor y otras ventajas surgirán con la lectura de la descripción detallada realizada a modo de ejemplo no limitante y con ayuda de las figuras, en las cuales:

- la figura 1 presenta el procedimiento de sincronización temporal.

- la figura 2 presenta una mejora del procedimiento de sincronización temporal para el caso del seguimiento de la deriva.
- la figura 3.a presenta la descripción de una realización de la etapa de determinación de un periodo necesario para una transmisión de un paquete de datos entre los dos dispositivos.
- 5 - la figura 3.b presenta el logigrama de la etapa de determinación de un periodo necesario para una transmisión de un paquete de datos entre los dos dispositivos.
- la figura 4.a presenta la descripción de una realización de la etapa de determinación de una deriva temporal.
- la figura 4.b presenta el logigrama de la etapa de determinación de una deriva temporal.
- la figura 5 presenta una realización de un sistema de acuerdo con la invención.

10 La figura 1 describe el procedimiento de sincronización temporal entre dos dispositivos. Este procedimiento consta de las etapas siguientes:

- Una etapa 101 de determinación de un periodo necesario para una transmisión de un paquete de datos entre el primer y el segundo dispositivo.
- Una etapa 102 de emisión, por uno de los dos dispositivos, de un paquete de datos que consta de una hora de emisión de este paquete.
- 15 • Una etapa 103 de determinación de la hora, por el otro dispositivo, por adición del periodo de transmisión a la hora de emisión del paquete.

Este procedimiento permite, por lo tanto, sincronizar la hora del segundo dispositivo con la hora del primer dispositivo.

20 En una realización presentada por la figura 2, el procedimiento consta de dos etapas que permiten corregir una deriva temporal del reloj interno de uno de los equipos con respecto al reloj interno del otro equipo. Estas dos etapas son las siguientes:

- Una etapa 201 de determinación de una deriva temporal de un reloj de uno de los dispositivos con respecto al reloj del otro dispositivo.
- 25 • Una etapa 202 de corrección de esta deriva temporal por uno u otro de los dispositivos. Es posible corregir el reloj del dispositivo que está adelantado atrasando su reloj o corregir el reloj del dispositivo que está atrasado adelantando su reloj.

30 La figura 3.a presenta la descripción de una realización de la etapa 101 de determinación de un periodo necesario para una transmisión de un paquete de datos entre los dos dispositivos. A título ilustrativo y no limitante, es el primer dispositivo el que iniciará el procedimiento, sin embargo es posible que esta inicialización sea realizada por el segundo dispositivo. La determinación de este periodo de transmisión se basa en las etapas siguientes:

- Una etapa 301 de emisión de un primer paquete de datos por el primer dispositivo. En este primer paquete de datos, se indica que el segundo dispositivo debe reenviar un paquete de datos que indica el periodo que el segundo dispositivo ha empleado para procesar el paquete de datos. Además, el primer dispositivo guarda la hora de envío ($t_{envío}$) del paquete de datos.
- 35 • Una etapa 302 de recepción del primer paquete de datos. El plazo que ha sido necesario para la transmisión del paquete de datos consta de dos partes $TL1$ y $TL2$. Se denomina TL el plazo completo de transmisión.

40 $TL1$ corresponde al tiempo empleado para que los circuitos encargados de la gestión Ethernet (parte de capa MAC o capa MAC más capa PHY) para transmitir físicamente la trama en la interfaz a partir del instante en el que se ha dado la orden de emisión. Este tiempo (en periodo de reloj a 125 MHz para gigabit Ethernet) corresponde al tiempo para que estos circuitos (en tecnologías síncronas) realicen los procesamientos digitales necesarios para construir la trama y emitirla en la interfaz. Este tiempo es siempre el mismo para un mismo tipo de circuito.

En la recepción, el tiempo es diferente, ya que los procesamientos digitales no son los mismos (las problemáticas de recepción no son las mismas que las problemáticas de emisión).

- 45 • Una etapa 303 de envío de un segundo paquete, por el segundo dispositivo. Este paquete incluido puede incorporar una indicación del periodo de procesamiento ($TLDPG$) del paquete por el segundo dispositivo. Si la indicación del periodo de procesamiento ($TLDPG$) del paquete por el segundo dispositivo no está comprendida en el segundo paquete, puede ser conocida por el primer dispositivo ya que se carga en su memoria antes de la utilización del procedimiento. En efecto, como este tiempo es fijo para un dispositivo dado, basta que este tiempo sea conocido por el dispositivo opuesto para aplicar la fórmula. El hecho de transmitir este tiempo permite durante la fase de desarrollo o en caso de modificaciones o de evoluciones de un dispositivo evitar tener también que retocar el otro dispositivo opuesto que utilizaría un tiempo fijo.
- 50 • Una etapa 304 de recepción del segundo paquete por el primer dispositivo y de guarda de la hora de recepción (t_{recep}) por este primer dispositivo. Se supone que el periodo de transmisión de un paquete entre el primer y el segundo dispositivo es idéntico al periodo de transmisión entre el segundo y el primer dispositivo. Esto proviene de la simetría del diseño.
- 55 • Una etapa 305 de determinación del periodo de transmisión a partir de la hora de envío, de la hora de recepción y del periodo de procesamiento. La determinación se realiza utilizando la fórmula siguiente:

$$TL = (t_{recep} - t_{envío} - TLDPG)/2$$

La figura 3.b presenta el logigrama de la etapa de determinación de un periodo necesario para una transmisión de un paquete de datos entre los dos dispositivos.

5 La figura 4.a describe una realización de la etapa 201 de determinación de una deriva temporal. A título ilustrativo y no limitante es el primer dispositivo el que iniciará el procedimiento, sin embargo, es posible que esta inicialización sea realizada por el segundo dispositivo. La determinación de esta deriva temporal se basa en las etapas siguientes:

- Una etapa 401 de emisión de un primer paquete, por el primer dispositivo, que solicita la hora al segundo dispositivo. Además, el primer dispositivo guarda la hora de envío ($t_{envío}$) del paquete de datos.
- 10 • Una etapa 402 de recepción del primer paquete y de guarda de la hora de recepción de este paquete (t_{recep}). Estas dos operaciones son realizadas por el segundo dispositivo.
- Una etapa 403 de envío, por el segundo dispositivo de un segundo paquete que consta de la hora de recepción del primer paquete por el segundo dispositivo.
- Una etapa 404 de recepción del segundo paquete por el primer dispositivo.
- 15 • Una etapa 405 de determinación de la deriva a partir de la hora de envío, de la hora de recepción y el periodo de transmisión (TL). La determinación se realiza utilizando la fórmula siguiente:

$$\text{deriva} = t_{recep} - t_{envío} - TL$$

La figura 4.b presenta el logigrama de la etapa de determinación de una deriva temporal con una transmisión de un paquete de datos entre los dos dispositivos.

20 Como la determinación de una deriva temporal necesita el conocimiento del periodo de transmisión TL , por lo tanto, es necesario realizar, previamente a la etapa de determinación de una deriva temporal, la etapa de determinación de un periodo de transmisión y la etapa de puesta en hora de los dos dispositivos.

25 El procedimiento de la invención se puede implementar en un sistema tal como se representa en la figura 5. Este sistema consta de dos dispositivos (501.a y 501.b) que están conectados por una conexión 502. Esta conexión puede ser una conexión Ethernet (es preferible utilizar una conexión de tipo Gigabit Ethernet para disponer de una velocidad de transmisión y de una precisión elevada) pero también es posible utilizar otros tipos de conexión conocidos por el experto en la materia.

30 De este modo, para poder realizar una conexión Ethernet hasta 100 m en 4 pares de cables (por ejemplo una conexión gigabit internet que utiliza 4 Pares diferenciales bidireccionales con informaciones codificadas en 2 bits), es necesario poner los circuitos de interfaz de la capa PHY (esta es configuración nominal). Sin embargo, para dispositivos cercanos (de tarjeta a tarjeta) es posible no implementar estos drivers o circuitos de realización de las funciones de la capa PHY y realizar directamente una conexión entre los componentes MAC. Esto permite ahorrar espacio, limitar el precio de los componentes y limitar el consumo.

35 Una conexión Ethernet es realizada convencionalmente por dos circuitos distintos: un circuito que consta de la funcionalidad de la parte MAC y un circuito que consta de la funcionalidad de la parte PHY. La funcionalidad de la parte PHY tiene el papel de garantizar la integridad de la información emitida en varias decenas de metros adaptando la señal al canal de transmisión. El canal de transmisión está constituido, por ejemplo, por el cable que conecta las dos tarjetas. De este modo el componente PHY es diferente si el medio es un cable de cobre o si el medio es una fibra óptica.

40 Pero cuando la distancia entre los dos dispositivos a conectar es de solo varios centímetros, la presencia de un circuito PHY ya no está justificada. Es perfectamente posible en este caso y, por medio de varias especificidades del componente que garantizan la funcionalidad MAC, establecer una conexión llamada de «MAC a MAC» sin circuito PHY intermediario. En función de las restricciones del sistema esto permite ganar en consumo, en sitio y en coste de producción. En este caso, la interfaz entre los dos componentes que realizan la funcionalidad MAC es una conexión conocida con el acrónimo inglés SGMII para Serial Gigabit Media Independent Interface o interface en serie independiente para medios Gigabit para limitar el número de señales y hacer las diferencias entre los medios transparentes para la subcapa MAC de la capa de conexión de datos. Se puede observar que esta especificidad es propia de la interfaz Ethernet. Consiste en disponer de un MAC «esclavo» y de un MAC «maestro».

45 Estos dos dispositivos constan, cada uno, de un circuito lógico programable (503.a y 503.b) de tipo FPGA o ASIC. FPGA es el acrónimo inglés de «field-programmable gate array» para red de puestas programables. ASIC es un acrónimo inglés que significa Application-Specific Integrated Circuit, para Circuito integrado específico de una aplicación. Estos FPGA o ASIC tienen el papel de controlar la conexión Ethernet.

De este modo, de acuerdo con lo que se presenta en la figura 5, la zona 503.a o 503.b consta de tres funcionalidades distintas:

- 55 • Las 506.a y 506.b realizan la función MAC definida por par la norma Ethernet para el acceso al medio. Existen varios proveedores que proponen esta funcionalidad en forma de una zona lógica o lógica IP para Intellectual Property.

- Las zonas 504.a y 504.b se encargan de realizar la gestión y el control de la capa MAC.
- Las zonas 505.a y 505.b constituyen la referencia temporal. Esta referencia puede ser realizada por un contador que se incrementa al ritmo del reloj utilizado por la conexión Ethernet (este reloj está a una frecuencia de 125 MHz en el marco de la utilización de Gigabit Ethernet).

5 Estas tres zonas se implementan en una FPGA o en un ASIC.
Los procesamientos vinculados a la función PHY no están integrados en la FPGA o en el ASIC.

En una realización, también es posible utilizar componentes externos cargados para realizar la función MAC.

En el caso de este dispositivo, la etapa 101 de determinación de un periodo necesario para una transmisión de un paquete de datos entre los dos dispositivos se realiza de la siguiente manera:

10 La etapa 301 de emisión de un primer paquete de datos por el primer dispositivo se realiza mediante la utilización de la zona 504.a que controla la capa MAC y la conexión Ethernet y que permite generar una señal de emisión de paquete de datos (Start of Packet o el acrónimo SOP en inglés). La emisión de esta señal permite indicar a la capa MAC que esta última debe emitir una trama Ethernet. Simultáneamente, la hora de emisión es guardada mediante la utilización de la referencia temporal integrada en el dispositivo.

15 La etapa 302 de recepción del primer paquete de datos se realiza mediante una de las zonas 504.a o 504.b encargadas del control de la capa MAC y la conexión Ethernet del segundo dispositivo. Esta lógica o zona lógica se base entonces en las señales que indican la llegada del mensaje (conocida también con el acrónimo inglés SOP Rx para Start of Packet Rx). En otra realización, zonas lógicas o lógicas MAC no proporcionan forzosamente la señal SOP Rx. El controlador de la función MAC (zona 504.b) debe, por lo tanto, generarla a partir de las otras señales de
20 interfaz del MAC.

La etapa 303, de envío de un segundo paquete, por el segundo dispositivo es realizada por la zona 504.b. Esta zona lógica desencadena, en la recepción de una señal que indica la llegada del mensaje, un procedimiento síncrono de reenvío de un mensaje. Este mensaje es reenviado al cabo de un periodo (*TLDPG*). El mensaje contiene el periodo de procesamiento (*TLDPG*). Este periodo dependerá de la manera en la que se implementa el procedimiento y de
25 las prestaciones del dispositivo en el que está implementado este procedimiento. Este segundo paquete solamente se debe reenviar si el primer paquete recibido solicita la emisión de un mensaje a cambio.

La etapa 304 de recepción del segundo paquete por el primer dispositivo se realiza mediante la zona lógica 504.a. Esta zona permite la determinación de la hora de recepción (t_{recep}) a partir de la referencia temporal integrada en el dispositivo. La información del periodo de procesamiento (*TLDPG*) contenida en el mensaje también se guarda.

30 Finalmente la etapa 305 de determinación del periodo de transmisión es realizada por la zona lógica 504.a.

En el caso del dispositivo presentado en la figura 5, la etapa 201 de determinación de una deriva temporal se realiza de la siguiente manera:

35 La etapa 401 de emisión de un primer paquete que solicita la hora al segundo dispositivo y de guarda de una hora de envío (t_{envio}) se realiza mediante la utilización de la zona lógica 504.a que permite generar una señal de emisión de paquete de datos (Start of Packet o el acrónimo SOP en inglés). La emisión de esta señal permite indicar a la capa MAC Ethernet que esta última deba emitir una trama Ethernet. Simultáneamente, la hora de emisión es guardada mediante la utilización de la referencia temporal integrada en el dispositivo.

40 La etapa 402 de recepción del primer paquete y de guarda de una primera hora de recepción (t_{recep}) es realizada por la zona lógica 504.b. Esta zona lógica se base entonces en las señales que indican la llegada del mensaje (conocida también con el acrónimo inglés de SOP Rx para Start of Packet Rx). Además, esta zona permite la determinación de la hora de recepción (t_{recep}) a partir de la referencia temporal integrada en el dispositivo.

La etapa 403 de envío de un segundo paquete que consta de la hora de recepción del primer paquete por el segundo dispositivo es realizada por la zona lógica 504.b.

La etapa 404 de recepción del segundo paquete es realizada por la zona lógica 504.a.

45 Finalmente, la etapa 405 de determinación de la deriva es realizada por la zona lógica 504.a.

REIVINDICACIONES

1. Procedimiento de sincronización horaria, entre dos dispositivos conectados por una conexión por cable Ethernet, constando dicho procedimiento de las etapas siguientes:

- 5 • una etapa (101) de determinación de un periodo necesario para una transmisión de un paquete de datos entre los dos dispositivos,
- una etapa (102) de emisión por uno de los dispositivos de un paquete de datos que consta de una hora de emisión de este paquete,
- 10 • una etapa (103) de determinación de la hora por el otro dispositivo por adición del periodo de transmisión a la hora de emisión del paquete,

utilizando dichas etapas de determinación de un periodo necesario para una transmisión (101), de emisión por uno de los dispositivos de un paquete de datos (102) y de determinación de la hora por el otro dispositivo (103), paquetes de datos generados por una capa MAC, y utilizando como referencia temporal un contador incrementado al ritmo de un reloj utilizado por dicha conexión Ethernet.

15 2. Procedimiento de sincronización horaria de acuerdo con la reivindicación 1, que además consta de:

- una etapa (201) de determinación de una deriva temporal de un reloj de uno de los dispositivos con respecto al reloj del otro dispositivo,
- una etapa (202) de corrección de esta deriva temporal del reloj, dicha corrección se realiza adelantando el reloj del dispositivo cuyo reloj está atrasado o atrasando el reloj del dispositivo cuyo reloj está adelantado.

20 3. Procedimiento de sincronización horaria de acuerdo con la reivindicación 2, en el que la etapa de determinación de una deriva temporal consta de las etapas siguientes

- una etapa (401) de emisión de un primer paquete de datos y de guarda de una hora de envío del paquete por uno de los dispositivos, siendo emitido dicho paquete con destino al otro dispositivo,
- 25 • una etapa (402) de recepción del primer paquete y de guarda de una hora de recepción por el otro dispositivo,
- una etapa (403) de envío de un segundo paquete, por el otro dispositivo, constando dicho segundo paquete de dicha hora de recepción,
- una etapa (404) de recepción de dicho segundo paquete por el dispositivo,
- una etapa (405) de determinación de la deriva a partir de la hora de envío, de la hora de recepción y del periodo de transmisión.

30 4. Procedimiento de sincronización horaria de acuerdo con la reivindicación 3, en el que dicha etapa de determinación de la deriva está adaptada para la utilización de la siguiente relación:

$$\text{deriva} = t_{\text{recep}} - t_{\text{envío}} - TL$$

en la que $t_{\text{envío}}$ representa la hora de envío del primer paquete, t_{recep} representa la hora de recepción del segundo paquete, TL representa el periodo de transmisión y deriva representa la deriva del reloj.

35 5. Procedimiento de sincronización horaria de acuerdo con la reivindicación 1 a 4, en el que dicha etapa de determinación de un periodo de transmisión consta de las etapas siguientes:

- una etapa (301) de emisión de un primer paquete de datos y de guarda de una hora de envío, por uno de los dispositivos, que solicita a otro dispositivo la emisión de un segundo paquete de datos a cambio,
- 40 • una etapa (302) de recepción de dicho primer paquete por el otro dispositivo
- una etapa (303) de emisión de un segundo paquete por el otro dispositivo que puede contener una indicación de un periodo de un procesamiento que separa la recepción del primer paquete y la emisión del segundo paquete,
- una etapa (304) de recepción del segundo paquete y de guarda de una hora de recepción del segundo paquete por el dispositivo,
- 45 • una etapa (305) de determinación del periodo de transmisión a partir de la hora de envío, la hora de recepción y del periodo de procesamiento.

6. Procedimiento de sincronización horaria de acuerdo con la reivindicación 5, en el que dicha etapa de determinación del periodo de transmisión está adaptada para la utilización de la siguiente relación:

$$TL = (t_{\text{recep}} - t_{\text{envío}} - TLDPG)/2$$

50 en la que $t_{\text{envío}}$ representa la hora de envío del primer paquete, t_{recep} representa la hora de recepción del segundo paquete, $TLDPG$ representa el periodo de procesamiento y TL representa el periodo de transmisión.

7. Sistema que comprende dos dispositivos conectados por una conexión por cable Ethernet, comprendiendo dichos

dispositivos:

- medios de sincronización configurados para la implementación del procedimiento de sincronización horaria de acuerdo con una de las reivindicaciones 1 a 6 y
- un reloj.

5 8. Sistema de acuerdo con la reivindicación 7, en el que dichos medios de sincronización son una FPGA o un ASIC.

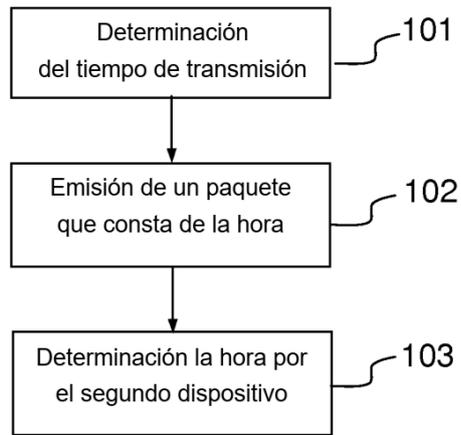


FIG.1

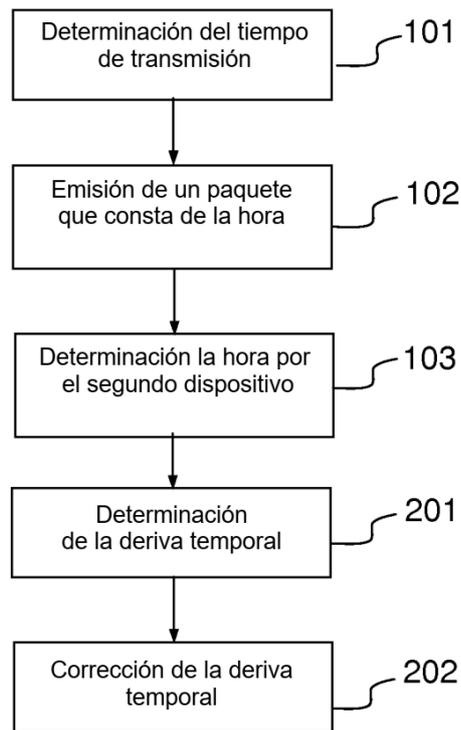


FIG.2

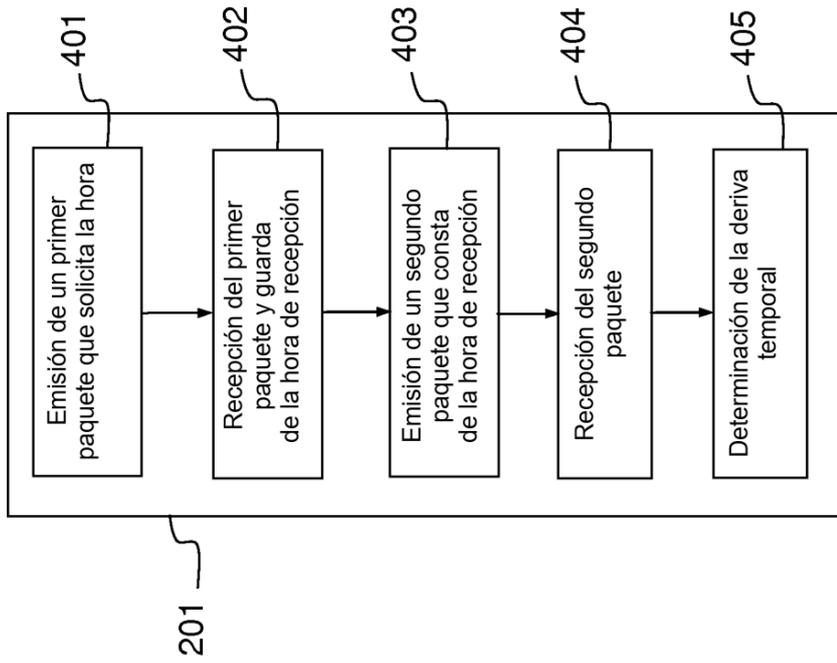


FIG.4a

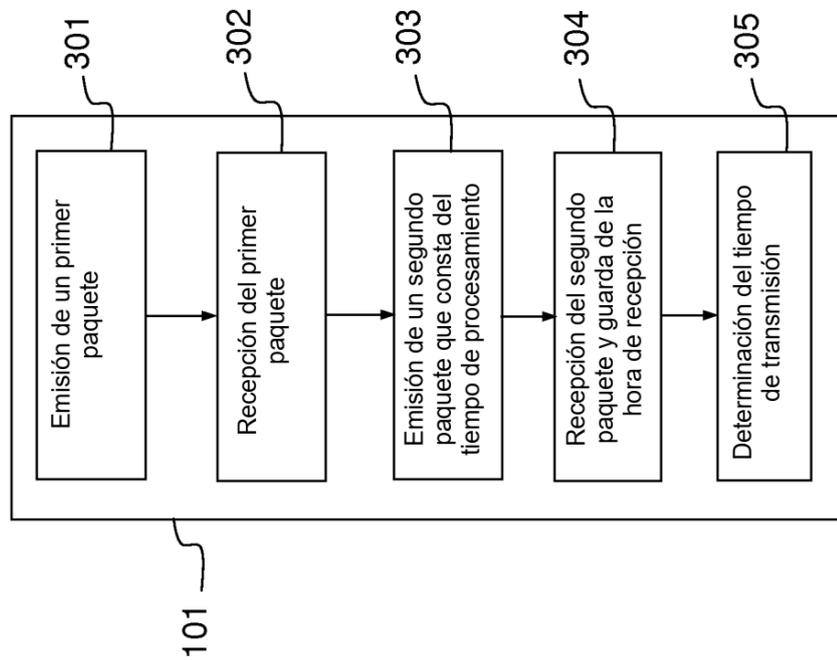


FIG.3a

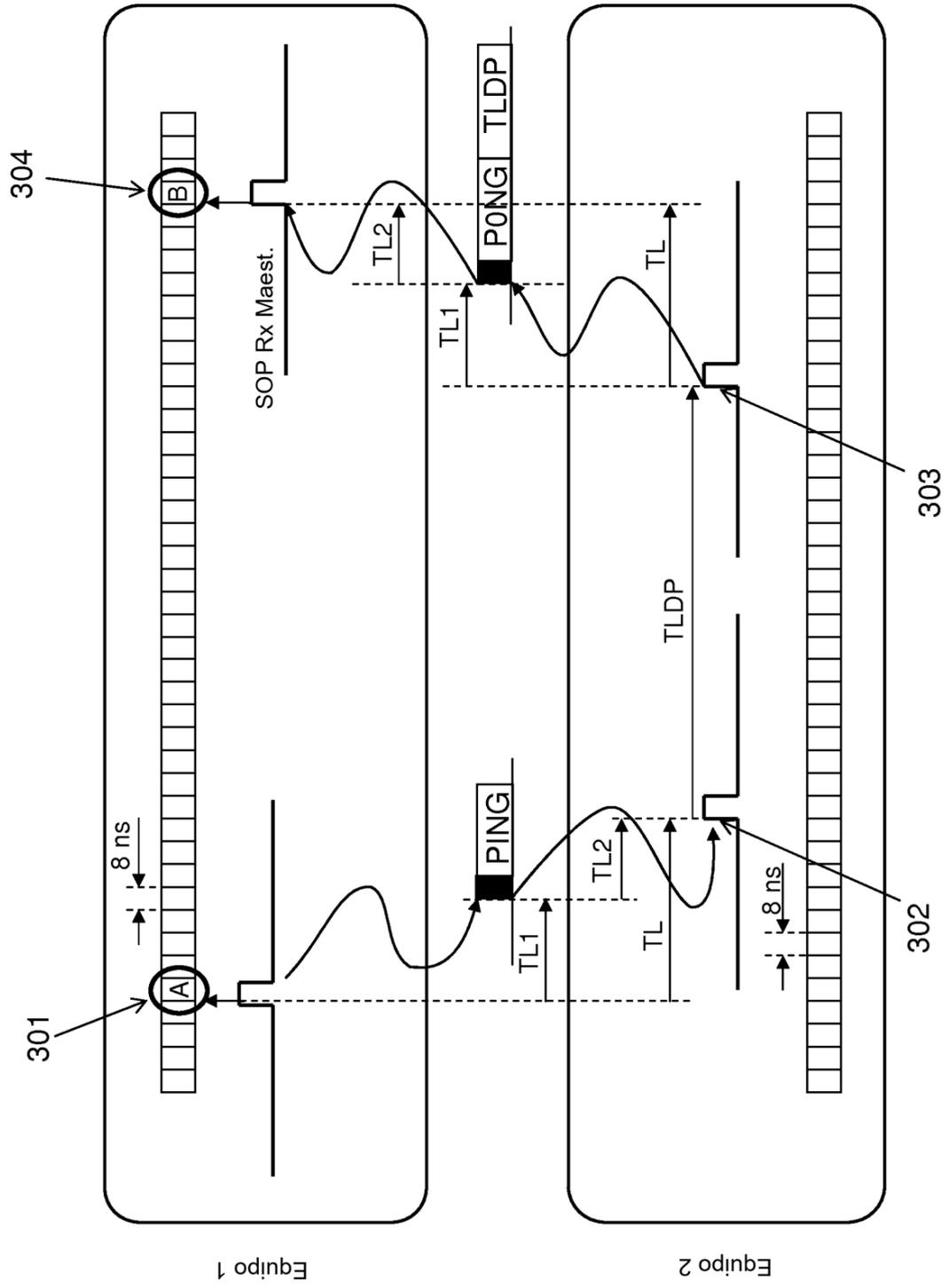


FIG.3b

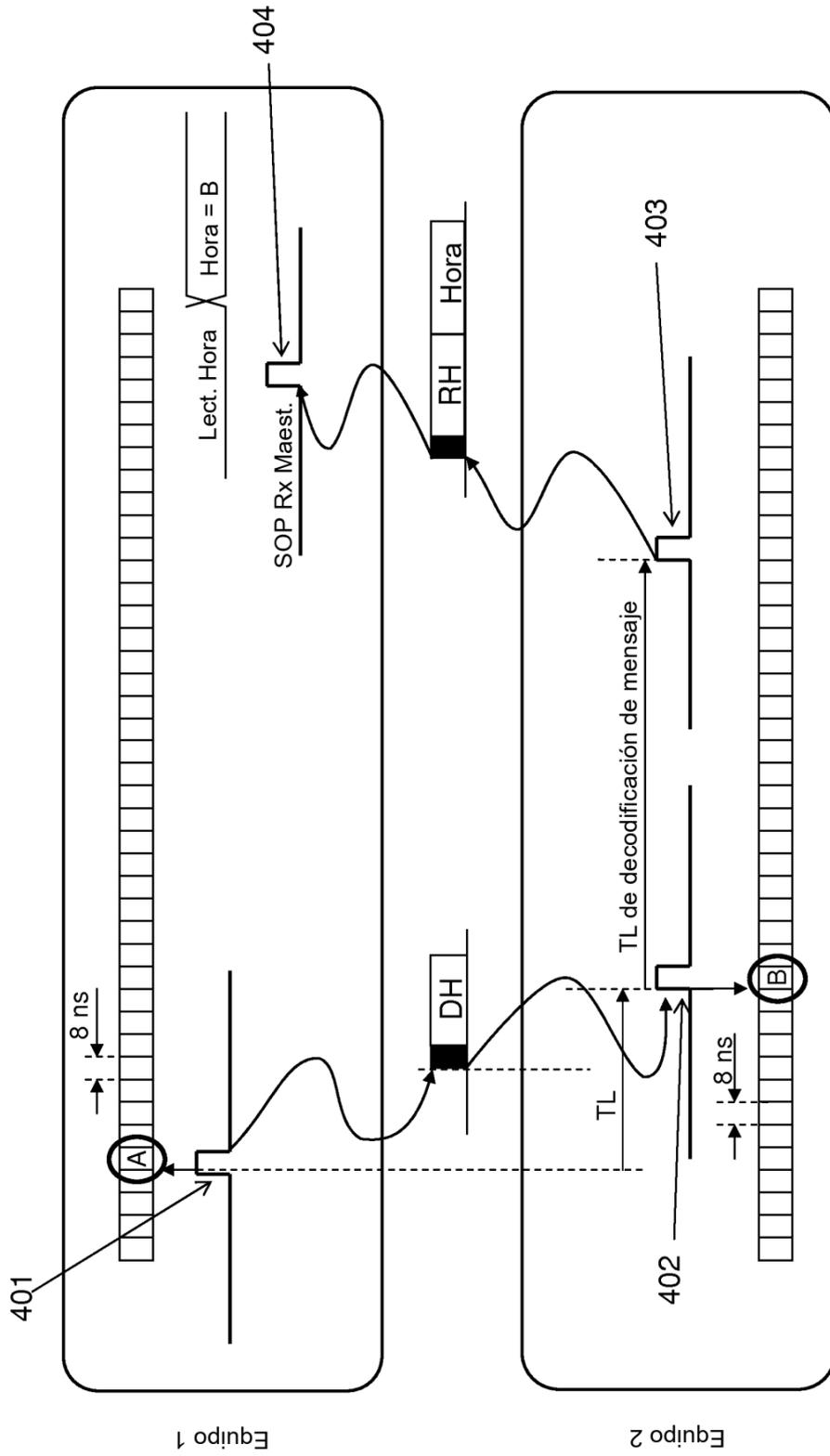


FIG.4b

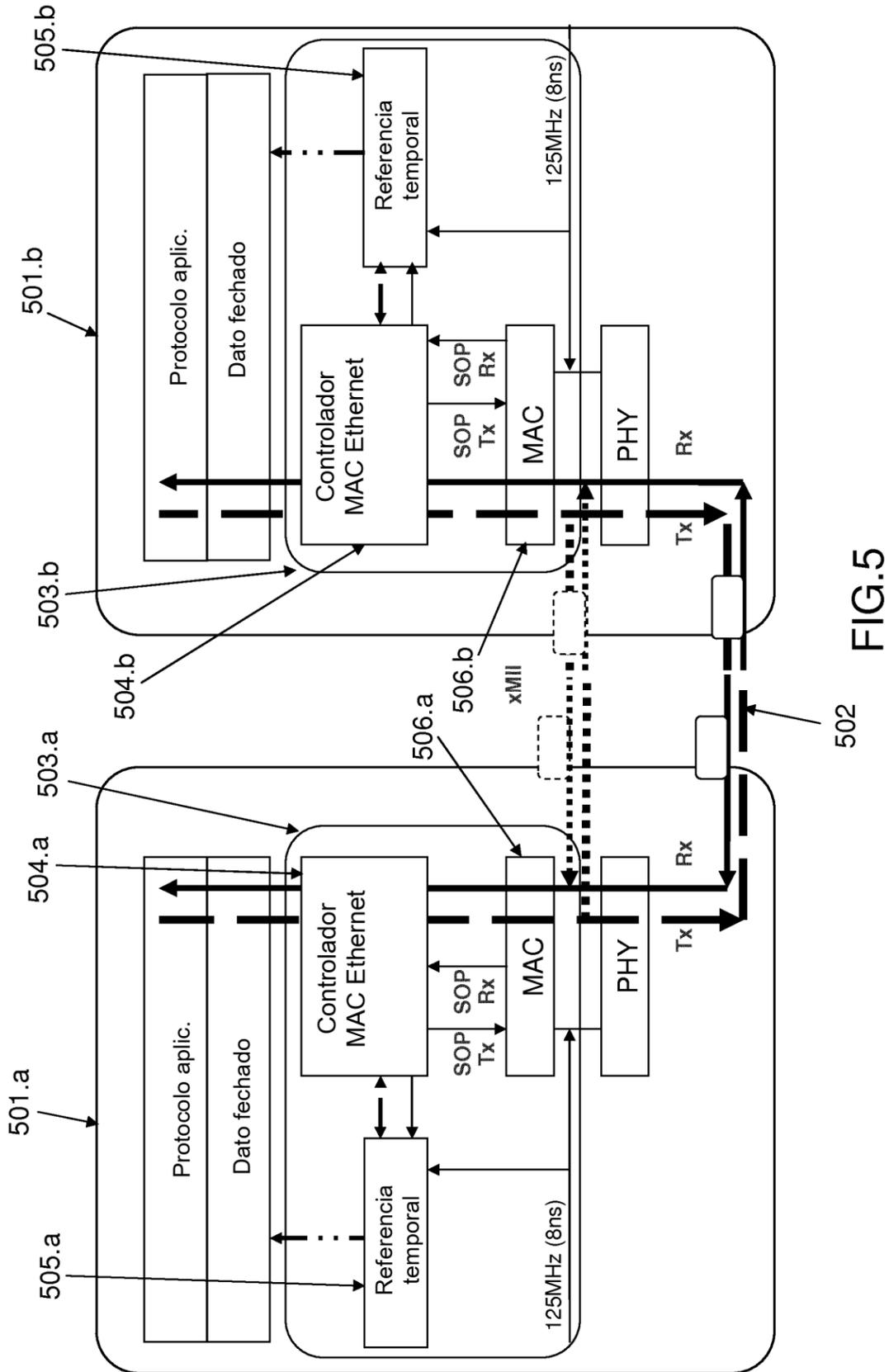


FIG.5