

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 749 236**

51 Int. Cl.:

H03M 13/25 (2006.01)

H03M 13/11 (2006.01)

H04L 1/00 (2006.01)

H04L 27/34 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.06.2012 E 14174710 (5)**

97 Fecha y número de publicación de la concesión europea: **07.08.2019 EP 2784941**

54 Título: **Modulación codificada LDPC con código BCH externo en combinación con 256QAM**

30 Prioridad:

16.06.2011 EP 11004946

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

19.03.2020

73 Titular/es:

**SUN PATENT TRUST (100.0%)
450 Lexington Avenue, 38th Floor
New York, NY 10017, US**

72 Inventor/es:

PETROV, MIHAIL

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 749 236 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Modulación codificada LDPC con código BCH externo en combinación con 256QAM

Campo técnico

5 La presente invención se refiere a un procedimiento para procesar una señal digital en un lado de transmisión, y en particular a patrones de permutación de bits aplicados a bits antes de ser ingresados al asignador. Asimismo, la presente invención se refiere a un procedimiento para procesar una señal digital en un lado receptor, y en particular a patrones de permutación de bits aplicados a bits después de ser emitidos por el desasignador. Adicionalmente, la presente invención se refiere a un transmisor y un receptor para realizar los procedimientos.

Antecedentes de la técnica

10 En años recientes, los transmisores están provistos de un codificador de codificación y modulación intercalada en bits (BICM) (ver, Referencia no de patente 1, por ejemplo).

Un codificador BICM realiza las siguientes etapas, por ejemplo.

(1) Codificación de bloques de datos utilizando un código BCH (Bose-Chaudhuri-Hocquenghem) como código externo y un código de verificación de paridad de baja densidad (LDPC) como código interno, por ejemplo.

15 (2) Aplicación de intercalado de bits, que implica el intercalado de paridad y el intercalado de columna-fila, a los bits de la palabra de código obtenidos como resultado de la codificación.

(3) Demultiplexar la palabra de código intercalada en bits para obtener palabras de celda. La demultiplexación incluye un procesamiento equivalente a una permutación de las columnas de una matriz de intercalado utilizada en el intercalado de columna-fila cuando el tipo de modulación que se usa es 16QAM, 64QAM o 256QAM, por ejemplo.

20 (4) Asignar las palabras de la celda en constelaciones.

El documento "TM-NGH643_20110120_sony_New_16k_Codes2.pdf titulado "Digital Video Broadcasting (DVB); Next Generation broadcasting system to Handheld, physical layer specification (DVB-NGH)" v.1.1.1 de la Organización DVB del 16 de febrero de 2011 desvela un sistema de transmisión de línea base de próxima generación para la transmisión de televisión digital terrestre a terminales portátiles. Especifica el sistema de codificación/modulación de canal destinado a servicios de televisión digital y flujos de datos genéricos.

El documento WO 2009/109830 A1 desvela procedimientos para el procesamiento de señalización digital basados en códigos LDPC con una tasa de código de 3/5 en combinación con la modulación QAM (16, 64 o 256 QAM). Se realiza una permutación de bits antes de la función de mapeo de constelación QAM.

Listado de citas

Referencia no de patente

Referencia no de patente 1
ETSI EN 302 755 V1.2.1 (estándar DVB-T2)

35 Referencia no de patente 2
"New 16k LDPC codes for NGH" de Makiko Kan, con nombre de archivo: "TM-NGH580_NGH_sony_New_16k_Codes.pdf", ID de documento TM-H1115 y publicado el 12/12/2010 (disponible en www.dvb.org)

Referencia no de patente 3
ETSI EN 302 307 V1.2.1 (estándar DVB-T2)

Sumario de la invención**Problema técnico**

El rendimiento de recepción de un receptor puede mejorarse optimizando adecuadamente las reglas de permutaciones (incluyendo el intercalado de bits numerado (2) arriba y la permutación realizada en la demultiplexación numerada (3) arriba) aplicada a los bits de la palabra de código LDPC antes del mapeo ser adecuado para el código LDPC y la constelación utilizada por el transmisor y el receptor.

La presente invención tiene como objetivo proporcionar un procedimiento de procesamiento de transmisión y un procedimiento de procesamiento de recepción según el cual las reglas de permutación aplicadas a los bits de palabras de código LDPC antes de ser asignadas se optimizan para los códigos y constelaciones LDPC utilizados por el transmisor y el receptor, mejorando así el rendimiento de recepción del receptor. La presente invención también tiene como objetivo proporcionar un transmisor y un receptor que ejecuten el procedimiento de procesamiento de

transmisión y el procedimiento de procesamiento de recepción, respectivamente.

Solución al problema

Para lograr los objetivos anteriores, una BICM, modulación de codificación intercalada en bits, se proporciona un procedimiento de codificación y un codificador de acuerdo con las reivindicaciones independientes.

5 **Sumario de la invención**

De acuerdo con el procedimiento de procesamiento de transmisión descrito anteriormente, Las reglas de permutación que se aplicarán a los bits de palabras de código LDPC antes de ser asignadas están optimizadas para los códigos y constelaciones LDPC utilizados por el transmisor y el receptor, lo cual es ventajoso para mejorar el rendimiento de recepción del receptor.

10 **Breve descripción de los dibujos**

La figura 1 es una descripción general de un modulador DVB-T2.

La figura 2 es un diagrama de bloques del codificador BICM que se muestra en la figura 1.

La figura 3 muestra una palabra de código LDPC, compuesto por un marco de banda base, parte de paridad BCH y parte de paridad LDPC.

15 La figura 4 ilustra el principio de funcionamiento del intercalado de columna-fila con torsión, llevado a cabo por el intercalador columna-fila que se muestra en la figura 2.

La figura 5A ilustra un procedimiento de escritura realizado por un intercalador columna-fila que tiene 8 columnas para escribir bits de una palabra de código LDPC con una longitud de palabra de código de 16200 bits, y la figura 5B ilustra un procedimiento de lectura realizado por el intercalador columna-fila para leer el bits de la palabra de código LDPC escrita en el procedimiento ilustrado en la figura 5A.

20 La figura 6A ilustra un procedimiento de escritura realizado por un intercalador columna-fila que tiene 12 columnas para escribir bits de una palabra de código LDPC con una longitud de palabra de código de 16200 bits, y la figura 6B ilustra un procedimiento de lectura realizado por el intercalador columna-fila para leer el bits de la palabra de código LDPC escrita en el procedimiento ilustrado en la figura 6A.

25 La figura 7 ilustra la entrada y salida del demultiplexor bit a celda que se muestra en la figura 2.

La figura 8 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 16QAM.

La figura 9 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 64QAM.

La figura 10 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 256QAM.

30 La figura 11 muestra un mapeo de constelación particular para QPSK aplicable en DVB-T2 para transmisión y recepción de datos.

La figura 12 muestra un mapeo de constelación particular para 16QAM aplicable en DVB-T2 para transmisión y recepción de datos.

La figura 13 muestra un mapeo de constelación particular para 64QAM aplicable en DVB-T2 para transmisión y recepción de datos.

35 La figura 14 muestra un mapeo de constelación particular para 256QAM aplicable en DVB-T2 para transmisión y recepción de datos.

La figura 15 es un diagrama de bloques de un aparato de comunicación de acuerdo con una realización de la presente invención.

La figura 16 ilustra la entrada y salida del demultiplexor bit a celda que se muestra en la figura 15.

40 La figura 17 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 16QAM.

La figura 18 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 64QAM.

La figura 19 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 256QAM.

La figura 20 es un diagrama de bloques de un decodificador BICM de acuerdo con un aspecto de la presente invención.

45 La figura 21 ilustra la entrada y salida del multiplexor de celda a bit que se muestra en la figura 20.

La figura 22 es un diagrama de bloques de un multiplexor de celda a bit para la constelación 16QAM.

La figura 23 es un diagrama de bloques de un multiplexor de celda a bit para la constelación 64QAM.

La figura 24 es un diagrama de bloques de un multiplexor de celda a bit para la constelación 256QAM.

50 La figura 25 muestra el código LDPC para una longitud de palabra de código de 16200 bits y una tasa de código 7/15.

La figura 26 muestra el código LDPC para una longitud de palabra de código de 16200 bits y una tasa de código 8/15.

Descripción de las realizaciones

"Hallazgos del presente inventor que conducen a la invención"

55 DBV-T2 (Radiodifusión de video digital - Terrestre de segunda generación) (ETSI EN 302 755: Referencia no de patente 1) es una mejora de DVB-T, que es el estándar para la televisión y describe un sistema de transmisión de línea base de segunda generación para la televisión digital terrestre. Más específicamente, ETSI EN 302 755 (Referencia no de patente 1) describe los detalles del sistema de codificación/modulación de canal destinado a

servicios de televisión digital y flujos de datos genéricos.

La figura 1 es una descripción general de una reclamación del modulador DVB-T2 con la arquitectura del sistema DVB-T2 (concepto de diseño fundamental). El modulador 1000 DVB-T2 incluye un procesador 1010 de entrada, un codificador 1020 de codificación y modulación intercalada (BICM), un generador 1030 de tramas y un generador 1040 OFDM.

El procesador 1010 de entrada formatea subcorrientes de entrada relacionados con un servicio de difusión en bloques de una longitud predeterminada. El codificador 1020 BICM aplica codificación BICM basada en DVB-T2 a la entrada. El generador 1030 de tramas ensambla tramas de transmisión para transmisión en DVB-T2 desde las entradas recibidas desde el codificador 1020 BICM, y similares. El generador 1040 OFDM procesa la estructura de trama para la transmisión DVB-T2 agregando pilotos, aplicando la transformada rápida inversa de Fourier, insertando intervalos de guarda para emitir señales de transmisión DVB-T2.

El BICM basado en DVB-T2 se describe en la Cláusula 6 de ETSI EN 302 755 (Referencia no de patente 1), cuya totalidad se incorpora por referencia.

A continuación se describen los detalles del codificador 1020 BICM que se muestra en la figura 1, con referencia a la figura 2.

La figura 2 es un diagrama de bloques del codificador 1020 BICM incluido en el modulador 1000 DVB-T2 que se muestra en la figura 1.

El codificador 1020 BICM incluye un codificador 1110 FEC, un intercalador 1120 de bits, un demultiplexor 1130 de bit a celda y un asignador 1140 QAM. En la figura 2, la rotación de la constelación, el intercalador de celdas y el intercalador de tiempo se omiten.

Básicamente, el procedimiento para la codificación BICM de acuerdo con DVB-T2 implica la codificación de corrección de errores hacia adelante (FEC), intercalar los bits de palabras de código resultantes de la codificación FEC, demultiplexar los bits intercalados en palabras de celda y asignar las palabras de celda en símbolos complejos de QAM (modulación de amplitud en cuadratura) (que también se denominan celdas).

El codificador 1110 FEC se compone concatenando un codificador 1111 BCH (Bose-Chaudhuri-Hocquenghem) (codificador externo BCH sistemático) y un codificador 1112 LDPC (verificación de paridad de baja densidad) (codificador interno LDPC sistemático).

Como se muestra en la figura 3, el codificador 1111 BCH genera bits de paridad BCH codificando BCH una trama de banda base y salidas, al codificador 1115 LDPC, una palabra de código BCH a la que se añaden los bits de paridad BCH. A continuación, el codificador 1115 LDPC codifica la palabra de código BCH con LDPC para generar bits de paridad LDPC y las salidas al intercalador 1120 de bits palabra de código LDPC a la que se añaden los bits de paridad LDPC, tal como se muestra en la figura 3.

La longitud de la palabra de código de la palabra de código LDPC (es decir, el número de bits de un bloque codificado LDPC, que también puede denominarse trama FEC) según el estándar DVB-T2 es 64800 bits o 16200 bits. El estándar DVB-T2 especifica códigos LDPC para ambas longitudes de palabras de código. Sin embargo, solo la longitud 16200 de la palabra de código es relevante para la presente invención como se explicará más adelante. El código LDPC proporciona la mayor parte de la capacidad de corrección de errores del sistema, mientras que el código BCH reduce el piso de error restante después de la decodificación LDPC.

El intercalador 1120 de bits incluye un intercalador 1121 de paridad y un intercalador 1125 de columna-fila.

El intercalador 1121 de paridad intercala los bits de paridad de la palabra de código LDPC sistemática. A continuación, el intercalador 1125 de columna-fila intercala los bits de palabra de código LDPC resultantes del intercalado de paridad por intercalado de columna-fila.

Posteriormente, el demultiplexor 1130 de bit a celda demultiplexa los bits de la palabra de código LDPC que resultan del intercalado de bits a palabras de celda antes de asignar a constelaciones QAM. Tenga en cuenta que la demultiplexación implica el procedimiento equivalente a una permutación de las columnas de la matriz del intercalador del intercalador 1125 de columna-fila (un procedimiento de reorganizar el orden de las columnas de la matriz del intercalador).

La rotación de la constelación, el intercalado de celdas o el intercalado de tiempo, que se realizará posteriormente al procedimiento realizado por el demultiplexor 1130 bit a celda, no se discutirá en detalle, para facilitar la explicación y en vista de no ser relevante para la comprensión de los principios de la presente invención.

El asignador 1140 QAM asigna las palabras de celda en las constelaciones de QAM.

Los códigos LDPC son códigos de corrección de errores lineales para transmitir un mensaje a través de un canal de transmisión ruidoso. Los códigos LDPC están encontrando un uso cada vez mayor en aplicaciones en las que se

desea una transferencia de información confiable y altamente eficiente a través de enlaces restringidos de ancho de banda o de canal de retorno en presencia de ruido que corrompe los datos. Los códigos LDPC se definen mediante una matriz de verificación de paridad dispersa (es decir, una matriz de verificación de paridad en la que solo unas pocas entradas son unas).

5 El codificador 1115 LDPC de DVB-T2 trata la salida del codificador 1111 BCH como un bloque de información y codifica sistemáticamente el bloque de información en una palabra de código LDPC. La tarea del codificador 1115 LDPC es calcular los bits de paridad para cada bloque de información, entrada al codificador 1115 LDPC, es decir, para cada palabra de código BCH. El procesamiento del codificador 1115 LDPC utiliza los códigos particulares que se enumeran en las tablas A.1 a A.6 incluidas en el Anexo A del estándar DVB-T2 302.755 (Referencia no de patente 1).

10 Cabe señalar que los bits de una palabra de código LDPC tienen diferentes niveles de importancia, mientras que los bits de una constelación tienen diferentes niveles de robustez. Un mapeo directo (es decir, no intercalado) de los bits de la palabra de código LDPC a los símbolos de la constelación conduce a un rendimiento subóptimo. Esta es la razón por la cual el intercalador 1120 de bits así como el demultiplexor 1130 de bit a celda se usa entre el codificador 1115 LDPC y el asignador 1140 QAM. En otras palabras, el intercalador 1120 de bits y el demultiplexor 1130 de bit a celda
15 permiten lograr una asociación mejorada entre los bits de la palabra de código LDPC codificada y los bits transportados por las constelaciones QAM.

Los diferentes niveles de importancia de los bits de una palabra de código LDPC resultan del hecho de que no todos estos bits están involucrados en el mismo número de comprobaciones de paridad, según lo definido por la matriz de verificación de paridad. Cuantas más comprobaciones de paridad (es decir, nodos de comprobación) se conecta un bit (es decir, nodo variable), cuanto más importante es ese bit en el procedimiento de decodificación iterativa. Este
20 aspecto se entiende bien en la técnica.

Igualmente, los diferentes niveles de importancia de los bits codificados en una constelación QAM es un hecho bien conocido por el experto en la materia. Por ejemplo, una constelación 16QAM codifica cuatro bits y tiene dos niveles de robustez. una constelación 64QAM codifica seis bits y tiene tres niveles de robustez. una constelación 256QAM
25 codifica ocho bits y tiene cuatro niveles de robustez.

Además del estándar DVB-T2, el intercalador 1125 de columna-fila del intercalador 1120 de bits realiza el procedimiento de intercalado de columna-fila, que es equivalente a un procedimiento de escritura en serie en columna de los bits de datos recibidos del intercalador 1121 de paridad en una matriz de intercalador, desplazamiento cíclico (denominado torsión) de cada columna por un número específico de bits, y lectura en serie de los bits en fila. El primer
30 bit de la palabra de código LDPC (trama FEC) se escribe y lee primero.

En el intercalado de columna-fila, una matriz de intercalador con columnas N_c y filas N_r se define. Estos dos parámetros (N_c y N_r) se enumeran en la Tabla 1 para todos los tamaños de constelación relevantes (denominados "modulación" en la Tabla 1) y los códigos LDPC de longitud de palabra de código de 16200 bits. En DVB-T2, no se utiliza un intercalador de columna-fila para las constelaciones QPSK (4QAM).

35 [Tabla 1]

Modulación	Columnas N_c	Filas N_r
16QAM	8 (2 X 4)	2025
64QAM	12 (2 X 6)	1350
256QAM	8 (1 X 8)	2025

La posición de inicio de escritura de cada columna se tuerce (es decir, se desplaza cíclicamente) por el parámetro de torsión t_c de acuerdo con la Tabla 2. En la Tabla 2, el parámetro de torsión t_c de todas las columnas de la matriz de intercalado se enumera para todos los tamaños de constelación relevantes (referidos como "modulación" en la Tabla 2) y las longitudes de palabra de código LDPC N_{ldpc} de una palabra de código LDPC.

40

[Tabla 2]

Modulación	Columnas N_c	Longitud de palabra de código LDPC N_{ldpc}	Parámetro de torsión t_c															
			Columna 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
16-QAM	8	64800	0	0	2	4	4	5	7	7	-	-	-	-	-	-	-	-
		16200	0	0	0	1	7	20	20	21	-	-	-	-	-	-	-	-
64-QAM	12	64800	0	0	2	2	3	4	4	5	5	7	8	9	-	-	-	-
		16200	0	0	0	2	2	2	3	3	3	6	7	7	-	-	-	-
256-QAM	16	64800	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32
		16200	0	0	0	1	7	20	20	21	-	-	-	-	-	-	-	-

La figura 4 muestra un procedimiento realizado por el intercalador 1125 de columna-fila, suponiendo que el codificador 1110 FEC (que incluye el codificador 1111 BCH y el codificador 1115 LDPC) genera una trama larga con 64800 bits y que se utiliza una constelación 16QAM como constelación QAM. Correspondientemente, la matriz de intercalado tiene 8100 filas y 8 columnas.

5 Como se muestra en la figura 4, el intercalador 1125 de columna-fila escribe en serie los bits de datos, que se reciben del intercalador 1121 de paridad, en forma de columna en una matriz intercaladora con torsión. En el procedimiento de torcer, la posición de inicio de escritura de cada columna se tuerce utilizando el parámetro de torsión t_c que se muestra en la Tabla 2. Posteriormente, el intercalador 1125 de columna-fila lee en serie los bits en fila de la matriz del intercalador. El MSB (bit más significativo) del encabezado de trama de banda base se escribe y lee primero. Tenga
10 en cuenta que el "LSB de la trama FEC" en la figura 4 se refiere a la LSB (bit menos significativo) de la trama FEC después de la intercalación de columna-fila con torsión (es decir, columna de intercalado de torsión).

Las figuras 5A, 5B, 6A y 6C muestran un ejemplo de intercalado de columna-fila para palabras de código LDPC de longitud de palabra de código de 16200 bits, para un número de columnas igual a 8 y 12 respectivamente.

15 Más específicamente, las figuras 5A y 6A son relevantes para la escritura de bits por el intercalador 1125 de columna-fila, mientras que las figuras 5B y 6B son relevantes para la lectura de bits por el intercalador 1125 de columna-fila. En cada figura, cada cuadrado más pequeño representa un bit de la palabra de código LDPC, y cada cuadrado negro representa el primer bit de la palabra de código LDPC. Además, la flecha indica el orden en que los bits se escriben o leen en la matriz del intercalador. Tenga en cuenta que el procedimiento de torsión no se muestra en las figuras 5A, 5B, 6A y 6B.

20 Supongamos que la matriz de intercalado tiene 8 columnas, los bits de la palabra de código LDPC se escriben en el orden de (fila 1, columna 1), (fila 2, columna 1), ... (fila 2025, columna 1), (fila 1, columna 2), ... (fila 2025, columna 8), como se muestra en la figura 5A, y leer en el orden de (fila 1, columna 1), (fila 1, columna 2), ... (fila 1, columna 8), (fila 2, columna 1), ... (fila 2025, columna 8), como se muestra en la figura 5B.

25 Tenga en cuenta que solo dos casos, que son (1) palabras de código LDPC de longitud de palabra de código 16200, para un número de columnas igual a 8 y (2) palabras de código LDPC de longitud de palabra de código 16200, para un número de columnas igual a 12 son relevantes para la presente invención.

30 Antes de la asignación de QAM, cada palabra de código LDPC que ha sido intercalada por bits por el intercalador 1120 de bits primero se demultiplexa en palabras de celda paralelas por el demultiplexor 1130 de bit a celda. Cada palabra de celda demultiplexada contiene tantos bits como están codificados en una constelación QAM (η_{MOD}), es decir, 2 bits para la constelación QPSK (4QAM), 4 bits para la constelación 16QAM, 6 bits para la constelación 64QAM y 8 bits para la constelación 256QAM. El número resultante de celdas de datos QAM por palabra de código LDPC (bloque FEC) de longitud de palabra de código 16200 bits es, por lo tanto, $16200/\eta_{MOD}$. Es decir, 8100 celdas para QPSK, 4050 celdas para 16QAM, 2700 celdas para 64QAM y 2025 celdas para 256QAM.

35 A continuación se describe el demultiplexor 1130 de bit a celda que se muestra en la figura 2, con referencia a las figuras 7 a 10.

La figura 7 ilustra la entrada y salida del demultiplexor 1130 de bit a celda mostrado en la figura 2.

40 La corriente de bits del intercalador 1120 de bits es demultiplexada por el demultiplexor 1130 de bit a celda en subcorrientes como se muestra en la figura 7. El número de subcorrientes $N_{subcorrientes}$ es dos para las constelaciones QPSK (4QAM) y es igual al número de columnas de la matriz del intercalador en el intercalador 1125 de columna-fila para las constelaciones de orden superior (16QAM, 64QAM, 256QAM). En el último caso, la demultiplexación también contiene una etapa de permutación de bits (que es conceptualmente equivalente a una permutación de las columnas de la matriz del intercalador en el intercalador de columna-fila).

45 La figura 8 es un diagrama de bloques del demultiplexor bit a celda para la constelación 16QAM. Tenga en cuenta que la figura 8 se refiere específicamente al caso para el cual el número de subcorrientes $N_{subcorrientes} = 8$, en el que cada corriente de bits secundario tiene $16200/8 = 2025$ bits.

El demultiplexor 1130A de bit a celda que se muestra en la figura 8 incluye un demultiplexor 1131A simple y un permutador 1135A DEMUX.

50 El demultiplexor 1131A simple recibe un flujo de un bit (v_0, v_1, v_2, \dots) del intercalador 1120 de bits y demultiplexa la corriente de bits recibido en 8 subcorrientes, a saber, la primera corriente de bits secundaria ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) a la octava corriente de bits secundaria ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). Luego, el demultiplexor 1131A simple emite las 8 subcorrientes resultantes al permutador 1135A DEMUX. Tenga en cuenta que los bits de salida $v_{i,j}$ del demultiplexor 1131A simple corresponden a los bits de entrada v_{i+8xj} al demultiplexor 1131A simple.

55 El permutador 1135A DEMUX recibe las 8 subcorrientes del demultiplexor 1131A simple, permuta las 8 subcorrientes recibidas y genera 8 subcorrientes obtenidas como resultado de la permutación. Como se muestra en la figura 8, los bits de salida $b_{0,i}$ to $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador 1135A DEMUX incluyen dos palabras de celda ($y_{0,2xi}$; a $y_{3,2xi}$ e

$y_{0,2xi+1}$ a $y_{3,2xi+1}$) y cada palabra de celda se reenvía al asignador 1140 QAM para 16QAM.

La figura 9 es un diagrama de bloques del demultiplexor bit a celda para la constelación 64QAM. Tenga en cuenta que la figura 9 se refiere específicamente al caso en el que el número de subcorrientes $N_{\text{subcorrientes}} = 12$, en el que cada corriente de bits secundaria tiene $16200/12 = 1350$ bits.

- 5 El demultiplexor 1130B de bit a celda que se muestra en la figura 9 incluye un demultiplexor 1131B simple y un permutador 1135B DEMUX.

10 El demultiplexor 1131B simple recibe un flujo de un bit (v_0, v_1, v_2, \dots) del intercalador 1120 de bits y demultiplexa la corriente de bits recibida en 12 subcorrientes, a saber, la primera corriente de bits secundaria ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta la duodécima corriente de bits secundaria ($v_{11,0}, v_{11,1}, v_{11,2}, \dots$). El demultiplexor 1131B simple emite las 12 subcorrientes de bits resultantes al permutador 1135B DEMUX. Tenga en cuenta que los bits de salida $v_{i,j}$ del demultiplexor 1131B simple corresponden a los bits de entrada v_{i+12xj} al demultiplexor 1131B simple.

15 El permutador 1135B DEMUX recibe las 12 subcorrientes del demultiplexor 1131B simple, permuta las 12 subcorrientes recibidas y genera 12 subcorrientes obtenidas como resultado de la permutación. Como se muestra en la figura 9, los bits de salida $b_{0,i}$ a $b_{11,i}$ ($i = 0, 1, 2, \dots$) del permutador 1135B DEMUX incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{5,2xi}$ e $y_{0,2xi+1}$ a $y_{5,2xi+1}$) y cada palabra de celda se reenvía al asignador 1140 QAM para 64QAM.

La figura 10 es un diagrama de bloques del demultiplexor bit a celda para la constelación 256QAM. Tenga en cuenta que la figura 10 se refiere específicamente al caso en el que el número de subcorrientes $N_{\text{subcorrientes}} = 8$, en el que cada corriente de bits secundaria tiene $16200/8 = 2025$ bits.

- 20 El demultiplexor 1130C de bit a celda que se muestra en la figura 10 incluye un demultiplexor 1131C simple y un permutador 1135C DEMUX.

25 El demultiplexor 1131C simple recibe un flujo de un bit (v_0, v_1, v_2, \dots) del intercalador 1120 de bits y demultiplexa la corriente de bits recibida en 8 subcorrientes, a saber, la primera corriente de bits secundaria ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) a la octava corriente de bits secundaria ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). Luego, el demultiplexor 1131C simple emite las 8 subcorrientes resultantes al permutador 1135C DEMUX. Tenga en cuenta que los bits de salida $v_{i,j}$ del demultiplexor 1131C simple corresponden a los bits de entrada v_{i+8xj} al demultiplexor 1131C simple.

El permutador 1135C DEMUX recibe las 8 subcorrientes del demultiplexor 1131C simple, permuta las 8 subcorrientes recibidas y genera 8 subcorrientes obtenidas como resultado de la permutación. Como se muestra en la figura 10, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador 1135C DEMUX incluyen una palabra de celda ($y_{0,i}$ a $y_{7,i}$) y la palabra de celda es reenviado al asignador 1140 QAM para 256QAM.

- 30 La demultiplexación bit a celda por el demultiplexor 1130 bit a celda se define como una asignación de los bits de entrada intercalados en bits b_{di} en los bits de salida $b_{e, do}$, en la que:

35 do es $di \div N_{\text{subcorrientes}}$;
 div es una función que devuelve una parte entera del resultado obtenido dividiendo di por $N_{\text{subcorrientes}}$;
 e es el número demultiplexado de subcorrientes (subcorrientes del demultiplexor 1130 bit a celda) número ($0 \leq e < N_{\text{subcorrientes}}$);
 v_{di} es la entrada al demultiplexor 1130 de bit a celda;
 di es el número de bit de entrada;
 $b_{e, do}$ es la salida del demultiplexor 1130 bit a celda; y
 do es el número de bit de una salida de corriente de bits secundaria dada del demultiplexor 1130 de bit a celda.

- 40 Correspondientemente, si se supone la configuración de ejemplo de la figura 4, con la longitud de la palabra de código de 16200 bits y la constelación 16QAM, Se formarían 8 subcorrientes de bits ($N_{\text{subcorrientes}} = 8$) según la Tabla 1 anterior. Cada subcorriente de bits tiene $16200/8 = 2025$ bits ($= do \cdot di \div N_{\text{subcorrientes}}$) y constituye una columna de la matriz del intercalador.

45 El estándar DVB-T2 define procesos de demultiplexación de bit a celda para todas las velocidades de código LDPC disponibles en DVB-T2 (1/2, 3/5, 2/3, 3/4, 4/5 y 5/6) y modos de constelación (QPSK, 16QAM, 64QAM y 256 QAM) (ver Tablas 13 (a, b, c) en la Cláusula 6.2.1 de la Referencia no de patente 1: EN 302.755 v1.2.1). Estos parámetros se muestran en las Tablas 13 (a, b, c) definir permutaciones de los bits de entrada a los bits de salida de una corriente de bits secundaria.

50 Por ejemplo, para palabras de código LDPC con una longitud de palabra de código de 16200 bits y la constelación QAM es una constelación 16QAM, un bit de entrada v_{di} se permuta a un bit de salida b_e de acuerdo con la siguiente regla de permutación (consulte la Tabla 13 (a) en la Cláusula 6.2.1 de la Referencia no de patente 1: EN 302.755 v1.2.1).

Es decir, la regla de permutación es $v_0 = b_7, v_1 = b_1, v_2 = b_4, v_3 = b_2, v_4 = b_5, v_5 = b_3, v_6 = b_6, v_7 = b_0$.

Esta regla de permutación está optimizada para tasas de código 1/2, 3/4, 4/5 y 5/6, tal que la tasa de error en la salida

del decodificador LDPC en el receptor se minimiza.

5 A excepción de QPSK (longitud de la palabra de código LDPC $N_{ldpc} = 64800$ o 16200) y 256QAM ($N_{ldpc} = 16200$ solamente), las palabras de ancho $N_{subcorrientes}$ se dividen en dos palabras de celda de ancho $\eta_{MOD} = N_{subcorrientes}/2$ en la salida del demultiplexor bit a celda. Los primeros $\eta_{MOD} = N_{subcorrientes}/2$ bits $b_{0,do... b_{N_{subcorrientes}/2-1,do}}$ forman el primero de un par de palabras de celda de salida $y_{0,2do... y_{\eta_{mod-1,2do}}}$ y los bits de salida restantes $b_{N_{subcorrientes}/2, do... b_{N_{subcorrientes}-1,do}}$ forma la segunda palabra de celda de salida $y_{0,2do + 1... y_{\eta_{mod-1,2do} + 1}}$ alimentada al asignador QAM.

En el caso de QPSK (longitud de la palabra de código LDPC LDPC $N_{ldpc} = 64800$ o 16200) y 256QAM ($N_{ldpc} = 16200$ solamente), Las palabras de ancho $N_{subcorrientes}$ del demultiplexor de bit a celda forman las palabras de celda de salida y se alimentan directamente al asignador QAM (entonces: $y_{0, do... y_{\eta_{mod-1,do}}} = b_{0,do... b_{N_{subcorrientes}-1, do}}$).

10 En particular, el número de palabras de celda involucradas en una permutación DEMUX por el permutador DEMUX es una (para 256QAM) o dos (para 16QAM y 64QAM).

Dicho de otra manera, la permutación DEMUX es conceptualmente equivalente a una permutación de las columnas en la matriz del intercalador del intercalador de columna-fila del intercalador de bits.

15 Posteriormente, cada salida de palabra de celda del demultiplexor bit a celda se modula de acuerdo con una constelación de mapeo particular (como QPSK, 16QAM, 64QAM o 256QAM). Las constelaciones y los detalles del mapeo de Gray aplicado a los bits de acuerdo con DVB-T2 se ilustran en las figuras 11, 12, 13 y 14.

20 Actualmente se está desarrollando un estándar de transmisión digital de próxima generación para recepción portátil en el cuerpo de estandarización DVB con el nombre DVB-NGH. Este estándar DVB-NGH utilizará la misma estructura BICM como se explicó anteriormente, que comprende la codificación FEC, intercalado de bits, demultiplexación y mapeo de constelaciones QAM. Además de algunas de las tasas de código DVB-T2 LDPC, se agregan dos tasas de código LDPC adicionales (a saber, 7/15 y 8/15). Las mismas constelaciones QAM que DVB-T2 permanecerán, es decir, la constelación QPSK (4QAM), la constelación 16QAM, la constelación 64QAM y la constelación 256QAM.

25 Solo palabras cortas de 16K LDPC, es decir, con 16200 bits, serán utilizadas en DVB-NGH. En DVB-NGH, se ha propuesto que los códigos LDPC se utilicen para las tasas de código recientemente introducidas de 7/15 y 8/15. Los códigos LDPC particulares que probablemente se usarán para las velocidades de código de 7/15 y 8/15 se representan respectivamente en las figuras 25 y 26, y los contenidos de la Referencia no de patente 2 también son útiles.

30 La descripción de los códigos en las figuras 25 y 26 es idéntico al utilizado en el estándar DVB-S2, más exactamente en la Cláusula 5.3.2 y los Anexos B y C de Referencia no de patente 3 (ETSI EN 302 307, V1.2.1, publicado en abril de 2009). La figura 25 muestra las direcciones de los acumuladores de bits de paridad para el código LDPC que tiene una longitud de palabra de código de 16200 bits con la velocidad de código de 7/15. La figura 26 muestra las direcciones de los acumuladores de bits de paridad para el código LDPC que tiene una longitud de palabra de código de 16200 bits con la velocidad de código de 8/15. El factor paralelo o cíclico tiene el mismo valor 360 como en DVB-S2.

35 Desde la divulgación de las figuras 25 y 26 cumplen con el contenido de la Referencia no de patente 3, se asume naturalmente que los códigos LDPC son fácilmente comprensibles para los expertos en la técnica basados en las figuras 25 y 26. Además, a continuación se describe un ejemplo en el que el contenido de la Referencia no de patente 3 (cláusula 5.3.2 y anexos B y C de ETSI EN 302 307 V1.2.1 (2009, Abril)) se aplican.

El codificador LDPC codifica sistemáticamente un bloque de información (salida del codificador BCH) i de tamaño K_{ldpc} en una palabra de código LDPC c de tamaño de N_{ldpc} , como en la ecuación 1 a continuación.

40 [Ecuación 1]

$$Dejari = (i_0, i_1, \dots, i_{K_{ldpc} - 1}),$$

$$c = (c_0, c_1, c_2, \dots, c_{N_{ldpc} - 1}) = (i_0, i_1, \dots, i_{K_{ldpc} - 1}, p_0, p_1, \dots, p_{N_{ldpc} - K_{ldpc} - 1})$$

en la que $i_0, i_1, \dots, i_{K_{ldpc}-1}$: bits de información

$p_0, p_1, \dots, p_{N_{ldpc} - K_{ldpc} - 1}$: bits de paridad

45 Tenga en cuenta que los parámetros (N_{ldpc} y K_{ldpc}) para el código LDPC con velocidad de código 7/15 son (16200 y 7560).

La tarea del codificador LDPC es calcular los bits de paridad $N_{ldpc} - K_{ldpc}$ para cada bloque de bits de información K_{ldpc} .

En primer lugar, los bits de paridad se inicializan como se muestra en la Ecuación 2.

[Ecuación 2]

$$p_0 = p_1 = \dots = p_{N_{ldpc} - K_{ldpc} - 1} = 0$$

El primer bit de información i_0 se acumula en cada dirección de bit de paridad especificada en la primera fila de la figura 25. Más específicamente, se realizan las operaciones de la ecuación 3.

[Ecuación 3]

$$\begin{array}{ll}
 p_3 = p_3 \oplus i_0 & p_{6535} = p_{6535} \oplus i_0 \\
 p_{137} = p_{137} \oplus i_0 & p_{6560} = p_{6560} \oplus i_0 \\
 p_{314} = p_{314} \oplus i_0 & p_{7146} = p_{7146} \oplus i_0 \\
 p_{327} = p_{327} \oplus i_0 & p_{7180} = p_{7180} \oplus i_0 \\
 p_{983} = p_{983} \oplus i_0 & p_{7408} = p_{7408} \oplus i_0 \\
 p_{1597} = p_{1597} \oplus i_0 & p_{7790} = p_{7790} \oplus i_0 \\
 p_{2028} = p_{2028} \oplus i_0 & p_{7893} = p_{7893} \oplus i_0 \\
 p_{3043} = p_{3043} \oplus i_0 & p_{8123} = p_{8123} \oplus i_0 \\
 p_{3217} = p_{3217} \oplus i_0 & p_{8313} = p_{8313} \oplus i_0 \\
 p_{4109} = p_{4109} \oplus i_0 & p_{8526} = p_{8526} \oplus i_0 \\
 p_{6020} = p_{6020} \oplus i_0 & p_{8616} = p_{8616} \oplus i_0 \\
 p_{6178} = p_{6178} \oplus i_0 & p_{8638} = p_{8638} \oplus i_0
 \end{array}$$

5

en la que, el símbolo \oplus significa XOR.

Para los siguientes 359 bits de información i_m ($m = 1, 2, \dots, 359$), i_m se acumula en cada dirección de bit de paridad $\{x + (m \bmod 360) xq\} \bmod (N_{ldpc} - K_{ldpc})$. Tenga en cuenta que x indica la dirección del acumulador de bits de paridad correspondiente al primer bit i_0 , y q es una constante dependiente de la tasa de código 7/15, que en este caso es 24. El valor de q viene dado por $q = (N_{ldpc} - K_{ldpc})/360$.

10

Para el bit de información i_{360} , Las direcciones de los acumuladores de bits de paridad se dan en la segunda fila de la figura 25. De forma similar, para los siguientes 360 bits de información i_m ($m = 361, 362, \dots, 719$), las direcciones de los acumuladores de bits de paridad están dadas por $\{x + (m \bmod 360) xq\} \bmod (N_{ldpc} - K_{ldpc})$. Tenga en cuenta que

x indica la dirección del acumulador de bit de paridad para el bit 360^{mo} información i_{360} , es decir, las entradas en la segunda fila de la figura 25.

De forma similar, por cada grupo de 360 nuevos bits de información, Se utiliza una nueva fila de la figura 25 para encontrar las direcciones de los acumuladores de bits de paridad.

- 5 Después de que todos los bits de información se agoten, los bits de paridad finales se obtienen de la siguiente manera. Realice secuencialmente las operaciones de la ecuación 4 comenzando con $i = 1$.

[Ecuación 4]

$$p_i = p_i \oplus p_{i-1}, i = 1, 2, \dots, N_{ldpc} - K_{ldpc} - 1$$

en la que, el símbolo \oplus significa XOR.

- 10 Contenido final de p_i ($i = 0, 1, \dots, N_{ldpc} - K_{ldpc} - 1$) es igual al bit de paridad p_i .
Tenga en cuenta que la misma descripción que se dio anteriormente en el ejemplo dirigido a la figura 25 es aplicable a la figura 26, simplemente reemplazando los valores de las entradas en cada fila de la figura 25 con los de la figura 26. Además, los parámetros (N_{ldpc} y K_{ldpc}) para el código LDPC son (16200 y 8640) y $q = 21$.
Aunque la descripción anterior de los códigos LDPC cumple con la notación de DVB-S2, de acuerdo con la notación de DVB-T2 o DVB-NGH, q mencionado anteriormente está escrito como Q_{ldpc} , por ejemplo.
- 15 En el estándar DVB-NGH, actualmente no se definen permutaciones por el demultiplexor bit a celda para las velocidades de código 7/15 y 8/15 para la constelación 16QAM respectiva, la constelación 64QAM y la constelación 256QAM. Como en DVB-T2, la constelación QPSK (4QAM) no necesita dicha permutación por parte del demultiplexor bit a celda. Esto se debe a que los dos bits codificados en una constelación QPSK tienen el mismo nivel de robustez.
- 20 Con el fin de maximizar el rendimiento de los nuevos códigos LDPC de tasa 7/15 y 8/15 en conjunto con varios tamaños de constelaciones QAM y bajo diversas condiciones de recepción, Se requieren nuevas reglas de permutación optimizadas para la demultiplexación de bit a celda.

Realizaciones de la invención

- 25 En lo siguiente, se explicarán en detalle varias realizaciones de la invención, con referencia a los dibujos. Las explicaciones no deben entenderse como limitantes de la invención, Sino como un mero ejemplo de los principios generales de la presente invención.
La mayoría de las realizaciones de la presente invención explicadas a continuación se refieren al sistema DVB-NGH. El nuevo estándar DVB-NGH actualizará y reemplazará el estándar DVB-H para la transmisión digital a dispositivos móviles.
- 30 Aunque todavía no se ha decidido finalmente, se supone que el sistema DVB-NGH adopta una estructura similar a la del subsistema DVB-T2, como se explicó anteriormente en la sección "Hallazgos del presente inventor que conducen a la invención" de esta memoria descriptiva. Sin embargo, esto no debería restringir el ámbito de la protección. Realmente, las realizaciones de la presente invención pueden aplicarse a cualquier sistema que tenga las características estructurales como se explica en la sección "Suplemento 2" de esta memoria descriptiva.
- 35 Diversas realizaciones de la presente invención proporcionan un sistema para procesar señales de bits a transmitir antes de que se ingresen a un asignador QAM. Otros aspectos de la presente invención proporcionan un sistema para procesar señales de bits recibidas del desasignador QAM (para realizar el procedimiento inverso del procedimiento realizado en los bits de transmisión en el lado de transmisión).
- 40 Se supone que una señal digital, que comprende, por ejemplo, una señal de audio y/o video, debe ser transmitido/difundido desde transmisores y está destinado a ser recibido por receptores, tales como terminales móviles.
<Lado transmisor>
- Lo siguiente describe un codificador BICM de acuerdo con una realización de la presente invención, con referencia a los dibujos. Tenga en cuenta que el codificador BICM se proporciona en un transmisor.
- 45 La figura 15 es un diagrama de bloques de un codificador BICM de acuerdo con una realización de la presente invención. El codificador BICM que se muestra en la figura 15 corresponde básicamente al codificador BICM de acuerdo con DVB-T2 y se describe en detalle en la sección "Hallazgos del presente inventor que conducen a la invención" con referencia a las figuras 1 a 14.

El codificador BICM 100 que se muestra en la figura 15 incluye un codificador 110 FEC, un intercalador 120 de bits, un demultiplexor 130 de bit a celda y un asignador 140 QAM.

5 El codificador 110 FEC incluye un codificador 111 BCH y un codificador 115 LDPC. El contenido descrito en la sección "Suplemento 2" también es aplicable a un sistema en el que el codificador 111 BCH aguas arriba del codificador 115 LDPC se omite o reemplaza con un codificador para código diferente.

Se introduce en el codificador 111 BCH, una señal digital (señal de banda base), como una señal de audio y/o video, que consiste en bits de información. El codificador 111 BCH genera bits de paridad BCH codificando BCH una entrada de trama de banda base a la misma y emite una palabra de código BCH a la que se añaden los bits de paridad BCH al codificador 115 LDPC.

10 El codificador 115 LDPC codifica la palabra de código BCH con un código LDPC específico para generar bits de paridad LDPC.

Tenga en cuenta que el código LDPC utilizado en el presente documento en esta realización es un código LDPC que tiene una longitud de palabra de código de 16200 bits con una velocidad de código 7/15 según la figura 25 o un código LDPC que tiene una longitud de palabra de código de 16200 bits con una velocidad de código 8/15 según a la figura 26.

15 El codificador 115 LDPC envía al intercalador de bits 120 una palabra de código LDPC de $N_{ldpc} = 16200$ bits a los que se añaden los bits de paridad LDPC obtenidos como resultado de la codificación LDPC (es decir, una corriente de bits de paquetes de datos que consta de $N_{ldpc} = 16200$ bits). Cabe señalar que la salida de una corriente de bits de paquetes de datos que consta de $N_{ldpc} = 64800$ bits del codificador 115 LDPC no está prevista para la transmisión/recepción de señales para dispositivos portátiles de acuerdo con el estándar DVB-NGH. Las palabras de código LDPC codificadas de 16200 bits se ingresan al intercalador de bits 120 que realiza el intercalado de paridad y el intercalado de torsión de columna como se explica en el estándar DVB-T2, Cláusula 6.1.3, incorporado en el presente documento como referencia.

El intercalador 120 de bits incluye un intercalador 121 de paridad y un intercalador 125 de columna-fila.

25 El intercalador 121 de paridad realiza el intercalado de paridad para permutar el orden de los bits de paridad de la palabra de código LDPC de 16200 bits y envía la palabra de código LDPC resultante al intercalador 125 de columna-fila.

Más específicamente, deje que λ denote la entrada al intercalador 121 de paridad y u denote la salida del intercalador 121 de paridad, el intercalador 121 de paridad realiza las operaciones de la ecuación 5.

30 [Ecuación 5]

$$u_i = \lambda_i : 0 \leq i < K_{ldpc}$$

$$u_{K_{ldpc}+360\alpha+s} = \lambda_{K_{ldpc}+Q_{ldpc}s+t} : 0 \leq s < 360, 0 \leq t < Q_{ldpc}$$

En la Ecuación 5, K_{ldpc} indica el número de bits de información de una palabra de código LDPC y los bits de información no están intercalados. El factor cíclico de la matriz de verificación de paridad es 360. Tenga en cuenta que $Q_{ldpc} = 24$ para la tasa de código 7/15, mientras que $Q_{ldpc} = 21$ para la tasa de código 8/15.

35 El intercalador 125 de columna-fila realiza el intercalado de torsión de columna (intercalado de columna-fila con torsión) en la palabra de código LDPC de 16200 bits intercalada por paridad recibida del intercalador 121 de paridad y emite la palabra de código LDPC de 16200 bits resultante del intercalado de torsión de columna al demultiplexor 130 bit a celda.

40 La matriz de intercalador utilizada por el intercalador 125 de columna-fila para el intercalado por torsión de columna es una matriz cuyo número de entradas (un valor obtenido multiplicando el número de columnas por el número de filas) es 16200, que es igual al número de bits de palabras de código LDPC. Es decir, las dimensiones de la matriz de intercaladores difieren (es decir, el número de columnas y el número de filas difieren) según el tipo de modulación que se utilice en el asignador 140 QAM. Como se explicó anteriormente, para 16QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 205$ y el número de columnas $N_c = 8$. Para 64QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 1350$ y el número de columnas $N_c = 12$. Para 256QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 205$ y el número de columnas $N_c = 8$.

45 Teniendo en cuenta la torsión de la columna y el número de columnas, 8 o 12, el intercalador 125 de columna-fila escribe en serie en columna los 16200 bits de datos (palabra de código LDPC intercalada por paridad), que sale del intercalador 121 de paridad, con torsión. En el procedimiento de torcer, la posición de inicio de escritura de cada columna se retuerce utilizando los parámetros de torsión de columna t_c que se muestran en la Tabla 2. Posteriormente, el intercalador 125 de columna-fila lee en serie los 16200 bits de la matriz de intercalador en fila (véanse las figuras 4, 5 y 6 para referencia).

Se debería notar, sin embargo, que las realizaciones de la presente invención, en particular las diversas reglas de permutación utilizadas por el demultiplexor bit a celda, se puede aplicar a parámetros de torsión de columna que no figuran en la Tabla 2. Asimismo, aunque el intercalado de torsión de columna es parte del sistema DVB-T2 y, por lo tanto, probablemente será parte del sistema DVB-NGH, Las realizaciones de la presente invención también pueden aplicarse a un procedimiento de intercalado de columna-fila sin torsión de columna.

Después del procedimiento de intercalado de torsión de columna por el intercalador 125 de columna-fila, el demultiplexor 130 de bit a celda permuta las palabras de código LDPC de 16200 bits de acuerdo con los diversos ejemplos de la realización de la presente invención. El procesamiento de permutación, y en particular las reglas de permutación que se deben aplicar, dependen de: (1) el código LDPC utilizado por el codificador 115 LDPC, caracterizado además por su longitud de palabra de código y la velocidad de código; y en (2) el tamaño de la constelación QAM utilizado por el asignador 140 QAM.

Como se explicó anteriormente, el demultiplexor 130 de bit a celda demultiplexa los bits de la palabra de código LDPC intercalada en bits, que es la entrada del intercalador de bits 120, en palabras celulares paralelas. A continuación, el demultiplexor 130 de bit a celda realiza la permutación después de lo cual las palabras de celda permutadas se asignan en símbolos de constelación de acuerdo con el mapeo QAM especificado. El número de celdas de datos QAM de salida (el número de palabras de celda) y el número efectivo de bits por palabra de celda η_{MOD} es el mismo que para DVB-T2 explicado en la sección "Hallazgos del presente inventor que conducen a la invención" de esta memoria descriptiva. En particular, hay 8100 celdas para QPSK (4QAM), 4050 celdas para 16QAM, 2700 celdas para 64QAM y 2025 celdas para 256 QAM.

A continuación se describe el demultiplexor 130 de bit a celda que se muestra en la figura 15, con referencia a las figuras 16 a 19.

La figura 16 ilustra la entrada y salida del demultiplexor 130 de bit a celda mostrado en la figura 15.

La corriente de bits del intercalador de bits 120 es demultiplexado por el demultiplexor de bit a celda 130 en subcorrientes como se muestra en la figura 16. El número de subcorrientes $N_{subcorrientes}$ es el mismo que para DVB-T2. En particular, el número de subcorrientes $N_{subcorrientes}$ es 2 para las constelaciones QPSK (4QAM), 8 para la constelación 16QAM, 12 para la constelación 64QAM y 8 para la constelación 256QAM.

Después de la demultiplexación bit a celda, una permutación se lleva a cabo mediante un intercalado particular de bits de entrada b_{di} en los bits de salida $b_{e,do}$. Tenga en cuenta que $do = di \text{ div } N_{subcorrientes}$, y div es una función que devuelve una porción entera del resultado obtenido al dividir di por $N_{subcorrientes}$. Adicionalmente, e es el número de corrientes de bits demultiplexado ($0 \leq e < N_{subcorrientes}$) (es decir, el número que identifica la salida de la corriente de bits secundaria desde el demultiplexor de bit a celda 130). Aún más, v_{di} son los bits de entrada al demultiplexor 130 de bit a celda, y di es el número de bit de entrada. Aún más, $b_{e,do}$ es los bits de salida del demultiplexor de bit a celda 130, y do es el número de bit de una salida de corriente de bits sub-bit dada desde el demultiplexor de bit a celda 130.

La figura 17 es un diagrama de bloques del demultiplexor bit a celda para la constelación 16QAM. Tenga en cuenta que la figura 17 se refiere específicamente al caso en el que el número de subcorrientes $N_{subcorrientes} = 8$, en el que cada corriente de bits secundaria tiene $16200/8 = 2025$ bits.

El demultiplexor 130A de bit a celda mostrado en la figura 17 incluye un demultiplexor 131A simple y un permutador 135A DEMUX.

El demultiplexor 131A simple recibe un flujo de un bit (v_0, v_1, v_2, \dots) del intercalador 120 de bits y demultiplexa la corriente de bits recibida en 8 subcorrientes, a saber, la primera corriente de bits secundaria ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) a la octava corriente de bits secundaria ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). Luego, el demultiplexor 131A simple emite las 8 subcorrientes resultantes al permutador 135A DEMUX. Tenga en cuenta que los bits de salida $v_{i,j}$ del demultiplexor 131A simple corresponden a los bits de entrada v_{i+8xj} al demultiplexor 131A simple.

El permutador 135A DEMUX recibe las 8 subcorrientes del demultiplexor 131A simple, permuta las 8 subcorrientes recibidas y genera 8 subcorrientes obtenidas como resultado de la permutación. Como se muestra en la figura 17, los bits de salida $b_{0,i}$ to $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador 135A DEMUX incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{3,2xi}$ e $y_{0,2xi+1}$ a $y_{3,2xi+1}$), y cada palabra de celda se reenvía al asignador 140 QAM para 16QAM.

La figura 18 es un diagrama de bloques del demultiplexor bit a celda para la constelación 64QAM. Tenga en cuenta que la figura 18 se refiere específicamente al caso para el cual el número de subcorrientes $N_{subcorrientes} = 12$, en el que cada corriente de bits secundaria tiene $16200/12 = 1350$ bits.

El demultiplexor 130B de bit a celda que se muestra en la figura 18 incluye un demultiplexor 131B simple y un permutador 135B DEMUX.

El demultiplexor 131B simple recibe un flujo de un bit (v_0, v_1, v_2, \dots) del intercalador 120 de bits y demultiplexa la corriente de bits recibida en 12 subcorrientes, a saber, la primera corriente de bits secundaria ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta la duodécima corriente de bits secundaria ($v_{11,0}, v_{11,1}, v_{11,2}, \dots$). El demultiplexor 131B simple emite los 12 subcorrientes

de bits resultantes al permutador 135B DEMUX. Tenga en cuenta que los bits de salida $v_{i,j}$ del demultiplexor 131B simple corresponden a los bits de entrada v_{i+12xj} al demultiplexor 131B simple.

5 El permutador 135B DEMUX recibe las 12 subcorrientes del demultiplexor 131B simple, permuta las 12 subcorrientes recibidas y genera 12 subcorrientes obtenidas como resultado de la permutación. Como se muestra en la figura 18, los bits de salida $b_{0,i}$ a $b_{11,i}$ ($i = 0, 1, 2, \dots$) del permutador 135B DEMUX incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{5,2xi}$ e $y_{0,2xi+1}$ a $y_{5,2xi+1}$) y cada palabra de celda se reenvía al asignador 140 QAM para 64QAM.

La figura 19 es un diagrama de bloques del demultiplexor bit a celda para la constelación 256QAM. Tenga en cuenta que la figura 19 se refiere específicamente al caso para el cual el número de subcorrientes $N_{\text{subcorrientes}} = 8$, en el que cada corriente de bits secundaria tiene $16200/8 = 2025$ bits.

10 El demultiplexor 130C de bit a celda que se muestra en la figura 19 incluye un demultiplexor 131C simple y un permutador 135C DEMUX.

15 El demultiplexor 131C simple recibe una corriente de un bit (v_0, v_1, v_2, \dots) del intercalador 120 de bits y demultiplexa la corriente de bits recibida en 8 subcorrientes, a saber, la primera corriente de bits secundaria ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) a la octava corriente de bits secundaria ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). Luego, el demultiplexor 131C simple emite las 8 subcorrientes resultantes al permutador 135C DEMUX. Tenga en cuenta que los bits de salida $v_{i,j}$ del demultiplexor 131C simple corresponden a los bits de entrada v_{i+8xj} al demultiplexor 131C simple.

20 El permutador 135C DEMUX recibe las 8 subcorrientes del demultiplexor 131C simple, permuta las 8 subcorrientes recibidas y genera 8 subcorrientes obtenidas como resultado de la permutación. Como se muestra en la figura 19, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador 135C DEMUX incluyen una palabra de celda ($y_{0,i}$ a $y_{7,i}$) y la palabra de celda es reenviado al asignador 1140 QAM para 256QAM.

25 Las palabras de celda obtenidas como resultado del procesamiento por el demultiplexor de bit a celda 130 (130A a 130C) se emiten en serie al asignador 140 QAM que se muestra en la figura 15. El asignador de QAM 140 asigna las palabras de celda (la salida del demultiplexor de bit a celda) a los símbolos de constelación de acuerdo con el particular de modulación 16QAM, 64QAM y 256QAM de las figuras 12, 13 y 14, es decir, de acuerdo con el etiquetado de bits utilizado en el estándar DVB-T2.

En lo siguiente, los parámetros de demultiplexación se presentarán de acuerdo con diversas realizaciones de la invención para aplicar esquemas de permutación para diferentes códigos LDPC y diferentes modos de modulación. La siguiente permutación se aplica en el permutador DEMUX del demultiplexor de bit a celda, de acuerdo con las figuras 17 a 19, como parte de la figura 15.

30 A continuación se describen las reglas de permutación utilizadas por el permutador DEMUX provisto en el demultiplexor de bit a celda, para los siguientes tres casos:

Caso A: El codificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una velocidad de código 7/15 como se muestra en la figura 25, y el asignador QAM usa una constelación 64QAM;

35 Caso B: El codificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una velocidad de código 7/15 como se muestra en la figura 25, y el asignador QAM usa una constelación 256QAM; y

Caso C: El codificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una velocidad de código 8/15 como se muestra en la figura 26, y el asignador QAM usa una constelación 64QAM.

(Caso A)

40 A continuación se describe el procesamiento realizado por el demultiplexor 130B de bit a celda que se muestra en la figura 18, según un ejemplo de la realización de la presente invención. Este ejemplo está dirigido al caso en el que el codificador 115 LDPC usa el código LDPC que tiene una longitud de palabra de código de 16200 y una velocidad de código 7/15 como se muestra en la figura 25, y el asignador 140 QAM usa una modulación 64QAM como esquema de modulación.

45 La permutación en el permutador 135B DEMUX se realiza como se muestra en la figura 18 en los 12 bits de una fila de la matriz del intercalador que se lee en fila y luego se demultiplexa de acuerdo con la figura 18.

Después del procedimiento de demultiplexación, el permutador 135B DEMUX permuta los 12 bits de entrada v_{di} ($v_{di,do}$) a los 12 bits de salida b_e ($b_{e,do}$) de acuerdo con la siguiente regla de permutación.

La regla de permutación es $v_0 = b_2, v_1 = b_4, v_2 = b_0, v_3 = b_1, v_4 = b_3, v_5 = b_6, v_6 = b_5, v_7 = b_8, v_8 = b_{10}, v_9 = b_7, v_{10} = b_{11}, v_{11} = b_9$.

50 Después de realizar la permutación anterior, se extraen dos palabras de celda para cada b_e . Las dos palabras de bit a celda y_0 -y y_5 se envían al asignador 140 QAM del tipo 64QAM para asignarse a dos símbolos de modulación consecutivos.

(Caso B)

A continuación se describe el procesamiento realizado por el demultiplexor 130C de bit a celda que se muestra en la figura 19, según otro ejemplo de la realización de la presente invención. Este ejemplo está dirigido al caso en el que el codificador 115 LDPC usa el código LDPC que tiene una longitud de palabra de código de 16200 y una velocidad de código 7/15 como se muestra en la figura 25, y el asignador 140 QAM usa una modulación 256QAM como esquema de modulación.

5 La permutación en el permutador 135C DEMUX se realiza como se muestra en la figura 19 en los 8 bits de una fila de la matriz del intercalador que se lee en fila y luego se demultiplexa de acuerdo con la figura 19.

Después del procedimiento de demultiplexación, el permutador 135C DEMUX permuta los 8 bits de entrada v_{di} ($v_{di,do}$) a los 8 bits de salida b_e ($b_{e,do}$) de acuerdo con la siguiente regla de permutación.

10 Es decir, la regla de permutación es $v_0 = b_2$, $v_1 = b_6$, $v_2 = b_0$, $v_3 = b_1$, $v_4 = b_4$, $v_5 = b_5$, $v_6 = b_3$, $v_7 = b_7$.

Después de realizar la permutación anterior, se extrae una palabra de celda para cada b_e . La palabra de bit a celda y_0 - y_7 se envía al asignador 140 QAM del tipo 256QAM para asignarse a dos símbolos de modulación consecutivos.

(Caso C)

15 A continuación se describe el procesamiento realizado por el demultiplexor 130B de bit a celda que se muestra en la figura 18, según otro ejemplo más de la realización de la presente invención. Este ejemplo está dirigido al caso en el que el codificador 115 LDPC usa el código LDPC que tiene una longitud de palabra de código de 16200 y el código 8/15 como se muestra en la figura 26, y el asignador 140 QAM usa una modulación 64QAM como esquema de modulación.

20 La permutación en el permutador 135B DEMUX se realiza como se muestra en la figura 18 en los 12 bits de una fila de la matriz del intercalador que se lee en fila y luego se demultiplexa de acuerdo con la figura 18.

Después del procedimiento de demultiplexación, el permutador 135B DEMUX permuta los 12 bits de entrada v_{di} ($v_{di,do}$) a los 12 bits de salida b_e ($b_{e,do}$) de acuerdo con la siguiente regla de permutación.

La regla de permutación es $v_0 = b_0$, $v_1 = b_4$, $v_2 = b_5$, $v_3 = b_1$, $v_4 = b_6$, $v_5 = b_7$, $v_6 = b_2$, $v_7 = b_{10}$, $v_8 = b_3$, $v_9 = b_8$, $v_{10} = b_9$, $v_{11} = b_{11}$.

25 Después de realizar la permutación anterior, se extraen dos palabras de celda para cada b_e . Las dos palabras de bit a celda y_0 - y_5 se envían al asignador 140 QAM del tipo 64QAM para asignarse a dos símbolos de modulación consecutivos.

<Lado receptor>

30 Lo siguiente describe un decodificador BICM de acuerdo con un aspecto de la presente invención, con referencia a los dibujos. Tenga en cuenta que el decodificador BICM se proporciona en un receptor. Los ejemplos de aparatos que tienen el decodificador BICM de acuerdo con este aspecto incluyen dispositivos de mano, teléfonos móviles, ordenadores de tableta, portátiles, televisores, etc.

35 El procesamiento por el decodificador BICM proporcionado en el receptor será básicamente el inverso del procesamiento explicado anteriormente realizado por el codificador BICM proporcionado en el transmisor. En resumen, las celdas complejas serán demoduladas de acuerdo con el mapeo de constelación (QPSK, 16QAM, 64QAM, 256QAM) para determinar las palabras de bit a celda transmitidas. Una palabra de celda (en el caso de 256QAM) o dos palabras de celda (en el caso de 16QAM y 64QAM) se permutarán en bits de acuerdo con una regla de permutación inversa a la del lado de transmisión, y luego se multiplexarán en una corriente de bits. La corriente de bits resultante se somete a un desintercalado de columna-fila por un desintercalador de columna-fila, así como a la desintercalación de paridad por un desintercalador de paridad. Tenga en cuenta que los bits desintercalados por el desintercalador de paridad son solo bits de paridad. El decodificador LDPC decodifica los bits de salida del desintercalador de paridad, que está en concordancia con la codificación LDPC del lado transmisor. A continuación, se emite una corriente de bits resultante de la decodificación.

A continuación se describe el decodificador BICM en detalle.

45 La figura 20 es un diagrama de bloques del decodificador BICM según el aspecto de la presente invención.

El decodificador 300 BICM que se muestra en la figura 20 incluye un desasignador 310 QAM, un multiplexor 320 de celda a bit, un desintercalador 330 de bit, y un decodificador 340 FEC.

50 El desasignador 310 QAM demodula celdas complejas de acuerdo con un modo de modulación particular (como 16QAM, 64QAM o 256QAM) y envía las palabras de celda resultantes al multiplexor 320 de celda a bit. Las palabras de celda correspondientes a 16QAM, 64QAM y 256QAM comprenden 4, 6 y 8 bits, respectivamente.

La demodulación QAM realizada por el desasignador 310 QAM está de acuerdo con la modulación QAM realizada por

el asignador 140 QAM proporcionado en el transmisor. Si el asignador 140 QAM del transmisor realiza la modulación 16QAM de acuerdo con el etiquetado DVB-T2 de la figura 12, el desasignador 310 QAM realiza la demodulación basada en el mismo 16QAM de la figura 12, para demodular cada símbolo de modulación (celda compleja) en una palabra de celda de 4 bits. Lo mismo se aplica a todas las modulaciones QAM de acuerdo con las figuras 11, 13 y 14.

- 5 El multiplexor 320 de celda a bit incluye un bloque de permutación y un bloque de multiplexación. En el lado receptor, el bloque de permutación procesa los bits demodulados de acuerdo con una regla de permutación dependiendo del modo de modulación y el código LDPC utilizado en el lado de transmisión (y viceversa en el lado de recepción).

A continuación se describe el multiplexor 330 de celda a bit que se muestra en la figura 20, con referencia a las figuras 21 a 24.

- 10 La figura 21 ilustra la entrada y salida del multiplexor 320 de celda a bit mostrado en la figura 20.

Las palabras de celda y que consisten en bits de entrada b son ingresadas al multiplexor 320 de celda a bit y son permutadas por el multiplexor 320 de celda a bit para generar las palabras de salida v .

La figura 22 es un diagrama de bloques del multiplexor de celda a bit para la constelación 16QAM.

- 15 El multiplexor de celda a bit 320A que se muestra en la figura 22 incluye un permutador 321A inverso DEMUX y un multiplexor 325A simple.

- 20 El permutador 321A inverso DEMUX recibe 8 subcorrientes (8 bits b_0 - b_7 que forman dos palabras de celda de 4 bits y_0 - y_3), que son entradas del desasignador 140 QAM para 16QAM. El permutador 321A inverso DEMUX realiza una permutación en las 8 subcorrientes recibidas (es decir, una permutación para restaurar el orden de las subcorrientes que está antes de la permutación por el permutador 135M DEMUX en el lado de transmisión) y genera las 8 subcorrientes resultantes en el multiplexor 325A simple.

El multiplexor 325A simple multiplexa las 8 subcorrientes obtenidas como resultado de la permutación a una corriente de bits única de 16200 bits a la salida. Los bits de salida resultantes v_{i+8xj} del multiplexor 325A simple corresponden a los bits de entrada $v_{i,j}$ del multiplexor 325A simple.

La figura 23 es un diagrama de bloques del multiplexor de celda a bit para la constelación 64QAM.

- 25 El multiplexor 320B de celda a bit que se muestra en la figura 23 incluye un permutador 321B inverso DEMUX y un multiplexor 325B simple.

- 30 El permutador 321B inverso DEMUX recibe 12 subcorrientes (12 bits b_0 - b_{11} que forman dos palabras de celda de 6 bits y_0 - y_5), que son entradas del desasignador 140 QAM para 64QAM. El permutador 321B inverso DEMUX realiza una permutación en las 12 subcorrientes recibidas (es decir, una permutación para restaurar el orden de las subcorrientes que están antes de la permutación por el permutador 135B DEMUX en el lado de transmisión) y envía las 12 subcorrientes resultantes al multiplexor 325B simple.

El multiplexor 325B simple multiplexa las 12 subcorrientes obtenidas como resultado de la permutación a una corriente de bits única de 16200 bits a la salida. Los bits de salida resultantes v_{i+12xj} del multiplexor 325B simple corresponden a los bits de entrada $v_{i,j}$ del multiplexor 325B simple.

- 35 La figura 24 es un diagrama de bloques del multiplexor de celda a bit para la constelación 256QAM.

El multiplexor de celda a bit 320C que se muestra en la figura 24 incluye un permutador 321C inverso DEMUX y un multiplexor 325C simple.

- 40 El permutador 321C inverso DEMUX recibe 8 subcorrientes (8 bits b_0 - b_7 que forman una palabra de celda de 8 bits y_0 - y_7), que son entradas del desasignador 140 QAM para 256QAM. El permutador 321C inverso DEMUX realiza una permutación en las 8 subcorrientes recibidas (es decir, una permutación para restablecer el orden de las corrientes secundarias que está antes de la permutación por el permutador 135C DEMUX en el lado de transmisión) y genera las 8 subcorrientes resultantes en el multiplexor 325C simple.

- 45 El multiplexor 325C simple multiplexa las 8 subcorrientes obtenidas como resultado de la permutación a una corriente de bits única de 16200 bits a la salida. Los bits de salida resultantes v_{i+8xj} del multiplexor 325C simple corresponden a los bits de entrada $v_{i,j}$ del multiplexor 325C simple.

Los detalles de las reglas de permutación utilizadas por el permutador inverso DEMUX se describirán más adelante.

El desintercalador 330 de bits incluye un desintercalador 331 columna-fila y un desintercalador 335 de paridad.

- 50 El desintercalador 331 columna-fila recibe una corriente de bits compuesta de 16200 bits v ($v_0, v_1, v_2...$) desde el multiplexor 320 (320A a 320C) de celda a bit. El desintercalador 331 de columna-fila realiza el desintercalado de columna-fila con torsión (desintercalado de torsión de columna) en los 16200 bits de entrada recibidos. Más

- específicamente, el desintercalador 331 de columna-fila escribe en serie los 16200 bits de entrada en fila en una matriz de desintercalador, y luego lee en serie los 16200 bits en columna desde la matriz de desintercalador con torsión. En el procedimiento de torcer, la posición de inicio de lectura de cada columna se retuerce utilizando el parámetro de torsión t_c que se muestra en la Tabla 2. Las dimensiones de la matriz de desintercalador dependen del tamaño de la constelación utilizado en el procedimiento de demodulación por el desasignador 310 QAM y la longitud de la palabra de código del código LDPC utilizado en la demodulación LDPC por el decodificador 341 LDPC. Con más detalle, en el caso del código LDPC que tiene una longitud de palabra de código de 16200 bits, el número de columnas de la matriz de desintercalador es 8 para 16QAM, resultando en 2025 filas. Para 64QAM, el número de columnas es 12, resultando en 1350 filas. Para 256QAM, el número de columnas es 8, resultando en 2025 filas.
- 5 Tenga en cuenta que los valores del parámetro de torsión t_c utilizado por el desintercalador 331 de columna-fila son los mismos que los valores del parámetro de torsión t_c utilizado por el intercalador 125 columna-fila. Tenga en cuenta que el intercalador 125 de columna-fila puede realizar el intercalado de columna-fila sin torsión. En un caso de este tipo, el desintercalador 331 de columna-fila realiza el desintercalado de columna-fila sin torsión.
- 10 El desintercalador 335 de paridad realiza el desintercalado de paridad para permutar el orden de los bits de paridad LDPC fuera de la entrada de bits del desintercalador 331 de columna-fila (es decir, a para restaurar el orden de los bits antes de la permutación por el intercalador 121 de paridad en el lado de transmisión) (véase la ecuación 5).
- 15 El decodificador 340 FEC incluye el decodificador 341 LDPC y un decodificador 345 BCH. Tenga en cuenta que el contenido descrito en la sección "Suplemento 2" también es aplicable a un sistema en el que el decodificador 345 BCH corriente abajo del decodificador 341 LDPC se omite o reemplaza con un decodificador para un código diferente.
- 20 El decodificador 341 LDPC realiza la demodulación usando el código LDPC utilizado por el codificador 115 LDPC del transmisor que se muestra en la figura 15. Más específicamente, un código LDPC que tiene una longitud de palabra de código de 16200 bits con velocidad de código 7/15 según la figura 25 o un código LDPC que tiene una longitud de palabra de código de 16200 bits con velocidad de código 8/15 según la figura 26 se usa en la demodulación.
- 25 El decodificador 345 BCH realiza un procedimiento de decodificación BCH en los datos resultantes de la demodulación por el decodificador 341 LDPC.
- A continuación se describe en detalle las reglas de permutación utilizadas por el permutador MUX proporcionado en el multiplexor de celda a bit, para los siguientes tres casos.
- 30 Caso A: El decodificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una velocidad de código 7/15 como se muestra en la figura 25, y el desasignador QAM realiza una demodulación 64QAM.
- Caso B: El decodificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una velocidad de código 7/15 como se muestra en la figura 25, y el desasignador QAM realiza una demodulación 256QAM.
- 35 Caso C: El decodificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una velocidad de código 8/15 como se muestra en la figura 26, y el desasignador QAM usa una demodulación 64QAM.
- (Caso A)
- 40 A continuación se describe el procesamiento realizado por el multiplexor 320B de celda a bit que se muestra en la figura 23, según un ejemplo de la realización de la presente invención. Tenga en cuenta que este ejemplo está dirigido al caso en el que el decodificador 341 LDPC usa el código LDPC que tiene una longitud de palabra de código de 16200 y una velocidad de código 7/15 como se muestra en la figura 25, y el desasignador 310 QAM realiza la demodulación 64QAM.
- La permutación por el permutador 321B inverso DEMUX se realiza como se ilustra en la figura 23 en 12 bits que se introducen en serie desde el desasignador 310 QAM.
- 45 En el procedimiento de permutación, el permutador 321B inverso DEMUX permuta dos palabras de celda compuestas de 12 bits de entrada b_e ($b_{e,do}$) a los 12 bits de salida v_{di} ($v_{di,do}$) de acuerdo con la siguiente regla de permutación.
- La regla de permutación es $v_0 = b_2, v_1 = b_4, v_2 = b_0, v_3 = b_1, v_4 = b_3, v_5 = b_6, v_6 = b_5, v_7 = b_8, v_8 = b_{10}, v_9 = b_7, v_{10} = b_{11}, v_{11} = b_9$.
- Los bits v permutados de este modo se multiplexan por el multiplexor 325B simple.
- 50 (Caso B)
- A continuación se describe el procesamiento realizado por el multiplexor de celda a bit 320C que se muestra en la figura 24, según otro ejemplo de la realización de la presente invención. Tenga en cuenta que esta realización está dirigida al caso en el que el decodificador 341 LDPC usa el código LDPC que tiene una longitud de palabra de código de 16200 y una velocidad de código 7/15 como se muestra en la figura 25, y el desasignador 310 QAM realiza la

demodulación 256QAM.

La permutación por el permutador 321B inverso DEMUX se realiza como se ilustra en la figura 24 en 8 bits que se introducen en serie desde el desasignador 310 QAM.

5 En el procedimiento de permutación, el permutador 321C inverso DEMUX permuta una palabra de celda compuesta de 8 bits de entrada $b_e(b_{e, do})$ a los 8 bits de salida $v_{di}(v_{di, do})$ de acuerdo con la siguiente regla de permutación.

Es decir, la regla de permutación es $v_0 = b_2, v_1 = b_6, v_2 = b_0, v_3 = b_1, v_4 = b_4, v_5 = b_5, v_6 = b_3, v_7 = b_7$.

Los bits v permutados de este modo se multiplexan por el multiplexor 325C simple.

(Caso C)

10 A continuación se describe el procesamiento realizado por el multiplexor 320B de celda a bit que se muestra en la figura 23, según otro ejemplo más de la realización de la presente invención. Tenga en cuenta que este ejemplo está dirigido al caso en el que el decodificador 341 LDPC usa el código LDPC que tiene una longitud de palabra de código de 16200 y una velocidad de código 8/15 como se muestra en la figura 26, y el desasignador 310 QAM realiza la demodulación 64QAM.

15 La permutación por el permutador 321B inverso DEMUX se realiza como se ilustra en la figura 23 en 12 bits que se introducen en serie desde el desasignador 310 QAM.

En el procedimiento de permutación, el permutador 321B inverso DEMUX permuta dos palabras de celda compuestas de 12 bits de entrada $b_e(b_{e, do})$ a los 12 bits de salida $v_{di}(v_{di, do})$ de acuerdo con la siguiente regla de permutación.

La regla de permutación es $v_0 = b_0, v_1 = b_4, v_2 = b_5, v_3 = b_1, v_4 = b_6, v_5 = b_7, v_6 = b_2, v_7 = b_{10}, v_8 = b_3, v_9 = b_8, v_{10} = b_9, v_{11} = b_{11}$.

20 Los bits v permutados de este modo se multiplexan por el multiplexor 325B simple.

Las reglas de permutación utilizadas por los permutadores 135B y 135C DEMUX que se muestran en las figuras 18 y 19, así como por los permutadores 321B y 325C inversos DEMUX mostrados en las figuras 23 y 24 se enumeran en la Tabla 3 a continuación.

Tabla 3

Esquema de transmisión	64QAM	256QAM
Tasa de código LDPC		
Tasa de Código LDPC 7/15	24013658 10 7 11 9	2 6 0 1 4 5 3 7
Tasa de Código LDPC 8/15	0 4 5 1 6 7 2 10 3 8 9 11	-

25 Las expiaciones anteriores que figuran en la sección "Hallazgos del presente inventor que conducen a la invención" no deben entenderse como limitantes de la invención a las implementaciones específicas descritas de procesos y funciones en la red de comunicación móvil. Sin embargo, las mejoras propuestas en los ejemplos se pueden aplicar fácilmente en las arquitecturas/sistemas descritos en la sección "Hallazgos del presente inventor que conducen a la invención" y en algunos ejemplos también pueden hacer uso de procedimientos estándar y mejorados de estas arquitecturas/sistemas.

<<Suplemento 1>>

La presente invención no se limita a las realizaciones específicas descritas anteriormente. Siempre que se logren los objetivos de la presente invención y los objetivos que los acompañan, otras variaciones también son posibles, como las siguientes.

35 (1) Las diversas realizaciones descritas anteriormente pueden estar relacionadas con la implementación usando hardware y software. Se reconoce que las diversas realizaciones descritas anteriormente pueden implementarse o realizarse usando dispositivos informáticos (procesadores). Un dispositivo o procesador informático puede ser, por ejemplo, procesadores principales/procesadores de fin general, procesadores de señal digital (DSP), circuitos integrados de aplicación específica (ASIC), matrices de puerta programable de campo (FPGA), u otro dispositivo lógico programable, etc. Las diversas realizaciones de la invención también pueden realizarse o realizarse mediante una combinación de estos dispositivos.

(2) Además, las diversas realizaciones descritas anteriormente también pueden implementarse por medio de módulos de software, que son ejecutados por un procesador o directamente en hardware. También es posible una combinación de módulos de software y una implementación de hardware. Los módulos de software pueden almacenarse en cualquier tipo de medio de almacenamiento legible por ordenador, por ejemplo RAM, EPROM, EEPROM, memorias flash, registros, discos duros, CD-ROM, DVD, etc.

5

Aplicabilidad industrial

La presente invención es aplicable a un demultiplexor bit a celda en un sistema de codificación y modulación intercalado en bit utilizado para códigos de paridad de baja densidad, y también a un demultiplexor bit a celda correspondiente a dicho multiplexor celda a bit.

10

Lista de signos de referencia

100	Codificador BICM
110	Codificador FEC
111	Codificador BCH
115	Codificador LDPC
120	intercalador de bits
121	intercalador de paridad
125	intercalador columna-fila
130	demultiplexor de bit a celda
130A-130C	demultiplexor de bit a celda
131	demultiplexor simple
131A-131C	demultiplexor simple
135	permutador DEMUX
135A-135C	permutador DEMUX
140	asignador QAM
300	decodificador BICM
310	desasignador QAM
320	multiplexor de celda a bit
320A-320C	multiplexor de celda a bit
321	permutador inverso DEMUX
321A-321C	permutador inverso DEMUX
325	multiplexor simple
325A-325C	multiplexor simple
330	desintercalador de bits
331	desintercalador de columna-fila
335	desintercalador de paridad
340	decodificador BICM
341	decodificador LDPC
345	decodificador BCH

REIVINDICACIONES

1. Una BICM, codificación y modulación intercalada en bits, procedimiento de codificación que comprende:

una primera etapa de codificación de codificar los primeros bits de información en una primera palabra de código de acuerdo con un código BCH, Bose-Chaudhuri- Hocquenghem;

5 una segunda etapa de codificación de codificar segundos bits de información, que están constituidos por la primera palabra de código obtenida en la primera etapa de codificación, en una segunda palabra de código de acuerdo con un código de verificación de paridad de baja densidad con velocidad de código 7/15 y una longitud de palabra de código de 16200, el código de verificación de paridad de baja densidad que se muestra en la Tabla 1-1:

[Tabla 1 – 1]

Direcciones de acumuladores de bits de paridad para el código LDPC con la tasa de código 7/15 y la longitud de la palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559
3452	7935	8092	8623																				
56	1955	3000	8242																				
1809	4094	7991	8489																				
2220	6455	7849	8548																				
1006	2576	3247	6976																				
2177	6048	7795	8295																				
1413	2595	7446	8594																				
2101	3714	7541	8531																				
10	5961	7484																					
3144	4636	5282																					
5708	5875	8390																					
3322	5223	7975																					
197	4653	8283																					
598	5393	8624																					
906	7249	7542																					
1223	2148	8195																					
976	2001	5005																					

una etapa de intercalado de bits para realizar el intercalado de paridad de acuerdo con Mat. 1 y intercalado de columna-fila en bits de la segunda palabra de código obtenida en la segunda etapa de codificación, la intercalación de columna-fila se realiza con o sin torsión, y

[Mat. 1]

$$u_i = \lambda_i : 0 \leq i < K_{ldpc}$$

$$u_{K_{ldpc}+360t+s} = \lambda_{K_{ldpc}+Q_{ldpc}s+t} : 0 \leq s < 360, 0 \leq t < Q_{ldpc}$$

5 en el que λ_a indica bits antes del intercalado de paridad, u_b indica bits después del intercalado de paridad, K_{ldpc} es 7560, Q_{ldpc} es 24, y a y b son índices;

10 una etapa de demultiplexación bit a celda de demultiplexación de una secuencia de bits intercalados en la etapa de intercalación de bits en 8 subcorrientes de bits sub-bit de bits $v_{i,j}$, en la que i indica uno de las 8 subcorrientes de bits y el bit $v_{i,j}$ corresponde al bit v_{i+8xj} de dicha secuencia de bits intercalados, y realiza una permutación en las 8 subcorrientes de bits

de acuerdo con una regla de permutación predeterminada para permutar cada conjunto de ocho bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) de las 8 subcorrientes de bits a un conjunto de ocho bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) para obtener 8 subcorrientes de bits de bits permutados, en el que q es un índice; y

15 una etapa de asignación de asignar cada una de las palabras de celda de 8 bits ($y_{0,q}, Y_{1,q}, Y_{2,q}, Y_{3,q}, Y_{4,q}, Y_{5,q}, Y_{6,q}, Y_{7,q}$) cada uno compuesto por un conjunto de ocho bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) de las 8 subcorrientes de bits de bits permutados obtenidos en el etapa de demultiplexación de bit a celda, en una celda compleja ($Re(Z_q), Im(Z_q)$) según el 256QAM, Modulación de amplitud de cuadratura, constelación mostrada en las tablas 1-2 y 1-3:

[Tabla 1-2]

$y_{0,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
$y_{2,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
$y_{4,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
$y_{6,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
$Re(Z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13	15

20 [Tabla 1-3]

$y_{1,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
$y_{3,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
$y_{5,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
$y_{7,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
$Im(Z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13	15

en las que

($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) = ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$), y la regla de permutación predeterminada es:

$$v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q},$$

25 2. Una BICM, codificación y modulación intercalada en bits, codificador (100) que comprende:

un primer codificador (111) adaptado para codificar primeros bits de información en una primera palabra de código de acuerdo con un BCH, Bose-Chaudhuri-Hocquenghem, código;

30 un segundo codificador (115) adaptado para codificar segundos bits de información, que están constituidos por la primera palabra de código obtenida por el primer codificador, en una segunda palabra de código de acuerdo con un código de verificación de paridad de baja densidad con velocidad de código 7/15 y una longitud de palabra de código de 16200, el código de verificación de paridad de baja densidad que se muestra en la Tabla 2-1:

[Tabla 2-1]

Direcciones de acumuladores de bits de paridad para el código LDPC con la tasa de código 7/15 y la longitud de la palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559
3452	7935	8092	8623																				
56	1955	3000	8242																				
1809	4094	7991	8489																				
2220	6455	7849	8548																				
1006	2576	3247	6976																				
2177	6048	7795	8295																				
1413	2595	7446	8594																				
2101	3714	7541	8531																				
10	5961	7484																					
3144	4636	5282																					
5708	5875	8390																					
3322	5223	7975																					
197	4653	8283																					
598	5393	8624																					
906	7249	7542																					
1223	2148	8195																					
976	2001	5005																					

un intercalador (120) de bits adaptado para realizar el intercalado (121) de paridad de acuerdo con Mat. 2 y intercalado (125) de columna-fila en bits de la segunda palabra de código obtenida por el segundo codificador, la intercalación de columna-fila se realiza con o sin torsión, y

[Mat. 2]

$$u_i = \lambda_i : 0 \leq i < K_{ldpc}$$

$$u_{K_{ldpc}+360t+s} = \lambda_{K_{ldpc}+Q_{ldpc}s+t} : 0 \leq s < 360, 0 \leq t < Q_{ldpc}$$

en las que λ_a indica bits antes del intercalado de paridad, u_b indica bits después del intercalado de paridad, K_{ldpc} es 7560, Q_{ldpc} es 24, y a y b son índices;

5 un demultiplexor bit a celda (130) adaptado para demultiplexar una secuencia de bits intercalados por el intercalador de bits en 8 subcorrientes de bits de bits $v_{i,j}$, en el que i indica uno de los 8 subcorrientes de bits de bits y el bit $v_{i,j}$ corresponde al bit v_{i+8xj} de dicha secuencia de bits intercalados, y para realizar una permutación en las 8 subcorrientes de bits de bits de acuerdo con una regla de permutación predeterminada para permutar cada conjunto de ocho bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) de las 8 subcorrientes de bits a un conjunto de ocho bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) para obtener 8 subcorrientes de bits de bits permutados, en el que q es un índice;

10 un asignador (140) adaptado para asignar cada una de las palabras de celda de 8 bits ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$) cada uno compuesto por un conjunto de ocho bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) de los 8 subcorrientes de bits de bits permutados obtenidos por el demultiplexor de bit a celda, en una celda compleja ($Re(Z_q), Im(Z_q)$) según el 256QAM, Modulación de amplitud de cuadratura, constelación mostrada en las tablas 2-2 y 2-3:

15

[Tabla 2-2]

$y_{0,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
$y_{2,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0
$y_{4,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
$y_{6,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$Re(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13

[Tabla 2-3]

$y_{1,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
$y_{3,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0
$y_{5,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
$y_{7,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$Im(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13

en las que

($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) = ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$), y la regla de permutación predeterminada es:

20

$v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q}$.

FIG. 1

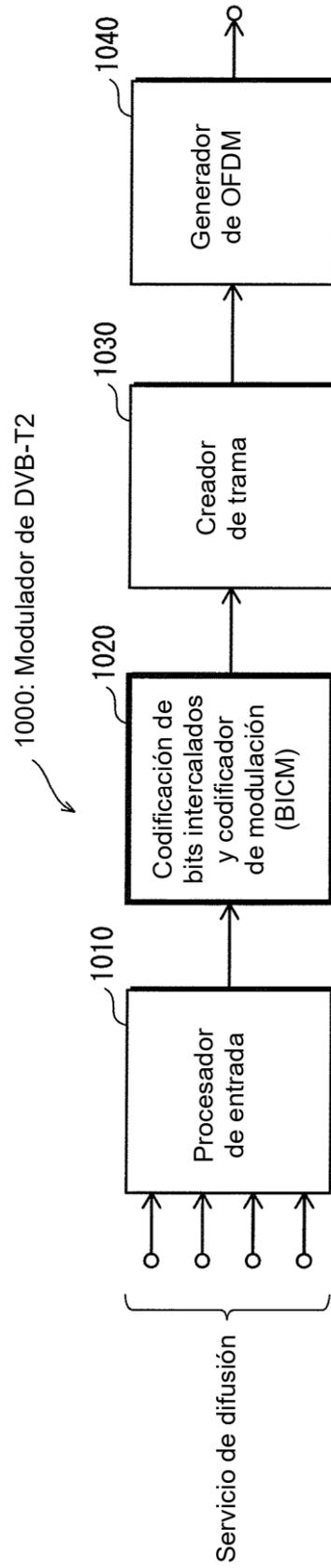


FIG. 2

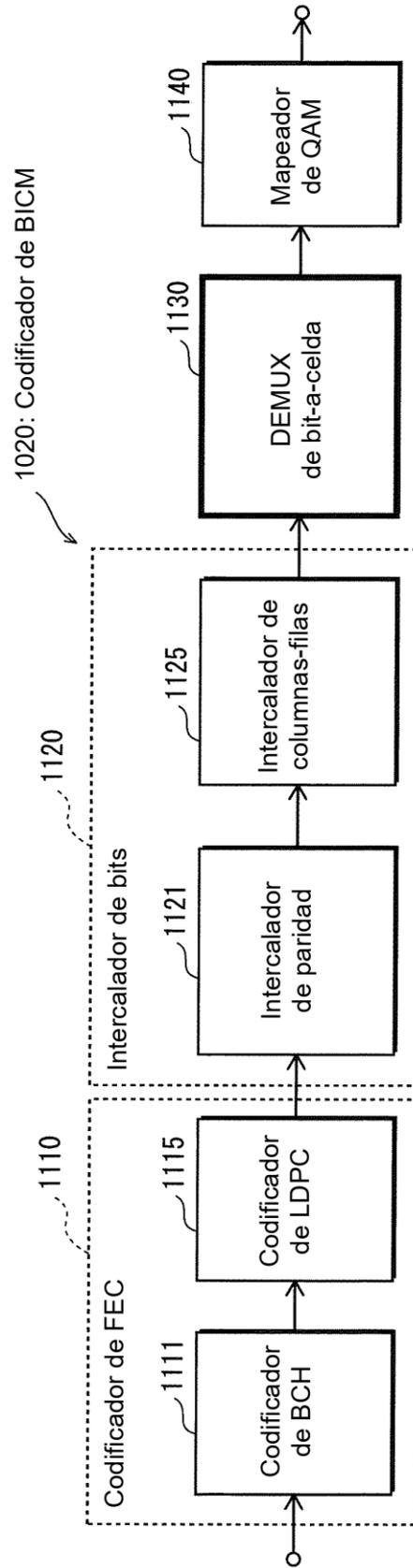


FIG. 3

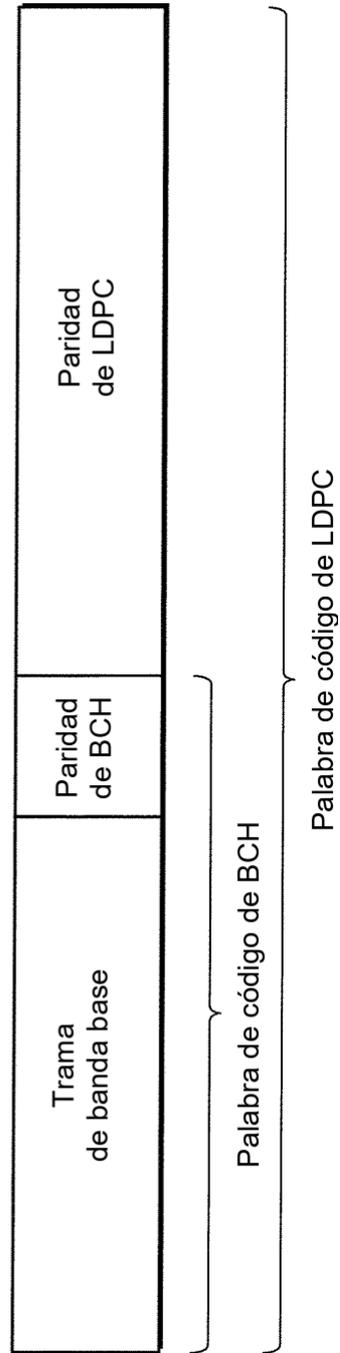


FIG. 4

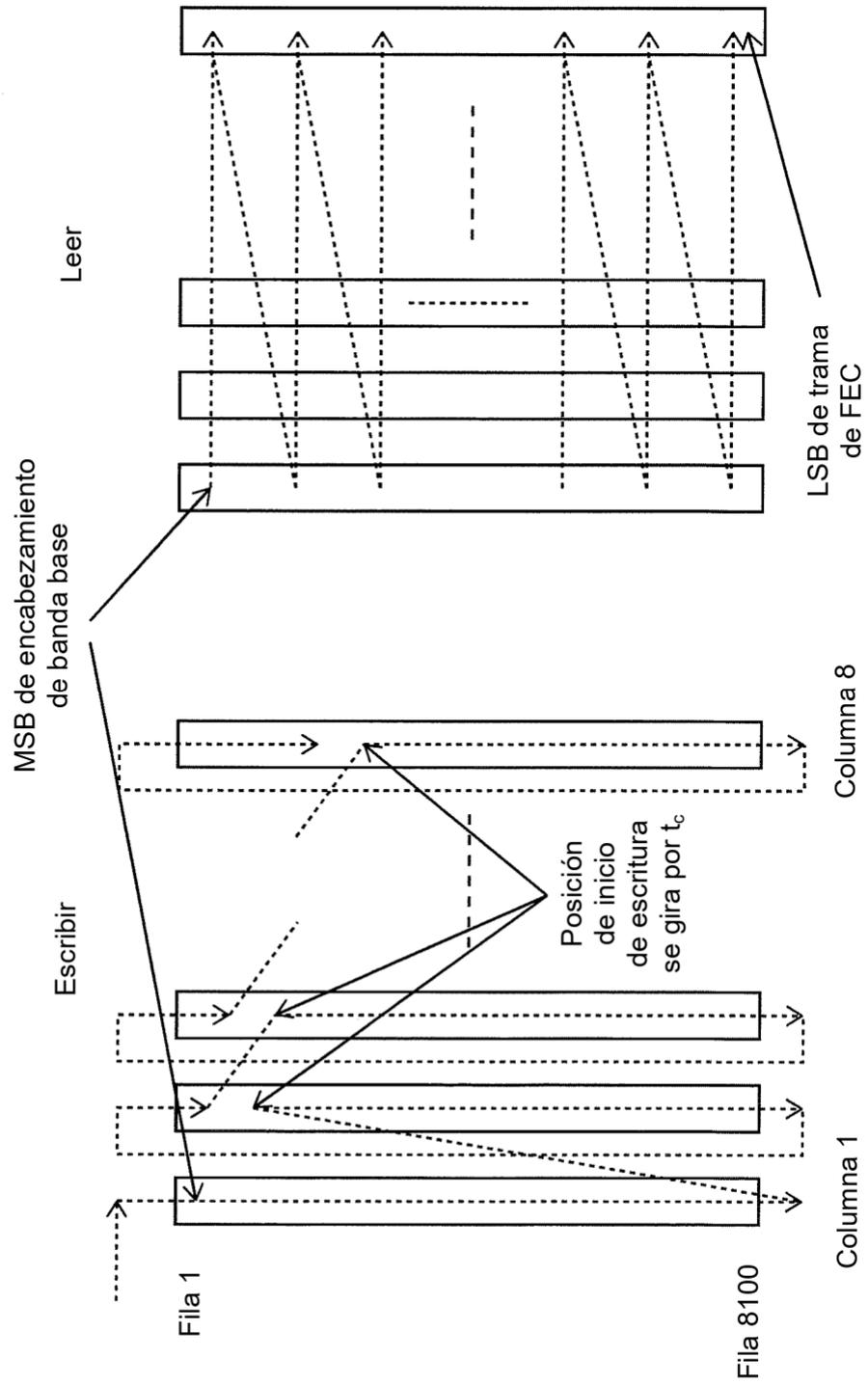


FIG. 5A

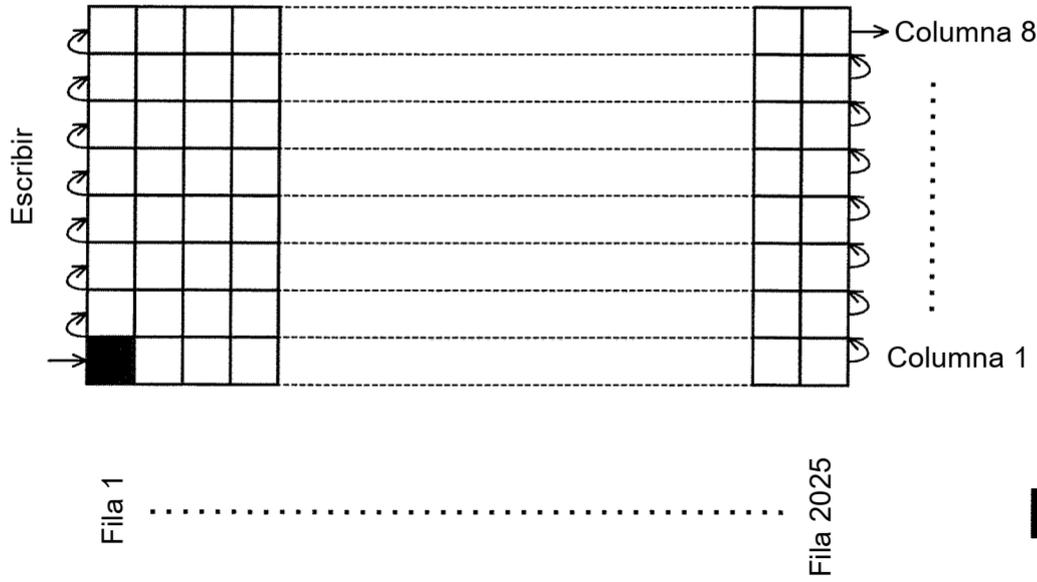
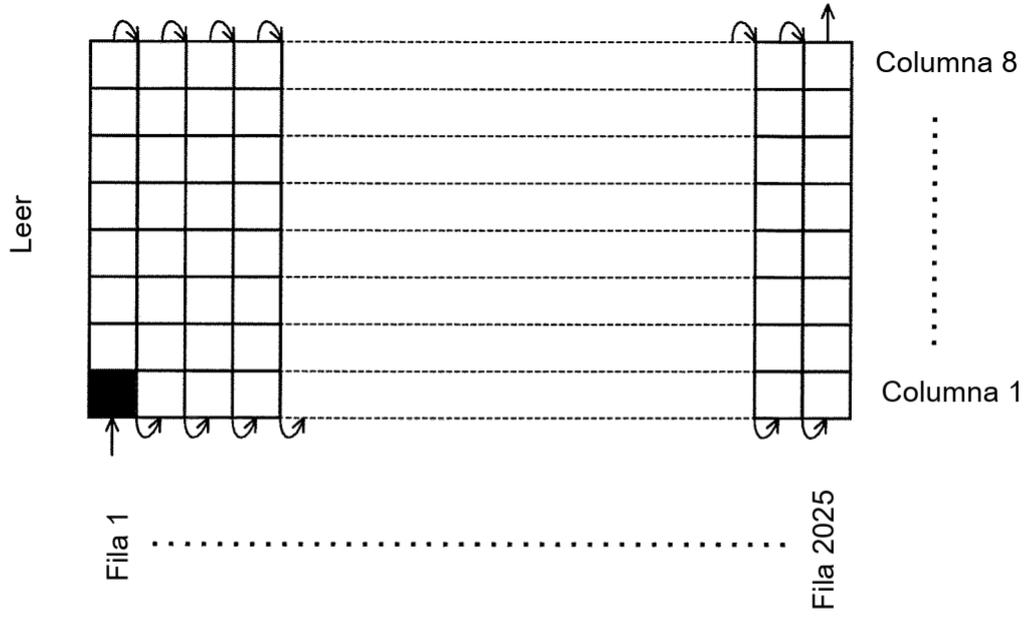


FIG. 5B



■ = Primer bit de la palabra de código de LDPC (trama de FEC)

FIG. 6A

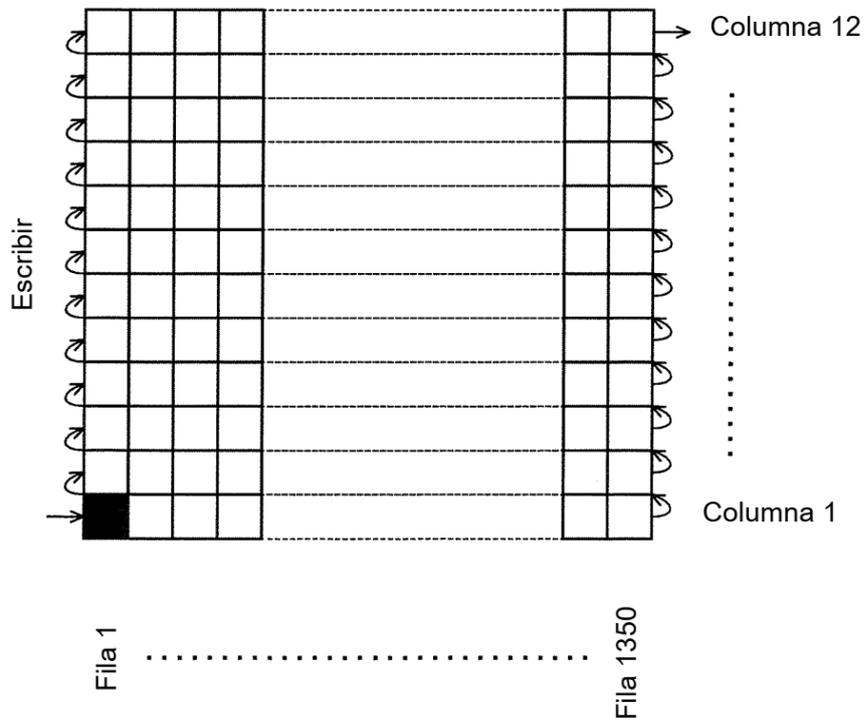
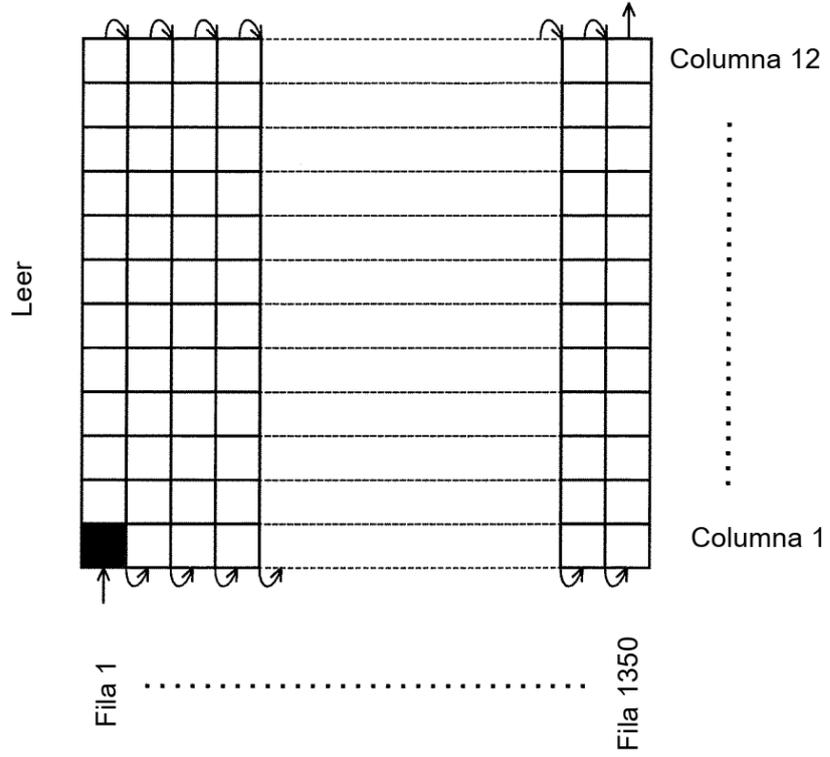


FIG. 6B



■ = Primer bit de la palabra de código de LDPC (trama de FEC)

FIG. 7

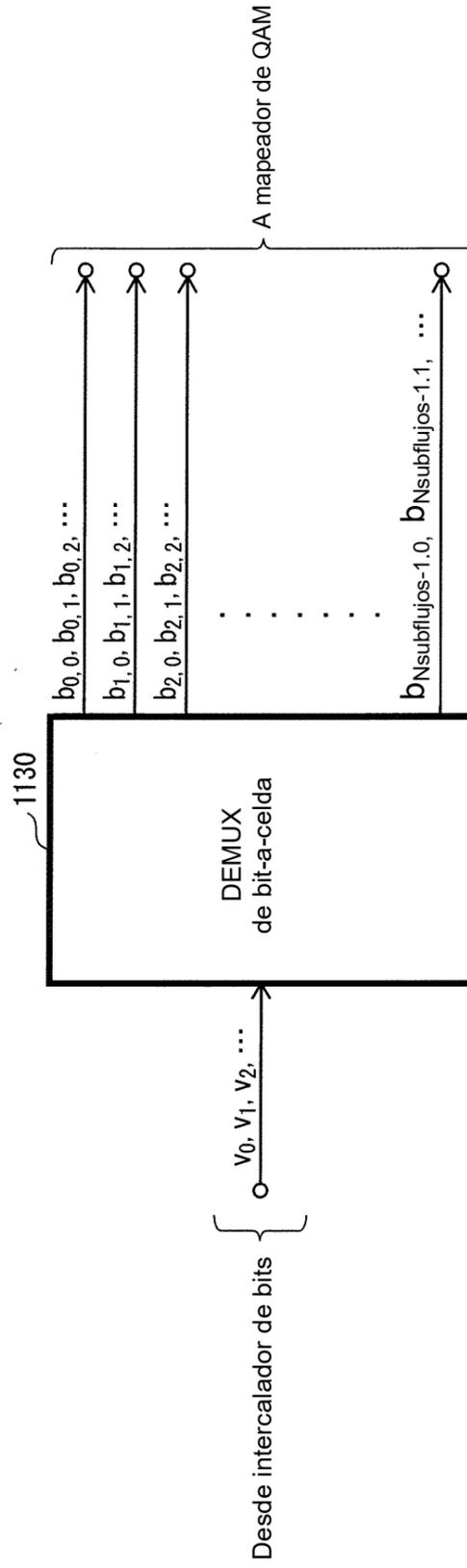
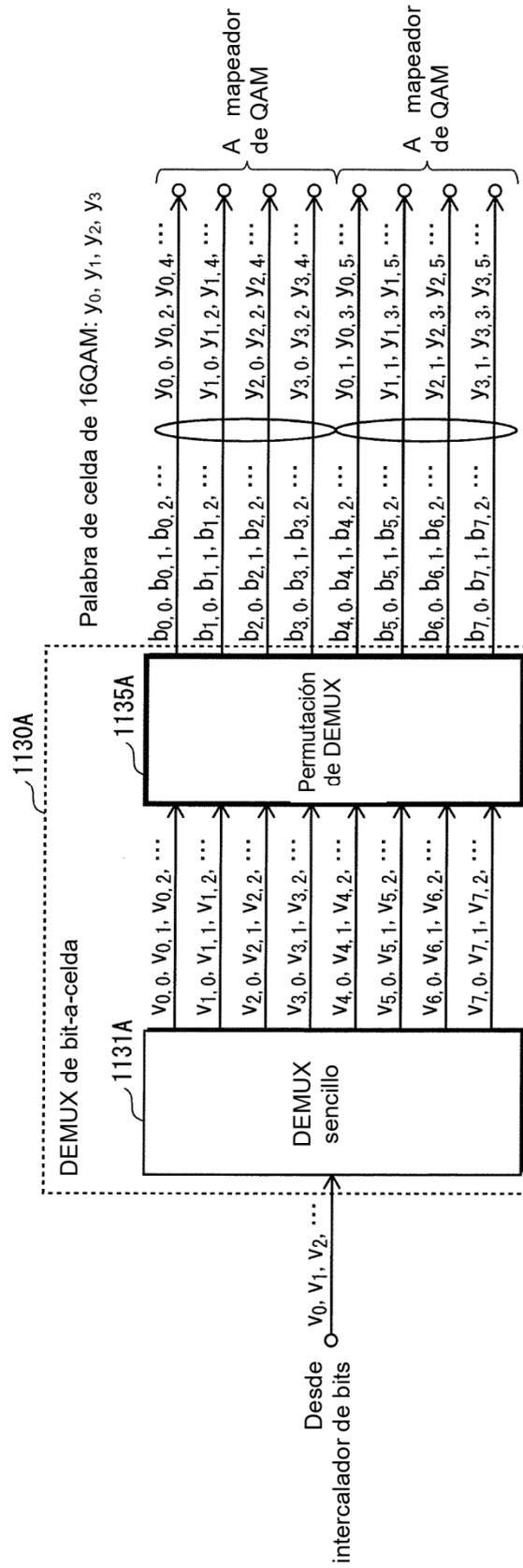


FIG. 8



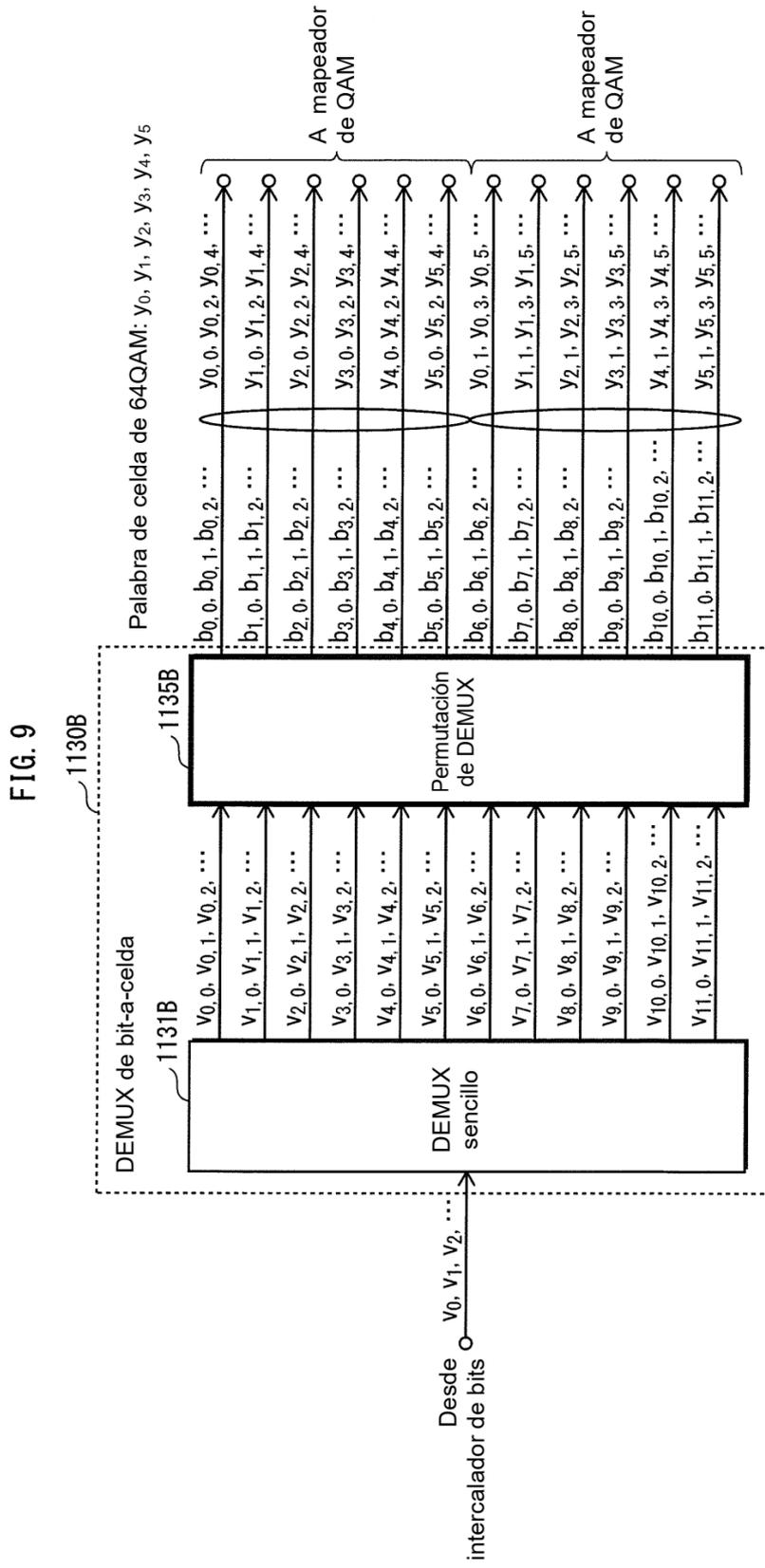


FIG. 10

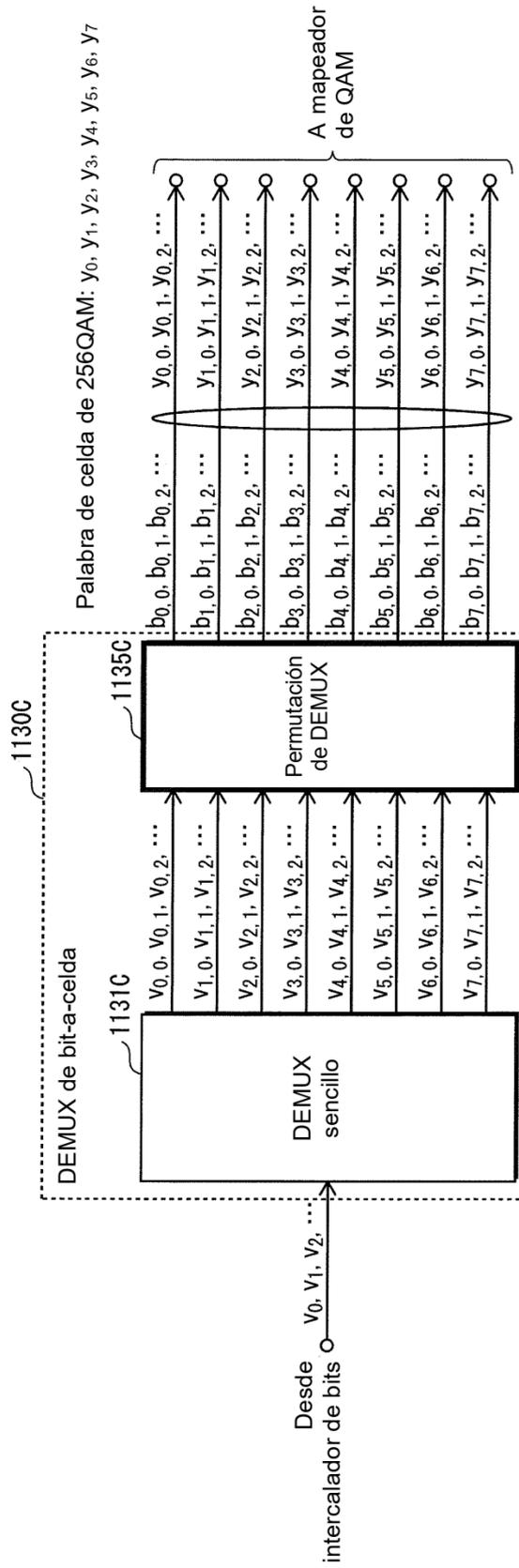


FIG. 11

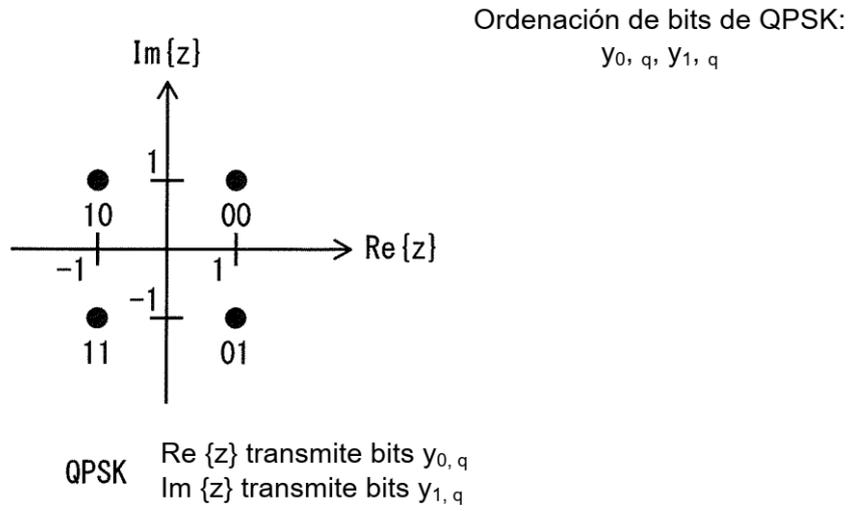


FIG. 12

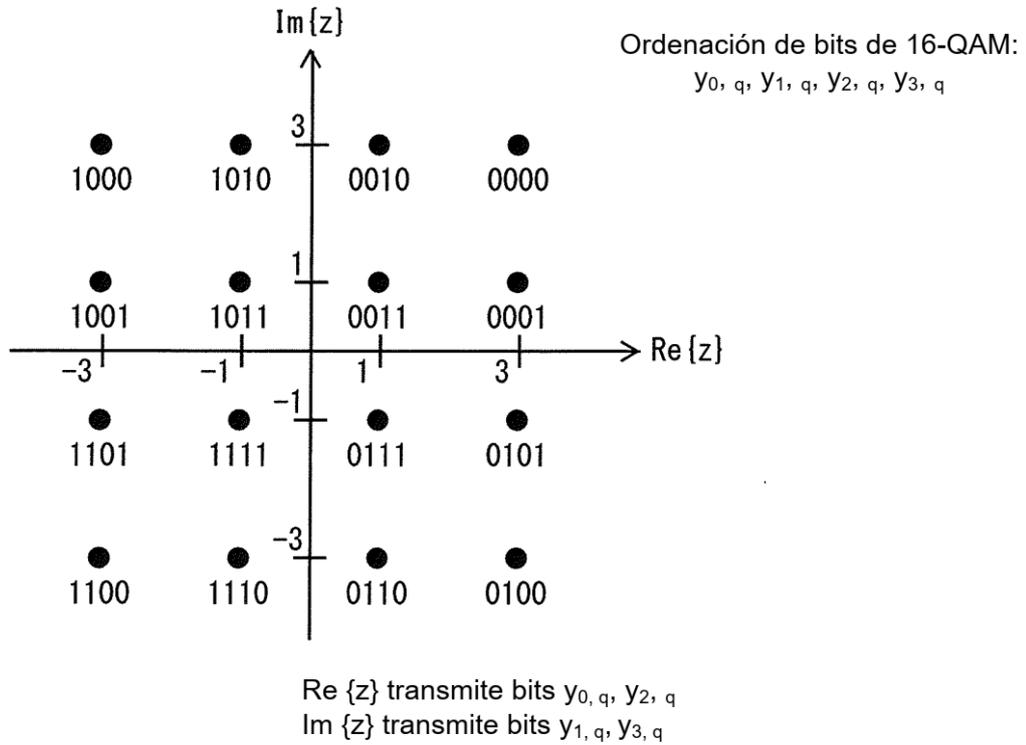
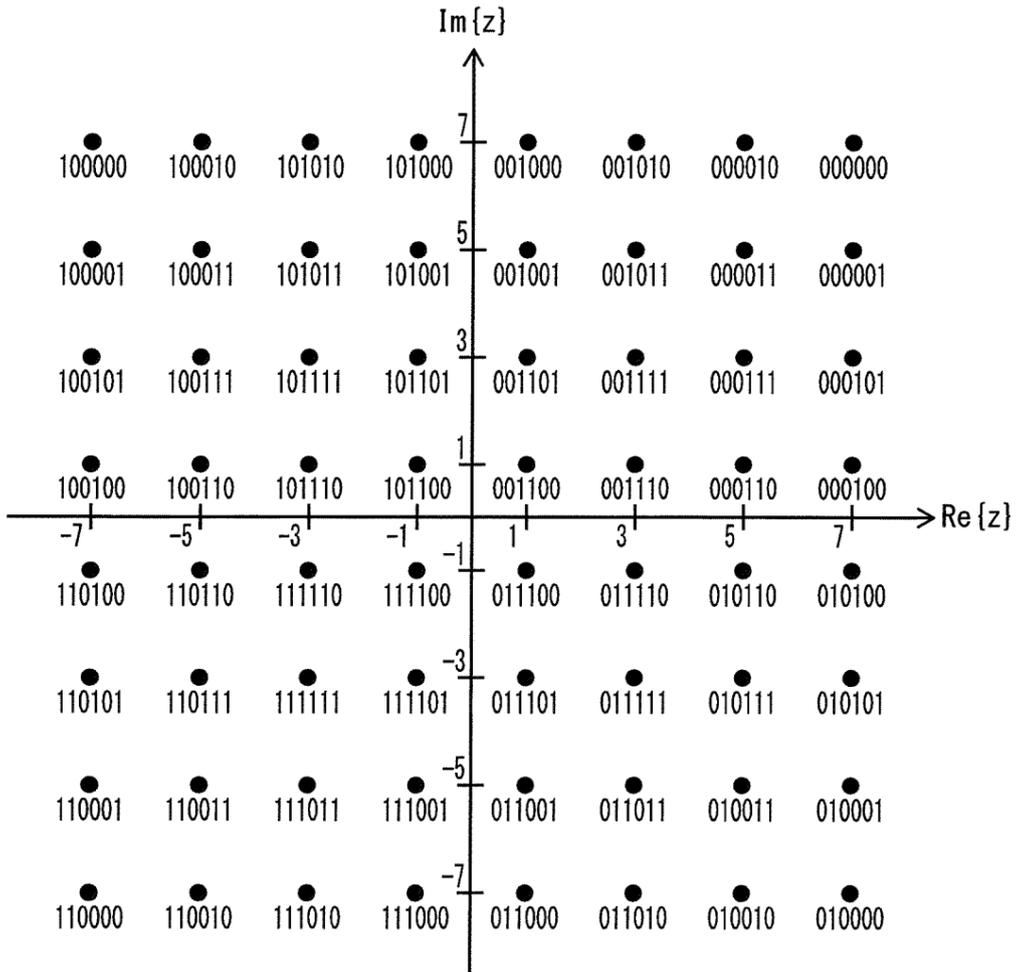


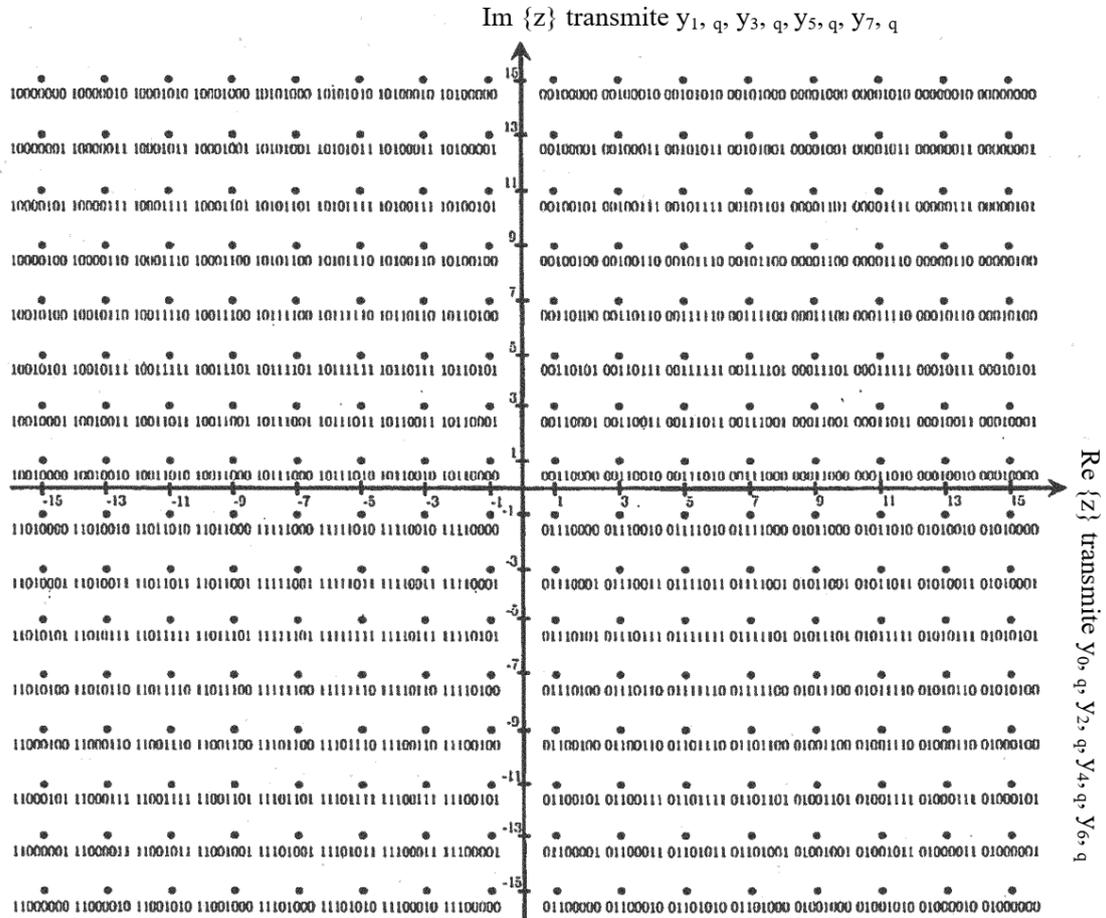
FIG. 13

Ordenación de bits de 64-QAM:
 $y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}$



Re {z} transmite bits $y_{0,q}, y_{2,q}, y_{4,q}$
 Im {z} transmite bits $y_{1,q}, y_{3,q}, y_{5,q}$

Fig. 14



Ordenación de bits de 256-QAM:

$y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$

FIG. 15

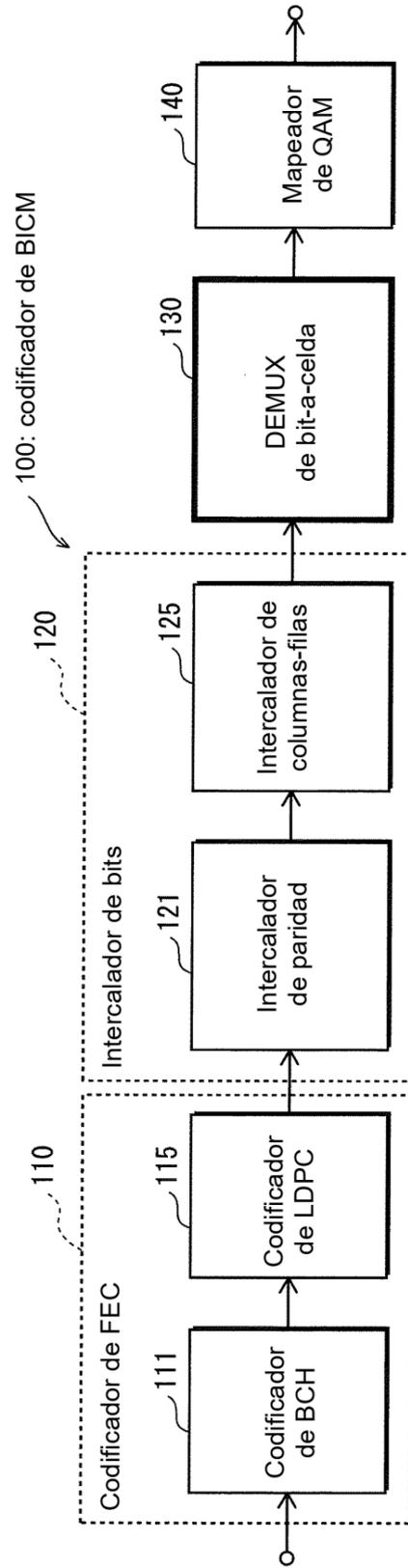


FIG. 16

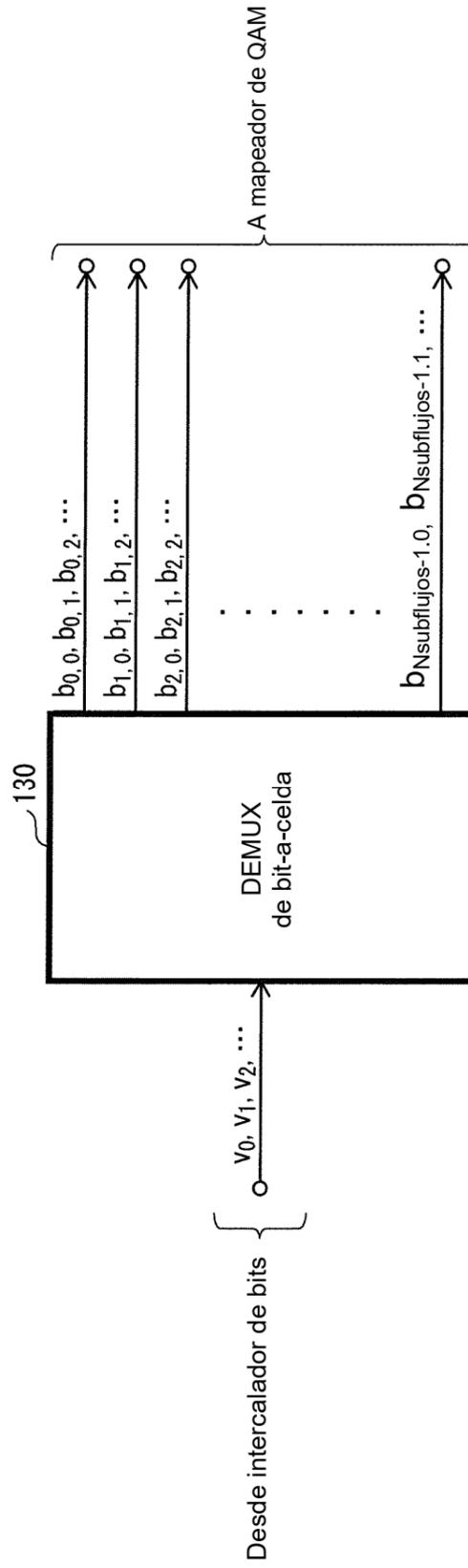
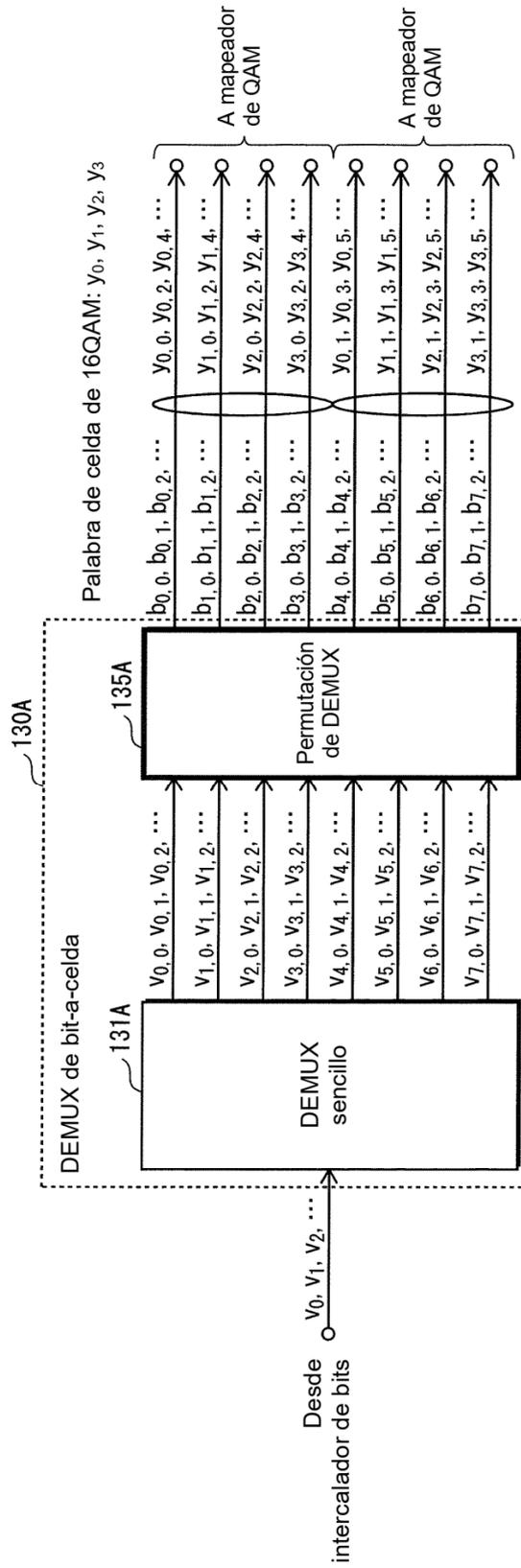


FIG. 17



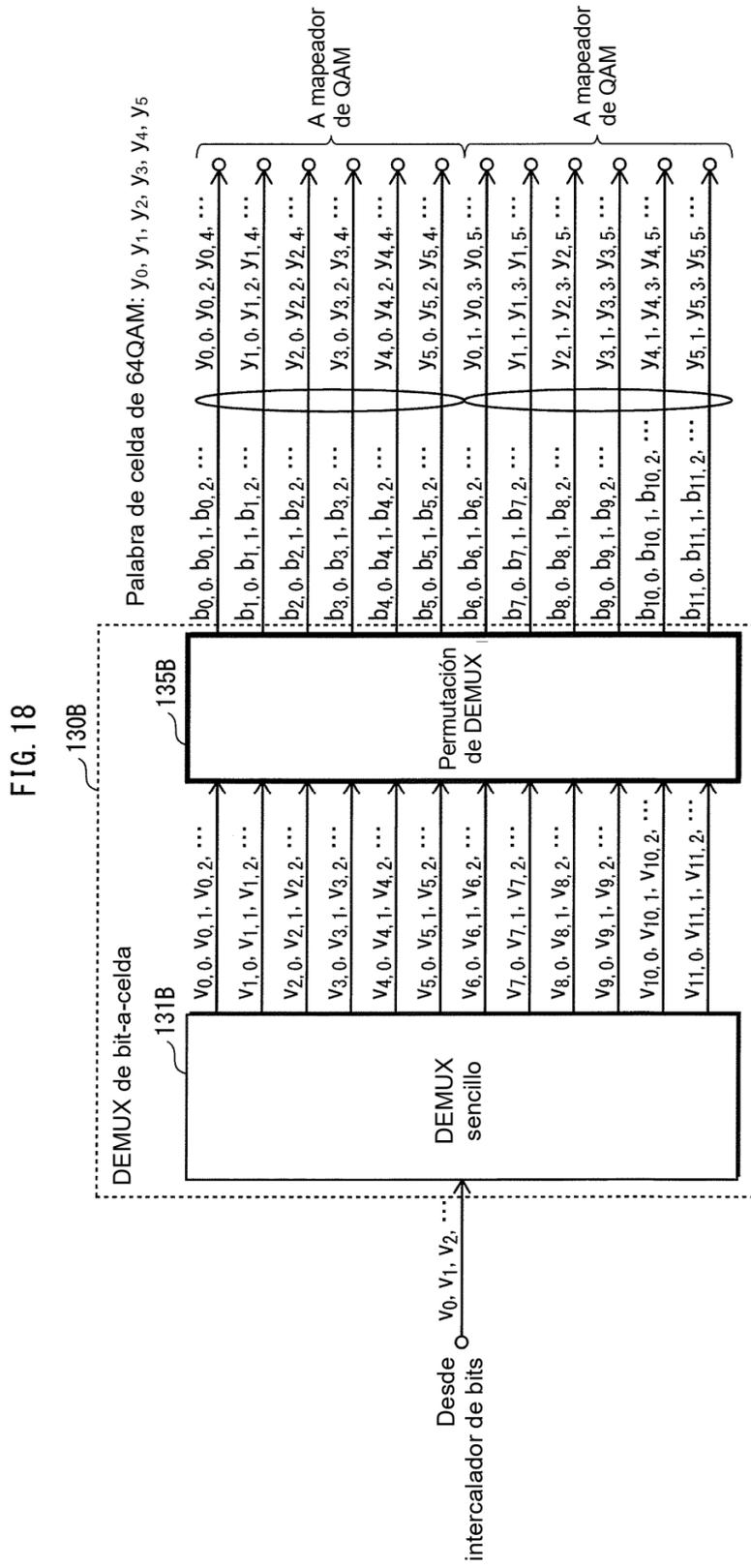


FIG. 19

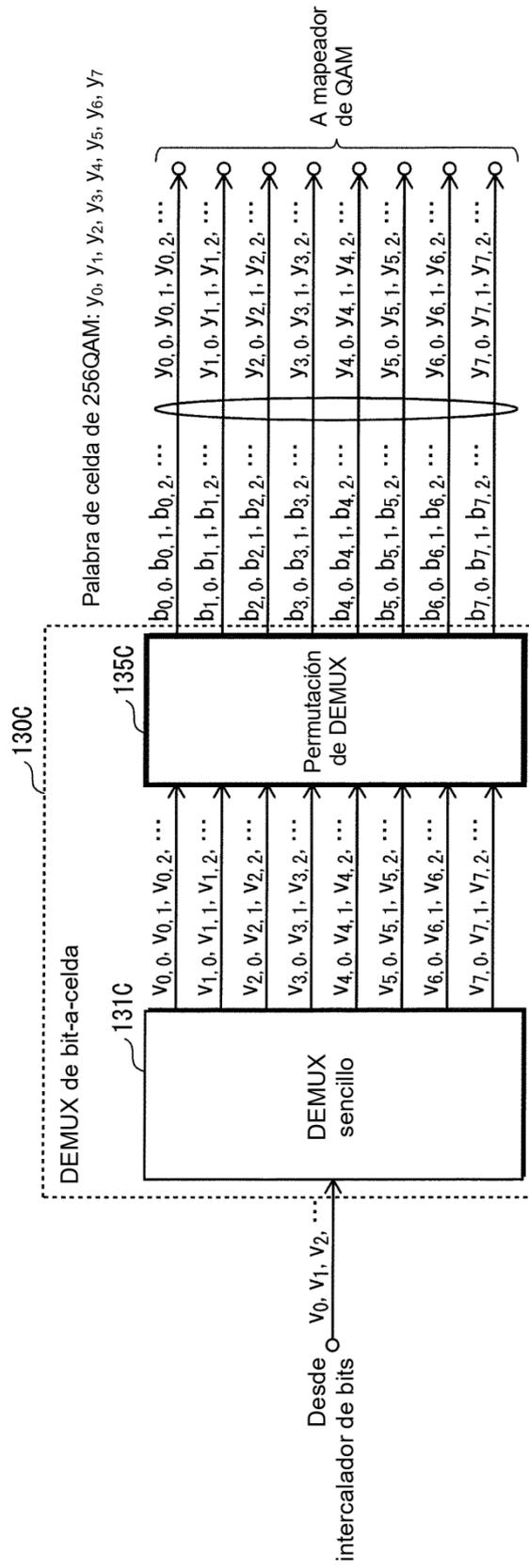


FIG. 20

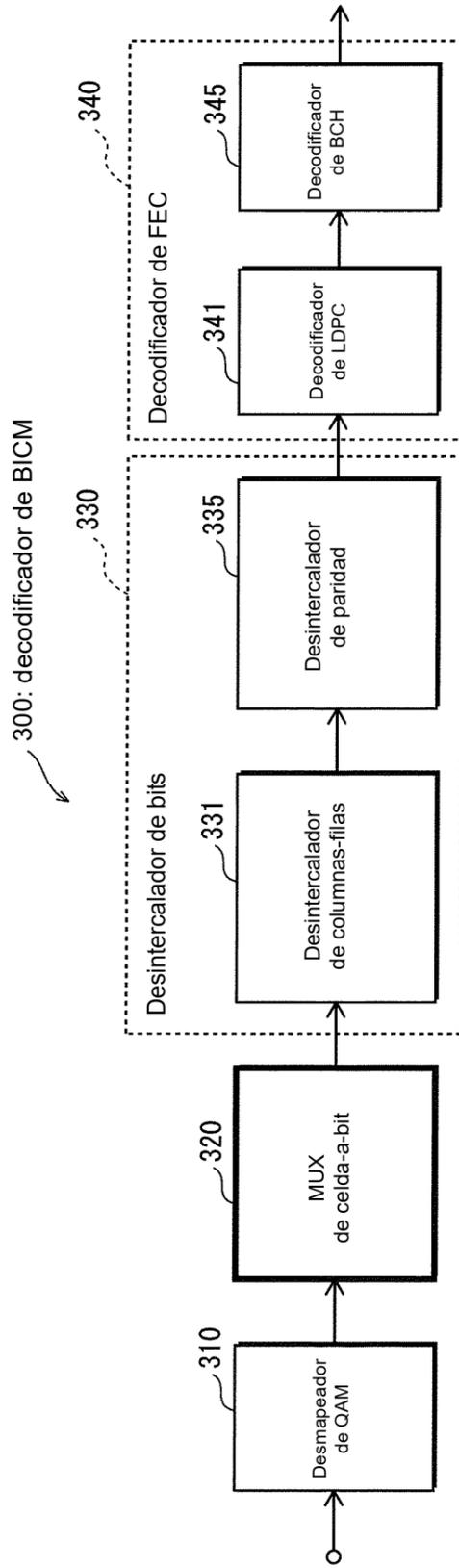


FIG. 21

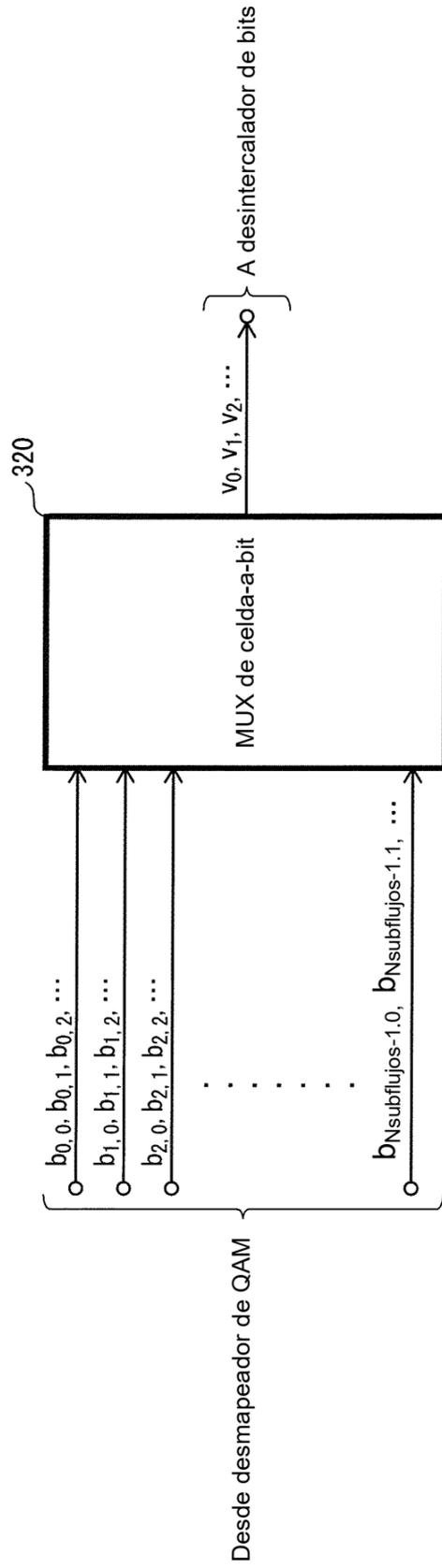


FIG. 22

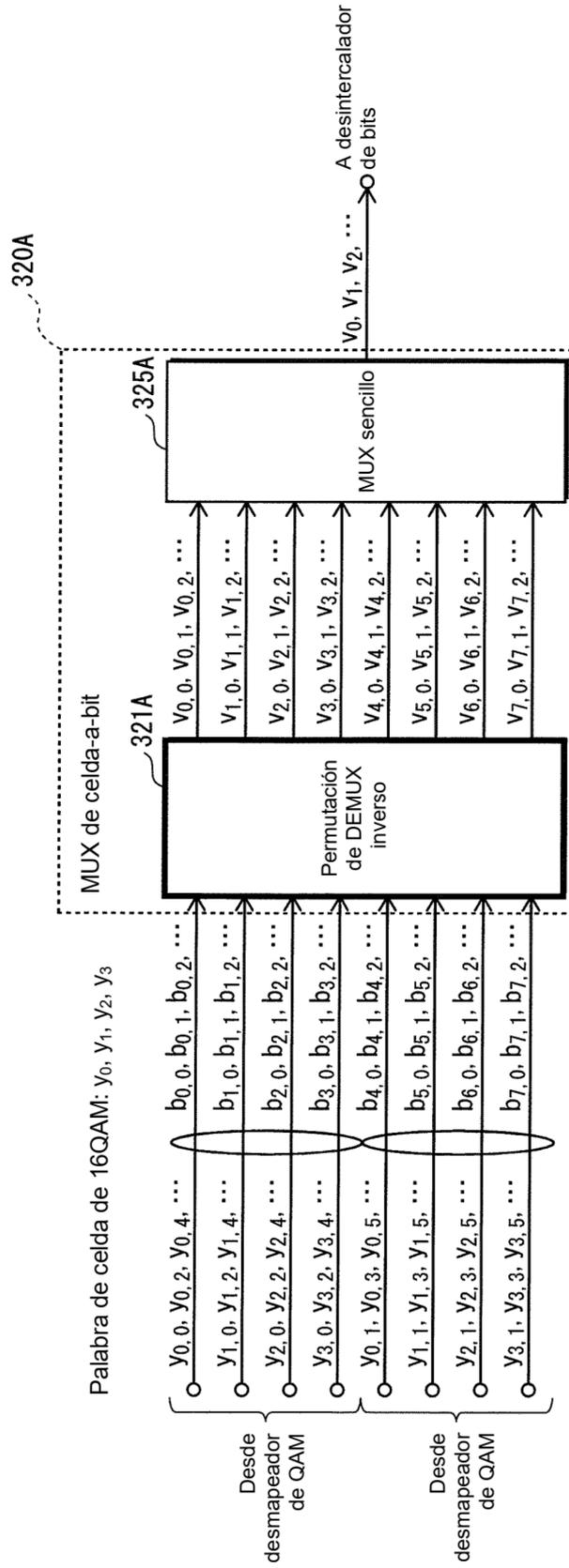


FIG. 23

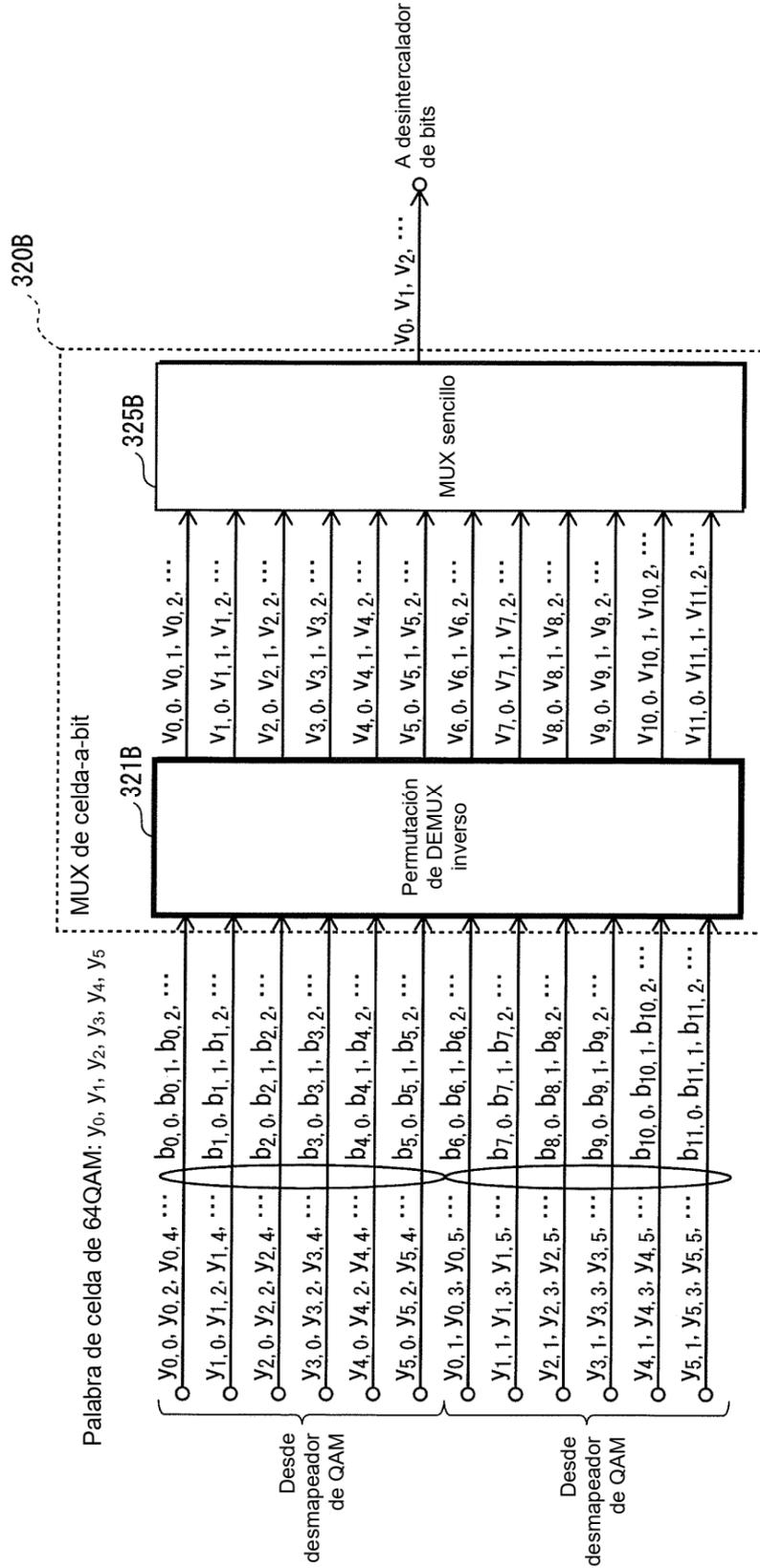


FIG. 24

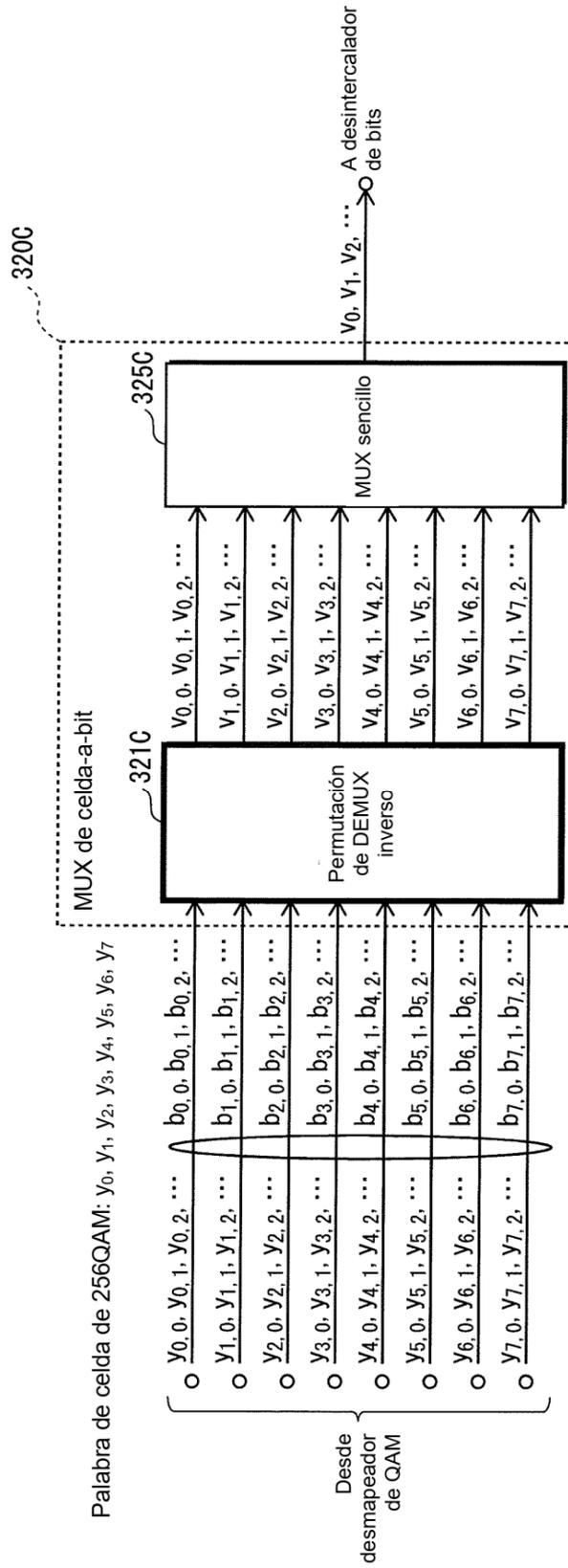


FIG. 25

Direcciones de los acumuladores de bits de paridad para el código de LDPC de tasa de código de 7/15 y longitud de palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638	
	356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582	
	714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8559	
	3452	7935	8092	8623																				
	56	1955	3000	8242																				
	1809	4094	7991	8489																				
	2220	6455	7849	8548																				
	1006	2576	3247	6976																				
	2177	6048	7795	8295																				
	1413	2595	7446	8594																				
	2101	3714	7541	8531																				
	10	5961	7484																					
	3144	4636	5282																					
	5708	5875	8390																					
	3322	5223	7975																					
	197	4653	8283																					
	598	5393	8624																					
	906	7249	7542																					
	1223	2148	8195																					
	976	2001	5005																					

FIG. 26

Direcciones de los acumuladores de bits de paridad para el código de LDPC de tasa de código de 8/15 y longitud de palabra de código de 16200

32	384	430	591	1296	1976	1999	2137	2175	3638	4214	4304	4486	4662	4999	5174	5700	6969	7115	7138	7189
1788	1881	1910	2724	4504	4928	4973	5616	5686	5718	5846	6523	6893	6994	7074	7100	7277	7399	7476	7480	7537
2791	2824	2927	4196	4298	4800	4948	5361	5401	5688	5818	5862	5969	6029	6244	6645	6962	7203	7302	7454	7534
574	1461	1826	2056	2069	2387	2794	3349	3366	4951	5826	5834	5903	6640	6762	6786	6859	7043	7418	7431	7554
14	178	675	823	890	930	1209	1311	2898	4339	4600	5203	6485	6549	6970	7208	7218	7298	7454	7457	7462
4075	4188	7313	7553																	
5145	6018	7148	7507																	
3198	4858	6983	7033																	
3170	5126	5625	6901																	
2839	6093	7071	7450																	
11	3735	5413																		
2497	5400	7238																		
2067	5172	5714																		
1889	7173	7329																		
1795	2773	3499																		
2695	2944	6735																		
3221	4625	5897																		
1690	6122	6816																		
5013	6839	7358																		
1601	6849	7415																		
2180	7389	7543																		
2121	6838	7054																		
1948	3109	5046																		
272	1015	7464																		