

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 750 847**

51 Int. Cl.:

H04L 1/00 (2006.01)

H04L 27/34 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **07.11.2012 E 17183530 (9)**

97 Fecha y número de publicación de la concesión europea: **14.08.2019 EP 3258631**

54 Título: **Procedimiento de transmisión, procedimiento de recepción, transmisor y receptor**

30 Prioridad:

10.11.2011 EP 11188627

25.11.2011 EP 11190793

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

27.03.2020

73 Titular/es:

**SUN PATENT TRUST (100.0%)
450 Lexington Avenue, 38th Floor
New York, NY 10017, US**

72 Inventor/es:

PETROV, MIHAIL

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 750 847 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento de transmisión, procedimiento de recepción, transmisor y receptor

[Campo técnico]

5 La presente invención se refiere al campo de las comunicaciones digitales, y más específicamente a la tecnología para transmisión y recepción que emplea constelaciones multidimensionales rotadas.

[Antecedentes de la técnica]

En los últimos años, ha habido transmisores que usan constelaciones rotadas multi-dimensionales (por ejemplo, constelaciones de modulación por amplitud en cuadratura (QAM) rotadas) (véase la Bibliografía de Patente 1 y Bibliografía no de Patente 1, por ejemplo).

10 Un transmisor de este tipo tiene una función de multiplicación de cada uno de los vectores por una matriz ortogonal (rotando cada uno de los vectores), teniendo cada uno de los vectores, como elementos de los mismos, un número predeterminado de símbolos de modulación de amplitud de pulso con valor real (PAM) emitidos desde un mapeador de símbolos. En un transmisor de este tipo, el número predeterminado de elementos de cada vector resultante del procedimiento de rotación (es decir, cada vector rotado) se ensancha a lo largo del eje de tiempo.

[Lista de citas]

[Bibliografía de patente]

[Bibliografía de patente 1] Publicación de Solicitud de Patente Europea N.º 2288048

[Bibliografía no de patente]

[Bibliografía No de Patente 1] ETSI EN 302 755 V1. 1. 1 (Norma DVB-T2)

[Sumario de la invención]

[Problema técnico]

La diversidad de tiempo se basa en el ensanchamiento del número predeterminado de elementos de cada vector rotado a lo largo del eje de tiempo.

25 Por consiguiente, un objeto de la presente invención es proporcionar un procedimiento de transmisión que consiga excelente diversidad de tiempo ensanchando apropiadamente el número predeterminado de elementos de cada vector rotado a lo largo del eje de tiempo.

[Solución al problema]

30 El artículo "DVB-T2: New Signal Processing Algorithms for a Challenging Digital Video Broadcasting Standard", por Mendicute y col, publicado 01. 02. 10, describe los procedimientos de capa física del DVB-T2, que incluyen la codificación de FEC, mapeo de QPSK, rotación y retardo cíclico del componente Q.

La presente invención se refiere a procedimientos y aparatos para transmitir datos digitales de acuerdo con las reivindicaciones adjuntas.

[Efectos ventajosos de la invención]

El procedimiento de transmisión anteriormente descrito consigue excelente diversidad de tiempo.

[Breve descripción de los dibujos]

La Figura 1 es un diagrama de bloques que muestra la estructura de un transmisor 100 que emplea constelaciones rotadas generalizadas.

La Figura 2A muestra un ejemplo de combinación de intercalación de trama y mapeo de trama.

40 La Figura 2B muestra otro ejemplo de combinación de intercalación de trama y mapeo de trama.

La Figura 2C muestra otro ejemplo de combinación de intercalación de trama y mapeo de trama.

La Figura 2D muestra otro ejemplo de combinación de intercalación de trama y mapeo de trama.

La Figura 2E muestra otro ejemplo de combinación de intercalación de trama y mapeo de trama.

45 La Figura 3A muestra esquemáticamente un ejemplo de ensanchamiento de un bloque de FEC a través de una trama de acuerdo con una realización de la presente invención.

La Figura 3B muestra esquemáticamente un ejemplo de ensanchamiento de un bloque de FEC a través de dos tramas de acuerdo con una realización de la presente invención.

La Figura 3C muestra esquemáticamente un ejemplo de ensanchamiento de un bloque de FEC a través de tres tramas de acuerdo con una realización de la presente invención.

La Figura 3D muestra esquemáticamente un ejemplo de ensanchamiento de un bloque de FEC a través de cuatro tramas de acuerdo con una realización de la presente invención.

La Figura 4 es un diagrama de bloques que muestra la estructura de un transmisor 100A que emplea constelaciones rotadas de acuerdo con la realización 1 de la presente invención.

La Figura 5 muestra un ejemplo de mapeo de célula realizado por un mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados bidimensionales.

La Figura 6 muestra un ejemplo de mapeo de célula realizado por el mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados de cuatro dimensiones.

La Figura 7 muestra otro ejemplo de mapeo de célula realizado por el mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados bidimensionales.

La Figura 8 muestra otro ejemplo de mapeo de célula realizado por el mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados de cuatro dimensiones.

La Figura 9 muestra un ejemplo de intercalación de célula realizado por un intercalador 150A de célula mostrado en la Figura 4 para bloques de constelación rotados bidimensionales.

La Figura 10 muestra un ejemplo de intercalación de célula realizado por el intercalador 150A de célula mostrado en la Figura 4 para bloques de constelación rotados de cuatro dimensiones.

La Figura 11 muestra un ejemplo de un resultado de mapeo de célula e intercalación de célula para bloques de constelación rotados bidimensionales.

La Figura 12 muestra un ejemplo de un resultado de mapeo de célula e intercalación de célula para bloques de constelación rotados de cuatro dimensiones.

La Figura 13 muestra un ejemplo de segmentación de un bloque de FEC para bloques de constelación rotados bidimensionales.

La Figura 14 muestra un ejemplo de segmentación de un bloque de FEC para bloques de constelación rotados de cuatro dimensiones.

La Figura 15 es un diagrama de bloques que muestra la estructura de un intercalador 160A de trama mostrado en la Figura 4.

La Figura 16 muestra esquemáticamente un ejemplo de ensanchamiento de un bloque de FEC a través de una pluralidad de tramas, que se realiza por un intercalador 160A de trama mostrado en la Figura 15.

La Figura 17 muestra un ejemplo de división de un bloque de FEC en unidades de intercalación y de división adicional de las unidades de intercalación en segmentos.

La Figura 18 es un diagrama de bloques que muestra la estructura de un receptor 300 que emplea constelaciones rotadas de acuerdo con la realización 1 de la presente invención.

La Figura 19 es un diagrama de bloques que muestra la estructura de un transmisor 500 que emplea constelaciones de modulación por amplitud en cuadratura (QAM) rotadas de acuerdo con la norma de DVB-T2.

La Figura 20 muestra un ejemplo de procesamiento realizado por una unidad 551 de inserción de retardo Q mostrada en la Figura 19 para bloques de constelación rotados bidimensionales.

La Figura 21 muestra un ejemplo de procesamiento realizado por la unidad 551 de inserción de retardo Q mostrada en la Figura 19 para bloques de constelación rotados de cuatro dimensiones. La Figura 22 es un diagrama de bloques que muestra la estructura de un intercalador 520 de bits mostrado en la Figura 19.

La Figura 23 muestra el resultado de una operación por un intercalador 524 de columna-fila mostrado en la Figura 22.

La Figura 24A muestra el mapeo de bits para una constelación de QPSK.

La Figura 24B muestra el mapeo de bits para una constelación de 16-QAM.

La Figura 24C muestra el mapeo de bits para una constelación de 64-QAM.

La Figura 25 es un diagrama de bloques que muestra la estructura de un transmisor 500A que emplea constelaciones rotadas de acuerdo con la realización 2 de la presente invención.

La Figura 26 es un diagrama de bloques que muestra la estructura de un transmisor 500B que emplea constelaciones rotadas de acuerdo con la realización 2 de la presente invención.

La Figura 27 es un diagrama de bloques que muestra la estructura de un receptor 700 que emplea constelaciones rotadas de acuerdo con la realización 2 de la presente invención.

[Descripción de las realizaciones]

<<Examen y descubrimiento por el inventor>>

En primer lugar, se proporciona la descripción sobre una tecnología de transmisión que emplea constelaciones rotadas multi-dimensionales generalizadas (por ejemplo, constelaciones de modulación por amplitud en cuadratura (QAM) rotadas), con referencia a los dibujos.

La Figura 1 es un diagrama de bloques que muestra la estructura de un transmisor que emplea constelaciones rotadas multi-dimensionales generalizadas.

Un transmisor 100 incluye un codificador 110 de corrección de errores hacia delante (FEC), un demultiplexor 115, un mapeador 120 de PAM, un demultiplexor 125, una unidad 130 de rotación de constelación, un mapeador 140 de célula, un intercalador 150 de célula, un intercalador 160 de trama, un mapeador 170 de trama, un modulador 180, y una antena 190 de transmisión.

El transmisor 100 recibe, como entrada, bloques binarios de una longitud predeterminada, que contienen la información a transmitirse.

El codificador 110 de FEC codifica cada bloque de información usando un código de corrección de errores hacia delante (FEC). Esto produce una palabra de código de FEC. El procesamiento de codificación incluye el cálculo de bits de redundancia y adición de los bits de redundancia al bloque de información para hacer la decodificación del bloque de información por el receptor más robusta contra los errores. Dos ejemplos notables de las familias de código de FEC son código de comprobación de paridad de baja densidad (LDPC) y un turbo código. La presente invención, sin embargo, no limita particularmente el tipo de código de FEC usado por el codificador 110 de FEC. El parámetro más importante en un código de FEC es una tasa de código. La tasa de código es una relación entre el número de bits de información y el número de bits de palabra de código (tasa de código = número de bits de información/número de bits de palabra de código). Obsérvese que la presente invención no limita particularmente la tasa de código.

La palabra de código de FEC producida por el procesamiento de codificación se proporciona al demultiplexor 115. En lo sucesivo, una palabra de código de FEC se denomina como un bloque de FEC. El demultiplexor 115 demultiplexa los bits del bloque de FEC en grupos de B bits, y proporciona los grupos de B bits al mapeador 120 de PAM. El mapeador 120 de PAM mapea los grupos de B bits en símbolos de modulación de amplitud de pulso con valor real (PAM). Cada símbolo de PAM toma un valor de un conjunto discreto de 2^B valores. Cómo se mapean los B en símbolos de PAM se entiende bien y no es directamente relevante para la presente invención. El aspecto relevante es que cada bloque de FEC se transforma en un bloque de símbolos de PAM. A continuación, el número de símbolos de PAM por bloque de FEC se indicará por N_s .

Antes de que se mapee a símbolos de PAM, el bloque de FEC puede experimentar etapas de procesamiento adicionales, tales como permutación de bits o perforación. Estos aspectos son bien conocidos en la técnica.

Los N_s símbolos de PAM con valor real producidos por el mapeador 120 de PAM se proporcionan a continuación al demultiplexor 125. El demultiplexor 125 demultiplexa los N_s símbolos de PAM con valor real en vectores D-dimensionales que cada uno tiene D símbolos de PAM con valor real como elementos. Estos vectores pueden considerarse como que identifican puntos únicos en un espacio D-dimensional. Las $(2^B)^D$ combinaciones resultantes de una constelación D-dimensional.

Cada vector D-dimensional se proporciona del demultiplexor 125 a la unidad 130 de rotación de constelación. La unidad 130 de rotación de constelación multiplica cada vector D-dimensional por una matriz ortogonal D-por-D (en lo sucesivo "matriz ortogonal $D \times D$ "). En este punto, proporcionándose el vector D-dimensional a la unidad 130 de rotación de constelación V, la matriz ortogonal usada para la multiplicación de matriz R, y el vector rotado D-dimensional resultante de la multiplicación de matriz V', entonces $V' = RV$. La multiplicación de la matriz ortogonal puede considerarse como una rotación de vector generalizada en el espacio D-dimensional, de ahí el término "constelaciones rotadas". Como la presente invención no limita la matriz ortogonal (también denominada como "matriz de rotación") usada por la unidad 130 de rotación de constelación a una matriz ortogonal con una estructura particular, puede usarse cualquier matriz ortogonal. El uso de constelaciones rotadas es una técnica bien conocida en este campo técnico, y por lo tanto se omite una explicación detallada de la misma. Pueden hallarse detalles precisos en la Bibliografía de Patente 1 (EP 2288048).

Preferentemente, D es una potencia de 2, tal como 2, 4, u 8. Típicamente N_s es un múltiplo de D. Si este no es el caso, los últimos 1 a D-1 símbolos de PAM en el bloque de FEC puede dejarse sin variar, es decir no rotados. Esto no afecta a ninguno de los aspectos de la presente invención.

También se prefiere que N_s sea un múltiplo de 2.

A continuación, los vectores rotados D-dimensionales obtenidos rotando vectores que cada uno tiene D símbolos de PAM con valor real como elementos se denominan como bloques de constelación rotados D-dimensionales o simplemente bloques de constelación D-dimensionales. Los símbolos reales que constituyen un bloque de constelación D-dimensional se denominan como componentes o dimensiones.

Obsérvese que los bloques de constelación rotados bidimensionales se denominan como bloques de constelación rotados 2D o como 2D-RC. De manera similar, los bloques de constelación rotados de cuatro dimensiones se denominan como bloques de constelación rotados 4D o como 4D-RC.

Después de la multiplicación de la matriz ortogonal (después del procedimiento de rotación), los N_s símbolos reales (componentes) de cada bloque de FEC se proporcionan de la unidad 130 de rotación de constelación al mapeador 140 de célula. El mapeador 140 de célula mapea los N_s símbolos reales en $N_c = N_s/2$ símbolos complejos (mapeo de célula). Los símbolos complejos también se denominan como células complejas o simplemente células.

El intercalador 150 de célula recibe las células complejas del mapeador 140 de célula e intercala las células complejas (intercalación de célula).

Para aumentar la diversidad de tiempo del sistema, el intercalador 160 de trama realiza la intercalación para ensanchar las N_c células complejas de cada bloque de FEC a lo largo del eje de tiempo (intercalación de trama). El mapeador

170 de trama mapea las células complejas ensanchadas a lo largo del eje de tiempo en una trama (mapeo de trama).

El intercalador 160 de trama puede ser un intercalador de bloques, un intercalador convolucional, o una combinación de ambas. En la norma de DVB-T2 por ejemplo, el intercalador 160 de trama es un intercalador de bloques y se denomina como un intercalador de tiempo.

5 La diversidad de tiempo del sistema aumenta con la duración de intercalación que debería maximizarse. Las duraciones de intercalación muy largas, sin embargo, conducen a alta latencia, adquisición inicial lenta (por ejemplo para cambio de canal de TV), y altos requisitos de memoria tanto en el transmisor como en el receptor.

10 Típicamente, la señal transmitida se organiza en una o más tramas de duración idéntica. Las N_C células complejas de cada bloque de FEC pueden transmitirse en una o más tramas N_F . Preferentemente, el número de células complejas en cada trama es el mismo. Dentro de una trama, las células complejas pueden transmitirse en una única ráfaga o intercalarse con otras células complejas a través de una duración más larga. Ensanchar las células complejas durante la trama entera proporciona la mejor diversidad y robustez. En la presente invención, sin embargo, el mecanismo para intercalación de trama y mapeo de trama no está limitado a un mecanismo particular.

15 Después de estar sometidas a intercalación de trama y mapeo de trama, las células complejas se procesan adicionalmente por un bloque de procesamiento que incluye al menos el modulador 180, un conversor ascendente (no mostrado), y un amplificador de potencia de radio-frecuencia (RF) (no mostrado). El modulador 180 usa, por ejemplo, modulación por multiplexación por división de frecuencia ortogonal (OFDM). También, el modulador 180 puede incluir una función de intercalación de frecuencia para diversidad de frecuencia aumentada. El convertidor ascendente convierte una señal de banda base digital en una señal de frecuencia de radio (RF) analógica. El amplificador de potencia de RF amplifica la potencia de la señal de RF analógica. La señal de RF analógica cuya potencia se ha amplificado se transmite a continuación de la antena 190 de transmisión.

Las Figuras 2A a 2E muestran ejemplos de posibles combinaciones de intercalación de trama y mapeo de trama. En las Figuras 2A a 2E, así como en las Figuras 3A a 3D posteriormente descritas, el eje horizontal (lateral) y el eje vertical (longitudinal) representan tiempo y frecuencia, respectivamente.

25 La Figura 2A muestra el caso cuando se transmite un bloque de FEC en una pequeña porción de una trama. La diversidad de tiempo resultante es baja. Si la región de la trama en la que se transmite el bloque de FEC se ve afectada por, por ejemplo, ruido impulsivo, todas las células complejas del bloque de FEC se verán afectadas por el ruido impulsivo y el bloque de FEC puede ya no decodificarse más.

30 La Figura 2B muestra el caso cuando se transmite un bloque de FEC como dos ráfagas a través de una trama. En el caso de la Figura 2B, la diversidad de tiempo aumenta en comparación con el caso mostrado en la Figura 2A. En lo sucesivo, las ráfagas se denominan también como segmentos.

35 La Figura 2C muestra el caso cuando un bloque de FEC se ensancha a través de una trama entera y se transmite. En el caso de la Figura 2C, la diversidad de tiempo aumenta significativamente en comparación con los casos mostrados en las Figuras 2A y 2B. Si un ruido impulsivo destruye el comienzo de la trama, por ejemplo, únicamente una parte de las células complejas en el bloque de FEC se verá afectado por el ruido impulsivo (la parte restante de las células complejas no se verá afectada). Como resultado, se reduce la probabilidad de fallo de decodificación.

40 La Figura 2D muestra el caso cuando se intercala cada bloque de FEC y se ensancha a través de dos tramas adyacentes y se transmite. En el caso de la Figura 2D, la diversidad de tiempo aumenta en comparación con los casos mostrados en las Figuras 2A, 2B y 2C. Sin embargo, la memoria requerida para intercalación y desintercalación dobla en tamaño.

45 La Figura 2E muestra el caso cuando cada bloque de FEC se intercala y ensancha a través de dos tramas no adyacentes con un hueco de una trama entre medias y se transmite. En cada una de las dos tramas, las células complejas se transmiten como ráfagas cortas. Esto es conocido como segmentación de tiempo y permite que el receptor ahorre consumo de potencia entre ráfagas. El periodo de intercalación son cuatro tramas, que aumenta adicionalmente la cantidad de memoria requerida para intercalación y desintercalación en comparación con el caso mostrado en la Figura 2C.

50 En general, la diversidad de tiempo puede maximizarse (i) transmitiendo las células complejas de un bloque de FEC en múltiples tramas y (ii) ensanchando las células complejas en cada trama durante la mayor duración de trama que sea posible. Estos dos aspectos se denominan como diversidad de tiempo inter-trama y diversidad de tiempo intra-trama, respectivamente.

Una solución convencional para maximizar diversidad de tiempo es conocida a partir de Bibliografía no de Patente 1 para constelaciones rotadas en dos dimensiones. La solución convencional incluye las siguientes etapas (1) a (3).

55 (1) Aplicar una rotación de 2D entre los componentes real e imaginario de cada símbolo de QAM complejo. Obsérvese que cada uno de los componentes real e imaginario de cada símbolo de QAM complejo corresponde a un símbolo de PAM con valor real anteriormente descrito.

(2) Después de la aplicación de rotación 2D, aplicar un retardo cíclico relativo de una célula compleja entre los componentes real e imaginario de las N_c células complejas en cada bloque de FEC.

(3) Después de la aplicación del retardo cíclico, aplicar una permutación pseudo-aleatoria a las células complejas de cada bloque de FEC. La permutación pseudo-aleatoria se describe como "intercalador de célula" en la norma de DVB-T2.

5 Los detalles sobre las etapas anteriores se desvelan en la Bibliografía no de Patente 1, y son bien conocidas en este campo técnico. Por consiguiente, se omite una explicación detallada acerca de estas etapas en este punto.

10 La solución convencional anteriormente mencionada reduce la correlación promedio del desvanecimiento experimentado por los dos componentes (dimensiones) de cada bloque de constelación. Sin embargo, debido a un número aleatorio usado para la permutación pseudo-aleatoria, dos componentes del mismo bloque de constelación pueden finalizar estando muy cerca o lejos unos de los otros. Por lo tanto, la diversidad de tiempo de la solución convencional no es óptima.

15 En un sistema de comunicación que emplea constelaciones rotadas, es importante que los D componentes de un bloque de constelación D-dimensional experimenten desvanecimiento de canal no correlacionado. Por lo tanto, los D componentes en el bloque de constelación D-dimensional se mapean preferentemente a D diferentes células complejas y el desvanecimiento de canal experimentado por estas células complejas debería estar tan no correlacionado como sea posible. De esta manera, se maximiza la ganancia de las constelaciones rotadas, y por lo tanto el rendimiento del sistema.

20 En el caso general de constelaciones rotadas en D dimensiones, el inventor se ha dado cuenta que se obtiene el rendimiento de mejor sistema si los intervalos de tiempo (distancias) entre dos componentes del mismo bloque de constelación están distribuidos tan equitativamente como sea posible y sean tan grandes como sea posible, para todos los bloques de constelación de un bloque de FEC.

25 Cuando un bloque de FEC se ensancha a través de N_F (> 1) tramas, los D componentes (dimensiones) de cada bloque de constelación deben distribuirse tan equitativamente como sea posible entre las N_F tramas. Si D es mayor que N_F , algunas tramas llevarán dos o más componentes de algunos bloques de constelación. En ese caso, estos componentes deben ensancharse a través de la trama tan equitativamente como sea posible.

La presente invención asegura que todas estas condiciones puedan satisfacerse fácilmente.

Las Figuras 3A a 3D muestran ejemplos de ensanchamiento de los componentes de un 2D-RC y un 4D-RC.

30 Las Figuras 3A, 3B, 3C, y 3D cada una muestra un ejemplo de mapeo de dos componentes de a 2D-RC y de mapeo de cuatro componentes de un 4D-RC cuando un bloque de FEC se mapea a una trama, dos tramas, tres tramas y cuatro tramas respectivamente.

En cada una de las Figuras 3A a 3D, cada uno de los cuadrados más pequeños corresponde a un componente. Los grupos de cuadrados sombreados en cada figura representan dos componentes del mismo 2D-RC y cuatro componentes del mismo 4D-RC.

35 Cuando cada 2D-RC se ensancha a través de cuatro tramas, mapear los dos componentes de un 2D-RC cada uno en una trama 1 y trama 3, o en la trama 2 y trama 4, garantiza que el intervalo de tiempo entre dos componentes de cada 2D-RC sea dos tramas. Por lo tanto, puede observarse fácilmente que el mapeo mostrado por el ejemplo en la Figura 3D es óptimo.

40 El mapeo de los dos componentes de un 2D-RC en cada una trama 1 y trama 2, o en trama 3 y trama 4, hace el intervalo de tiempo entre los dos componentes de cada 2D-RC igual, pero el intervalo de tiempo es únicamente una trama. Adicionalmente, el mapeo entre dos componentes de un 2D-RC cada uno en una trama 1 y trama 4, o en la trama 2 y trama 3, hace el intervalo de tiempo promedio entre los dos componentes de cada 2D-RC dos tramas, pero el intervalo de tiempo entre los dos componentes de una 2D-RC no es el mismo para cada 2D-RC (es decir el intervalo de tiempo es cualquiera de una trama o tres tramas). Por consiguiente, en comparación con el mapeo mostrado por el ejemplo en la Figura 3D, estos no son buenos mapeos.

<<Realización 1>>

Un transmisor, un procedimiento de transmisión, un receptor, y un procedimiento de recepción de acuerdo con la realización 1 de la presente invención están basados en el <<Examen y descubrimiento por el inventor>> anterior, y se describen a continuación con referencia a los dibujos.

50 <Transmisor y procedimiento de transmisión>

La Figura 4 es un diagrama de bloques que muestra la estructura de un transmisor 100A en la realización 1 de la presente invención. En la realización 1, se usan los mismos signos de referencia y se omite una descripción para elementos constituyentes a los que se aplica la descripción de los elementos constituyentes del transmisor 100 en la Figura 1 como se describe en la sección <<Examen y descubrimiento por el inventor>> anterior.

El transmisor 100A en la Figura 4 incluye un codificador 110 de FEC, un demultiplexor 115, un mapeador 120 de PAM, un demultiplexor 125, una unidad 130 de rotación de constelación, un mapeador 140A de célula, un intercalador 150A de célula, un intercalador 160A de trama, un mapeador 170A de trama, un modulador 180, y una antena 190 de transmisión.

- 5 Para facilitar el entendimiento de la descripción en la realización 1, la siguiente descripción se proporciona con un ejemplo donde un bloque de FEC contiene 24 células complejas, y los bloques de constelación rotados son 2D-RC o 4D-RC.

10 El mapeador 140A de célula mapea D componentes de cada bloque de constelación D-dimensional proporcionados de la unidad 130 de rotación de constelación en D células complejas adyacentes (contiguas) en una secuencia de célula compleja que incluye N_c células complejas. Obsérvese que la presente invención no limita particularmente los detalles del procesamiento de mapeo siempre que los D componentes en cada bloque de constelación D-dimensional estén mapeados en D células complejas contiguas.

Lo siguiente describe dos procedimientos diferentes empleados por el mapeador 140A de célula para mapear los D componentes de cada bloque de constelación D-dimensional en D células complejas contiguas.

- 15 En un procedimiento de mapeo de célula, el mapeador 140A de célula mapea los D componentes de cada bloque de constelación D-dimensional en un componente real y un componente imaginario de cada una de D/2 células complejas contiguas, e inserta un retardo relativo de D/2 células complejas entre el componente real y el componente imaginario de cada una de las células complejas. El retardo relativo es cíclico con un periodo especificado. El periodo especificado es en general un múltiplo de D y un divisor de N_c . El periodo especificado se denomina como un periodo de retardo
20 cíclico.

Las Figuras 5 y 6 muestran ejemplos específicos de este procesamiento. Obsérvese que en cada una de las Figuras 5 y 6, y las Figuras 7, 8, 11, 12, 13, 14, 20, y 21 que se describen más adelante, cada uno de los cuadrados más pequeños corresponde a un componente de un 2D-RC o 4D-RC, y cada par de los cuadrados más pequeños, que son adyacentes de manera vertical (siendo el cuadrado superior un componente real Re y siendo el cuadrado inferior un componente imaginario Im), corresponde a una célula compleja. En las Figuras 5 y 6, y las Figuras 7, 8, 11, 12, 13, 14, 20, y 21 que se describen más adelante, los valores en los cuadrados más pequeños (1, 2,...) son índices que cada uno indican un 2D-RC o un 4D-RC.
25

La Figura 5 muestra un ejemplo de mapeo de célula realizado por el mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados bidimensionales (2D-RC).

- 30 Como se muestra en la porción (a) de la Figura 5, D = 2 componentes de cada 2D-RC se mapean en el componente real y el componente imaginario de una célula compleja D/2 = 1 por el mapeador 140A de célula. A continuación, como se muestra en las porciones (b), (c), (d), y (e) de la Figura 5, el mapeador 140A de célula retarda cíclicamente el componente imaginario de cada célula compleja en una célula compleja D/2 = 1 dentro del periodo de retardo cíclico (indicado simplemente como "periodo" en la Figura 5). Las porciones (b), (c), (d), y (e) de la Figura 5 muestran los casos donde los periodos de retardo cíclico son 24, 8, 4, y 2, respectivamente.
35

La Figura 6 muestra un ejemplo de mapeo de célula realizado por el mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados de cuatro dimensiones (4D-RC).

- 40 Como se muestra en la porción (a) de la Figura 6, D = 4 componentes de cada 4D-RC se mapean en los componentes reales y los componentes imaginarios de D/2 = 2 células complejas adyacentes por el mapeador 140A de célula. A continuación, como se muestra en las porciones (b), (c), y (d) de la Figura 6, el mapeador 140A de célula retarda cíclicamente el componente imaginario de cada célula compleja en D/2 = 2 células complejas dentro del periodo de retardo cíclico (indicado simplemente como "periodo" en la Figura 6). Las porciones (b), (c), y (d) de la Figura 6 muestran los casos donde los periodos de retardo cíclico son 24, 8, y 4, respectivamente. Por razones obvias, un periodo de retardo cíclico de 2 no es posible en el caso de 4D-RC. Aunque no se muestra en las Figuras 5 y 6, el periodo de retardo cíclico para 2D-RC puede ser 12 o 6, y el periodo de retardo cíclico para 4D-RC puede ser 12.
45

Obsérvese que para insertar un retardo cíclico relativo de D/2 entre los componentes reales y los componentes imaginarios, el mapeador 140A de célula puede retardar cíclicamente los componentes reales en D/2 células complejas en lugar de retardar cíclicamente los componentes imaginarios en D/2 células complejas como se muestra en la Figuras 5 y 6.

- 50 Como alternativa, en otro procedimiento de mapeo de célula, el mapeador 140A de célula mapea cada par de D-bloques de constelación dimensionales en D células complejas contiguas. Este mapeo de célula es equivalente al caso donde el periodo de retardo cíclico es D en el procedimiento de mapeo de célula anteriormente mencionado. Específicamente, el mapeador 140A de célula mapea D componentes de uno del par de bloques de constelación en los componentes reales de D células complejas, y mapea D componentes del otro bloque de constelación en los componentes imaginarios de D células complejas.
55

Las Figuras 7 y 8 muestran ejemplos específicos de este procesamiento.

La Figura 7 muestra un ejemplo de mapeo de célula realizado por el mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados bidimensionales (2D-RC).

Como se muestra en la Figura 7, el mapeador 140A de célula mapea, para cada par de 2D-RC, dos componentes de uno del par de 2D-RC en los componentes reales de dos células complejas contiguas, y mapea dos componentes del otro del par de 2D-RC en los componentes imaginarios de las mismas dos células complejas contiguas. Por ejemplo, con respecto a un 2D-RC indicado por el índice 1 y un 2D-RC indicado por el índice 2, el mapeador 140A de célula mapea dos componentes del 2D-RC del índice 1 en los componentes reales de dos células complejas contiguas, y mapea dos componentes del 2D-RC del índice 2 en los componentes imaginarios de las mismas dos células complejas contiguas.

La Figura 8 muestra un ejemplo de mapeo de célula realizado por el mapeador 140A de célula mostrado en la Figura 4 para bloques de constelación rotados de cuatro dimensiones (4D-RC).

Como se muestra en la Figura 8, el mapeador 140A de célula mapea, para cada par de 4D-RC, cuatro componentes de uno del par de 4D-RC en los componentes reales de cuatro células complejas contiguas, y mapea cuatro componentes del otro del par de 4D-RC en los componentes imaginarios de las mismas cuatro células complejas contiguas. Por ejemplo, con respecto a un 4D-RC indicado por el índice 1 y un 4D-RC indicado por el índice 2, el mapeador 140A de célula mapea cuatro componentes del 4D-RC del índice 1 en los componentes reales de cuatro células complejas contiguas, y mapea cuatro componentes del 4D-RC del índice 2 en los componentes imaginarios de las mismas cuatro células complejas contiguas.

Las células complejas de un bloque de FEC resultante del mapeo de célula por el mapeador 140A de célula se proporcionan al intercalador 150A de célula. El intercalador 150A de célula aplica una permutación (intercalación de célula) a las células complejas del bloque de FEC de modo que D componentes de cada bloque de constelación D-dimensional se ensanchan equitativamente a través del bloque de FEC entero. En este punto, los parámetros relacionados con esta permutación son: N_C que indica el número de células complejas por bloque de FEC; y D que indica el número de dimensiones (el número de componentes) de cada bloque de constelación. La permutación por el intercalador 150A de célula corresponde a la permutación de célula pseudo-aleatoria en la norma de DVB-T2, aunque los detalles del procesamiento son diferentes de la permutación de célula pseudo-aleatoria. La permutación por el intercalador 150A de célula asegura un ensanchamiento aproximadamente equitativo de los D componentes de cada bloque de constelación D-dimensional. Esto mejora el rendimiento de la constelación rotada.

Lo siguiente describe una permutación preferida realizada por el intercalador 150A de célula en las células complejas en un bloque de FEC.

Esta permutación preferida es equivalente al siguiente procesamiento.

El intercalador 150A de célula escribe N_C células complejas del bloque de FEC columna a columna en una matriz intercaladora con D filas y $\text{techo}(N_C/D)$ columnas, en el orden en el que las N_C células complejas se proporcionan aguas arriba. A continuación, el intercalador 150A de célula lee las células complejas que se han escrito de la matriz intercaladora, fila a fila, y emite las células complejas aguas abajo en el orden en el que se leen las células complejas. Obsérvese que la función $\text{techo}(A)$ es una función que devuelve el número entero más pequeño mayor o igual que A.

Supóngase que N_C no es un divisor de D. En este caso, cuando las N_C células complejas en el bloque de FEC se escriben en la matriz intercaladora, no se escribirán células complejas en una parte de la última columna de la matriz intercaladora. Sin embargo, puesto que N_C es siempre un múltiplo de $D/2$, únicamente se perderán $D/2$ células complejas en la última columna (es decir mitad de la columna).

Las Figuras 9 y 10 muestran ejemplos específicos de este procesamiento. Obsérvese que los valores (1, 2,...) en las Figuras 9 y 10 no son índices que indican los componentes de bloques de constelación, sino que son índices que indican las células complejas de un bloque de FEC. Las flechas en cada una de las Figuras 9 y 10 indican un orden de escritura y un orden de lectura.

La Figura 9 muestra un ejemplo de intercalación de célula realizado por el intercalador 150A de célula mostrado en la Figura 4 para bloques de constelación rotados bidimensionales (2D-RC).

Como se muestra en la porción (a) de la Figura 9, el intercalador 150A de célula escribe 24 células complejas en el bloque de FEC columna a columna en una matriz intercaladora con 2 (= D) filas y 12 (= $\text{techo}(24/2)$) columnas, en el orden en el que las células complejas se introducen aguas arriba, es decir, "1, 2, 3, 4 21, 22, 23, y 24". A continuación, como se muestra en la porción (b) de la Figura 9, el intercalador 150A de célula lee las 24 células complejas del bloque de FEC que se han escrito, fila a fila, de la matriz intercaladora, y emite las células complejas aguas abajo en el orden en el que se leen las células complejas, es decir, "1, 3 21, 23, 2, 4 22, y 24".

La Figura 10 muestra un ejemplo de intercalación de célula realizado por el intercalador 150A de célula mostrado en la Figura 4 para bloques de constelación rotados de cuatro dimensiones (4D-RC).

Como se muestra en la porción (a) de la Figura 10, el intercalador 150A de célula escribe 24 células complejas en el

5 bloque de FEC columna a columna en una matriz intercaladora con 4 (= D) filas y 6 (=techo(24/4)) columnas, en el orden en el que se introducen las células complejas aguas arriba, es decir, "1, 2, 3, 4, 21, 22, 23 y 24". Entonces, como se muestra en la porción (b) de la Figura 10, el intercalador 150A de célula lee las 24 células complejas del bloque de FEC que se han escrito, fila a fila, de la matriz intercaladora, y emite las células complejas a aguas abajo en el orden en el que se leen las células complejas, es decir, "1, 5, 21, 2, 6, 20, y 24".

La permutación anteriormente mencionada por el intercalador 150A de célula mostrado en la Figura 4 puede expresarse también en términos matemáticos.

10 Supóngase que N_C es un múltiplo de D. En este caso, indicando el índice i el índice de una célula compleja introducida al intercalador 150A de célula e indicando el índice j el índice de una célula compleja emitida del intercalador 150A de célula, el índice j puede expresarse como una función del índice i.

$$j = \text{rem}(i, D) \times N_C/D + \text{suelo}(i/D)$$

En este punto, i y j son cada uno 0, 1 N_C-1 .

Obsérvese que la función $\text{rem}(i, D)$ es una función que devuelve el resto obtenido dividiendo i por D. La función $\text{suelo}(A)$ es una función que devuelve el número entero más grande menor o igual que A.

15 Después de que el intercalador 150A de célula aplica la permutación, el bloque de FEC resultante consiste en D regiones contiguas, conteniendo cada región un componente de cada bloque de constelación. La distancia (intervalo) entre los componentes de cada bloque de constelación son N_C/D células complejas o $N_C/D-1$ células complejas sin excepción, o excepto para un número predeterminado (un valor obtenido dividiendo N_C por el periodo de retardo cíclico) de bloques de constelación. En otras palabras, el ensanchamiento es incluso más posible.

20 Esto significa que el mapeador 140A de célula y el intercalador 150A de célula generan N_C células complejas de los N_S componentes en el bloque de FEC de tal manera que, en una secuencia de célula compleja que incluye las N_C células complejas, la distancia entre D componentes de cada bloque de constelación es N_C/D células complejas o $N_C/D-1$ células complejas sin excepción, o excepto para el número predeterminado (el valor obtenido dividiendo N_C por el periodo de retardo cíclico) de bloques de constelación.

25 Las Figuras 11 y 12 muestran ejemplos de los resultados de mapeo de célula e intercalación de célula anteriormente descritos.

30 La Figura 11 muestra un ejemplo de los resultados de mapeo de célula e intercalación de célula para bloques de constelación rotados bidimensionales (2D-RC), y la Figura 12 muestra un ejemplo de los resultados de mapeo de célula e intercalación de célula para bloques de constelación rotados de cuatro dimensiones (4D-RC). En cada uno de los ejemplos, el periodo de retardo cíclico consiste en el número máximo de células complejas, es decir, 24 células complejas.

Como se muestra en la Figura 11, están incluidos dos componentes de cada 2D-RC respectivamente incluidos en dos regiones de índices de componente 1 y 2, y, como se muestra en la Figura 12, cuatro componentes de cada 4D-RC se incluyen respectivamente en cuatro regiones de índices de componente 1 a 4.

35 Puede observarse a partir de las Figuras 11 y 12 que son los D componentes que se ensanchan de manera equitativa aproximadamente a través del bloque de FEC entero. Como se muestra en la Figura 11, en 2D-RC, la distancia mínima entre las células complejas que cada una tiene un componente del mismo bloque de constelación es 12 (= N_C/D) células complejas en el caso de bloques de constelación con número impar; 11 (= $N_C/D-1$) células complejas en el caso de bloques de constelación con número par, excepto para el bloque de constelación de orden 24; y 23 células complejas en el caso del bloque de constelación de orden 24. Como se muestra en la Figura 12, en 4D-RC, la distancia mínima entre las células complejas que tiene cada una un componente del mismo bloque de constelación es 6 (= N_C/D) células complejas en el caso de bloques de constelación con número impar; 5 (= $N_C/D-1$) células complejas en el caso de bloques de constelación con número par, excepto para el bloque de constelación de orden 12; y 6 (= N_C/D) células complejas en el caso del bloque de constelación de orden 12.

45 El bloque de FEC permutado se mapea en una o más tramas en orden secuencial. Si el bloque de FEC se ensancha a través de $N_F > 1$ tramas, el bloque de FEC se divide en primer lugar en N_F segmentos contiguos, y cada segmento se mapea en exactamente una de las tramas N_F . El bloque de FEC se divide en N_F segmentos de tal manera que la diferencia en tamaño entre los N_F segmentos es una célula compleja en un máximo. Preferentemente, los N_F segmentos son de igual tamaño para asegurar la diversidad de tiempo óptima. Este procesamiento se realiza por el intercalador 160A de trama y el mapeador 170A de trama.

50 Las Figuras 13 y 14 muestran ejemplos de la segmentación del bloque de FEC.

La Figura 13 muestra ejemplos de la segmentación del bloque de FEC para bloques de constelación rotados bidimensionales (2D-RC). La porción (a) de la Figura 13 muestra el bloque de FEC permutado por el intercalador 150A de célula. Las porciones (b), (c), y (d) de la Figura 13 muestran la segmentación del bloque de FEC a través de dos,

tres y cuatro tramas, respectivamente.

La Figura 14 muestra ejemplos de la segmentación del bloque de FEC para bloques de constelación rotados de cuatro dimensiones (4D-RC). La porción (a) de la Figura 14 muestra el bloque de FEC permutado por el intercalador 150A de célula. Las porciones (b), (c), y (d) de la Figura 14 muestran la segmentación del bloque de FEC a través de dos, tres y cuatro tramas, respectivamente.

El ensanchamiento de los D componentes de cada bloque de constelación (dos componentes de cada 2D-RC y cuatro componentes de cada 4D-RC) es tan bueno como puede ser.

Cuando se usa la segmentación (consúltase la Figura 2B), es decir los datos se transmiten en varias ráfagas (o segmentos) en cada trama en lugar de que se estén distribuyendo a través de la trama, cada trama se dividirá en segmentos de tamaño casi igual. Preferentemente, la diferencia en el número de células complejas incluidas en cada segmento es uno en un máximo. La distribución resultante de los D componentes de cada bloque de constelación es aún óptima.

Lo siguiente describe una realización preferida para ensanchamiento de cada bloque de FEC a través de N_F tramas.

La Figura 15 es un diagrama de bloques que muestra la estructura del intercalador 160A de trama de la Figura 4. El intercalador 160A de trama en la Figura 15 es un intercalador convolucional, y la intercalación de trama se realiza a través de $N_F = 3$ tramas. Cada trama consiste en cuatro bloques de FEC. Obsérvese que de "1" a "4" en la Figura 15 son valores que identifican bloques de FEC.

El intercalador 160A de trama incluye un demultiplexor 161A y un intercalador 165A. En el ejemplo de la Figura 15, las tramas 1, 2, 3 se introducen secuencialmente en el intercalador 160A de trama en el orden establecido.

El demultiplexor 161A divide cada bloque de FEC en bloques de N_F , y realimenta los N_F bloques uno a uno a los N_F ramales de intercalador del intercalador 165A. El demultiplexor 161A divide cada bloque de FEC en N_F bloques donde la diferencia en el número de células complejas incluidas en cada uno de los N_F bloques es uno en un máximo. De manera ideal, el demultiplexor 161A divide cada bloque de FEC en bloques de N_F de igual tamaño. Obsérvese que los N_F bloques se denominan como unidades de intercalación (IU).

El intercalador 165A aplica un retardo, que depende de un índice de ramal, a una entrada del demultiplexor 161A. Típicamente, el retardo del ramal es igual a un retardo en el número de tramas que corresponden a un índice de ramal basado en cero, es decir, 0 tramas, 1 trama, o 2 tramas en el ejemplo de la Figura 15. Obsérvese que en el ejemplo de la Figura 15, el intercalador 165A es de manera que, para realizar el retardo de ramal, el ramal de índice de ramal 0 no incluye bloque de memoria alguno, el ramal de índice de ramal 1 incluye un bloque de memoria M, y el ramal de índice de ramal 2 incluye dos bloques de memoria M. Cada bloque de memoria M adapta las células complejas del mismo número de unidades de intercalación como el número de bloques de FEC dentro de una trama, es decir, las células complejas de cuatro unidades de intercalación en este ejemplo.

El mapeador 170A de trama mapea la salida del intercalador 165A en el intercalador 160A de trama en tramas.

Como resultado, cada bloque de FEC se ensancha a través de tres tramas adyacentes. La Figura 16 muestra un ejemplo donde se ensanchan cuatro bloques de FEC en la trama 1 a través de tres tramas.

Los datos intercalados para cada trama pueden dividirse adicionalmente en varios segmentos. El efecto es que cada unidad de intercalación se divide en muchos segmentos. Por consiguiente, cada bloque de FEC se divide en primer lugar en unidades de intercalación y a continuación en segmentos.

La Figura 17 muestra un ejemplo para 24 células complejas por bloque de FEC, de intercalación a través de cuatro tramas, y dos segmentos por trama. En el ejemplo de la Figura 17, todos los segmentos tienen el mismo tamaño, es decir, $24/(4 \times 2) = 3$ células. Si este número no es un número entero, cada bloque de FEC se divide de manera que la diferencia en el número de células complejas incluidas en cada segmento es uno en un máximo.

<Receptor y procedimiento de recepción>

La Figura 18 es un diagrama de bloques que muestra la estructura de un receptor 300 de acuerdo con la realización 1 de la presente invención. El receptor 300 en la Figura 18 corresponde al transmisor 100A en la Figura 4, e imita la funcionalidad del transmisor 100A.

El receptor 300 incluye una antena 310 de recepción, un demodulador 320, un desmapeador 330 de trama, un desintercalador 340 de trama, un desintercalador 350 de célula, un desmapeador 360 de célula, un desmapeador 370 de constelación, y un decodificador 380 de corrección de errores hacia adelante (FEC).

El demodulador 320 recibe una señal de banda base de un extremo frontal de radio-frecuencia (RF). El extremo frontal de RF típicamente incluye la antena 310 de recepción, un sintonizador (no mostrado) para sintonizar en un canal deseado, y un convertidor descendente (no mostrado) para convertir una señal de RF analógica en una señal de banda base digital.

El demodulador 320 demodula la señal de banda base digital recibida del extremo frontal de RF. En otras palabras, el demodulador 320 calcula coeficientes de desvanecimiento de canal basándose en la señal de banda base digital y calcula símbolos complejos (células complejas) basándose en los coeficientes de desvanecimiento de canal calculados. Entonces, el demodulador 320 emite un flujo de células complejas al desmapeador 330 de trama.

5 El desmapeador 330 de trama tiene una función que corresponde al mapeo de ramal realizado por el mapeador 170A de trama en el transmisor 100A, y extrae, de la trama (flujo de célula), perteneciendo las células complejas a un servicio deseado o programa de acuerdo con una planificación notificada por el transmisor. El desintercalador 340 de trama desintercala (desintercalación de trama) las células complejas extraídas para devolver a las células complejas en el orden antes de intercalación por el intercalador 160A de trama del transmisor 100A. La salida del desintercalador 340 de trama consiste en una pluralidad de bloques de FEC por trama.

El desintercalador 350 de célula desintercala (desintercalación de célula) N_C células complejas de cada bloque de FEC para devolver las N_C células complejas en el orden antes de intercalación por el intercalador 150A de célula del transmisor 100A.

15 El desmapeador 360 de célula extrae D símbolos reales en cada bloque de constelación D-dimensional mapeado en las células complejas de un bloque de FEC. Esta extracción se realiza basándose en las posiciones de mapeo de los D símbolos reales mapeados en células complejas por el mapeador 140A de célula del transmisor 100A.

20 El desmapeador 370 de constelación demodula los D-bloques de constelación dimensionales. Por ejemplo, el desmapeador 370 de constelación demodula conjuntamente los D símbolos reales de cada bloque de constelación D-dimensional, y produce $D \times B$ bits "flexibles" para cada bloque de constelación D-dimensional. Obsérvese que en una etapa de procesamiento, el desmapeador 370 de constelación realiza la des-rotación que corresponde a la rotación por la unidad 130 de rotación de constelación del transmisor 100A y el desmapeo que corresponde al mapeo por el mapeador 120 de PAM del transmisor 100A.

25 El decodificador 380 de FEC decodifica los bits flexibles de cada bloque de FEC de acuerdo con el código de FEC usado por el codificador 110 de FEC del transmisor 100A y proporciona los resultados de decodificación a los bloques de procesamiento posteriores para procesamiento adicional.

<<Examen adicional y descubrimiento adicional por el inventor>>

30 La norma DVB-T2 (Difusión de Vídeo Digital Terrestre de la Segunda Generación) es una mejora de la norma de DVB-T de la norma de televisión, y desvela un sistema de transmisión de la segunda generación para difusión de televisión terrestre digital. Especifica el sistema de codificación/modulación de canal pretendido para servicios de televisión digital y datos genéricos.

La Figura 19 es un diagrama de bloques que muestra la estructura de un transmisor 500 que emplea constelaciones de modulación por amplitud en cuadratura (QAM) rotadas de acuerdo con la norma de DVB-T2.

35 El transmisor 500 incluye un codificador 510 de FEC, un intercalador 520 de bits, un mapeador 530 de QAM, una unidad 540 de rotación de constelación, una unidad 550 de separación de componente de RC (que incluye una unidad 551 de inserción de retardo Q y un intercalador 555 de célula), un intercalador 560 de tiempo/frecuencia, un modulador 570 de OFDM, un amplificador 580 de potencia de RF, y una antena 590 de transmisión.

El transmisor 500 recibe, como entrada, bloques binarios de una longitud predeterminada, que contienen la información a transmitirse.

40 El codificador 510 de FEC codifica cada bloque de información usando un código de FEC. De acuerdo con la norma de DVB-T2, se usa un código de comprobación de paridad de baja densidad (LDPC) como el código de FEC.

El intercalador 520 de bits intercala los bits de una palabra de código de FEC (bloque de FEC) producidos por el procesamiento de codificación (intercalación de bits), y proporciona el bloque de FEC de bits intercalados al mapeador 530 de QAM. Esto mejora la robustez del sistema.

45 El mapeador 530 de QAM mapea el bloque de FEC de bits intercalados en símbolos de QAM complejos un número predeterminado de bits a la vez. Típicamente un conjunto de B bits modula el componente real de un símbolo de QAM complejo y otro conjunto de B bits modula el componente imaginario del símbolo de QAM complejo. Cada uno de los componentes real e imaginario de los símbolos de QAM complejos por lo tanto es independiente y puede considerarse como un símbolo (el mismo símbolo de PAM que el símbolo de PAM producido por el mapeador 120 de PAM mostrado en las Figuras 1 y 4) de modulación de amplitud de pulso con valor real (PAM). Como resultado del procesamiento de mapeo, cada bloque de FEC se transforma en un bloque de símbolos de QAM complejos.

50 La unidad 540 de rotación de constelación rota los símbolos de QAM complejos producidos por el mapeador 530 de QAM para introducir una dependencia entre los dos símbolos de PAM con valor real que constituyen cada uno de los símbolos de QAM complejos. Esto aumenta la robustez en canales de desvanecimiento. Este procesamiento de rotación también se denomina como el procesamiento de codificación de manera conjunta de los dos símbolos de

PAM con valor real. Los símbolos de QAM complejos rotados se consideran como indicadores que indican puntos únicos en un espacio bidimensional. Las $(2^B)^2$ combinaciones resultantes forman una constelación bidimensional. La rotación por la unidad 540 de rotación de constelación se realiza multiplicando un vector, que tiene dos símbolos de PAM con valor real como elementos de vector, por una matriz ortogonal 2×2 .

- 5 La explicación en la unidad 130 de rotación de constelación mostrada en la Figura 1 es aplicable cuando la codificación conjunta de dos símbolos de PAM con valor real se generaliza como una codificación conjunta de D símbolos de PAM con valor real. En resumen, la unidad 540 de rotación de constelación realiza codificación conjunta multiplicando un vector D -dimensional, que tiene D símbolos de PAM con valor real como elementos, por una matriz ortogonal $D \times D$.

- 10 Después de la multiplicación de la matriz ortogonal (después del procedimiento de rotación), se proporcionan N_S símbolos reales (componentes) de cada bloque de FEC de la unidad 540 de rotación de constelación a la unidad 550 de separación de componente de RC. La unidad 550 de separación de componente de RC mapea los N_S símbolos reales de cada bloque de FEC en $N_C = N_S/2$ símbolos complejos (células complejas), de modo que los D símbolos reales de cada bloque de constelación D -dimensional se mapean en D diferentes símbolos complejos (células complejas). Para conseguir buen rendimiento con constelaciones rotadas, es necesario que los D símbolos reales de cada bloque de constelación rotada D -dimensional se ensanchen tanto como sea posible en tiempo y frecuencia. De esta manera, el desvanecimiento de canal que experimentan D símbolos reales se vuelve tan no correlacionado como sea posible.

- 20 De acuerdo con la norma de DVB-T2, la unidad 551 de inserción de retardo Q de la unidad 550 de separación de componente de RC mapea en primer lugar los D símbolos reales de cada bloque de constelación D -dimensional en $D/2$ células complejas, y de esta manera mapea los N_S símbolos reales de un bloque de FEC en N_C células complejas. A continuación, la unidad 551 de inserción de retardo Q retarda cíclicamente los componentes imaginarios (o de cuadratura, de ahí el nombre retardo de Q) por $D/2$ células complejas, y emite las células complejas resultantes al intercalador 555 de célula.

- 25 Las Figuras 20 y 21 muestran ejemplos específicos de este procesamiento. En las Figuras 20 y 21, se supone que cada bloque de FEC incluye 24 células complejas.

La Figura 20 muestra ejemplos del procesamiento realizado por la unidad 551 de inserción de retardo Q mostrada en la Figura 19 para bloques de constelación rotados bidimensionales (2D-RC). La porción (a) de la Figura 20 muestra el estado antes de que los símbolos reales (componentes) de 2D-RC se mapeen a las células complejas.

- 30 Como se muestra en la porción (b) de la Figura 20, la unidad 551 de inserción de retardo Q mapea $D = 2$ componentes de cada 2D-RC en el componente real y el componente imaginario de una célula compleja $D/2 = 1$. A continuación, como se muestra en la porción (c) de la Figura 20, la unidad 551 de inserción de retardo Q retarda cíclicamente el componente imaginario de cada célula compleja por una célula compleja $D/2 = 1$.

- 35 La Figura 21 muestra ejemplos del procesamiento realizado por la unidad 551 de inserción de retardo Q mostrada en la Figura 19 para bloques de constelación rotados de cuatro dimensiones (4D-RC). La porción (a) de la Figura 21 muestra el estado antes de que los componentes de 4D-RC se mapeen a las células complejas.

Como se muestra en la porción (b) de la Figura 21, la unidad 551 de inserción de retardo Q mapea $D = 4$ componentes de cada 4D-RC en los componentes reales y los componentes imaginarios de $D/2 = 2$ células complejas contiguas. A continuación, como se muestra en la porción (c) de la Figura 21, la unidad 551 de inserción de retardo Q retarda cíclicamente el componente imaginario de cada célula compleja por $D/2 = 2$ células complejas.

- 40 El intercalador 555 de célula en la unidad 550 de separación de componente de RC permuta (mezcla) las N_C células complejas obtenidas como resultado del retardo Q . En la norma de DVB-T2, la permutación de célula aplicada por el intercalador 555 de célula es una permutación pseudo-aleatoria generada usando un registro de desplazamiento lineal de realimentación (LFSR). En la norma DVB-T2, la permutación de célula aplicada por el intercalador 555 de célula es diferente para cada bloque de FEC.

- 45 Para aumentar la diversidad del sistema, el intercalador 560 de tiempo/frecuencia realiza intercalación de tiempo e intercalación de frecuencia para ensanchar las células complejas de cada bloque de FEC en tiempo y frecuencia. De acuerdo con la norma de DVB-T2, la intercalación de tiempo y la intercalación de frecuencia se realizan por dos bloques diferentes.

- 50 El modulador 570 de OFDM usa modulación de multiplexación por división de frecuencia ortogonal (OFDM). Un convertidor ascendente (no mostrado) convierte una señal de banda base digital en una señal de radio-frecuencia (RF) analógica. El amplificador 580 de potencia de RF amplifica la potencia de la señal de RF analógica. La señal de RF analógica cuya potencia se ha amplificado se transmite a continuación de la antena 590 de transmisión.

Lo siguiente describe detalles del intercalador 520 de bits mostrado en la Figura 19, con referencia a las Figuras 22 y 23.

- 55 La Figura 22 es un diagrama de bloques que muestra la estructura del intercalador 520 de bits de la Figura 19.

El intercalador 520 de bits de acuerdo con la norma DVB-T2 incluye un intercalador 522 de paridad, un intercalador 524 de columna-fila y un demultiplexor 526 de bit a célula.

El intercalador 522 de paridad intercala los bits de paridad de la palabra de código de LDPC sistemática obtenida como resultado del procedimiento de la codificación por el codificador 510 de FEC.

- 5 El intercalador 524 de columna-fila intercala los bits de palabra de código de LDPC sistemática cuyos bits de paridad se han intercalado por el intercalador 522 de paridad.

Posteriormente, el demultiplexor 526 de bit a célula demultiplexa los bits de la palabra de código de LDPC sistemática que se han intercalado por el intercalador 524 de columna-fila a palabras de célula antes del mapeo a una constelación de QAM. La demultiplexación incluye procesamiento equivalente a la permutación de las columnas de una matriz intercaladora del intercalador 524 de columna-fila.

10

El intercalador 524 de columna-fila y el demultiplexor 526 de bit a célula asociado se usan únicamente por constelaciones de orden superior, tales como constelaciones de 16-QAM, constelaciones de 64-QAM, y constelaciones de 256-QAM. Para constelaciones QPSK (4-QAM), únicamente se usa el intercalador 522 de paridad.

Lo siguiente describe el resultado de la operación del intercalador 524 de columna-fila de acuerdo con la norma de DVB-T2 en la Figura 22. La descripción se proporciona con el uso de la Figura 23. En la Figura 23, un orden de escritura en el que escribir bits de datos a una matriz intercaladora y un orden de lectura en el que leer los bits de datos de la matriz intercaladora se indican por líneas de puntos.

15

El intercalador 524 de columna-fila escribe en serie los bits de datos recibidos del intercalador 522 de paridad (los bits de una palabra de código de FEC cuyos bits de paridad se han intercalado) columna a columna en una matriz intercaladora, mientras se gira la posición de inicio de escritura de cada columna por un número especificado de bits. También, el intercalador 524 de columna-fila lee en serie los bits de datos escritos en la matriz intercaladora fila a fila. El primer bit (el bit más significativo (MSB) de un encabezado de banda base) de la palabra de código de FEC (trama de FEC) se escribe en primer lugar en la matriz intercaladora y se lee en primer lugar de la matriz intercaladora. Obsérvese que el "LSB de TRAMA DE FEC" en la Figura 23 indica el bit menos significativo (LSB) del código de palabra de FEC (trama de FEC) después de la intercalación de columna-fila.

20

25

El número de columnas en el intercalador de columna-fila es igual al número de bits codificado en un símbolo de QAM complejo, es decir, $2 \times B$, o a dos veces este número ($2 \times 2 \times B$).

Cada palabra de célula incluye el mismo número de bits que los bits codificados en un símbolo de QAM complejo, es decir, $2 \times B$ bits. Por ejemplo, el número de bits de cada palabra de célula es dos para un símbolo de QPSK (4-QAM), cuatro para un símbolo de 16-QAM, seis para un símbolo de 64-QAM, y ocho para un símbolo de 256-QAM. Cada palabra de célula se modula por el mapeador 530 de QAM con uso de una constelación de mapeo particular, tal como QPSK (4-QAM), 16-QAM, 64-QAM o 256-QAM. Las constelaciones y los detalles de mapeo de Gray aplicados a los bits de acuerdo con la norma de DVB-T2 se ilustran en las Figuras 24A, 24B, y 24C para QPSK (4-QAM), 16-QAM y 64-QAM, respectivamente.

30

El inventor se ha dado cuenta de que el intercalador 555 de célula en la norma de DVB-T2 incluye dos funciones distintas.

35

Una de las funciones (en lo sucesivo "primera función") es ensanchar los errores de ráfaga que tienen lugar en el canal de manera tan irregular como sea posible a través de todo un bloque de FEC. Esta función se realiza muy bien por la permutación pseudo-aleatoria por el intercalador 555 de célula en la norma de DVB-T2, y es aplicable tanto a constelaciones rotadas como no rotadas.

40

La otra de las funciones (en lo sucesivo "segunda función"), que se consigue en conjunto con el intercalador de tiempo/frecuencia, es para ensanchar los componentes de constelación rotada a través del tiempo y frecuencia. Esta función por supuesto es relevante únicamente para constelaciones rotadas. Sin embargo, la permutación pseudo-aleatoria por el intercalador 555 de célula como se usa en la norma de DVB-T2 consigue una separación subóptima de los D símbolos reales de cada bloque de constelación rotada D -dimensional en tiempo y frecuencia. Esto da como resultado rendimiento subóptimo en canales de desvanecimiento o borrado.

45

La separación de los D símbolos reales de cada bloque de constelación rotada D -dimensional puede conseguirse sustituyendo el intercalador 555 de célula que aplica la permutación pseudo-aleatoria de acuerdo con la norma DVB-T2 por un intercalador que se optimiza específicamente para separar los D símbolos reales tan lejos como sea posible en tiempo y frecuencia. Sin embargo, tales intercalaciones tienen estructuras regulares, que las hacen subóptimas con respecto a la primera función.

50

<<Realización 2>>

Un transmisor, un procedimiento de transmisión, un receptor, y un procedimiento de recepción de acuerdo con la realización 2 de la presente invención están basados en el <<examen adicional y descubrimiento adicional por el

inventor>> anteriores, y se describen a continuación con referencia a los dibujos.

<Transmisor y procedimiento de transmisión>

La Figura 25 es un diagrama de bloques que muestra la estructura de un transmisor 500A de acuerdo con la realización 2 de la presente invención. En la realización 2, se usan los mismos signos de referencia y se omite una descripción para elementos constituyentes a los que se aplican la descripción de los elementos constituyentes del transmisor 500 en la Figura 19 como se describe en la sección <<examen adicional y descubrimiento adicional por el inventor>> anterior.

El transmisor 500A es básicamente el mismo que el transmisor 500 excepto que está dispuesto un intercalador 535A de célula entre el mapeador 530 de QAM y la unidad 540 de rotación de constelación, y que la unidad 550 de separación de componente de RC se sustituye por una unidad 550A de separación de componente de RC que difiere de la unidad 550 de separación de componente de RC en términos de procesamiento.

El intercalador 535A de célula consigue la primera función de ensanchamiento de los errores de ráfaga que tienen lugar en el canal de manera tan irregular como sea posible a través de todo un bloque de FEC. El intercalador 535A de célula permuta símbolos de QAM complejos (es decir, grupos de dos símbolos de PAM con valor real) emitidos del mapeador 530 de QAM, que son símbolos de QAM complejos antes de someterse al procesamiento de rotación por la unidad 540 de rotación de constelación. Una permutación pseudo-aleatoria es adecuada como la permutación por el intercalador 535A de célula para realizar la primera función. En otras palabras, un intercalador pseudo-aleatorio tal como el intercalador 555 de célula de acuerdo con la norma de DVB-T2 es adecuado como el intercalador 535A de célula.

La permutación por el intercalador 535A de célula se aplica directamente a los símbolos de QAM producidos por el mapeador 530 de QAM. Por consiguiente, como se muestra en la Figura 26, un intercalador 535B de célula puede estar dispuesto aguas arriba del mapeador 530 de QAM, en lugar del intercalador 535A de célula dispuesto aguas abajo del mapeador 530 de QAM. El intercalador 535B de célula de un transmisor 500B, que se muestra en la Figura 26, intercala grupos de $2 \times B$ bits en lugar de intercalar símbolos de QAM. Cada grupo modula un símbolo de QAM. Obsérvese que una combinación del intercalador 520 de bits y el intercalador 535B de célula puede considerarse como un nuevo intercalador de bits.

La unidad 550A de separación de componente de RC está dispuesta aguas abajo de la unidad 540 de rotación de constelación, y consigue la segunda función de ensanchamiento de los componentes de bloques de constelación rotados.

La unidad 550A de separación de componente de RC realiza el mismo procesamiento realizado por el mapeador 140A de célula y el intercalador 150A de célula en el transmisor 100A de acuerdo con la realización 1. Una descripción detallada de la unidad 550A de separación de componente de RC se omite en este punto, puesto que la descripción del mapeador 140A de célula y el intercalador 150A de célula de la realización 1 es aplicable como la descripción de la unidad 550A de separación de componente de RC.

Un bloque de FEC permutado por la unidad 550A de separación de componente de RC se mapea en una o más tramas en orden secuencial, y/o en uno o más canales o frecuencias. Esta etapa se realiza por el intercalador 560 de tiempo/frecuencia. Si el bloque de FEC se ensancha a través de $N_F > 1$ tramas, el bloque de FEC se divide en primer lugar en N_F segmentos contiguos, y cada segmento se mapea en exactamente una de las tramas N_F . El bloque de FEC se divide en N_F segmentos de tal manera que la diferencia en tamaño entre los N_F segmentos es una célula compleja en un máximo. Preferentemente, los N_F segmentos son de igual tamaño para asegurar la diversidad de tiempo óptima.

<Receptor y procedimiento de recepción>

La Figura 27 es un diagrama de bloques que muestra la estructura de un receptor 700 de acuerdo con la realización 2 de la presente invención. El receptor 700 mostrado en la Figura 27 corresponde al transmisor 500A mostrado en la Figura 25 o al transmisor 500B mostrado en la Figura 26, e imita la funcionalidad del transmisor 500A o del transmisor 500B.

El receptor 700 incluye una antena 710 de recepción, un extremo frontal 720 de radio-frecuencia (RF), un demodulador 730 de OFDM, un desintercalador 740 de tiempo/frecuencia, una unidad 750 de combinación de componente de RC, un desmapeador 760 de constelación, un desintercalador 770 de célula, un desintercalador 780 de bits, y un decodificador 790 de FEC. Obsérvese que una combinación del desintercalador 770 de célula y el desintercalador 780 de bits puede considerarse como un nuevo desintercalador de bits.

Una señal recibida por la antena 710 de recepción se introduce al extremo frontal 720 de RF. El extremo frontal 720 de RF típicamente incluye un sintonizador (no mostrado) para sintonizar un canal deseado, y un convertidor descendente (no mostrado) para convertir una señal de RF analógica en una señal de banda base digital.

El demodulador 730 de OFDM demodula una señal de banda base digital. En otras palabras, el demodulador 730 de OFDM calcula coeficientes de desvanecimiento de canal basándose en la señal de banda base digital y calcula

símbolos complejos (células complejas) basándose en los coeficientes de desvanecimiento de canal calculados. A continuación, el demodulador 730 de OFDM emite un flujo de células complejas al desintercalador 740 de tiempo/frecuencia.

5 El desintercalador 740 de tiempo/frecuencia extrae, de la trama (flujo), células complejas que pertenecen a un servicio deseado o programa de acuerdo con una planificación notificada por el transmisor. El desintercalador 740 de tiempo/frecuencia desintercala (desintercalación de tiempo/trama) las células complejas extraídas para devolver las células complejas en el orden antes de intercalación por el intercalador 560 de tiempo/frecuencia del transmisor 500A o el transmisor 500B. El desintercalador 740 de tiempo/frecuencia emite una pluralidad de bloques de FEC consistiendo cada uno en una pluralidad de células complejas.

10 La unidad 750 de combinación de componente de RC extrae D símbolos reales de cada uno de N_s/D bloques de constelación D-dimensionales que se han separado por la unidad 550A de separación de componente de RC del transmisor 500A o el transmisor 500B. En este punto, la extracción está basada en el procesamiento de la unidad 550A de separación de componente de RC del transmisor 500A o el transmisor 500B. A continuación, la unidad 750 de combinación de componente de RC combina los D símbolos reales extraídos de esta manera en $D/2$ células complejas contiguas.

15 El desmapeador 760 de constelación demodula secuencialmente los N_s/D bloques de constelación D-dimensionales. Por ejemplo, el desmapeador 760 de constelación demodula conjuntamente los D símbolos reales de cada bloque de constelación D-dimensional, y produce DxB bits "flexibles" para cada bloque de constelación D-dimensional. Obsérvese que en una etapa de procesamiento, el desmapeador 760 de constelación realiza des-rotación que corresponde a la rotación por la unidad 540 de rotación de constelación del transmisor 500A o el transmisor 500B y el desmapeo correspondiente al mapeo por el mapeador 530 de QAM.

20 Para cancelar la intercalación de grupo para un grupo compuesto de dos símbolos con valor real, que se realiza por el intercalador 535A de célula del transmisor 500A, o para cancelar la intercalación de grupo para un grupo compuesto de $2xB$ bits, que se realiza por el intercalador 535B de célula del transmisor 500B mostrado en la Figura 26, el desintercalador 770 de célula desintercala grupos de $2x B$ bits "flexibles" emitidos del desmapeador 760 de constelación (desintercalación de célula).

25 El desintercalador 780 de bits desintercala los grupos de bits emitidos del desintercalador 770 de célula para devolver los grupos de bits en el orden antes de la intercalación por el intercalador 520 de bits del transmisor 500A o del transmisor 500B (desintercalación de bits).

30 El decodificador 790 de FEC decodifica los bits flexibles de cada bloque de FEC de acuerdo con el código de FEC usado por el codificador 510 de FEC del transmisor 500A o del transmisor 500B, y proporciona los resultados de la decodificación a bloques de procesamiento posteriores para procesamiento adicional.

<<Explicación complementaria (parte 1)>>

35 La presente invención no está limitada a las realizaciones anteriormente descritas, sino que en su lugar puede realizarse en una diversidad de maneras, tal como aquellas descritas a continuación, para conseguir el objetivo de la presente invención u otros objetivos relacionados o asociados a la misma. Por ejemplo, son posibles las siguientes modificaciones.

40 (1) En las realizaciones 1 y 2 anteriores, se ha proporcionado un código de FEC como un ejemplo de un código de corrección de errores, pero la tecnología de transmisión y la tecnología de recepción de las realizaciones 1 y 2 pueden aplicarse a códigos de corrección de errores distintos de un código de FEC.

45 (2) Las realizaciones anteriores pueden implementarse usando hardware y software. Las realizaciones anteriores pueden implementarse o ejecutarse con un dispositivo informático (procesador). El dispositivo informático o procesador puede ser, por ejemplo, un procesador principal/procesador de fin general, un procesador de señales digitales (DSP), un circuito integrado específico de la aplicación (ASIC), un campo de matriz de puertas programables (FPGA), u otro dispositivo lógico programable. Las realizaciones anteriores pueden ejecutarse o implementarse como una combinación de estos dispositivos.

50 (3) Las realizaciones anteriores pueden implementarse por una combinación de módulos de software que se ejecutan por un procesador o directamente por hardware. También es posible una combinación de implementación de módulos de software y hardware. Los módulos de software pueden almacenarse en una diversidad de medios de almacenamiento legibles por ordenador, tal como una RAM, EPROM, EEPROM, memoria flash, registro, disco duro, CD-ROM, DVD y similares.

<<Explicación complementaria (parte 2)>>

Lo siguiente resume un procedimiento de transmisión, un transmisor, un procedimiento de recepción, y un receptor de acuerdo con las realizaciones, así como los efectos de los mismos.

55 Un primer procedimiento de transmisión es para que un procedimiento de transmisión transmita datos digitales, que comprende: codificar un bloque de datos de una longitud predeterminada con un código de corrección de errores;

generar una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; convertir vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal $D \times D$, cada uno de los vectores D dimensionales que tienen D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y generar una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que la secuencia de símbolos complejos se genera de manera que una distancia entre cualesquiera dos de los D símbolos reales de cada uno de los vectores rotados D dimensionales es N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos, o de manera que la distancia entre cualesquiera dos de los D símbolos reales de cada uno de los vectores rotados D dimensionales, excepto para parte de los vectores rotados D dimensionales, es N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos.

Un segundo procedimiento de transmisión es para transmitir datos digitales, que comprende: codificar un bloque de datos de una longitud predeterminada con un código de corrección de errores; generar una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; convertir vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y generar una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que la secuencia de símbolos complejos se genera: mapeando los D símbolos reales de cada vector rotado D-dimensional en D símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye los N_C símbolos complejos de los N_S símbolos reales resultantes de la conversión; y realizar procesamiento equivalente a escribir los N_C símbolos complejos en la primera secuencia de símbolos complejos columna a columna en una matriz intercaladora que tiene D filas, y a leer los N_C símbolos complejos fila a fila de la matriz intercaladora.

Un tercer procedimiento de transmisión es para transmitir datos digitales, que comprende: codificar un bloque de datos de una longitud predeterminada con un código de corrección de errores; generar una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; convertir vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D-dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y generar una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que la secuencia de símbolos complejos se genera: mapeando los D símbolos reales de cada vector rotado D-dimensional en $D/2$ símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye N_C primeros símbolos complejos de los N_S símbolos reales resultantes de la conversión; generar una segunda secuencia de símbolos complejos que incluye los N_C símbolos complejos insertando un retardo de $D/2$ símbolos con un periodo predeterminado entre un componente real y un componente imaginario de cada uno de los N_C primeros símbolos complejos en la primera secuencia de símbolos complejos; y realizar procesamiento equivalente a escribir los N_C símbolos complejos en la segunda columna de secuencia de símbolos complejos por columna en una matriz intercaladora que tiene D filas, y a leer los N_C símbolos complejos fila a fila de la matriz intercaladora.

Un primer transmisor es para transmitir datos digitales, que comprende: un codificador que codifica un bloque de datos de una longitud predeterminada con un código de corrección de errores; generar un generador de secuencia de símbolos con valor real una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; un convertidor que convierte vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D-dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y un generador de secuencia de símbolos complejos que genera una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que el generador de secuencia de símbolos complejos genera la secuencia de símbolos complejos de manera que una distancia entre cualesquiera dos de los D símbolos reales de cada uno de los vectores rotados D dimensionales es N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos, o de manera que la distancia entre cualesquiera dos de los D símbolos reales de cada uno de los vectores rotados D dimensionales, excepto para parte de los vectores rotados D dimensionales, es N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos.

Un segundo transmisor es para transmitir datos digitales, que comprende: un codificador que codifica un bloque de datos de una longitud predeterminada con un código de corrección de errores; un generador de secuencia de símbolos con valor real que genera una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; un convertidor que convierte vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores

5 D-dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y un generador de secuencia de símbolos complejos que genera una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que el generador de secuencia de símbolos complejos genera la secuencia de símbolos complejos: mapeando los D símbolos reales de cada vector rotado D -dimensional en D símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye los N_C símbolos complejos de los N_S símbolos reales resultantes de la conversión; y realizar procesamiento equivalente a escribir los N_C símbolos complejos en la primera secuencia de símbolos complejos columna a columna en una matriz intercaladora que tiene D filas, y a leer los N_C símbolos complejos fila a fila de la matriz intercaladora.

15 Un tercer transmisor es para transmitir datos digitales, que comprende: un codificador que codifica un bloque de datos de una longitud predeterminada con un código de corrección de errores; generar un generador de secuencia de símbolos con valor real una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; un convertidor que convierte vectores D -dimensionales en vectores rotados D -dimensionales multiplicando cada uno de los vectores D -dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y un generador de secuencia de símbolos complejos que genera una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que el generador de secuencia de símbolos complejos genera la secuencia de símbolos complejos: mapeando los D símbolos reales de cada vector rotado D -dimensional en $D/2$ símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye N_C primeros símbolos complejos de los N_S símbolos reales resultantes de la conversión; generar una segunda secuencia de símbolos complejos que incluye los N_C símbolos complejos insertando un retardo de $D/2$ símbolos con un periodo predeterminado entre un componente real y un componente imaginario de cada uno de los N_C primeros símbolos complejos en la primera secuencia de símbolos complejos; y realizar procesamiento equivalente a escribir los N_C símbolos complejos en la segunda columna de secuencia de símbolos complejos por columna en una matriz intercaladora que tiene D filas, y a leer los N_C símbolos complejos fila a fila de la matriz intercaladora.

30 El primer, segundo y tercer procedimientos de transmisión y el primer, segundo y tercer transmisores de transmisión pueden ensanchar D símbolos reales de un bloque de constelación rotada D -dimensional para que sea par y que tenga una distancia mínima grande, consiguiendo de esta manera diversidad de tiempo excelente.

35 Un cuarto procedimiento de transmisión es cualquiera del primer, segundo y tercer procedimientos de transmisión, en el que la secuencia de símbolos complejos se divide en N_F segmentos, y los $N_S/2$ símbolos complejos se mapean en N_F tramas, de modo que todos los símbolos complejos de cada uno de los N_F segmentos se mapean en la misma trama.

Un quinto procedimiento de transmisión es el cuarto procedimiento de transmisión, en el que la división de la secuencia de símbolos complejos se realiza de manera que una diferencia en el número de símbolos complejos incluidos en cada uno de los N_F segmentos es uno en un máximo.

El cuarto y quinto procedimientos de transmisión mejoran adicionalmente la diversidad de tiempo.

40 Un sexto procedimiento de transmisión es cualquiera del primer, segundo y tercer procedimientos de transmisión, que comprende adicionalmente intercalar grupos que están compuestos cada uno de dos de los símbolos con valor real en la secuencia de símbolos con valor real, realizándose la intercalación entre la generación de la secuencia de símbolos con valor real y la conversión de los vectores D dimensionales.

45 Un cuarto transmisor es cualquiera del primero, segundo y tercer transmisores, que comprende adicionalmente un intercalador que intercala grupos que están compuestos cada uno de dos de los símbolos con valor real en la secuencia de símbolos con valor real, proporcionándose el intercalador entre el generador de secuencia de símbolos con valor real y el convertidor.

El sexto procedimiento de transmisión y el cuarto transmisor pueden ensanchar los errores de ráfagas que tienen lugar en el canal, mejorando de esta manera la robustez contra los errores de ráfagas que tienen lugar en el canal.

50 Un séptimo procedimiento de transmisión es cualquiera del primer, segundo y tercer procedimientos de transmisión, en el que cada uno de los símbolos con valor real se obtiene como resultado del mapeo de B bits, y el séptimo procedimiento de transmisión comprende adicionalmente la intercalación de grupos de $2 \times B$ bits en una secuencia de bits que incluye una pluralidad de bits del bloque codificado de datos, realizándose la intercalación entre la codificación del bloque de datos y la generación de la secuencia de símbolos con valor real.

55 Un quinto transmisor es cualquiera del primero, segundo y tercer transmisores, en el que cada uno de los símbolos con valor real se obtiene como resultado del mapeo de B bits, y el quinto transmisor comprende adicionalmente un intercalador que intercala grupos de $2 \times B$ bits en una secuencia de bits que incluye una pluralidad de bits del bloque codificado de datos, proporcionándose el intercalador entre el codificador y el generador de secuencia de símbolos

con valor real.

El séptimo procedimiento de transmisión y el quinto transmisor pueden ensanchar los errores de ráfagas que tienen lugar en el canal, mejorando de esta manera la robustez contra los errores de ráfagas que tienen lugar en el canal.

5 Un primer procedimiento de recepción es para recibir datos digitales que comprende: recibir una secuencia de símbolos complejos que incluye N_C símbolos complejos obtenidos a través de cualquiera del primer, segundo y tercer procedimientos de transmisión; extraer, para cada uno de N_S/D vectores rotados D-dimensionales, D símbolos reales del vector rotado D-dimensional de la secuencia de símbolos complejos; generar un bloque codificado de datos desmapeando secuencialmente los N_S/D vectores rotados D-dimensionales; y decodificar el bloque codificado de datos por un código de corrección de errores.

10 Un primer receptor es para recibir datos digitales que comprende: una unidad de recepción que recibe una secuencia de símbolos complejos que incluye N_C símbolos complejos obtenidos por el transmisor de cualquiera del primer, segundo y tercer transmisores; un extractor de símbolo con valor real que extrae, para cada uno de los N_S/D vectores rotados D-dimensionales, D símbolos reales del vector rotado D-dimensional de la secuencia de símbolos complejos; un desmapeador que genera un bloque codificado de datos desmapeando secuencialmente los N_S/D vectores rotados D-dimensionales; y un decodificador que decodifica el bloque codificado de datos por un código de corrección de errores.

El primer procedimiento de recepción y el primer receptor pueden ensanchar D símbolos reales de un bloque de constelación rotada D-dimensional para que sea par y que tenga una distancia mínima grande, consiguiendo de esta manera diversidad de tiempo excelente.

20 Un segundo procedimiento de recepción es para recibir datos digitales que comprende: recibir una secuencia de símbolos complejos que incluye N_C símbolos complejos obtenidos a través de cualquiera del sexto y séptimo procedimientos de transmisión; extraer, para cada uno de los N_S/D vectores rotados D-dimensionales, D símbolos reales del vector rotado D-dimensional de la secuencia de símbolos complejos; generar un bloque codificado de datos desmapeando secuencialmente los N_S/D vectores rotados D-dimensionales; desintercalar una pluralidad de bits del bloque codificado de datos basándose en la intercalación de los grupos; y decodificar el bloque codificado de datos que se ha desintercalado, con uso de un código de corrección de errores.

25 Un segundo receptor es para recibir datos digitales que comprende: una unidad de recepción que recibe una secuencia de símbolos complejos que incluye N_C símbolos complejos obtenidos por cualquiera del cuarto y quinto transmisores; un extractor de símbolo con valor real que extrae, para cada uno de los N_S/D vectores rotados D-dimensionales, D símbolos reales del vector rotado D-dimensional de la secuencia de símbolos complejos; un desmapeador que genera un bloque codificado de datos desmapeando secuencialmente los N_S/D vectores rotados D-dimensionales; un desintercalador que desintercala una pluralidad de bits del bloque codificado de datos basándose en la intercalación de los grupos por el intercalador; y un decodificador que decodifica el bloque codificado de datos que se ha desintercalado, con uso de un código de corrección de errores.

30 El segundo procedimiento de recepción y el segundo receptor pueden ensanchar D símbolos reales de un bloque de constelación rotada D-dimensional para que sea par y para que tenga una distancia mínima grande, consiguiendo de esta manera diversidad de tiempo excelente y mejorando la robustez contra los errores de ráfaga que tienen lugar en el canal.

Un ejemplo adicional es un procedimiento de transmisión para transmitir datos digitales, que comprende:

40 codificar un bloque de datos de una longitud predeterminada con un código de corrección de errores; generar una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; convertir vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y

45 generar una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que

50 la secuencia de símbolos complejos se genera de manera que una distancia entre cualesquiera dos de los D símbolos reales de cada uno de los vectores rotados D dimensionales es N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos, o de manera que la distancia entre cualesquiera dos de los D símbolos reales de cada uno de los vectores rotados D dimensionales, excepto para parte de los vectores rotados D dimensionales, son N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos.

En otra configuración, un procedimiento de transmisión para transmitir datos digitales, que comprende:

55 codificar un bloque de datos de una longitud predeterminada con un código de corrección de errores; generar una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez;

convertir vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal DxD, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y generar una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que la secuencia de símbolos complejos se genera:

mapeando los D símbolos reales de cada vector rotado D-dimensional en D símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye los N_C símbolos complejos de los N_S símbolos reales resultantes de la conversión; y realizar procesamiento equivalente a escribir los N_C símbolos complejos en la primera secuencia de símbolos complejos columna a columna en una matriz intercaladora que tiene D filas, y a leer los N_C símbolos complejos fila a fila de la matriz intercaladora.

En una posibilidad adicional, un procedimiento de transmisión para transmitir datos digitales, que comprende:

codificar un bloque de datos de una longitud predeterminada con un código de corrección de errores; generar una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez; convertir vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal DxD, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y generar una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que la secuencia de símbolos complejos se genera: mapeando los D símbolos reales de cada vector rotado D-dimensional en D/2 símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye N_C primeros símbolos complejos de los N_S símbolos reales resultantes de la conversión; generando una segunda secuencia de símbolos complejos que incluye los N_C símbolos complejos insertando un retardo de D/2 símbolos con un periodo predeterminado entre un componente real y un componente imaginario de cada uno de los N_C primeros símbolos complejos en la primera secuencia de símbolos complejos; y realizando procesamiento equivalente a escribir los N_C símbolos complejos en la segunda columna de secuencia de símbolos complejos por columna en una matriz intercaladora que tiene D filas, y a leer los N_C símbolos complejos fila a fila de la matriz intercaladora.

Además, el procedimiento de transmisión puede incluir la secuencia de símbolos complejos que se divide en N_F segmentos, y mapeándose los $N_S/2$ símbolos complejos en N_F tramas, de modo que se mapean todos los símbolos complejos de cada uno de los N_F segmentos en la misma trama.

El procedimiento de transmisión puede incluir también que la división de la secuencia de símbolos complejos se realice de manera que una diferencia en el número de símbolos complejos incluidos en cada uno de los N_F segmentos es uno en un máximo.

El procedimiento de transmisión puede comprender adicionalmente intercalar grupos que están compuestos cada uno de dos de los símbolos con valor real en la secuencia de símbolos con valor real, realizándose la intercalación entre la generación de la secuencia de símbolos con valor real y la conversión de los vectores D dimensionales.

En una configuración, cuando se realiza el procedimiento de transmisión

cada uno de los símbolos con valor real se obtiene como resultado del mapeo de B bits, y el procedimiento de transmisión comprende adicionalmente la intercalación de grupos de $2 \times B$ bits en una secuencia de bits que incluye una pluralidad de bits del bloque codificado de datos, realizándose la intercalación entre la codificación del bloque de datos y la generación de la secuencia de símbolos con valor real.

Otra posibilidad es un procedimiento de recepción para recibir datos digitales comprende

recibir una secuencia de símbolos complejos que incluye N_C símbolos complejos obtenidos a través del procedimiento de transmisión extraer, para cada uno de los N_S/D vectores rotados D-dimensionales, D símbolos reales del vector rotado D-dimensional de la secuencia de símbolos complejos; generar un bloque codificado de datos desmapeando secuencialmente los N_S/D vectores rotados D-dimensionales; y decodificar el bloque codificado de datos por un código de corrección de errores.

Como alternativa, un procedimiento de recepción para recibir datos digitales comprende

recibir una secuencia de símbolos complejos que incluye N_C símbolos complejos obtenidos a través del procedimiento de transmisión;
 extraer, para cada uno de N_S/D vectores rotados D -dimensionales, D símbolos reales del vector rotado D -dimensional de la secuencia de símbolos complejos:

- 5 generar un bloque codificado de datos desmapeando secuencialmente los N_S/D vectores rotados D -dimensionales;
 desintercalar una pluralidad de bits del bloque codificado de datos basándose en la intercalación de los grupos; y
 decodificar el bloque codificado de datos que se ha desintercalado, con uso de un código de corrección de errores.

Una aplicación es un transmisor para transmitir datos digitales, que comprende:

- 10 un codificador que codifica un bloque de datos de una longitud predeterminada con un código de corrección de errores;
 un generador de secuencia de símbolos con valor real que genera una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez;
 15 un convertidor que convierte vectores D -dimensionales en vectores rotados D -dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y
 un generador de secuencia de símbolos complejos que genera una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que
 20 el generador de secuencia de símbolos complejos genera la secuencia de símbolos complejos de manera que una distancia entre cualesquiera dos de los D símbolos reales de cada uno de los vectores rotados D dimensionales es N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos, o de manera que la distancia entre cualesquiera dos
 25 de los D símbolos reales de cada uno de los vectores rotados D dimensionales, excepto para parte de los vectores rotados D dimensionales, es N_C/D símbolos complejos o $N_C/D-1$ símbolos complejos.

Otra aplicación es un transmisor para transmitir datos digitales, que comprende:

- un codificador que codifica un bloque de datos de una longitud predeterminada con un código de corrección de errores;
 30 un generador de secuencia de símbolos con valor real que genera una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez;
 un convertidor que convierte vectores D -dimensionales en vectores rotados D -dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D
 35 dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y
 un generador de secuencia de símbolos complejos que genera una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que
 40 el generador de secuencia de símbolos complejos genera la secuencia de símbolos complejos:
 mapeando los D símbolos reales de cada vector rotado D -dimensional en D símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye los N_C símbolos complejos de los N_S símbolos reales resultantes de la conversión; y realizando procesamiento equivalente a escribir los N_C
 45 símbolos complejos en la primera secuencia de símbolos complejos columna a columna en una matriz intercaladora que tiene D filas, y a leer los N_C símbolos complejos fila a fila de la matriz intercaladora.

Una aplicación alternativa es un transmisor para transmitir datos digitales, que comprende:

- un codificador que codifica un bloque de datos de una longitud predeterminada con un código de corrección de errores;
 50 un generador de secuencia de símbolos con valor real que genera una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número predeterminado de bits a la vez;
 un convertidor que convierte vectores D -dimensionales en vectores rotados D -dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D
 55 dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D símbolos reales como elementos; y
 un generador de secuencia de símbolos complejos que genera una secuencia de símbolos complejos de N_S símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_C = N_S/2$ símbolos complejos, en el que
 el generador de secuencia de símbolos complejos genera la secuencia de símbolos complejos:

5 mapeando los D símbolos reales de cada vector rotado D -dimensional en $D/2$ símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye N_c primeros símbolos complejos de los N_s símbolos reales resultantes de la conversión;
 5 generando una segunda secuencia de símbolos complejos que incluye los N_c símbolos complejos insertando un retardo de $D/2$ símbolos con un periodo predeterminado entre un componente real y un componente imaginario de cada uno de los N_c primeros símbolos complejos en la primera secuencia de símbolos complejos; y
 10 realizando procesamiento equivalente a escribir los N_c símbolos complejos en la segunda columna de secuencia de símbolos complejos por columna en una matriz intercaladora que tiene D filas, y a leer los N_c símbolos complejos fila a fila de la matriz intercaladora.

Además, el transmisor comprende adicionalmente un intercalador que intercala grupos que están compuestos cada uno de dos de los símbolos con valor real en la secuencia de símbolos con valor real, proporcionándose el intercalador entre el generador de secuencia de símbolos con valor real y el convertidor.

Otra posibilidad es el transmisor en el que

15 cada uno de los símbolos con valor real se obtiene como resultado del mapeo de B bits, y el transmisor comprende adicionalmente un intercalador que intercala grupos de $2xB$ bits en una secuencia de bits que incluye una pluralidad de bits del bloque codificado de datos, proporcionándose el intercalador entre el codificador y el generador de secuencia de símbolos con valor real.

20 Una aplicación adicional es un receptor para recibir datos digitales que comprende:

una unidad de recepción que recibe una secuencia de símbolos complejos que incluye N_c símbolos complejos obtenidos por el transmisor;
 un extractor de símbolo con valor real, para cada uno de N_s/D vectores rotados D -dimensionales. D símbolos reales del vector rotado D -dimensional de la secuencia de símbolos complejos;
 25 un desmapeador que genera un bloque codificado de datos desmapeando secuencialmente los N_s/D vectores rotados D -dimensionales; y
 un decodificador que decodifica el bloque codificado de datos por un código de corrección de errores.

Otra aplicación es un receptor para recibir datos digitales que comprende:

30 una unidad de recepción que recibe una secuencia de símbolos complejos que incluye N_c símbolos complejos obtenidos por el transmisor;
 un extractor de símbolo con valor real que extrae, para cada uno de los N_s/D vectores rotados D -dimensionales, D símbolos reales del vector rotado D -dimensional de la secuencia de símbolos complejos;
 un desmapeador que genera un bloque codificado de datos desmapeando secuencialmente los N_s/D vectores rotados D -dimensionales;
 35 un desintercalador que desintercala una pluralidad de bits del bloque codificado de datos basándose en la intercalación de los grupos por el intercalador; y
 un decodificador que decodifica el bloque codificado de datos que se ha desintercalado, con uso de un código de corrección de errores.

[Aplicabilidad industrial]

40 La presente invención es aplicable a comunicaciones que usan constelaciones rotadas.

[Lista de signos de referencia]

100A	transmisor
110	codificador de FEC
115	demultiplexor
120	mapeador de PAM
125	demultiplexor
130	unidad de rotación de constelación
140	mapeador de célula
150a	intercalador de célula
160a	intercalador de trama
170a	mapeador de trama
180	modulador
190	antena de transmisión
300	receptor
310	antena de recepción
320	demodulador
330	desmapeador de trama

340	desintercalador de trama
350	desintercalador de célula
360	desmapeador de célula
370	desmapeador de constelación
380	decodificador de FEC
500A, 500B	transmisor
510	codificador de FEC
520	intercalador de bits
520	mapeador de QAM
535A, 535B	intercalador de célula
540	unidad de rotación de constelación
550A	unidad de separación de componente de RC
560	intercalador de tiempo/frecuencia
570	modulador de OFDM
580	amplificador de potencia de RF
590	antena de transmisión
700	receptor
710	antena de recepción
720	extremo frontal de RF
730	demodulador de OFDM
740	desintercalador de tiempo/frecuencia
750	unidad de combinación de componente de RC
760	desmapeador de constelación
770	desintercalador de célula
780	desintercalador de bits
790	decodificador de FEC

REIVINDICACIONES

1. Un procedimiento de transmisión para transmitir datos digitales, que comprende:

codificar un bloque de datos de una longitud predeterminada con un código de corrección de errores;
 generar una secuencia de símbolos con valor real que incluye N_S símbolos con valor real mapeando el bloque
 5 codificado de datos en símbolos con valor real un número predeterminado de bits a la vez;
 convertir vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores
 D dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los
 símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los
 10 vectores rotados D dimensionales D de N_S símbolos reales como elementos; y
 generar una secuencia de símbolos complejos de los N_S símbolos reales resultantes de la conversión, incluyendo
 la secuencia de símbolos complejos $N_c = N_S/2$ símbolos complejos, **caracterizado porque** la secuencia de
 símbolos complejos se genera:

mapeando cada par de vectores rotados D dimensionales respectivamente en los componentes real e
 15 imaginario de D símbolos complejos contiguos, y generando de esta manera una primera secuencia de
 símbolos complejos que incluye los N_c símbolos complejos de los N_S símbolos reales resultantes de la
 conversión; y

realizar procesamiento equivalente a escribir los N_c símbolos complejos en la primera secuencia de símbolos
 complejos columna a columna en una matriz intercaladora que tiene D filas, y a leer los N_c símbolos complejos
 fila a fila de la matriz intercaladora y transmitir la secuencia de lectura de N_c símbolos complejos.

20 2. El procedimiento de transmisión de la reivindicación 1, en el que
 la secuencia de símbolos complejos se divide en N_F segmentos, y los $N_S/2$ símbolos complejos se mapean en N_F
 tramas, de modo que todos los símbolos complejos de cada uno de los N_F segmentos se mapean en la misma trama.

3. El procedimiento de transmisión de la reivindicación 2, en el que
 25 la división de la secuencia de símbolos complejos se realiza de manera que una diferencia en el número de símbolos
 complejos incluidos en cada uno de los N_F segmentos es uno en un máximo.

4. El procedimiento de transmisión de la reivindicación 1, que comprende adicionalmente
 intercalar grupos que están compuestos cada uno de dos de los símbolos con valor real en la secuencia de símbolos
 con valor real, realizándose la intercalación entre la generación de la secuencia de símbolos con valor real y la
 conversión de los vectores D dimensionales.

30 5. El procedimiento de transmisión de la reivindicación 1, en el que
 cada uno de los símbolos con valor real se obtiene como resultado del mapeo de B bits, y el procedimiento de
 transmisión comprende adicionalmente la intercalación de grupos de $2xB$ bits en una secuencia de bits que incluye
 una pluralidad de bits del bloque codificado de datos, realizándose la intercalación entre la codificación del bloque de
 datos y la generación de la secuencia de símbolos con valor real.

35 6. Un procedimiento de recepción para recibir datos digitales que comprende:

recibir una secuencia de símbolos complejos que incluye N_c símbolos complejos;
 desintercalar las N_c células complejas en el orden antes de realizar procesamiento equivalente a escribir los N_c
 40 símbolos complejos en la primera secuencia de símbolos complejos columna a columna en una matriz
 intercaladora que tiene D filas, y a leer los N_c símbolos complejos fila a fila de la matriz intercaladora;

extraer, respectivamente de los componentes real e imaginario de D símbolos complejos contiguos, dos vectores
 rotados D-dimensionales, generando de esta manera N_S símbolos reales, con $N_S=2N_c$; convertir los vectores
 rotados D dimensionales en vectores D-dimensionales multiplicando cada uno de los vectores D-dimensionales
 rotados por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con
 45 valor real en una secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados
 D dimensionales D de los N_S símbolos reales como elementos; y

generar un bloque codificado de datos desmapeando la secuencia de símbolos con valor real que incluye N_S
 símbolos con valor real; y decodificar el bloque codificado de datos por un código de corrección de errores.

7. El procedimiento de recepción de la reivindicación 6, que comprende adicionalmente: desintercalar una pluralidad
 50 de bits del bloque codificado de datos basándose en una intercalación de grupos que están compuestos cada uno de
 dos de los símbolos con valor real en la secuencia de símbolos con valor real, realizándose la desintercalación entre
 la conversión de los vectores D-dimensionales y la generación del bloque codificado de datos.

8. El procedimiento de recepción de la reivindicación 6, que comprende adicionalmente:

desintercalar una pluralidad de bits del bloque codificado de datos basándose en una intercalación de grupos de
 55 $2xB$ bits en una secuencia de bits que incluye una pluralidad de bits del bloque codificado de datos, realizándose
 la desintercalación entre la generación del bloque codificado de datos y la decodificación del bloque codificado de
 datos, y

decodificar el bloque codificado de datos con uso de un código de corrección de errores, en el que cada uno de los símbolos con valor real se mapea en B bits.

9. Un transmisor para transmitir datos digitales, que comprende:

5 un codificador que codifica un bloque de datos de una longitud determinada con un código de corrección de errores; un generador de secuencia de símbolos con valor real que genera una secuencia de símbolos con valor real que incluye N_s símbolos con valor real mapeando el bloque codificado de datos en símbolos con valor real un número determinado de bits a la vez;

10 un convertidor que convierte vectores D-dimensionales en vectores rotados D-dimensionales multiplicando cada uno de los vectores D dimensionales por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D de los símbolos con valor real en la secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D de N_s símbolos reales como elementos; y

15 un generador de secuencia de símbolos complejos que genera una secuencia de símbolos complejos de los N_s símbolos reales resultantes de la conversión, incluyendo la secuencia de símbolos complejos $N_c = N_s/2$ símbolos complejos, **caracterizado porque** el generador de secuencia de símbolos complejos genera la secuencia de símbolos complejos:

20 mapeando cada par de vectores rotados D-dimensionales respectivamente en los componentes real e imaginario en D símbolos complejos contiguos, y generando de esta manera una primera secuencia de símbolos complejos que incluye los N_c símbolos complejos de los N_s símbolos reales resultantes de la conversión; y realizando procesamiento equivalente a escribir los N_c símbolos complejos en la primera secuencia de símbolos complejos columna a columna en una matriz intercaladora que tiene D filas, y a leer los N_c símbolos complejos fila a fila de la matriz intercaladora y transmitiendo la secuencia de lectura de N_c símbolos complejos.

25 10. El transmisor de la reivindicación 9, que comprende adicionalmente un intercalador que intercala grupos que están compuestos cada uno de dos de los símbolos con valor real en la secuencia de símbolos con valor real, proporcionándose el intercalador entre el generador de secuencia de símbolos con valor real y el convertidor.

30 11. El transmisor de la reivindicación 9, en el que cada uno de los símbolos con valor real se obtiene como resultado del mapeo de B bits, y el transmisor comprende adicionalmente un intercalador que intercala grupos de $2xB$ bits en una secuencia de bits que incluye una pluralidad de bits del bloque codificado de datos, proporcionándose el intercalador entre el codificador y el generador de secuencia de símbolos con valor real.

12. Un receptor para recibir datos digitales que comprende:

35 una unidad de recepción que recibe una secuencia de símbolos complejos que incluye N_c símbolos complejos; un desintercalador que desintercala las N_c células complejas en el orden antes de realizar procesamiento equivalente a escribir los N_c símbolos complejos en la primera secuencia de símbolos complejos columna a columna en una matriz intercaladora que tiene D filas, y a leer los N_c símbolos complejos fila a fila de la matriz intercaladora;

40 un extractor que extrae, respectivamente de los componentes real e imaginario de D símbolos complejos contiguos, dos vectores rotados D dimensionales, generando de esta manera N_s símbolos reales, con $N_s=2N_c$; un convertidor que convierte los vectores rotados D dimensionales en vectores D-dimensionales multiplicando cada uno de los vectores D-dimensionales rotados por una matriz ortogonal $D \times D$, teniendo cada uno de los vectores D dimensionales D símbolos con valor real en una secuencia de símbolos con valor real como elementos, teniendo cada uno de los vectores rotados D dimensionales D de los N_s símbolos reales como elementos; y un desmapeador que genera un bloque codificado de datos desmapeando la secuencia de símbolos con valor real que incluye N_s símbolos con valor real; y un decodificador que decodifica el bloque codificado de datos por un código de corrección de errores.

13. El receptor de la reivindicación 12, que comprende adicionalmente:

50 un desintercalador que desintercala una pluralidad de bits del bloque codificado de datos basándose en una intercalación de grupos que están compuestos cada uno de dos de los símbolos con valor real en la secuencia de símbolos con valor real, realizándose la desintercalación entre la conversión de los vectores D dimensionales y la generación del bloque codificado de datos.

14. El receptor de la reivindicación 12, que comprende adicionalmente:

55 un desintercalador que desintercala una pluralidad de bits del bloque codificado de datos basándose en una intercalación de grupos de $2xB$ bits en una secuencia de bits que incluye una pluralidad de bits del bloque codificado de datos; realizándose la desintercalación entre la generación del bloque codificado de datos y la decodificación del bloque codificado de datos, y decodificar el bloque codificado de datos con uso de un código de corrección de errores, en el que cada uno de los símbolos con valor real se mapea en B bits.

FIG.1

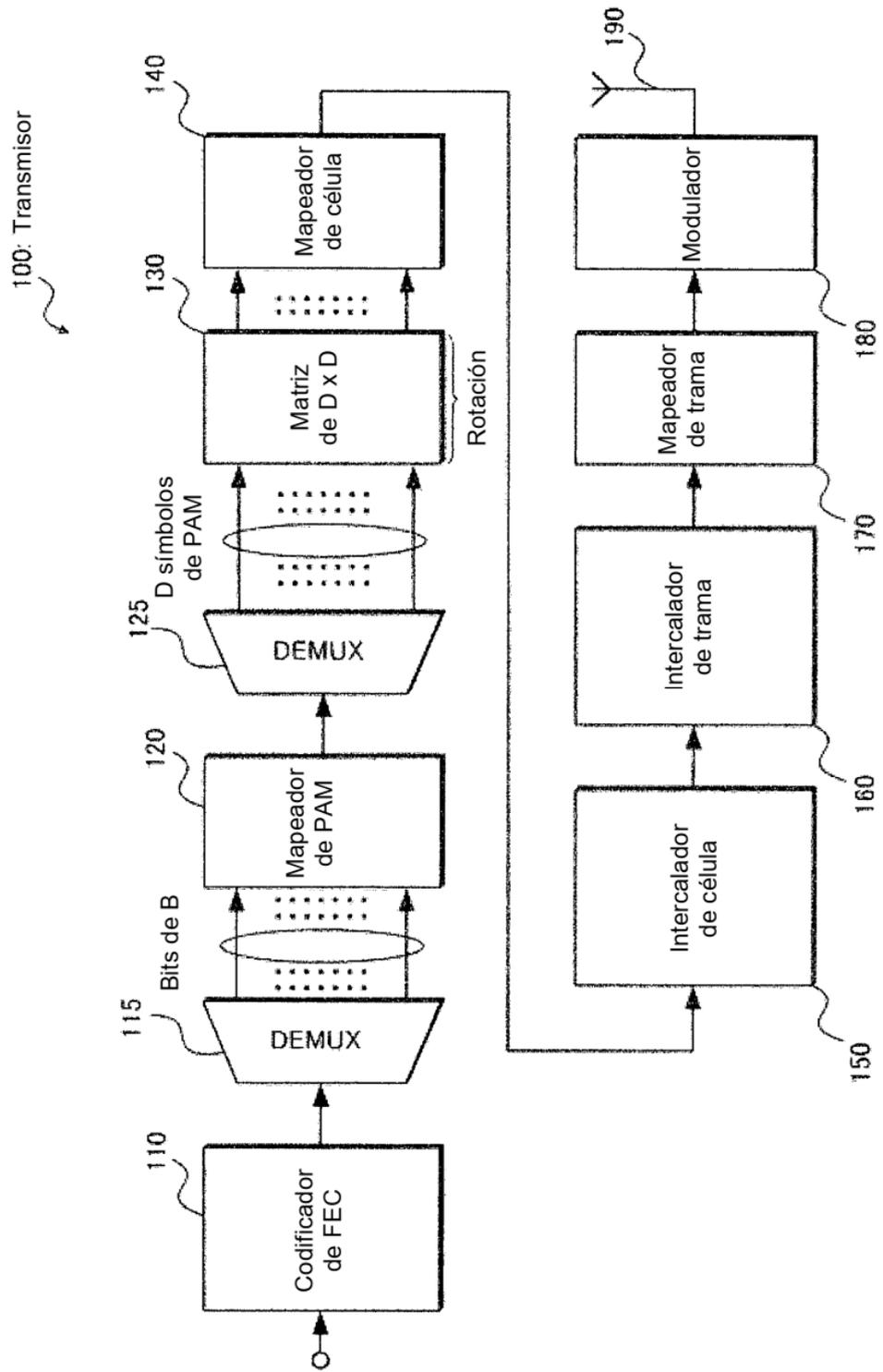


FIG.2A

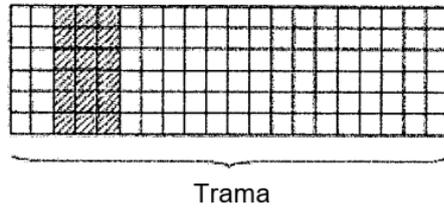


FIG.2B

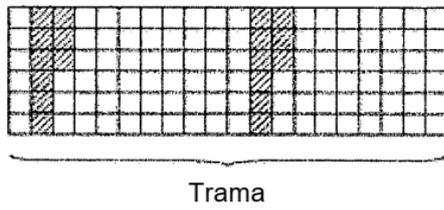


FIG.2C

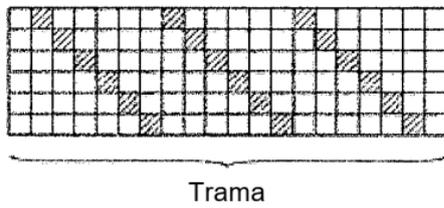


FIG.2D

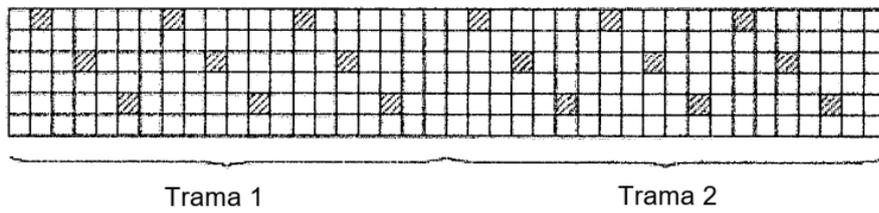


FIG.2E

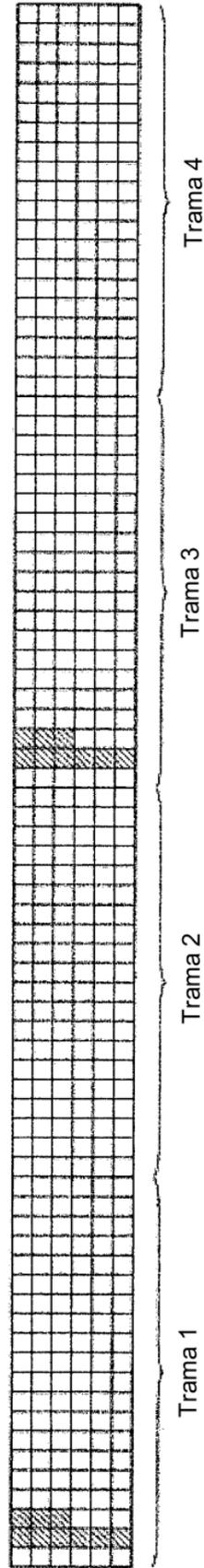


FIG.3A

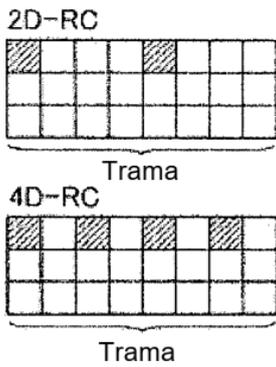


FIG.3B

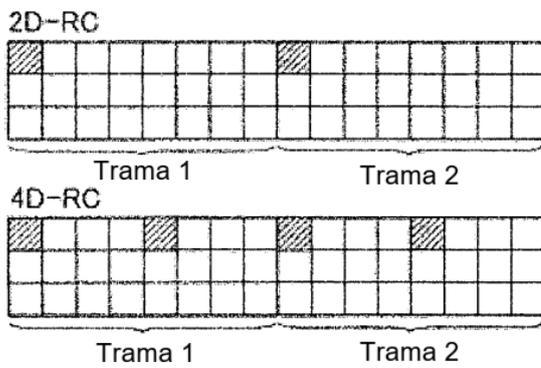


FIG.3C

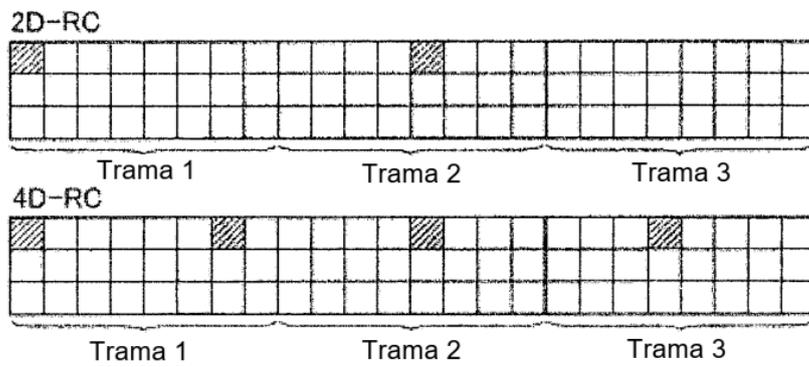


FIG.3D

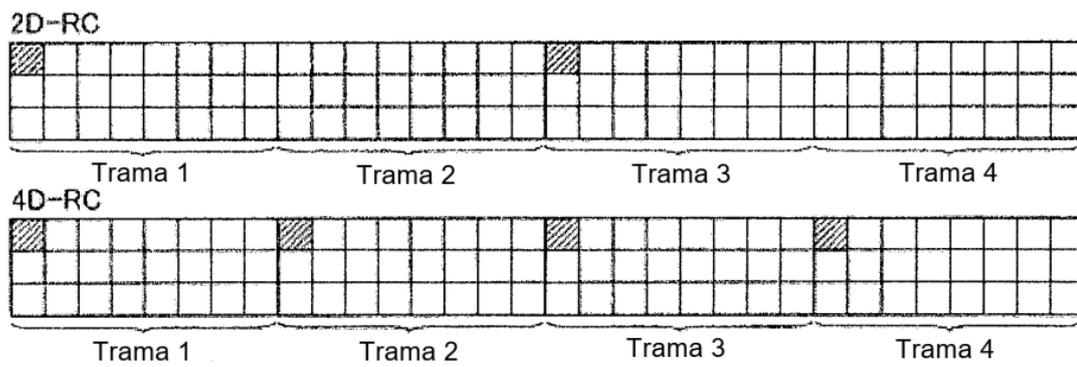


FIG.4

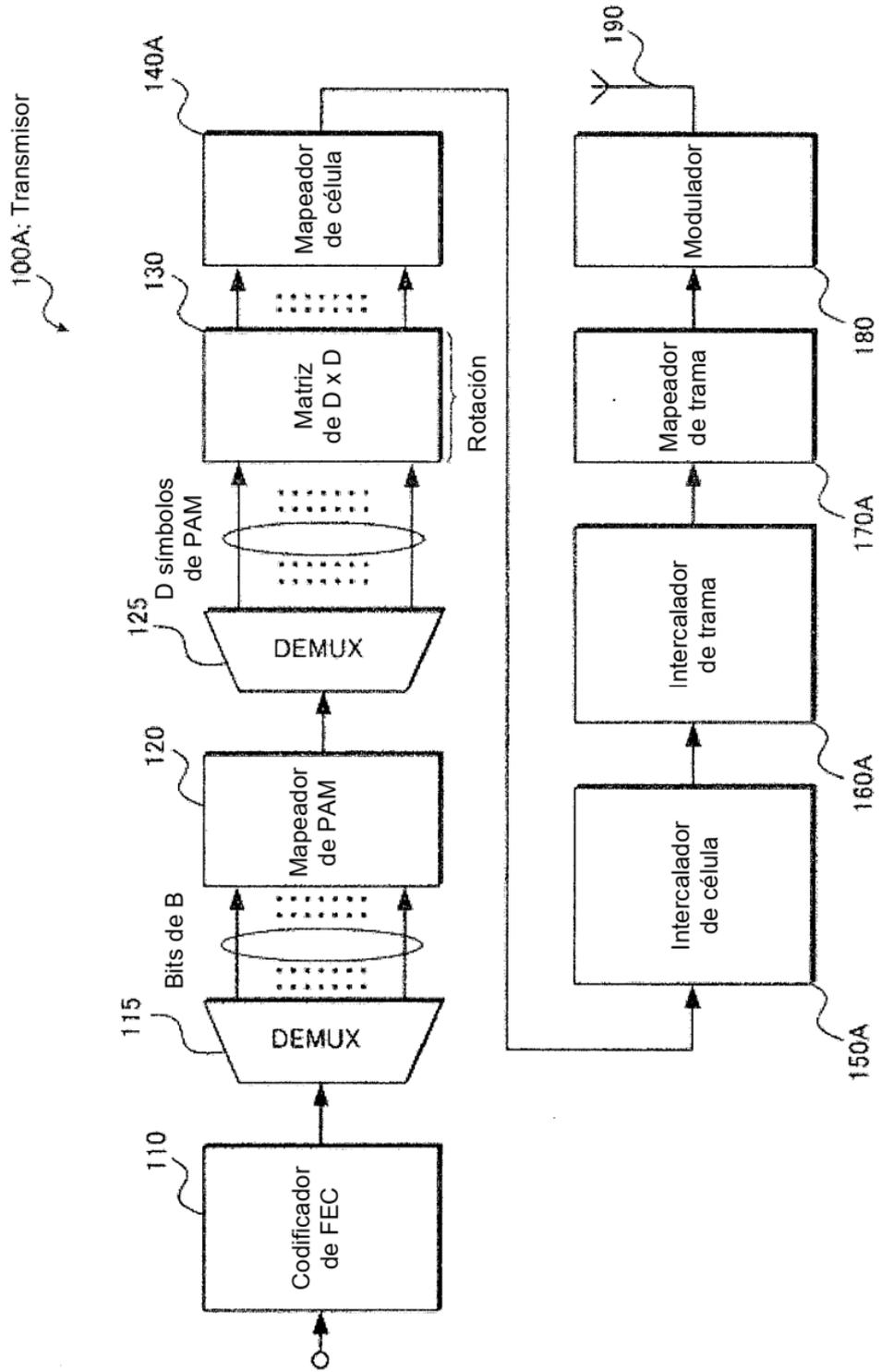


FIG.5

(a)

Mapeo de componente 2D-RC inicial

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	Re
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	Im

(b)

Retardo con periodo 24

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	Re
24	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	Im

Periodo

(c)

Retardo con periodo 8

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	Re
8	1	2	3	4	5	6	7	16	9	10	11	12	13	14	15	24	17	18	19	20	21	22	23	Im

Periodo

Periodo

Periodo

(d)

Retardo con periodo 4

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	Re
4	1	2	3	8	5	6	7	12	9	10	11	16	13	14	15	20	17	18	19	24	21	22	23	Im

Periodo

Periodo

Periodo

Periodo

Periodo

Periodo

(e)

Retardo con periodo 2

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	Re
2	1	4	3	6	5	8	7	10	9	12	11	14	13	16	15	18	17	20	19	22	21	24	23	Im

Periodo Periodo

FIG.6

(a)

Mapeo de componente 4D-Rc inicial

1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	10	10	11	11	12	12	Re
1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	10	10	11	11	12	12	Im

(b)

Retardo con periodo 24

1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	10	10	11	11	12	12	Re
12	12	1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	10	10	11	11	Im

Periodo

(c)

Retardo con periodo 8

1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	10	10	11	11	12	12	Re
4	4	1	1	2	2	3	3	8	8	5	5	6	6	7	7	12	12	9	9	10	10	11	11	Im

Periodo

Periodo

Periodo

(d)

Retardo con periodo 4

1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	10	10	11	11	12	12	Re
2	2	1	1	4	4	3	3	6	6	5	5	8	8	7	7	10	10	9	9	12	12	11	11	Im

Periodo

Periodo

Periodo

Periodo

Periodo

Periodo

FIG.7

Mapeo de componente 2D-RC

1	1	3	3	5	5	7	7	9	9	11	11	13	13	15	15	17	17	19	19	21	21	23	23	Re
2	2	4	4	6	6	8	8	10	10	12	12	14	14	16	16	18	18	20	20	22	22	24	24	Im

Par 1 Par 2 Par 3 Par 4 Par 5 Par 6 Par 7 Par 8 Par 9 Par 10 Par 11 Par 12

FIG.8

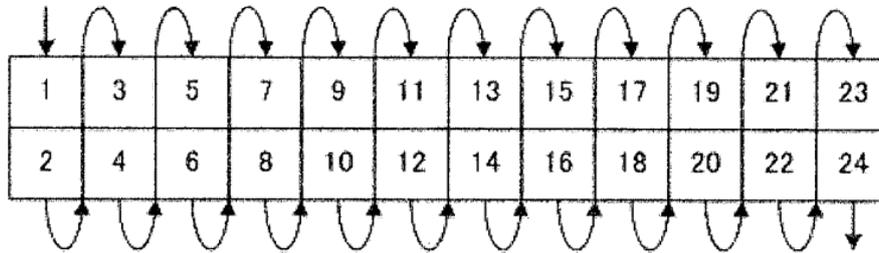
Mapeo de componente 4D-RC

1	1	1	1	3	3	3	3	5	5	5	5	7	7	7	7	9	9	9	9	11	11	11	11	Re
2	2	2	2	4	4	4	4	6	6	6	6	8	8	8	8	10	10	10	10	12	12	12	12	Im

Par 1 Par 2 Par 3 Par 4 Par 5 Par 6

FIG.9

(a) Escritura en 2D-RC



(b) Lectura en 2D-RC

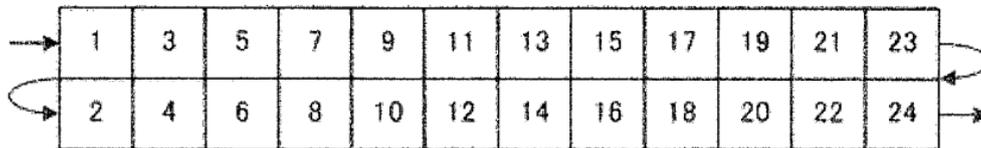
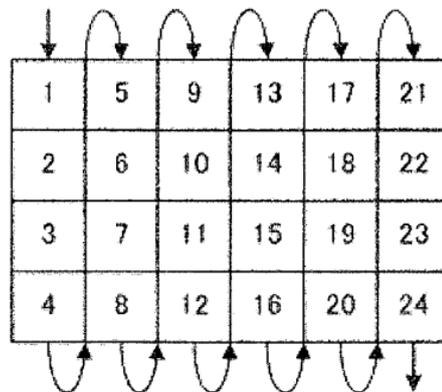


FIG.10

(a) Escritura en 4D-RC



(b) Lectura en 4D-RC

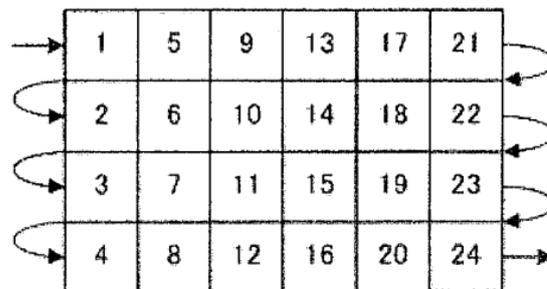


FIG.11

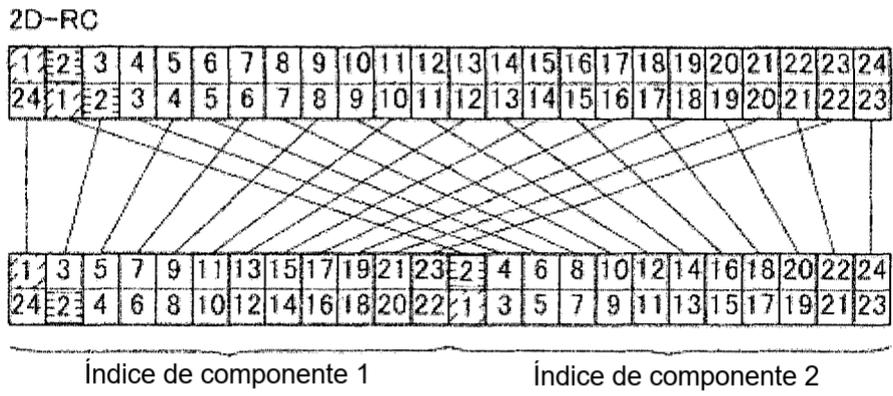


FIG.12

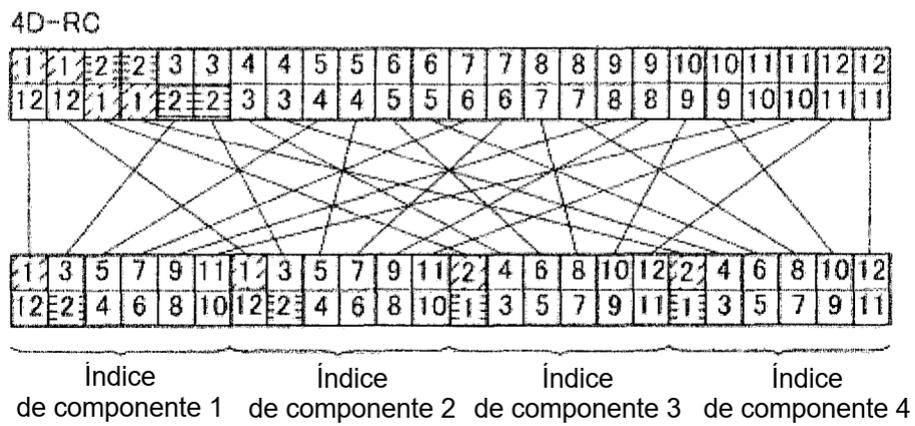
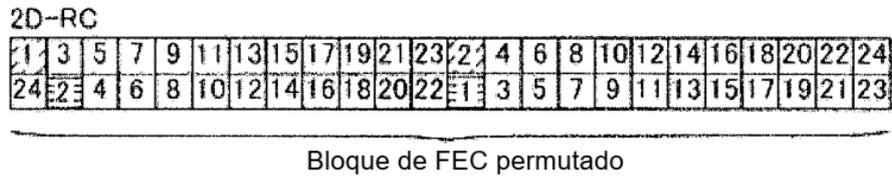
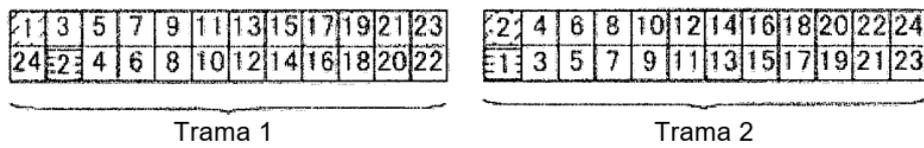


FIG.13

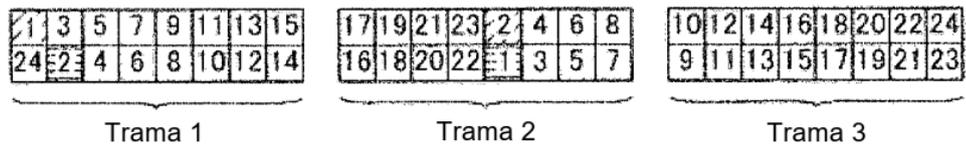
(a)



(b)



(c)



(d)

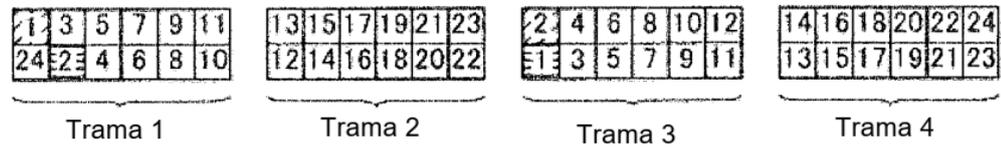


FIG.14

(a)

4D-RC

1	3	5	7	9	11	1	3	5	7	9	11	2	4	6	8	10	12	2	4	6	8	10	12
12	2	4	6	8	10	12	2	4	6	8	10	1	3	5	7	9	11	1	3	5	7	9	11

Bloque de FEC permutado

(b)

1	3	5	7	9	11	1	3	5	7	9	11	2	4	6	8	10	12	2	4	6	8	10	12
12	2	4	6	8	10	12	2	4	6	8	10	1	3	5	7	9	11	1	3	5	7	9	11

Trama 1

Trama 2

(c)

1	3	5	7	9	11	1	3	5	7	9	11	2	4	6	8	10	12	2	4	6	8	10	12
12	2	4	6	8	10	12	2	4	6	8	10	1	3	5	7	9	11	1	3	5	7	9	11

Trama 1

Trama 2

Trama 3

(d)

1	3	5	7	9	11	1	3	5	7	9	11	2	4	6	8	10	12	2	4	6	8	10	12
12	2	4	6	8	10	12	2	4	6	8	10	1	3	5	7	9	11	1	3	5	7	9	11

Trama 1

Trama 2

Trama 3

Trama 4

FIG.15

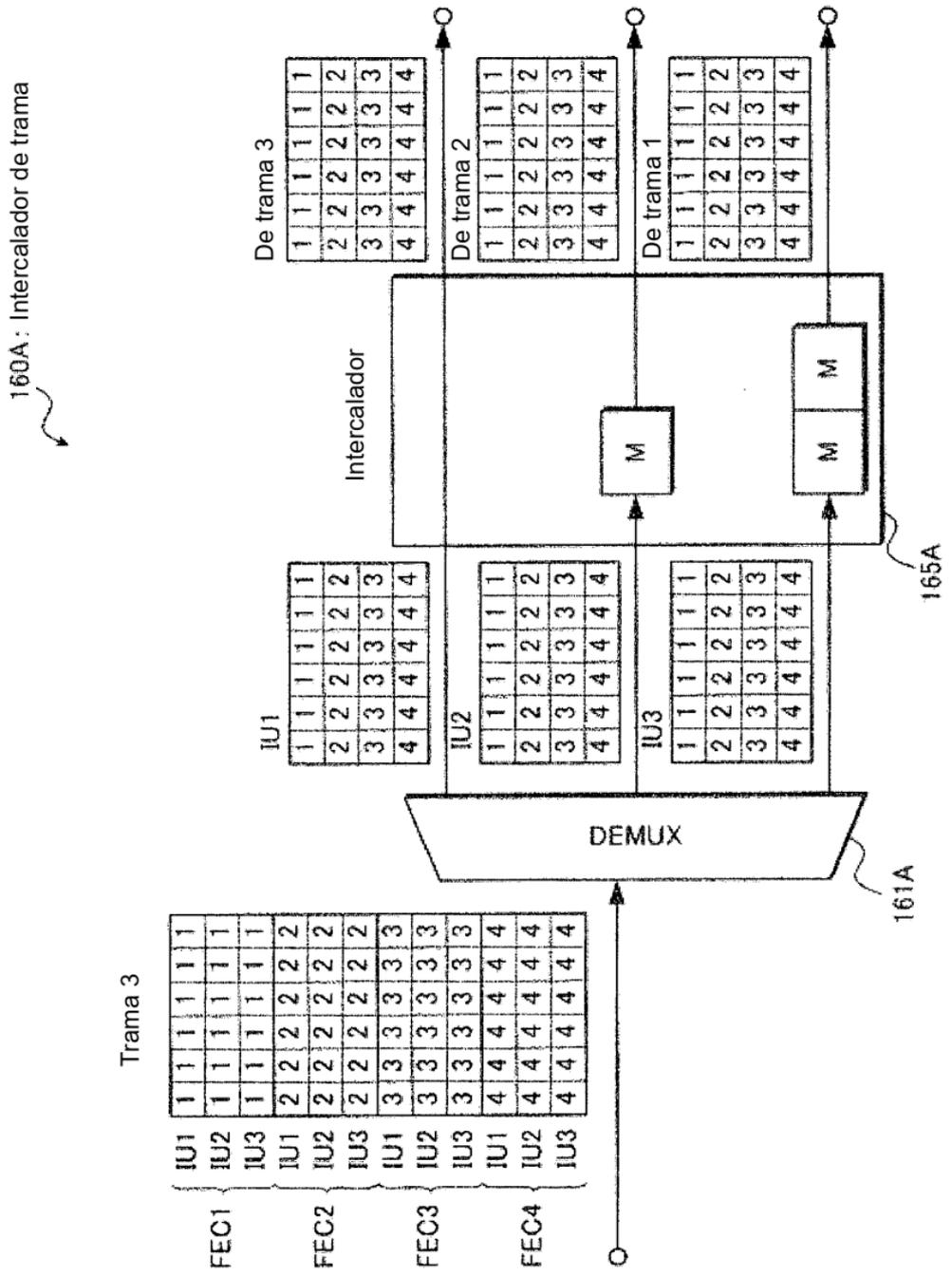


FIG.16

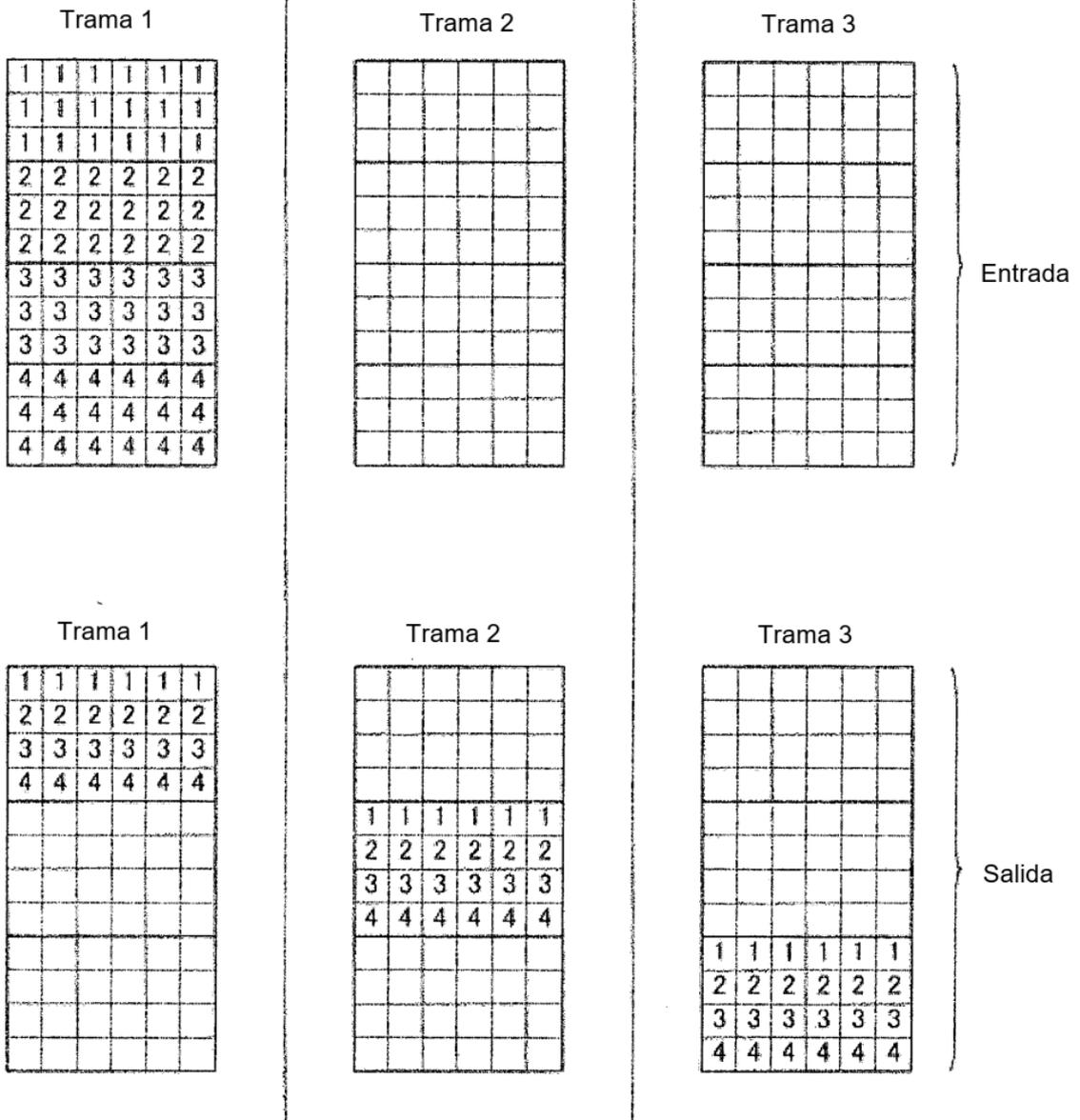


FIG.17

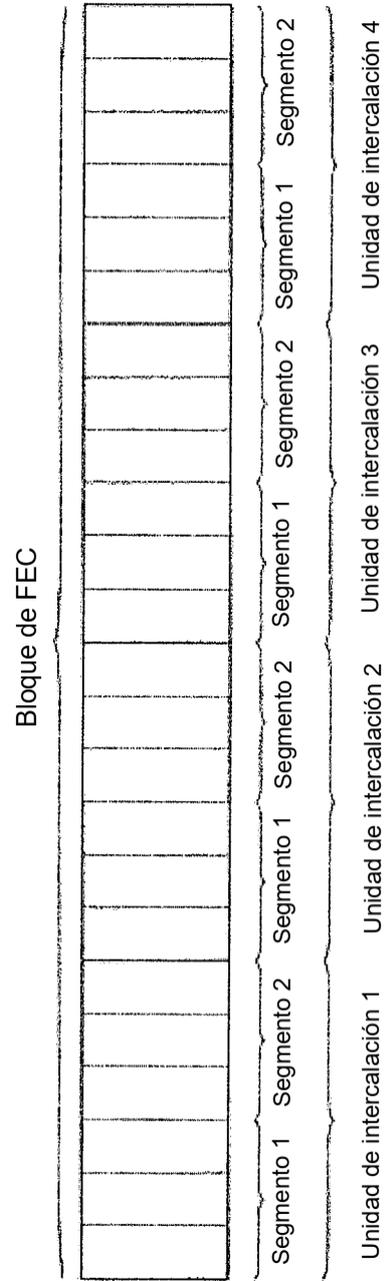


FIG.18

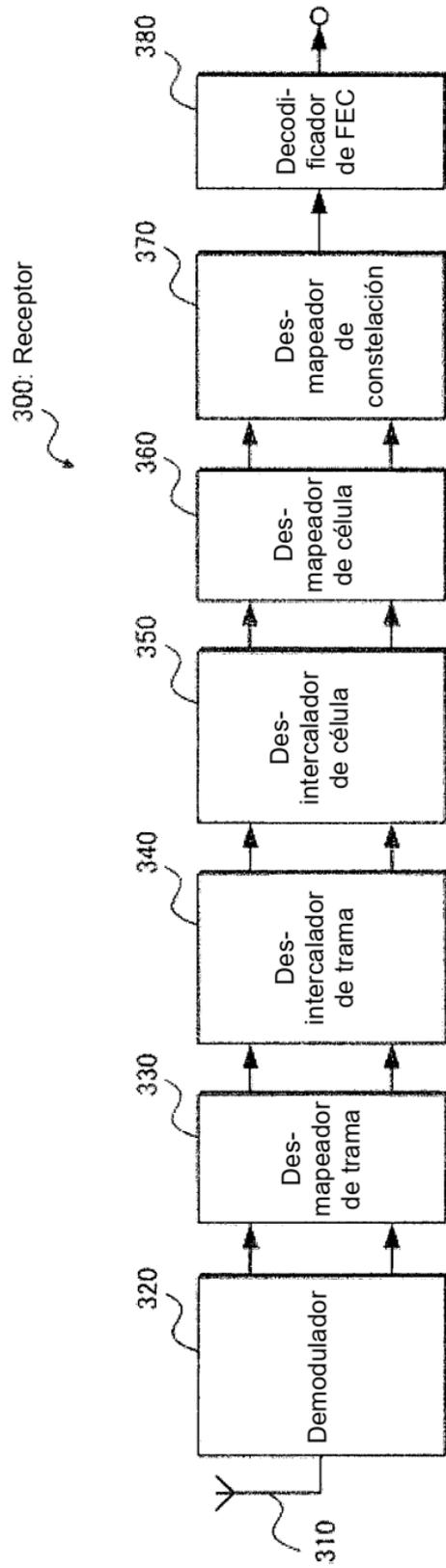


FIG.19

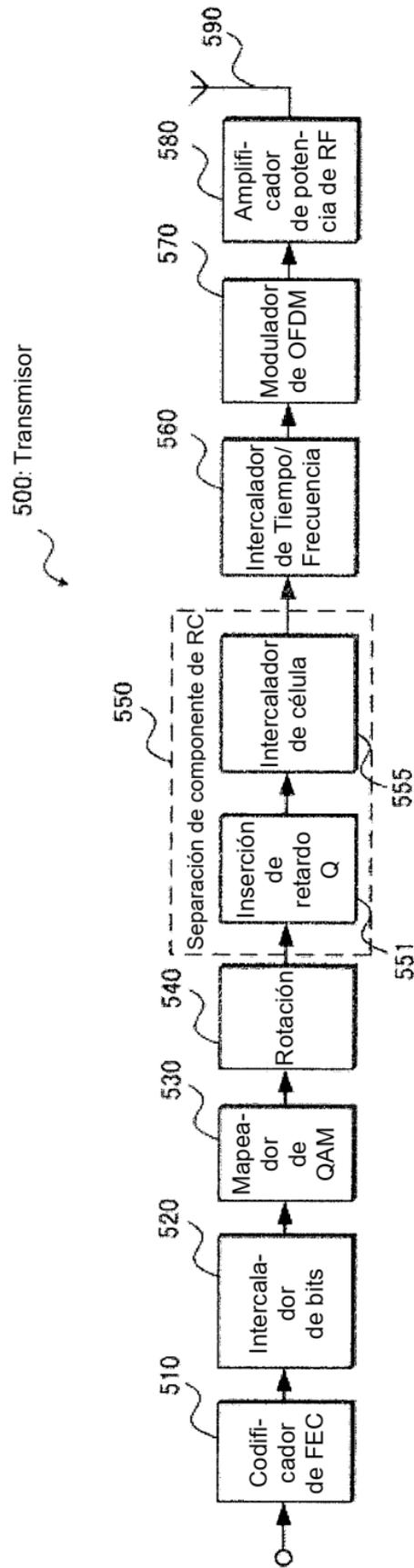


FIG.20

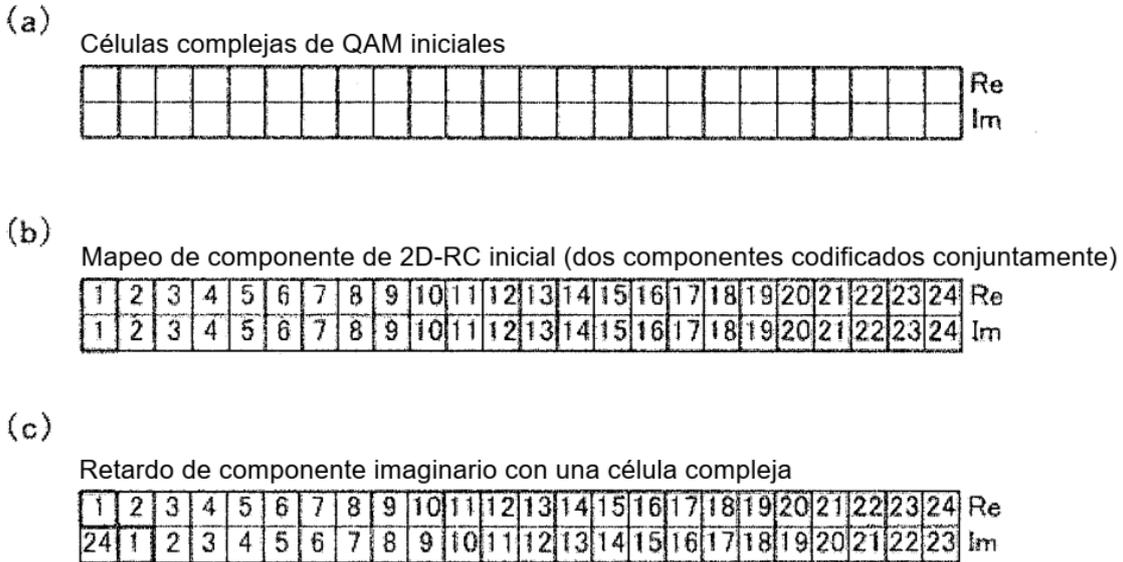


FIG.21

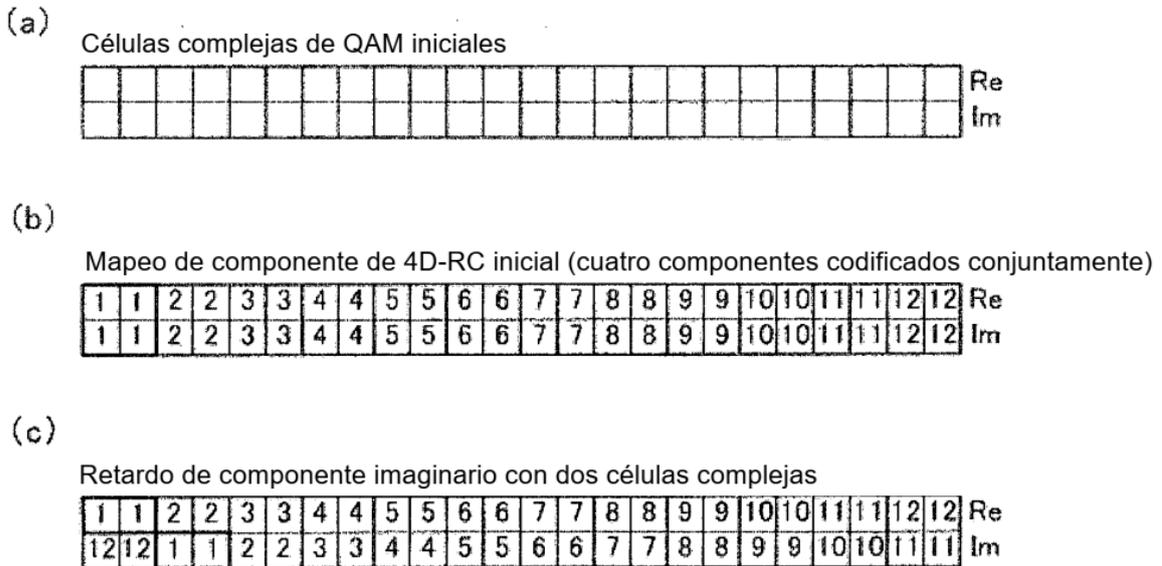


FIG.22

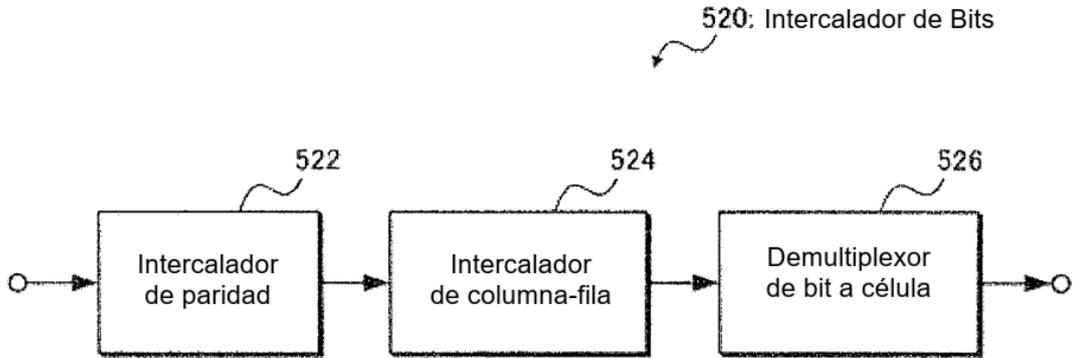


FIG.23

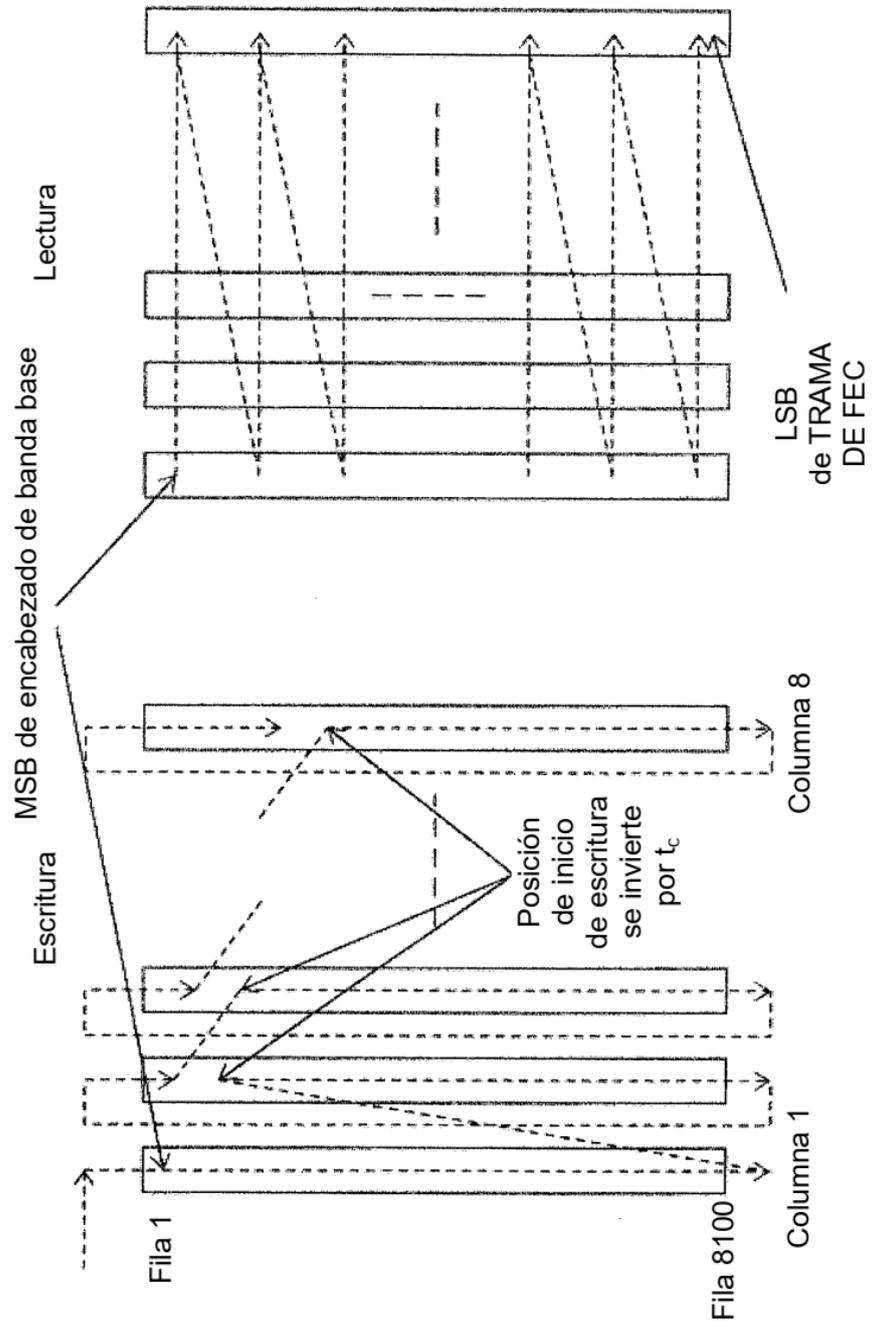
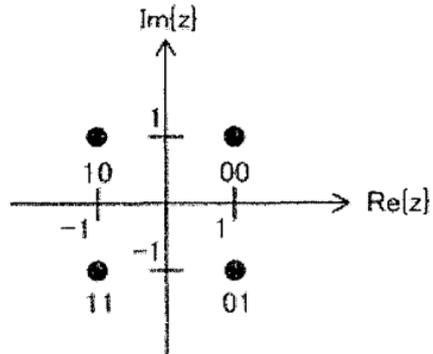


FIG.24A

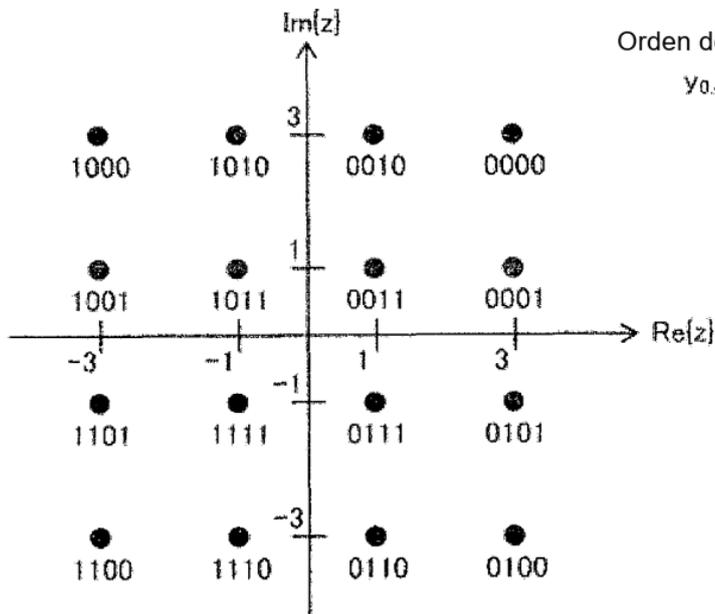


Orden de Bits de QPSK:

$y_{0,q}, y_{1,q}$

QPSK Re {z} transporta bit $y_{0,q}$
Im {z} transporta bit $y_{1,q}$

FIG.24B



Orden de Bits de 16-QPSK:

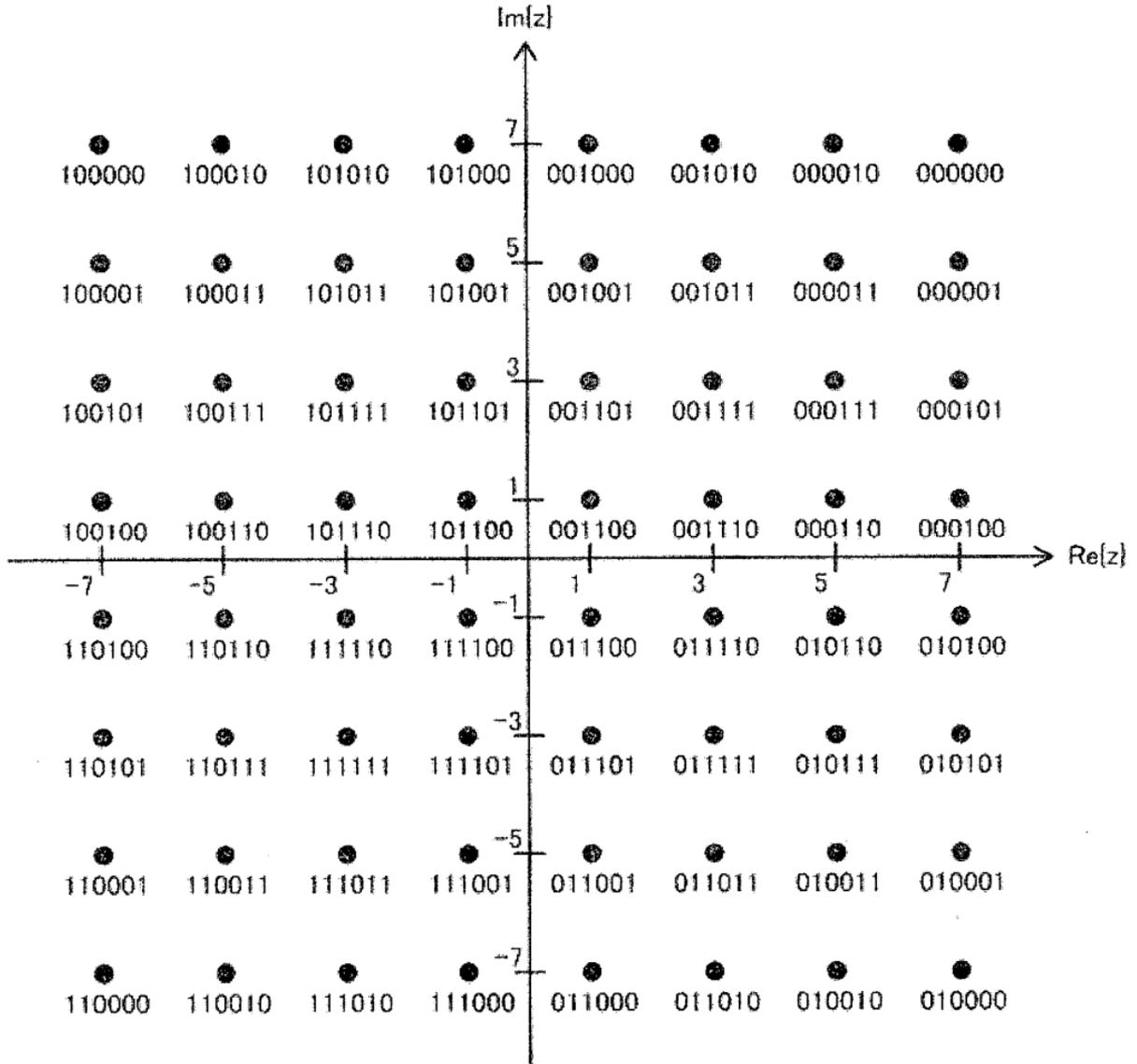
$y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}$

Re {z} transporta bits $y_{0,q}$ e $y_{2,q}$
Im {z} transporta bits $y_{1,q}$ e $y_{3,q}$

FIG.24C

Orden de Bits de 64-QPSK:

$y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}$



Re {z} transporta bits $y_{0,q}, y_{2,q}$ e $y_{4,q}$

Im {z} transporta bits $y_{1,q}, y_{3,q}$ e $y_{5,q}$

FIG.25

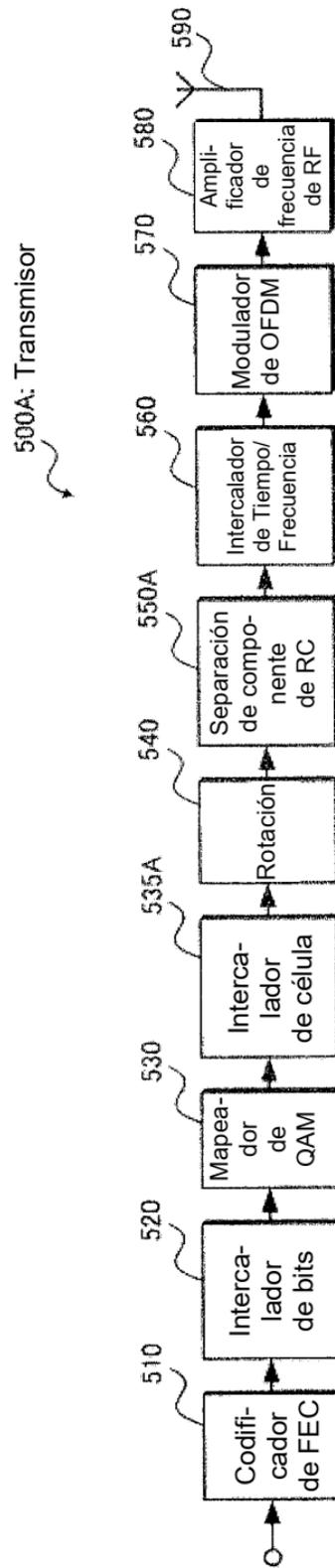


FIG.26

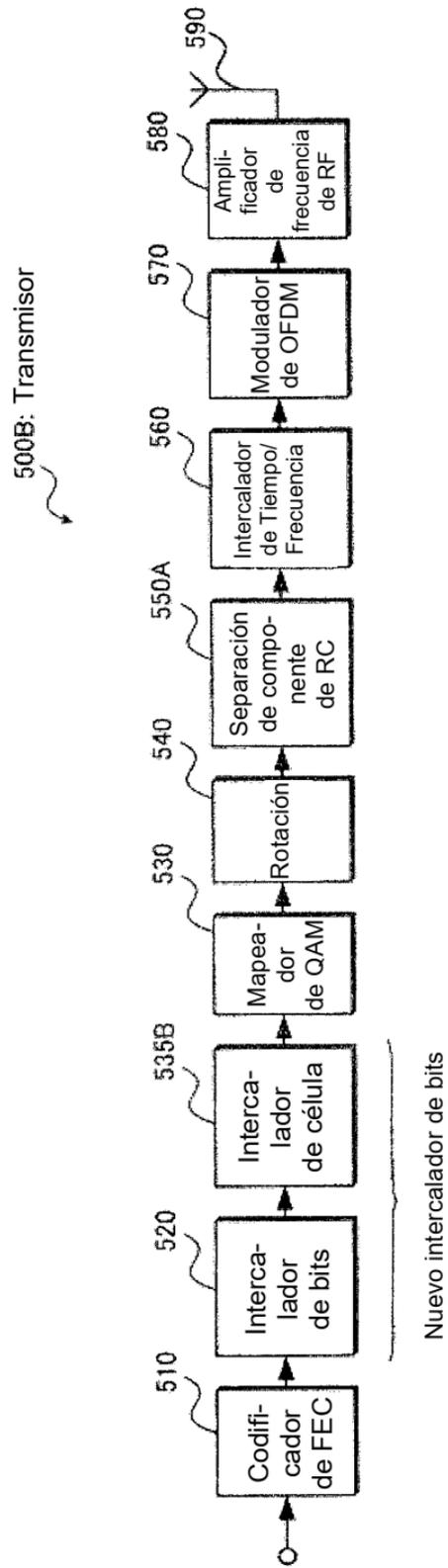


FIG.27

700: Receptor

