

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 752 086**

21 Número de solicitud: 201931123

51 Int. Cl.:

**G02B 6/43** (2006.01)

**H03K 19/14** (2006.01)

12

PATENTE DE INVENCION CON EXAMEN

B2

22 Fecha de presentación:

**18.12.2019**

43 Fecha de publicación de la solicitud:

**02.04.2020**

Fecha de modificación de las reivindicaciones:

**22.06.2020**

Fecha de concesión:

**31.07.2020**

45 Fecha de publicación de la concesión:

**07.08.2020**

73 Titular/es:

**UNIVERSITAT POLITÈCNICA DE VALÈNCIA  
(100.0%)**

**Servicio de Promoción y Apoyo a Investigación,  
Innovación y Transferencia - i2T.  
Camí de Vera, s/n - Edificio 8G  
46022 Valencia (Valencia) ES**

72 Inventor/es:

**PÉREZ LÓPEZ, Daniel y  
CAPMANY FRANCOY, José**

74 Agente/Representante:

**PONS ARIÑO, Ángel**

54 Título: **DISPOSITIVO FOTÓNICO INTEGRADO DE MATRIZ CUÁNTICA DE PUERTAS FOTÓNICAS PROGRAMABLES EN CAMPO, DISPOSITIVO QUÁNTICO Y CIRCUITOS PROGRAMABLES**

57 Resumen:

Dispositivo fotónico integrado de matriz cuántica de puertas fotónicas programables en campo. Dispositivo cuántico y circuitos programables.

La invención se refiere a un sistema cuántico basado en un circuito fotónico integrado llevado a cabo mediante la combinación e interconexión de circuitos de procesamiento fotónicos programables, implementados sobre un circuito fotónico capaz de implementar uno o múltiples circuitos cuánticos y clásicos con elementos de realimentación óptica y/o transformaciones lineales de múltiples puertos, mediante la programación de sus recursos y la selección de sus puertos de entrada y salida. La invención también se refiere a una matriz (o array) cuántica de puertas fotónicas reversibles programadas en campo para procesamiento de señales cuánticas, (quantum field-programmable photonic gate array (Q-FPPGA)), que comprende al menos un circuito programable basado en divisores de potencia óptica sintonizables con capacidad de sintonización de fase independiente y circuitos periféricos de altas prestaciones habilitando operaciones clásicas y cuánticas.

Aviso: Se puede realizar consulta prevista por el art. 41 LP 24/2015. Dentro de los seis meses siguientes a la publicación de la concesión en el Boletín Oficial de la Propiedad Industrial cualquier persona podrá oponerse a la concesión. La oposición deberá dirigirse a la OEPM en escrito motivado y previo pago de la tasa correspondiente (art. 43 LP 24/2015).

ES 2 752 086 B2

## DESCRIPCIÓN

### **DISPOSITIVO FOTÓNICO INTEGRADO DE MATRIZ CUÁNTICA DE PUERTAS FOTÓNICAS PROGRAMABLES EN CAMPO. DISPOSITIVO QUÁNTICO Y CIRCUITOS PROGRAMABLES**

5

#### **OBJETO DE LA INVENCION**

10 La invención actual se refiere a un sistema cuántico basado en un circuito fotónico integrado llevado a cabo mediante la combinación y la interconexión de circuitos de procesamiento fotónicos programables, implementados sobre un circuito fotónico capaz de implementar uno o múltiples circuitos cuánticos y clásicos con elementos de realimentación óptica y/o transformaciones lineales de múltiples puertos, mediante la programación de sus recursos y la selección de sus puertos de entrada y salida. La  
15 invención también se refiere a una matriz (o array) cuántico de puertas fotónicas reversibles programadas en campo para procesamiento de señales cuánticas, del inglés *quantum field-programmable photonic gate array (Q-FPPGA)*, que comprende al menos un circuito programable basado en divisores de potencia óptica sintonizables con capacidad de sintonización de fase independiente y circuitos periféricos de altas  
20 prestaciones habilitando operaciones clásicas y cuánticas.

#### **ANTECEDENTES DE LA INVENCION**

25 La fotónica multifuncional programable (PMP) busca el diseño de configuraciones hardware basados en óptica integrada que implementan una gran variedad de aplicaciones y funcionalidades mediante la programación específica de sus componentes. Varios autores han tratado trabajos teóricos proponiendo diferentes configuraciones y principios de diseño relativos a circuitos programables basados en la encadenación e interconexión de divisores de potencia óptica o interferómetros Mach-Zehnder (MZIs). Aunque estas propuestas ofrecen soluciones físicas versátiles para  
30 implementar circuitos, no definen una arquitectura completa para un dispositivo fotónico que pueda ser programado para implementar circuitos arbitrarios simples y complejos de manera aislada o simultánea. Sólo una serie de patentes recientes (US16/235,056, JP2018-247546, P201930410, P201831118) proponen y consideran  
35 los detalles mencionados, dando como resultado la definición de un dispositivo fotónico programable en campo, del inglés *field programmable photonic arrays (FPGA)*.

Adicionalmente, se ha propuesto la combinación de unidades de procesamiento básico óptico con capacidad de programar/sintonizar/seleccionar el porcentaje de división de potencia óptica entre sus puertos de salida y la sintonización de la fase, dando como resultado elementos de guíaonda mallados con diferentes topologías y una versatilidad sin precedentes en relación a sus funcionalidades. En particular, algunas de las arquitecturas propuestas permiten la recirculación de la señal óptica dentro del mallado, permitiendo la formación de cavidades ópticas, bucles de tipo Sagnac y circuitos más complejos. Además, una solicitud de patente reciente (P201930410) también describe una mejora técnica de las mallas de guías de onda basadas en la combinación de unidades de sintonización y procesamiento básico, del inglés *Tunable Basic Unit (TBU)* que tienen la misma orientación espacial/angular. Esto significa que los ejes longitudinales de las TBUs están en paralelo entre sí, independientemente de la topología de interconexión empleada. Esta ventaja técnica mitiga defectos de fabricación y mejora las prestaciones y la escalabilidad de los circuitos fabricados.

En paralelo, varios autores han publicado circuitos integrados que realizan transformaciones lineales de los modos guiados a la entrada de un mallado de guíaondas. Las arquitecturas propuestas requieren la combinación e interconexión fija de los divisores de potencia y los actuadores de fase. Algunas publicaciones emplean estos circuitos para la realización de un conjunto de operaciones limitada que se utilizan en el procesamiento de señales cuánticas, de manera más notoria en la creación de matrices de transformación describen la operación entre los modos de entrada y salida.

## 25 DESCRIPCIÓN DE LA INVENCION

El objeto de la invención descrito aquí resuelve los problemas mencionados y permite el diseño de sistemas de procesamiento de señales cuánticas y clásicas de forma programable donde todos los componentes mencionados están conectados a un núcleo óptico reconfigurable que permite la implementación de transformaciones lineales reconfigurables, el acondicionamiento de la señal y la interconexión dinámica entre bloques de procesamiento clásico de altas prestaciones, bloques de procesamiento de señal cuántica de altas prestaciones, acopladores entre chips y acopladores fibra-chip.

El objeto de la invención se basa en la repetición, réplica e interconexión de unidades fotónicas de procesado analógico programables e interconexiones reconfigurables

implementadas de forma preferente en un chip fotónico. Estos componentes ofrecen los bloques básicos para la implementación de operaciones ópticas de señal analógica básicas (potencia óptica reconfigurable y división de energía además de configuración de fase independiente) y, por extensión puertas o matrices 2x2 de rotación reconfigurables. En un sentido muy amplio, se puede considerar que el procesado realizado es reconfigurable, de la misma manera que los bloques lógicos programables llevan a cabo operaciones digitales en las FPGAs electrónicas o en los bloques analógicos configurables, que llevan a cabo operaciones analógicas en las matrices analógicas programables, del inglés (*Field-Programmable Analog Array*). De este modo, y en virtud de lo propuesto a continuación, se puede observar que el objeto de la invención permite la obtención de uno o varios circuitos fotónicos simultáneos y/o transformaciones lineales multipuerto mediante la programación específica de los recursos y componentes integrados, es decir, de los bloques fotónicos de operación analógica programables, bloques de procesado de señal clásicos de altas prestaciones, (del inglés *High Performance Building-block*, HPB) y bloques de procesado de señal cuántico de altas prestaciones (del inglés *Quantum High Performance Building-block*, QHPB), y la selección de los puertos empleados. Así, la contribución esencial de esta invención es la arquitectura, el flujo de trabajo, la disposición de capas tecnológicas y la descripción técnica que permite la programación de los esquemas de interconexión multipropósito para la realización de procesado de señales cuánticas y procesado de señales cuánticas en paralelo a procesado clásico de señales.

El objeto de la invención presenta una arquitectura compuesta por un núcleo conectado a puertos ópticos, Bloques procesamiento de altas prestaciones y Bloques de procesamiento cuántico de altas prestaciones, incluyendo al menos tres capas que describen la arquitectura desde un punto de vista hardware y software.

El núcleo del dispositivo puede implementarse atendiendo a diferentes formas de interconexión interna de bloques analógicos fotónico programables o unidades de sintonización básica de igual orientación y formando un patrón. Sin que esto constituya un ejemplo limitativo mediante a) una distribución convencional uniforme hexagonal, b) mediante un layout propuesto de unidades con la misma orientación, c) distribución convencional uniforme triangular, d) layout propuesto de unidades con la misma orientación, e) layout propuesto de unidades con la misma orientación y formando un patrón no uniforme.

El objeto de la invención se describe en el conjunto de reivindicaciones, incluidas aquí como referencia.

5 La operación cuántica completa requiere que el circuito se alimente por una señal proveniente de una fuente generadora cuántica y que se detecte en elementos de detección de señales cuánticas. En conjunto, aunque los sistemas o circuitos actuales son capaces de realizar transformaciones lineales reconfigurables requeridas para las operaciones cuánticas, no ofrecen la flexibilidad requerida para interconectar de forma dinámica los diferentes subsistemas o bloques de procesamiento requeridos por el  
10 procesador.

El sistema cuántico basado en circuitos fotónicos, una matriz fotónica de puertas analógicas reconfigurables programada en campo para procesamiento de señales cuánticas, del inglés (*Quantum field-programmable photonic gate array*) de la presente  
15 invención ofrece una serie de ventajas inherentes a la programación en campo o en tiempo real, expandidas por las topologías del circuito óptico introducidas por la invención. Estas incluyen:

- Reducción en los tiempos de producción y de llegada al mercado.
- Tiempos de desarrollo de prototipo menores y reducción de costes asociados.
- 20 • Reducción de riesgos financieros en el desarrollo de ideas y en su traslación a ASPICS.
- Circuitos multifuncionales y de operación simultánea o paralela.
- Optimización de circuitos.
- Reducción de áreas de fabricación y refinamiento de una arquitectura única y  
25 común.
- Mejor rendimiento y reproducibilidad de bloques fotónicos analógicos programables.
- Mayor número de topologías alternativas no limitadas a factores geométricos ni a disposiciones fijas.

30 El chip propuesto (Q-FPPGA) de la invención actual se puede aplicar en los siguientes campos:

Aplicaciones clásicas:

- 35 • Aeroespacio y defensa (aviónica, comunicaciones, soluciones de seguridad, espacio).

- Automoción (Resolución de video de alta calidad, procesado de imágenes, comunicación entre vehículos y conectividad).
- Centros de datos (Servidores, enrutadores, conmutadores, *pasarelas*)
- Computación de altas prestaciones (Servidores, super-computadores, sistemas SIGINT, radares de largo alcance, sistemas de conformación de haz, computación cuántica, redes neuronales de alta velocidad).
- Diseño de circuitos integrados (Prototipado de circuitos de aplicación específica, emulación de hardware).
- Comunicaciones cableadas e inalámbricas (Redes ópticas de transporte, interfaces de conectividad 5G, Red móvil)
- Aceleradores de hardware.
- Inteligencia artificial, aprendizaje automático y aprendizaje automático mediante redes neuronales profundas.
- Kits educativos.

## DESCRIPCIÓN DE LOS DIBUJOS Y FIGURAS

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características de la invención, de acuerdo con un ejemplo preferente de realización práctica de la misma, se acompaña como parte integrante de dicha descripción, un juego de dibujos en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

Figura 1 muestra un esquema general de la arquitectura Q-FPPGA y detalle de las tres capas que describen la arquitectura desde un punto de vista hardware y software.

Figura 2a ejemplos no limitativos de un diagrama de interconexión para la realización del núcleo de la Q-FPPGA, (a1): distribución convencional uniforme hexagonal, (a2) Layout propuesto de unidades con la misma orientación.

Figura 2b ejemplos no limitativos de un diagrama de interconexión para la realización del núcleo de la Q-FPPGA. (b1): distribución convencional uniforme cuadrada, (b2) layout propuesto de unidades con la misma orientación.

Figura 2c ejemplos no limitativos de un diagrama de interconexión para la realización del núcleo de la Q-FPPGA. (c1): distribución convencional uniforme triangular, (c2)

layout propuesto de unidades con la misma orientación.

Figura 2d-e muestra algunos ejemplos no limitativos de un diagrama de interconexión para la realización del núcleo de la Q-FPPGA con unidades de sintonización básica de  
5 igual orientación y formando un patrón no uniforme.

Figura 3 muestra un ejemplo no limitativo de la clasificación de diferentes dispositivos clásicos y cuánticos presentes en la arquitectura Q-FPPGA.

10 Figura 4 (izquierda) principales pasos del flujo de diseño/configuración del dispositivo integrado fotónico y sistema cuántico de la invención actual. (derecha) capas software y hardware del circuito fotónico y esquema expandido incluyendo los elementos de altas prestaciones periféricos.

15 Figura 5 muestra la implementación simultánea de un circuito clásico basado en una cavidad de anillo, un interferómetro Mach-Zehnder y un dispositivo 3x3 multipuerto utilizando un núcleo Q-FPPGA reconfigurable del chip de la invención actual.

Figura 6 muestra en la parte de la izquierda un ejemplo no limitativo de la  
20 implementación de un circuito cuántico con caminos de verificación (en este caso una puerta de tipo CNOT).

Figura 7 ejemplo no limitativo de la implementación de un conjunto de circuitos cuánticos programables que conmutan o comparten recursos de manera simultánea.  
25

Figura 8 ejemplo no limitativo de implementación simultánea de un conjunto de circuitos cuánticos independiente. Cada circuito emplea sus propios recursos.

Figura 9 muestra un ejemplo no limitativo de un circuito cuántico programable  
30 correspondiente a una transformada de Fourier cuántica.

Figura 10 (izquierda) ejemplo de configuración simultánea de circuitos cuánticos y clásicos. (derecha) esquemas de los circuitos implementados.

35

**DESCRIPCIÓN DE UNA FORMA DE REALIZACIÓN DE LA INVENCION**

A continuación, se detalla un ejemplo de realización de la invención de acuerdo a las figuras mostradas. En la Figura 1, se muestra una Q-FPPGA que comprende al menos uno, pero preferiblemente un gran número de bloques de procesamiento fotónico analógico programables (PPABs) implementados mediante una serie de elementos de guía de onda integrados en un circuito fotónico. Estos bloques poseen características programables y pueden propagar la señal óptica en ambas direcciones. El diseño de la Figura 1 no considera ninguna topología de interconexión particular para el núcleo de la Q-FPPGA, sirviendo únicamente como ejemplo ilustrativo. La Figura 2 muestra diferentes alternativas y geometrías de interconexión diseño para la implementación del núcleo de la Q-FPPGA. Aunque se pueden considerar diferentes configuraciones para la implementación del PPAB, en este caso ilustramos el diseño con unidades básicas e 4 puertos, tal y como las que se describen en US 16/235,056, JP 2018-247546, P201930410, P201831118, incluidas aquí como referencia. La función del PPAB es la de ofrecer de forma independiente acoplos de potencia sintonizable y la configuración ajustable de la respuesta de la fase, tal y como se explica a continuación. En general, la malla de guíaondas realiza un rutado dinámico o conmutación entre los diferentes puertos y áreas de la Q-FPPGA y entre los bloques de procesado de altas prestaciones clásicos y cuánticos.

De forma similar a las familias modernas de FPGAs, las Q-FPPGA pueden incluir bloques de procesado avanzado clásico y cuántico (HPB, QHPB) para expandir sus capacidades e incluir funcionalidad de alto nivel conectada con el núcleo del chip. La parte de la derecha de la Figura 1 muestra un esquema de la descripción anterior. La disponibilidad de funciones y bloques de alto nivel en el chip permite reducir el área requerida por dichas funciones comparado con su implementación mediante los bloques básicos del núcleo. Además, alguna de las funciones no se puede dividir y programar utilizando exclusivamente el núcleo. Algunos ejemplos de estos bloques de procesamiento incluyen elementos altamente dispersivos, líneas de retardo en espiral, subsistemas de modulación y fotodetección genéricos, amplificadores ópticos, subsistemas de fuentes ópticas y sistemas de filtrado de altas prestaciones, entre otros. Un caso especial de HPB es el que comprende un elemento, interconectado con el núcleo óptico, que comprende un subsistema de multiplexado y demultiplexado, pudiendo ser espectralmente cíclico, o no-cíclico, permitiendo el procesamiento de diferentes canales espaciales / modos así como diferentes canales espectrales definidos por la frecuencia de la señal. Sin embargo, la mayor ventaja técnica proviene

de la interconexión de HPBs cuánticos. Éstos ofrecen funcionalidad cuántica que puede ser dividida, distribuida y programada de forma eficiente dentro del núcleo de la Q-FPPGA además de combinarse con los HPBs y los QHPBs, como fuentes cuánticas, detectores, señales de procesamiento y detectores auxiliares, entre otros.

5 La Figura 3 ilustra como ejemplo no limitativo un conjunto de componentes susceptibles de estar presentes en la Q-FPPGA.

Los PPAB son bloques o componentes fotónicos 2x2 que ofrecen la capacidad de configurar de manera independiente un desfase común  $\Delta_{PPAB}$  y un ratio de división de potencia óptica  $K=\sin\theta$  ( $0\leq K\leq 1$ ) entre los campos de entrada y salida de sus guíasondas de acceso.

10

Mediante la programación específica y la concatenación de bloques de procesamiento, la Q-FPPQA puede implementar circuitos complejos autónomos o trabajando en paralelo, transformaciones de procesamiento de señal y operaciones de procesamiento cuántico mediante la división de los circuitos de procesamiento óptico convencionales en bloques fotónicos de interconexión reconfigurable (del inglés, RPIs) y las unidades PPAB, y mediante los bloques de procesamiento avanzado. En particular, el concepto de programación del núcleo de la Q-FPPGA se ilustra mediante tres diseños genéricos, representados en la Figura 5, respectivamente. La Figura 5(a) muestra como la configuración de cada unidad de procesamiento lleva a la programación de dos filtros ópticos basados en un anillo resonante y un interferómetro Mach-Zehnder. La Figura 5(b) muestra la programación del núcleo de una Q-FPPGA para la obtención de un interferómetro multipuerto.

15

20

25

La matriz de puertas cuánticas programadas en campo o en tiempo real, del inglés (*quantum field-programmable photonic gate array* (Q-FPPGA)), de acuerdo con la invención es una matriz de elementos independientes que pueden interconectarse de acuerdo a las especificaciones del usuario para la configuración de una gran variedad de aplicaciones clásicas y cuánticas. La Q-FPPGA combina la programabilidad de los circuitos integrados fotónicos reconfigurables más básicos y los componentes de procesado cuántico en una estructura escalable de interconexión, permitiendo la programación de circuitos dinámicos de mucha mayor densidad. Así, la programación de circuitos complejos viene dada por la interconectividad. Nuestra invención propuesta resuelve de este modo algunos de los problemas asociados a los circuitos cuánticos. Los circuitos cuánticos y clásicos se programan empleando recursos compartidos integrados en un chip ofreciendo las ventajas inherentes a los dispositivos

30

35

de programación directa (o en campo): reducción de los tiempos para producir, desarrollar y llevar una solución a mercado, reducción de los tiempos de prototipado y costes de ingeniería no recurrente, reducción de riesgos financieros en el desarrollo de ideas y su translación a ASPICs, operaciones multifuncionales y multitarea, optimización de circuitos, mejoras del rendimiento y la reproducibilidad de los PPAB. En comparación con las FPPA o los circuitos fotónicos reconfigurables, la invención presente incorpora procesado dinámico de señales cuánticas gracias a la incorporación de bloques de procesado avanzado y el diseño del flujo de trabajo y la arquitectura.

10

La parte de la izquierda de la Figura 4 muestra los pasos principales del flujo de diseño, que se describe a continuación. De forma similar a la FPPA fotónica, el punto de partida del flujo de diseño es la entrada de la aplicación a implementar. En este caso, pueden ser aplicaciones cuánticas y/o clásicas. A continuación, se procesan las especificaciones mediante un procedimiento de optimización para mejorar el área empleada y las prestaciones del circuito final. Entonces, las especificaciones se transforman en un circuito compatible con los elementos incluidos en la Q-FPPGA (proceso de mapeo de la tecnología), optimizando los atributos como el retardo, las prestaciones alcanzadas o el número de elementos empleados.

20

La fase de mapeo de la tecnología transforma la red optimizada en un circuito que consiste en un conjunto restringido de los elementos de la Q-FPPGA. Esto se realiza mediante la selección de componentes y partes de la red que pueden ser implementado por los elementos disponibles en la Q-FPPGA, y especificando a continuación como se realiza la interconexión entre dichos elementos. Esto determinará el número total de componentes de procesamiento requeridos por la implementación objetivo.

25

A continuación, se decide la localización de las diferentes partes del circuito mediante su asignación a una localización específica en la Q-FPPGA. En ese momento, rutinas globales se encargan de la selección de los elementos de procesamiento que operarán como caminos de acceso. Al contrario que en una FPGA electrónica, esta estructura no tiene por qué diferenciarse físicamente de los elementos de procesamiento y de interconexión. Después, se configuran los elementos de procesamiento de manera correspondiente y se calculan las prestaciones y se realiza la verificación del diseño. Este proceso se puede realizar de forma física mediante la alimentación de todos los datos de configuración a las unidades de programación para

35

configurar el chip final o mediante el empleo de modelos precisos de la Q-FPPGA. En cada paso, es posible realizar un proceso de optimización que podría decidir reconfigurar alguno de los pasos anteriores.

- 5 De la descripción anterior, se puede apreciar que la Q-FPPGA implica no solo el dispositivo físico fotónico y de control electrónico, sino que también incluye una capa software (observar la parte derecha de la Figura 1 y la Figura 4).

- 10 Los pasos contenidos en el flujo de diseño pueden realizarse de forma automática a través de la capa software, por el usuario, o por ambas partes, dependiendo de la autonomía y las capacidades de la Q-FPPGA. Además, un fallo en cualquiera de los pasos anteriores requeriría un proceso iterativo hasta que las especificaciones se cumplan de manera satisfactoria. Un proceso de optimización en paralelo proporciona una operación robusta además de una capacidad de tolerancia a fallos y defectos de  
15 fabricación, y un incremento de las capacidades de procesamiento del dispositivo físico.

- Además, la Q-FPPGA puede incorporar múltiples e independientes núcleos que se pueden interconectar entre sí y a bloques de procesamiento avanzado para aumentar  
20 su capacidad de procesamiento. Estos núcleos de guíaonda pueden integrarse en el mismo sustrato o en diferentes chips.

#### EJEMPLOS DE OPERACION

- 25 Las Figuras 6 a 10 muestran algunos ejemplos donde Q-FPPGAs de diferentes tipos se programan para la emulación y la implementación simultánea de diferentes circuitos fotónicos cuánticos. Los ejemplos son representativos de las capacidades y no pretenden ser exhaustivos. En su lugar, muestran configuraciones sencillas que pueden extenderse a circuitos más complejos. En estos esquemas solo se muestran  
30 los componentes relevantes como los puertos ópticos de entrada y salida, los HPBs y los QHPBs. En cada caso, la figura incluye el esquema de la Q-FPPGA con los PPABs activos resaltados en el núcleo de guíaondas y los esquemas de los diferentes circuitos implementados.

- 35 La Figura 6 representa un caso de operación donde la Q-FPPGA se programa para la implementación de puertas cuánticas. El caso que se ilustra aquí corresponde a una puerta C-NOT con una disposición mostrada en la parte derecha de la figura), donde el

estado de entrada y los fotones de control (*heralded*) se generan mediante QHPBs que generan pares de fotones mediante efectos no lineales como *Four Wave Mixing* espontáneo (SFWM) y el estado de salida y los fotones de control son detectados mediante bloques QHPBs específicos que implementan contadores de fotones. Las guías de onda programables en forma de malla implementan dos tareas, la de filtrado de uno de los dos fotones generados mediante SFWM) y la transformación unitaria lineal que implementa la puerta CNOT. Los QHPBs deberían, de manera ideal, estar sobre el mismo chip, pero pueden situarse de forma externa, dentro de la Q-FPPGA mediante integración híbrida o heterogénea. Nótese que los bloques HPBs no usados y los puertos de entrada y salida de la Q-FPPGA no empleados en este caso no se muestran por simplicidad. Además, circuitos más complejos se pueden implementar extendiendo el concepto mostrado y utilizando un mayor porcentaje de los recursos, componentes y porción de malla, así como QHPBs extra implementando fuentes y detectores adicionales.

La Figura 7 ilustra la operación en modo conmutación. Aquí dos o más circuitos se programan en los recursos disponibles en la Q-FPPGA que comparte en este caso QHPBs, y de forma específica las fuentes de fotones independientes. El ejemplo ilustra un muestreador de bosones triangular y una puerta Hadamard cuya implementación se muestra en la parte superior derecha y en la parte inferior derecha, respectivamente. Ambos circuitos comparten QHPBs que generan pares de fotones vía SFWM, además de una parte común del núcleo formado por la malla de guía de ondas para implementar sus correspondientes transformaciones lineales. La conmutación se realiza mediante la sintonización de los Bloques fotónicos de procesamiento analógico programable (del inglés *Programmable Photonic Analog Block*, PPAB), dentro de la malla de guíaonda para seleccionar la operación de uno u otro circuito. La detección de fotones se realiza en este ejemplo mediante QHPBs no compartidos.

La Figura 8 ilustra la operación en modo compartido donde dos o más circuitos se configuran de forma simultánea sobre el dispositivo físico definido por la malla de guíaonda y los bloques periféricos. En este caso específico, los QHPBs se emplean en la preparación en la detección de las señales de entrada y de salida respectivamente y diferentes secciones de la malla de guía de ondas se emplea para implementar filtros de fotones y transformaciones lineales unitarias requeridas. Los dos circuitos son en este caso una puerta Hadamard y una cascada de puertas correspondiente a las transformaciones X, Y y Z de rotación). El QHPB que implementa el estado inicial de la

puerta Hadamard son fuentes de pares de fotones que requieren un filtrado posterior, mientras que aquellos que implementan el estado inicial de las matrices de rotación en cascada son fuentes de fotones individuales.

5 La Figura 9 ilustra el caso en el que a la entrada de la QFPGA se inserta mediante uno de sus puertos un estado o modo cuántico (de dimensión  $N$ ). Aquí, la QFPGA se programa para realizar una transformación lineal simple y no se utilizan QHPBs adicionales, a menos que se mida el estado final. En el caso del ejemplo de la Figura 9, se representa la implementación de una transformada de Fourier cuántica.

10

Finalmente, la Figura 10 muestra un ejemplo de operación mixta de señales clásicas y cuánticas. Aquí, parte del núcleo formado por la malla de guíaonda implementa una puerta cuántica (cascada de matrices de rotación), mientras que otra implementa un filtro clásico de cavidades acopladas (CROW) para procesar la señal clásica generada mediante la utilización de dos HPBs que consisten en un DBF integrado y un modulator externo.

15

### IMPLEMENTACIÓN FÍSICA

20 La implementación física del dispositivo Q-FPPGA se puede realizar mediante óptica integrada ya sea en tecnología de fotónica de silicio u otros materiales del grupo IV o mediante combinaciones híbridas o heterogéneas junto con otros materiales como los del grupo III-V.

25 Para los elementos PPAB, la tecnología actual de fotónica integrada permite la integración de elementos de sintonización de fase como: MEMS, efectos termo-ópticos, opto-mecánicos, electro-capacitivos, materiales de cambio de fase o actuadores no volátiles. Estos actuadores de fase se integran en cualquier estructura interferométrica o no interferométrica, resonante o no resonante con más de dos  
30 puertos. Finalmente, tal y como se ha mencionado anteriormente, se pueden diseñar Q-FPPGAs más complejas mediante la configuración de esquemas de interconexión de bloques diferentes. Algunos ejemplos se muestran en la Figura 2.

Tal y como se describe en la Figura 1, el dispositivo físico (hardware) correspondiente  
35 al circuito óptico integrado se ha de integrar junto con los sistemas de control electrónico para la realización de tareas de programación de los actuadores opto-electrónicos y para la realización de tareas y optimizaciones globales del circuito.

## REIVINDICACIONES

1. Una matriz cuántica de puertas fotónicas programables en campo para (del inglés *Quantum Field-programmable photonic gate array*, Q-FPPGA) caracterizada por  
5 comprender:  
- un núcleo formado por una matriz de puertas fotónicas programables en campo, y  
- al menos un bloque de procesamiento cuántico de altas prestaciones (del inglés *quantum High Performance Building Block*, QHPBB),  
10 Donde al menos uno de los elementos de procesamiento cuántico de altas prestaciones (QHPBB) se conecta al núcleo reconfigurable de la matriz de puertas fotónicas programables en campo.
2. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de  
15 acuerdo a la reivindicación 1, donde al menos una matriz cuántica de puertas fotónicas programables (Q-FPPGA) además incluya al menos un puerto óptico y/o al menos un bloque de procesamiento cuántico de altas prestaciones (HPBB) conectados al núcleo de la matriz cuántica de puertas fotónicas reconfigurables.
- 20 3. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de acuerdo a cualquiera de las reivindicaciones 1 y 2, donde al menos una matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) además incluya al menos un bloque fotónico de procesamiento analógico programable, del inglés  
25 (*Programmable Photonic Analog Block*, PPAB) implementados mediante una serie de guíasondas fotónicas integrados en un chip fotónico.
4. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de acuerdo a la reivindicación 3, incluyendo al menos dos bloques fotónicos de procesamiento analógico programable (PPAB) integrados en la misma orientación y  
30 siguiendo una topología uniforme.
5. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de acuerdo a la reivindicación 4, donde la topología uniforme de distribución es una de las seleccionadas entre una topología hexagonal de mallas de guíaonda, topología  
35 cuadrada de mallas de guíaonda o topología triangular de mallas de guíaonda.
6. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de

acuerdo a la reivindicación 3, incluyendo al menos dos bloques fotónicos de procesamiento analógico programable (PPAB) integrados en la misma orientación y siguiendo una topología no uniforme.

5 7. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de acuerdo a la reivindicación 2, donde al menos uno de los elementos de procesado de altas prestaciones (HPBBs) es uno de los seleccionados entre elementos altamente dispersivos, líneas de retardo de guíaonda, elementos de modulación genéricos y sistemas de fotodetección, amplificadores ópticos y subsistemas de emisión y  
10 estructuras de filtrado de altas prestaciones, multiplexores y demultiplexores.

8. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de acuerdo a la reivindicación 2, donde al menos uno de los elementos de procesado cuántico de altas prestaciones (QHPBBs) es uno de los seleccionados entre fuentes  
15 cuánticas, detectores, unidades de procesado y detectores.

9. La matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) de acuerdo a la reivindicación 2, donde además se incluyen múltiples e independientes núcleos de procesamiento interconectado entre sí y conectados a los elementos de  
20 procesado de altas prestaciones (HPBBs, Q-HPBBs).

10. Un dispositivo integrado fotónico y cuántico implementado mediante un circuito fotónico integrado en chip sobre un substrato, caracterizado porque comprende:  
-una capa física que incluye al menos una matriz cuántica de puertas fotónicas  
25 programables en campo (Q-FPPGA) de cualquiera de las reivindicaciones anteriores;  
-una capa de electrónica de control; y  
-una capa software.

11. Un circuito cuántico programable que incluye un circuito fotónico integrado y un  
30 dispositivo cuántico de acuerdo a la reivindicación 10.

12. El circuito cuántico programable de la reivindicación 11, donde el circuito se basa en un anillo resonante o un interferómetro de tipo Mach-Zehnder (MZIs).

35 13. Un método de diseño de circuitos cuánticos programables de los mencionados en las reivindicaciones 11 o 12 caracterizados por comprender los siguientes pasos:  
- elección de una aplicación inicial para ser implementada;

- procesamiento de un área o de las prestaciones del circuito cuántico programable;
- mapeo y transferencia de la aplicación en un circuito compatible con los elementos de la matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA).

5 14. El método de la reivindicación 13 donde el paso de mapeo/transferencia/configuración de la aplicación en un circuito compatible con los elementos de la matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA) comprende además:

10 - un primer paso de selección donde las partes del circuito se implementan mediante elementos del circuito integrado.

- un paso de interconexión donde cada bloque de procesamiento básico es asignado a una localización específica en la matriz cuántica de puertas fotónicas programables en campo (Q-FPPGA).

15 - un segundo paso de selección donde se seleccionan los elementos de procesado que operan como caminos de acceso e interconexión.

15. El método de la reivindicación 14 donde además se incluye:

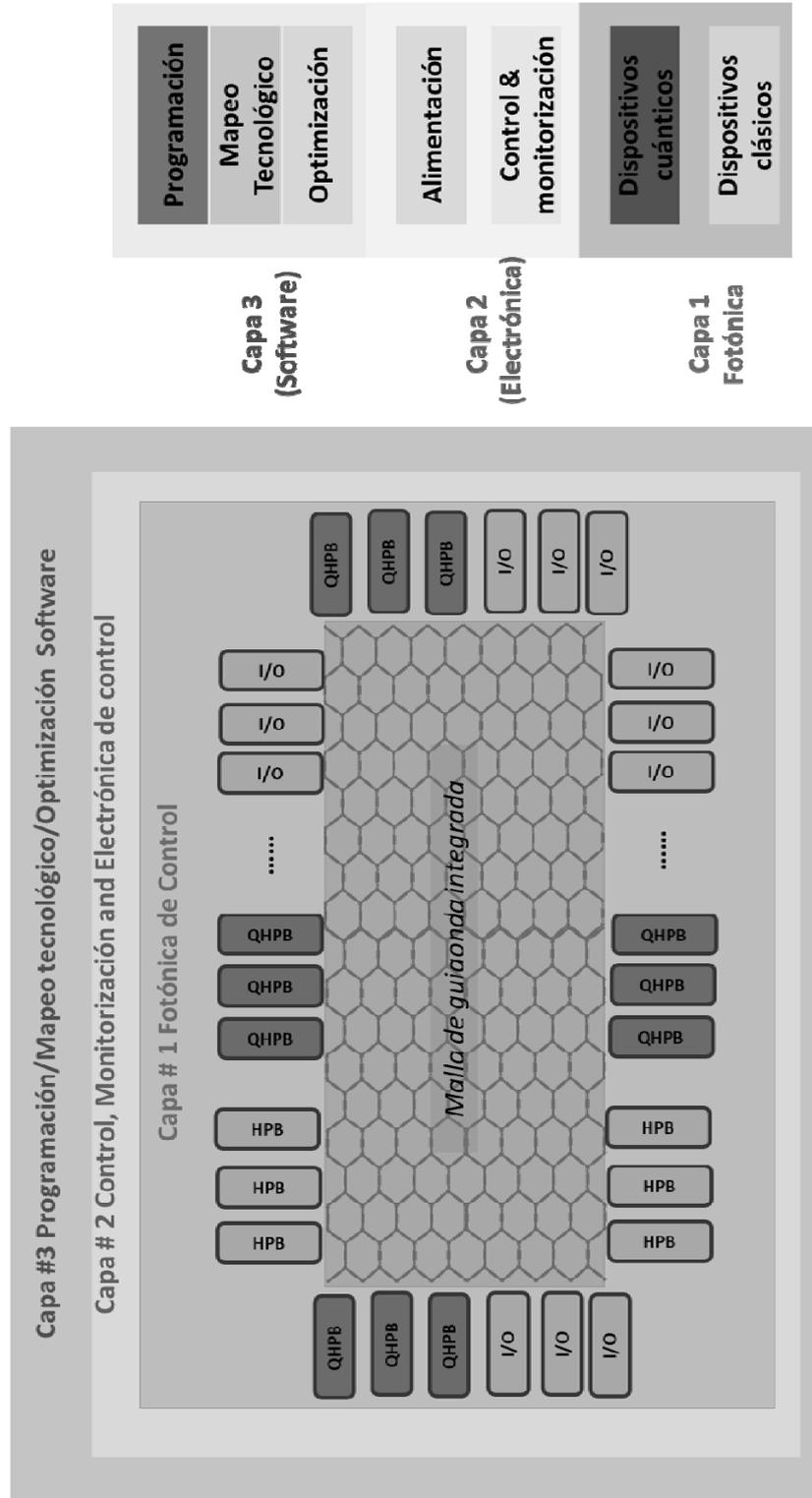
- el cálculo de las prestaciones del circuito y un paso de verificación del diseño.

20 16. El método de la reivindicación 15 donde además el cálculo de las prestaciones del circuito y el paso de verificación del diseño se realiza de forma física mediante la carga y datos de configuración de los datos necesarios para programar las unidades que configuran el chip o mediante el empleo de modelos precisos de la matriz cuántica de puertas fotónicas programable en campo (Q-FPPGA).

25

17. El método de cualquiera de las reivindicaciones 13 a 16 donde los pasos se llevan a cabo de manera automática por la capa software, por el usuario o por una mezcla de ambos, dependiendo del grado de autonomía y de las capacidades de la matriz cuántica de puertas fotónicas programable en campo (Q-FPPGA).

30



**FIG. 1**

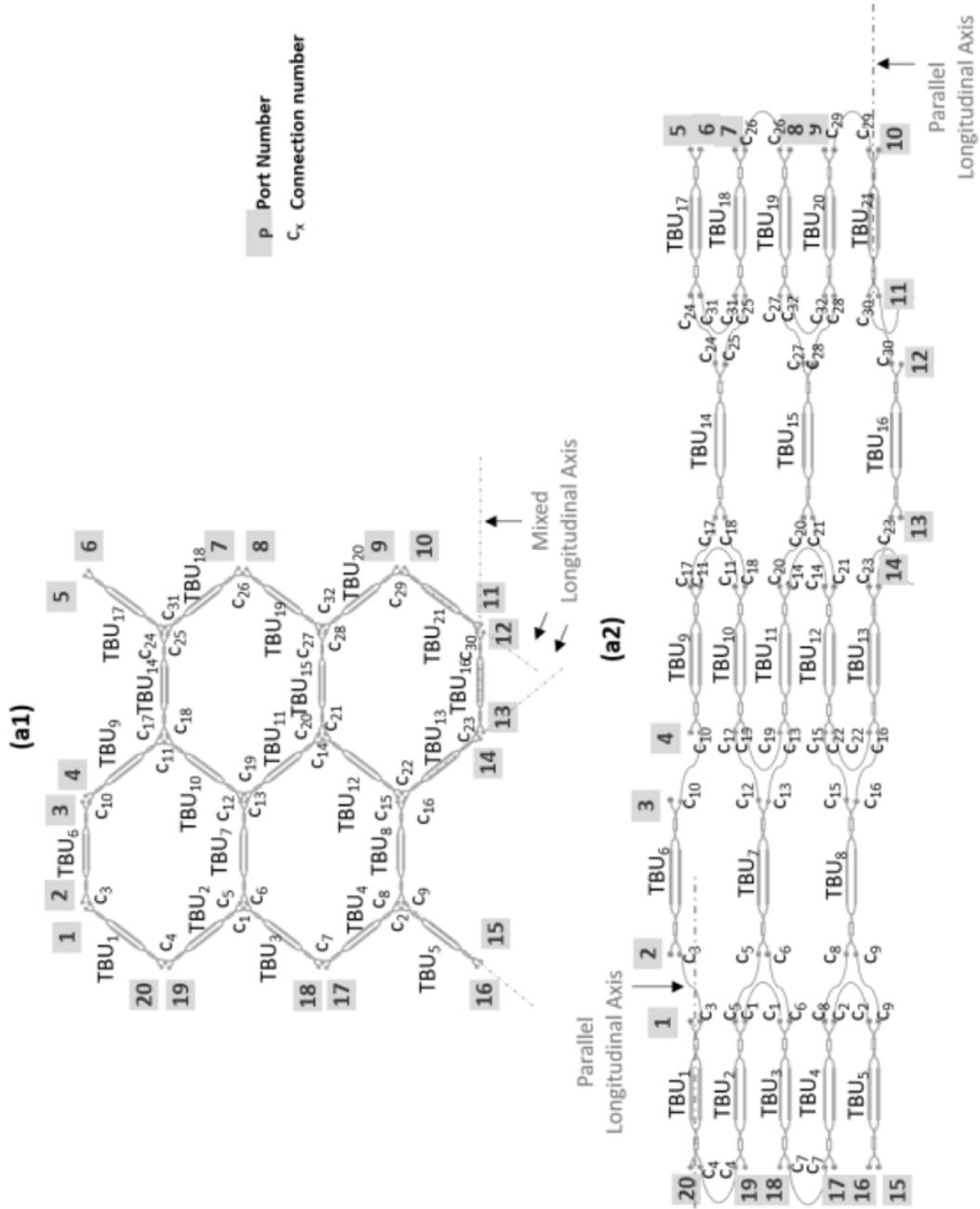
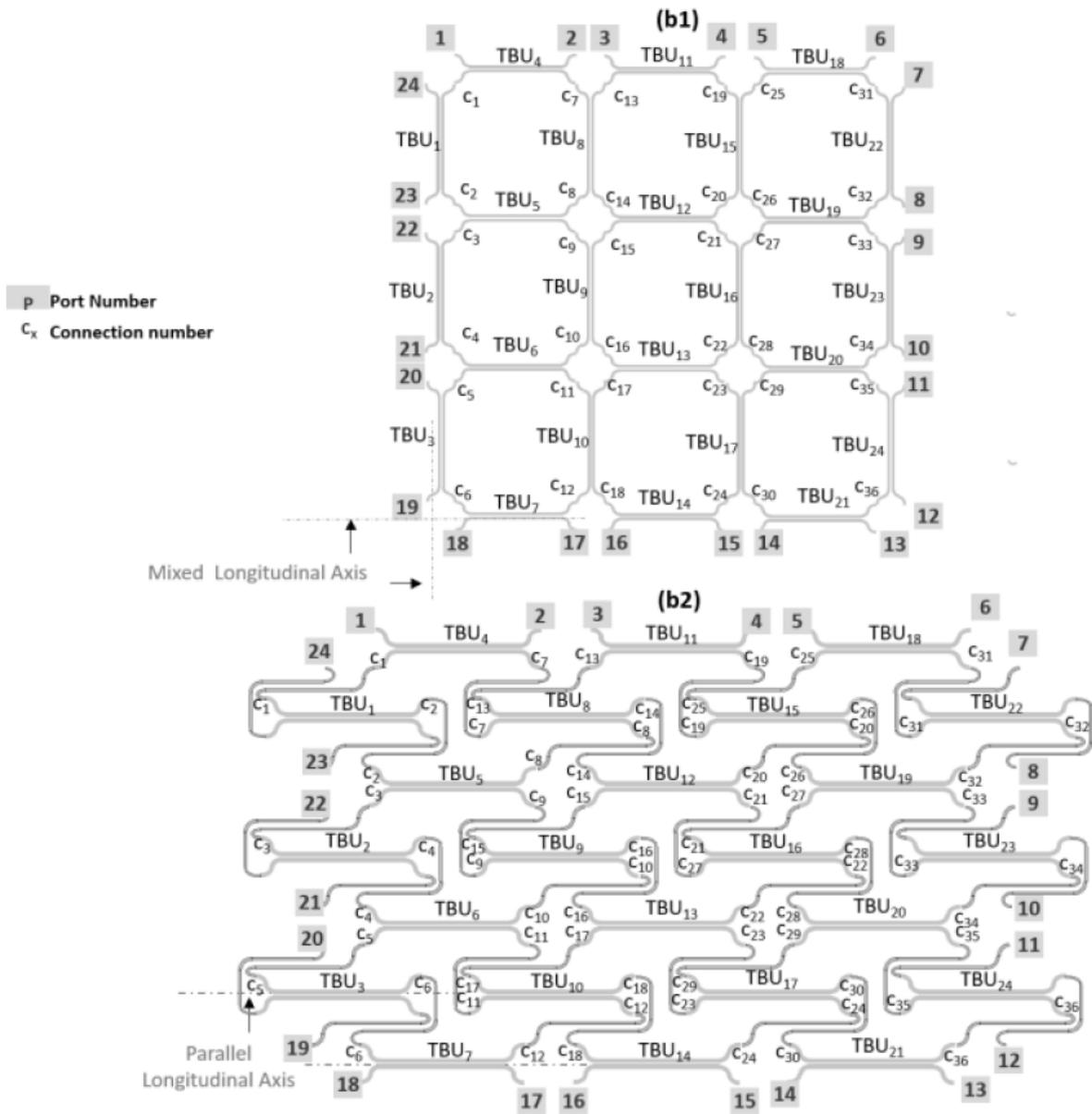
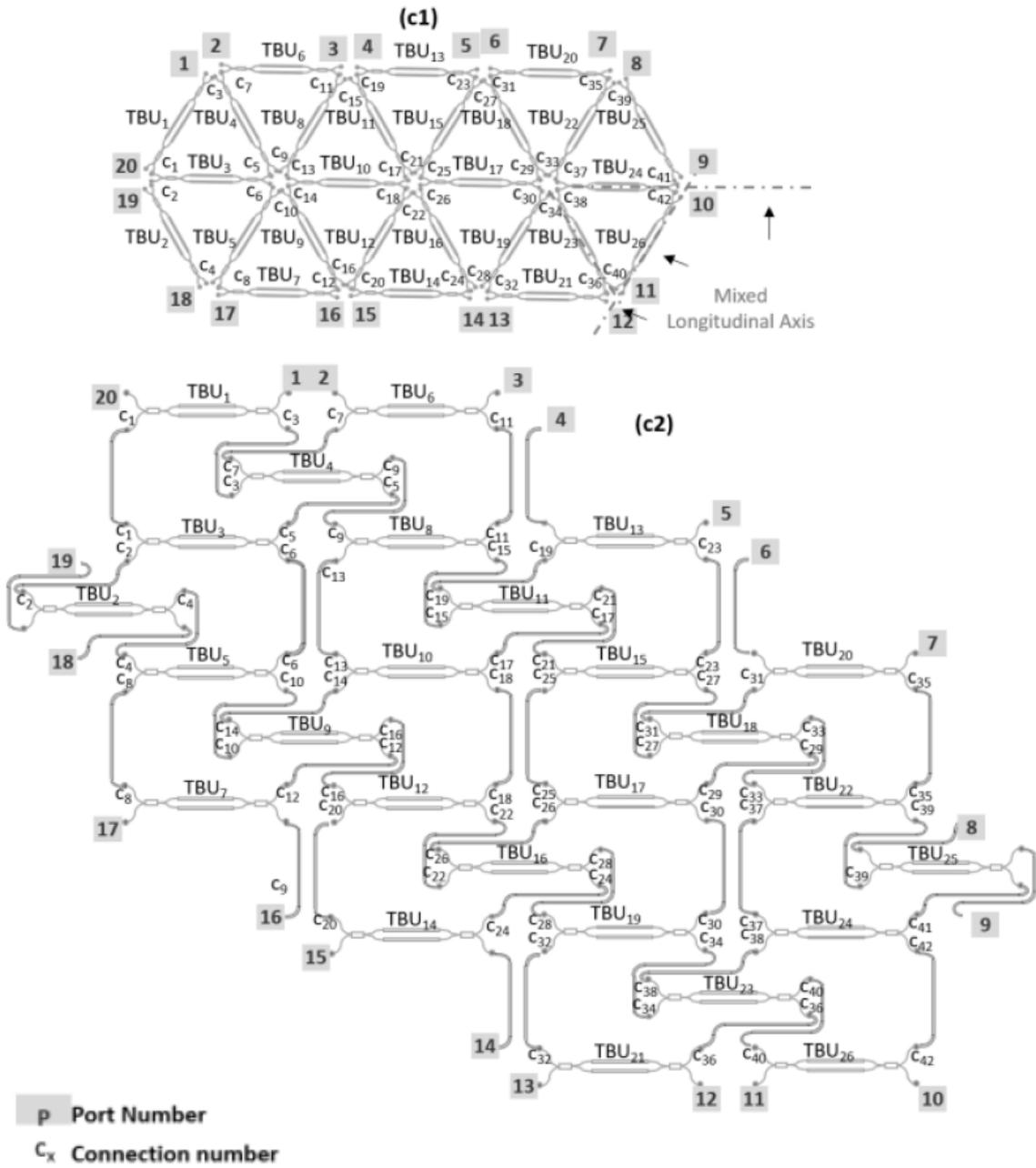
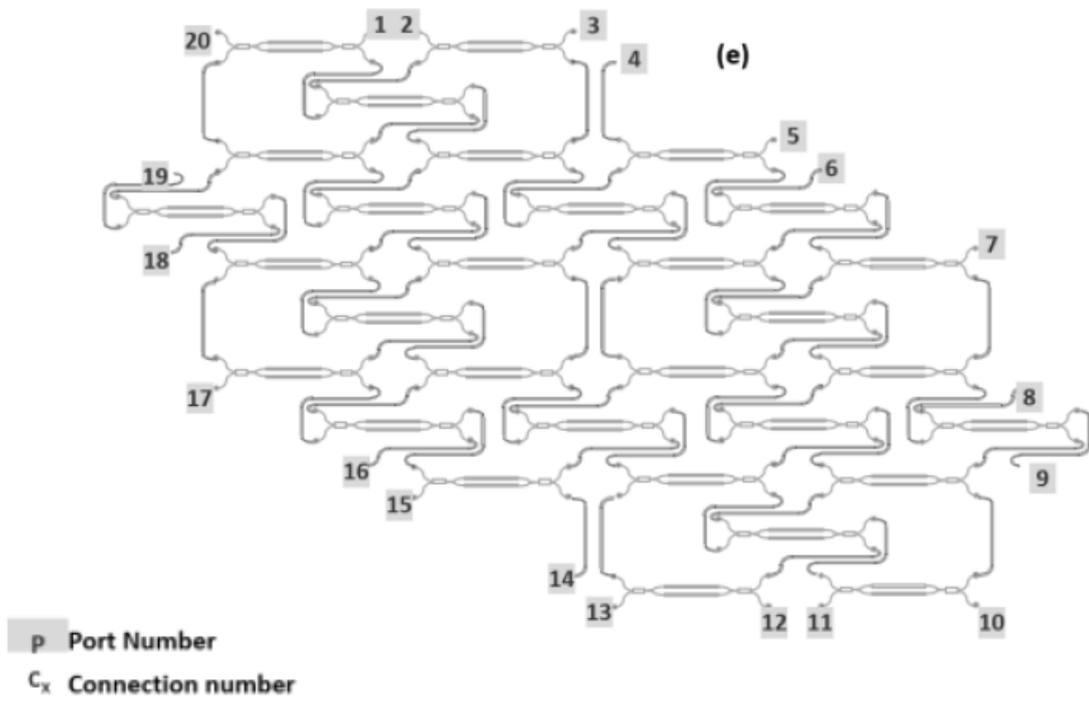
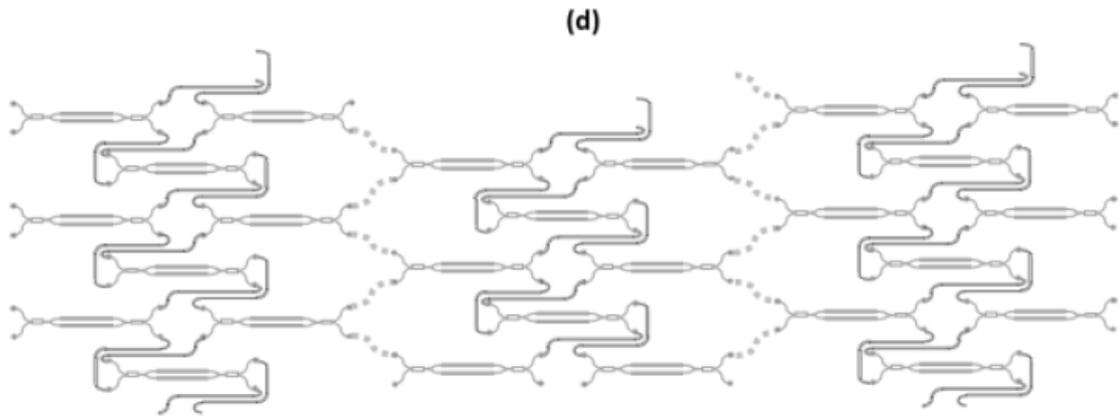


FIG 2





**FIG. 2 (cont.)**



**FIG. 2 (cont.)**

	Malla de guíaondas	HPBs	Puertos I/O	QHPBs
<p><b>Dispositivos cuánticos</b></p>				<ul style="list-style-type: none"> <li>- Fuentes de fotones independientes de tipo SFWM con guíaondas espirales.</li> <li>- Fuentes de fotones independientes de tipo CROW.</li> <li>- Fuentes de fotones independientes de tipo SFWM con redes Brag y en cavidad.</li> <li>- Detectores integrados de fotones independientes</li> <li>- Lectores de qbit integrados.</li> </ul>
	<p><b>Dispositivos clásicos</b></p>	<ul style="list-style-type: none"> <li>- NxN transformadores lineales programables.</li> <li>- Filtros sintonizables.</li> <li>- Conmutadores</li> <li>- Líneas de retardo</li> </ul>	<ul style="list-style-type: none"> <li>- Fotodetectores</li> <li>- Fuentes ópticas</li> <li>- Filtros sintonizables</li> <li>- Conmutadores</li> <li>- Moduladores</li> <li>- Líneas de retardo</li> </ul>	<ul style="list-style-type: none"> <li>- Acopladores Chip-chip</li> <li>- Acopladores Chip-fiber.</li> </ul>

**FIG. 3**

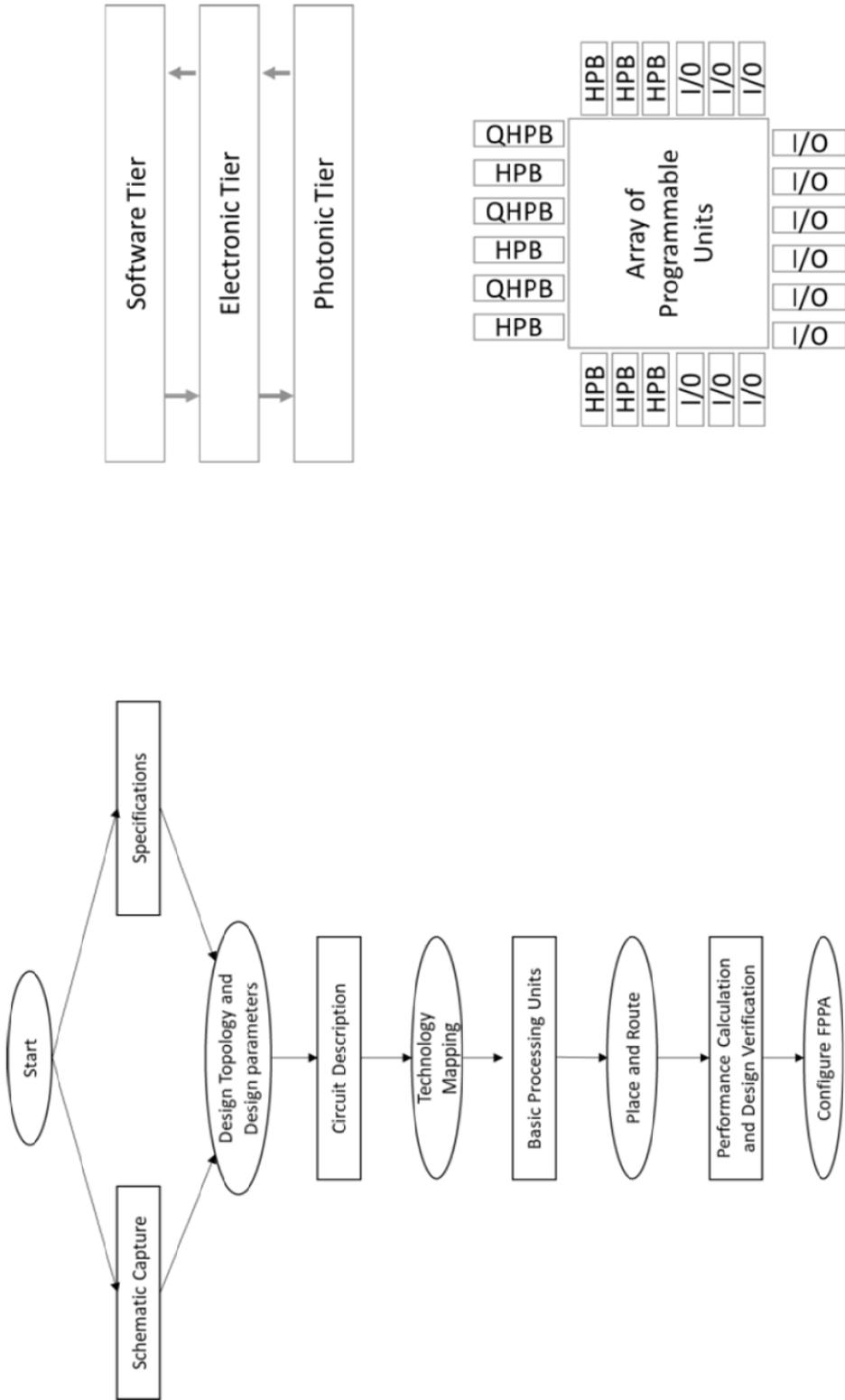


FIG. 4

Programmed Photonic Circuits examples

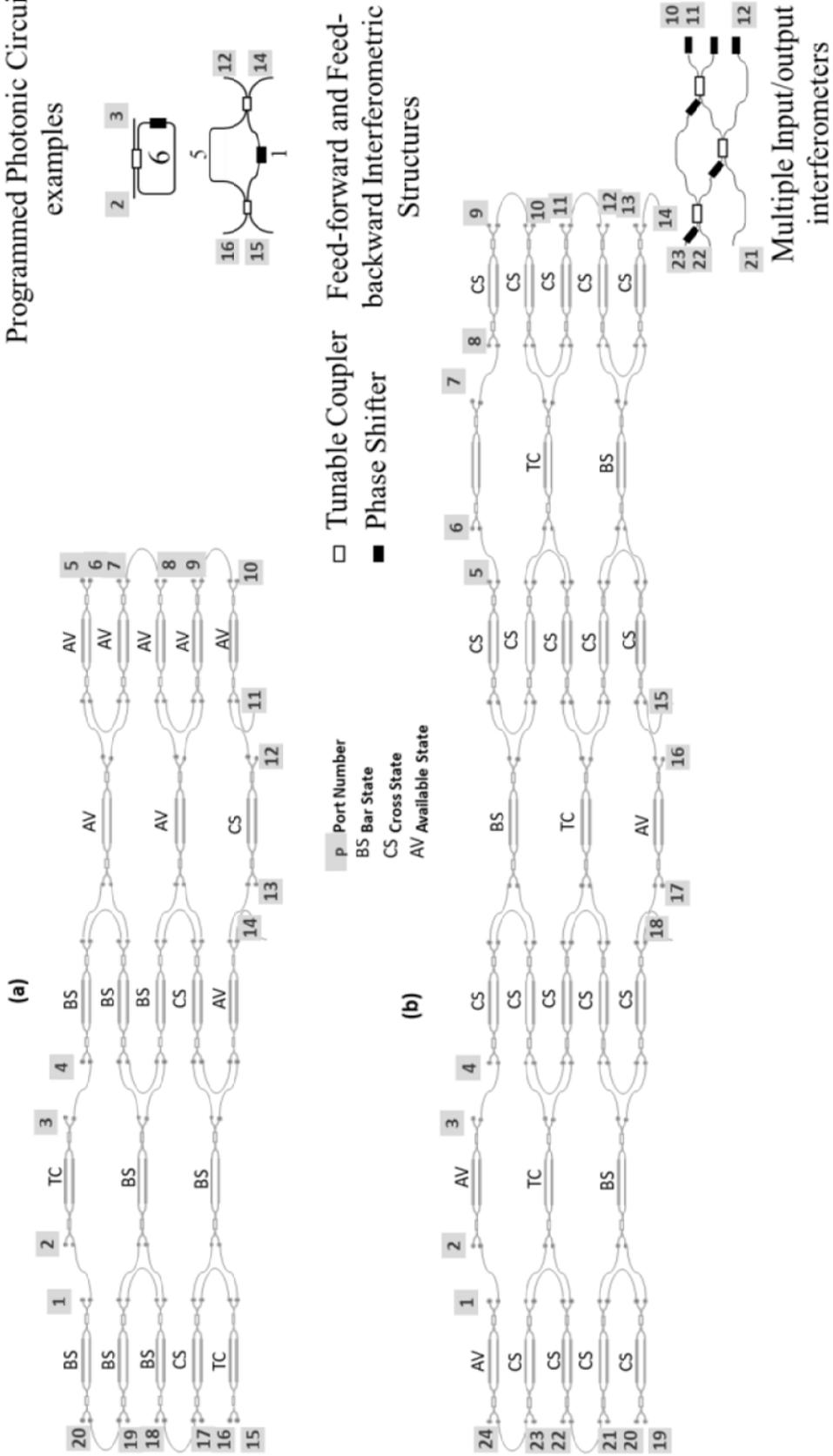
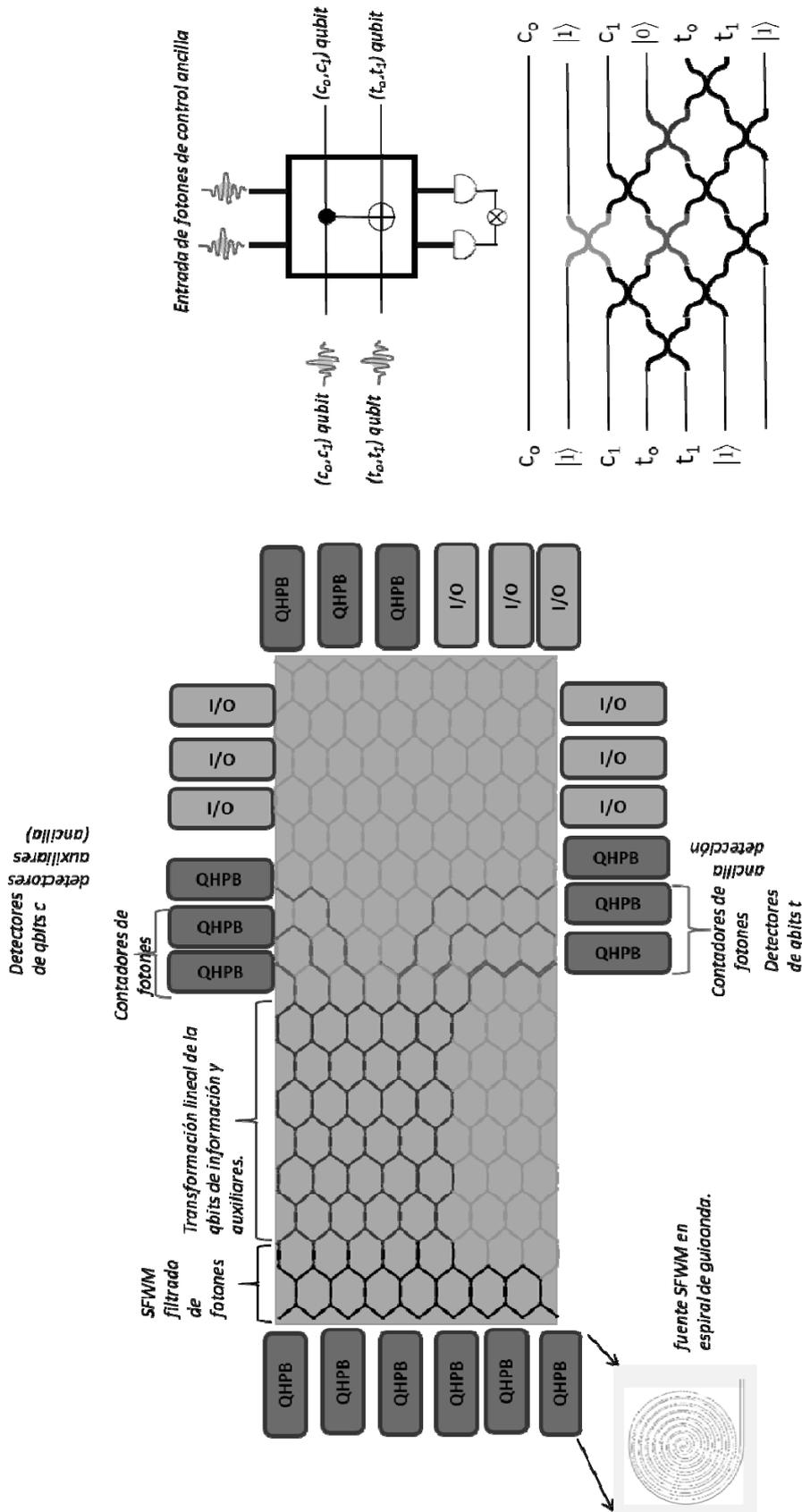


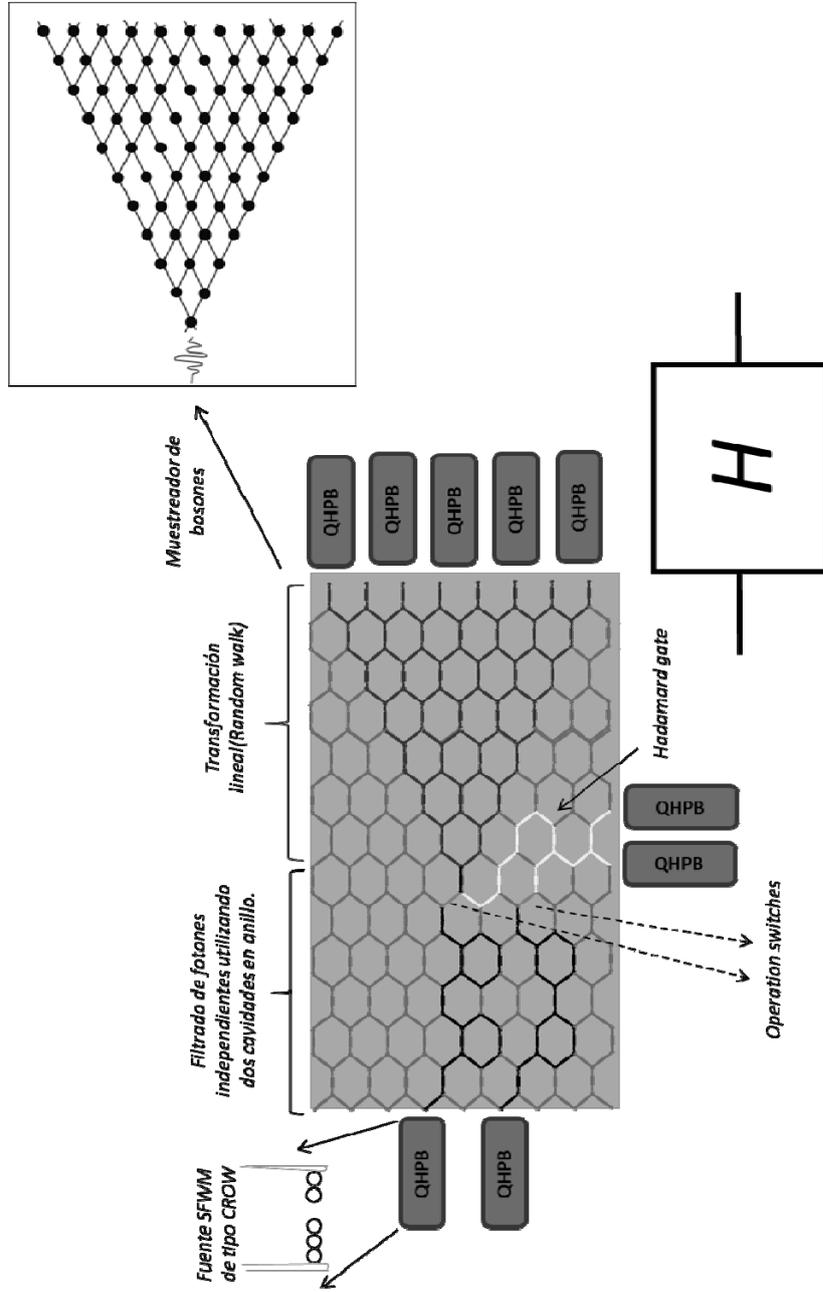
FIG. 5

**Ejemplo 1: Implementación de puerta cuántica de tipo Heralded CNOT**



**FIG. 6**

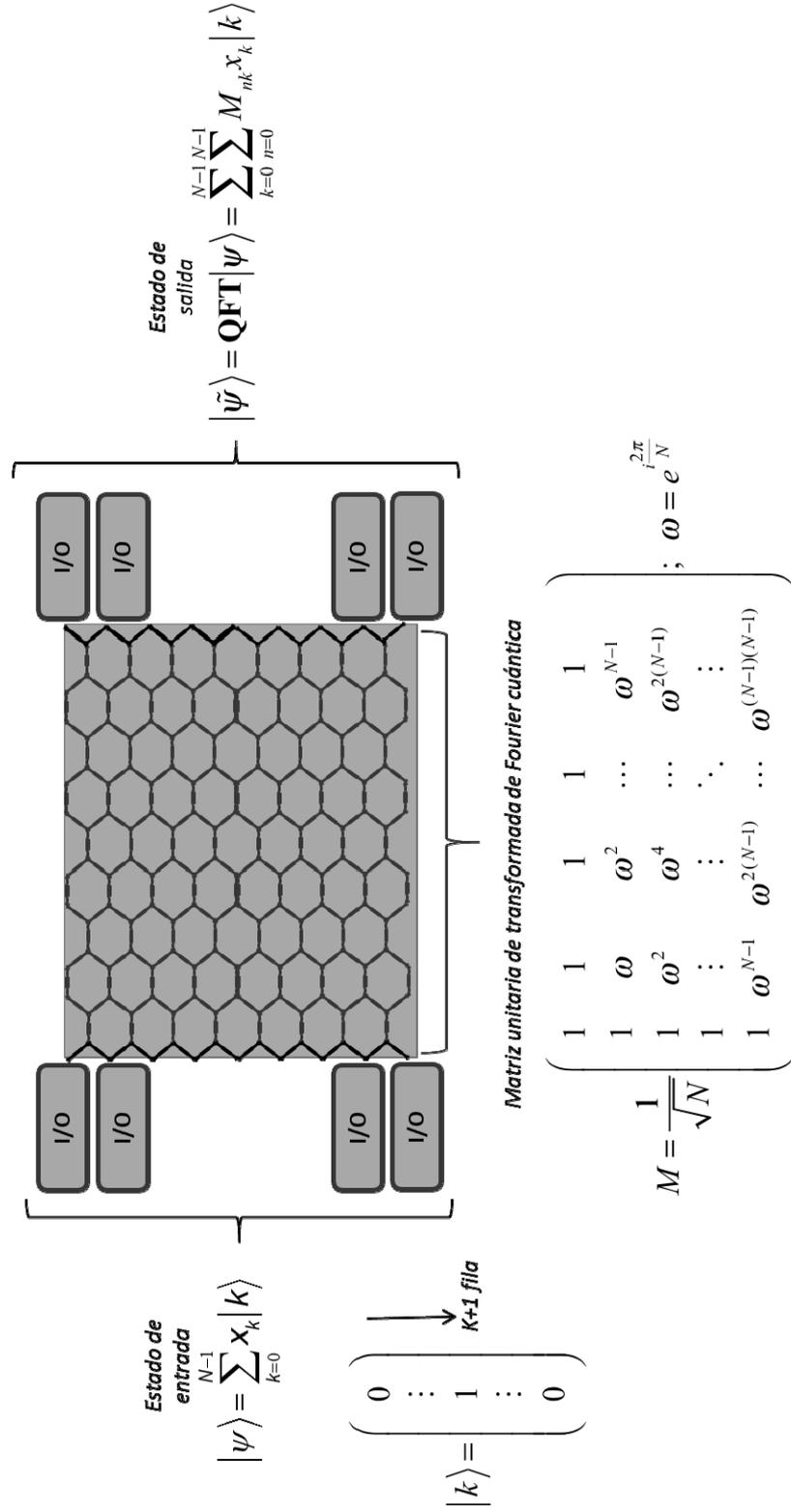
**Ejemplo 2: Circuitos cuánticos conmutados (Muestreador de Bosones & puerta Hadamard)**



**FIG. 7**

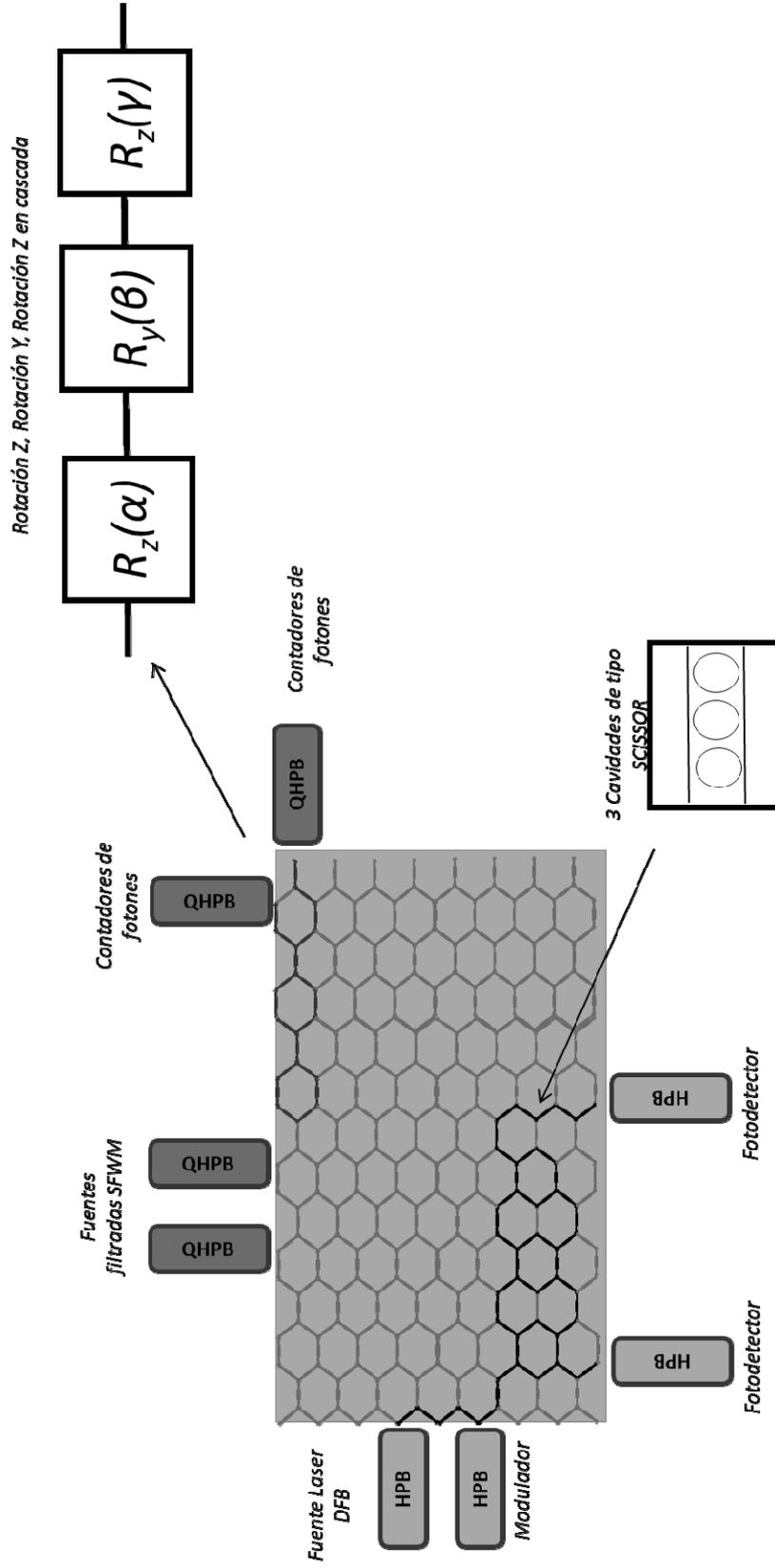


**Ejemplo 4: Transformada de Fourier cuántica.**



**FIG. 9**

**Ejemplo 5: Circuitos cuánticos y clásicos simultáneos (Rotaciones en cascada y SCISSOR)**



**FIG. 10**