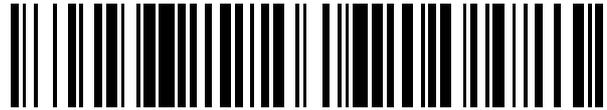


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 752 742**

51 Int. Cl.:

H04L 7/04	(2006.01)
H04L 25/05	(2006.01)
H04L 12/64	(2006.01)
H04L 25/02	(2006.01)
H04L 25/49	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **27.01.2011 PCT/JP2011/051670**

87 Fecha y número de publicación internacional: **02.08.2012 WO12101808**

96 Fecha de presentación y número de la solicitud europea: **27.01.2011 E 11857406 (0)**

97 Fecha y número de publicación de la concesión europea: **02.10.2019 EP 2670079**

54 Título: **Dispositivo de interfaz de comunicación**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
06.04.2020

73 Titular/es:
MITSUBISHI ELECTRIC CORPORATION (100.0%)
7-3 Marunouchi 2-Chome, Chiyoda-ku
Tokyo 100-8310, JP

72 Inventor/es:
ENDO SATOSHI;
KOIZUMI YOSHIAKI;
HIGUMA TOSHIYASU y
MUKAI TAKUYA

74 Agente/Representante:
ELZABURU, S.L.P

ES 2 752 742 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de interfaz de comunicación

Campo técnico

5 La presente invención se refiere a un dispositivo de interfaz de comunicación entre aires acondicionados que implementa una función de comunicación usando técnicas de muestreo para una interfaz en serie.

Antecedentes de la técnica

Se han propuesto sistemas de procesamiento de comunicaciones y similares que detectan una velocidad de transferencia de datos basada en los datos en serie recibidos y realizan el muestreo a una frecuencia óptima dependiendo de la velocidad de transferencia de datos (por ejemplo, consulte la bibliografía de patentes 1 y 2).

10 Por ejemplo, un sistema de procesamiento de comunicación descrito en la bibliografía de patentes 2 detecta una velocidad de transferencia de datos basada en una señal de comunicación y genera un reloj de muestreo dependiendo de la velocidad de transferencia de datos detectada. Además, este sistema de procesamiento de comunicación selecciona, entre múltiples circuitos de filtro de muestreo con diferentes características de frecuencia, un circuito de filtro de muestreo dependiendo de la velocidad de transferencia de datos detectada, y realiza el muestreo a una
15 frecuencia óptima dependiendo de la velocidad de transferencia de datos de una señal de entrada.

El documento JP H10 336264 A describe que un ordenador personal PC establece una conexión con el terminal móvil a la velocidad de transferencia mínima disponible, y si el terminal móvil puede decodificar con éxito esta señal, transmite una respuesta al PC. El PC realizará una reconexión y transmitirá la señal a una velocidad de datos más alta.

20 El documento US 7006561 B2 describe un método que incluye el cálculo de un número de muestreos para cada ancho de pulso basado en al menos un pulso generado a partir de los datos recibidos; el cálculo de una velocidad de transmisión estimada y otro número de muestreos correspondientes a la velocidad de transmisión basada en el número de muestras para cada ancho de pulso, respectivamente; y la detección de una velocidad de transmisión óptima basada en el número de muestreo calculado.

Lista de citas**Bibliografía de patentes**

PTL 1: Patente japonesa n. ° 3199666

PTL 2: Solicitud de patente japonesa no examinada Publicación de Kokai n. ° 2006-303928

Compendio de la invención**30 Problema técnico**

Por lo tanto, se conocen convencionalmente las técnicas para detectar una velocidad de transferencia de datos basada en una señal de comunicación y para realizar un muestreo a una frecuencia óptima dependiendo de la velocidad de transferencia de datos. Sin embargo, no se ha establecido una técnica para determinar una velocidad de transferencia de datos basada en los datos en serie recibidos y para adaptar la velocidad de transferencia de datos en función de
35 un entorno de comunicación.

En consideración de la situación descrita anteriormente, un objetivo de la presente invención es proporcionar un dispositivo de interfaz de comunicación que sea capaz de adaptar la velocidad de transferencia de datos dependiendo de un entorno de comunicación.

Solución al problema

40 La presente invención es como se define en las reivindicaciones independientes adjuntas. Implementaciones adicionales se describen en las reivindicaciones dependientes adjuntas. Todas las realizaciones que no entran dentro del alcance de las reivindicaciones adjuntas deben considerarse meramente como ejemplos adecuados para comprender la invención. Para lograr el objetivo anterior, un dispositivo de interfaz de comunicación según la presente invención es un dispositivo de interfaz de comunicación para procesadores, comprendiendo el dispositivo de interfaz
45 de comunicación: un muestreador que muestrea una señal de recepción recibida a través de una línea de comunicación; un medidor de velocidad de transferencia de datos que mide una velocidad de transferencia de datos basada en varias muestras de bits de inicio contenidas en la señal de recepción; un determinador de bits que realiza una determinación de bits con respecto a la señal de recepción a la velocidad de transferencia de datos medida por el medidor de velocidad de transferencia de datos, para así adquirir datos en serie contenidos en la señal de recepción;
50 un transmisor que envía, a través de una línea de comunicación a la velocidad de transferencia de datos medida por el medidor de velocidad de transferencia de datos, una señal de transmisión que contiene datos en serie enviados por

el procesador; un comunicador de procesador que envía al transmisor los datos en serie enviados por el procesador, y envía al procesador los datos en serie adquiridos por el determinador de bits; y un ajustador que ajusta, cuando el transmisor envía la señal de transmisión varias veces a diferentes velocidades de transferencia de datos, la velocidad de transferencia de datos basada en el estado de recepción de las respectivas señales de respuesta a la misma.

5 **Efectos ventajosos de la invención**

Según la presente invención, cuando el transmisor envía la señal de transmisión varias veces a diferentes velocidades de transferencia de datos, el ajustador ajusta la velocidad de transferencia de datos en función del estado de recepción de las respectivas señales de respuesta a la misma. Esto permite la determinación de la velocidad de transferencia de datos en función del estado real de la transmisión y recepción de datos, de modo que la velocidad de transferencia de datos se puede adaptar dependiendo del entorno de comunicación.

10 **Breve descripción de los dibujos**

La figura 1 es un diagrama de bloques que ilustra una configuración de una unidad de aire acondicionado que incorpora un dispositivo de interfaz de comunicación según una primera realización de la presente invención;

15 la figura 2 es un diagrama de bloques que ilustra una configuración esquemática del dispositivo de interfaz de comunicación de la figura 1;

la figura 3 es un diagrama de secuencia que ilustra un flujo de proceso cuando se recibe una señal de recepción;

la figura 4 es otro diagrama de secuencia que ilustra un flujo de proceso cuando se recibe una señal de recepción;

la figura 5 es un diagrama de secuencia que ilustra un flujo de proceso cuando se envía una señal de transmisión;

la figura 6 es otro diagrama de secuencia que ilustra un flujo de proceso cuando se envía una señal de transmisión;

20 la figura 7A y 7B son diagramas que ilustran ejemplos de una forma de onda de señal en el sistema Return to Zero (RZ) (retorno a cero), que es un modo de codificación en un canal de transmisión;

la figura 8 es un diagrama esquemático para explicar un proceso de medición de velocidad de transferencia de datos;

la figura 9 es un diagrama de secuencia para explicar una situación de ajuste de la velocidad de transferencia de datos entre unidades de aire acondicionado;

25 la figura 10 es un diagrama de bloques que ilustra una configuración de un dispositivo de interfaz de comunicación según una segunda realización de la presente invención;

la figura 11A es un diagrama que ilustra una forma de onda de señal inmediatamente después de la transmisión;

la figura 11B es un diagrama que ilustra una forma de onda de señal inmediatamente antes de la recepción; y

30 la figura 12 es un diagrama de secuencia para explicar una situación de ajuste de la velocidad de transferencia de datos entre unidades de aire acondicionado mediante el uso de un dispositivo de interfaz de comunicación según una tercera realización de la presente invención.

Descripción de las realizaciones

Las realizaciones de la presente invención se describirán en detalle con referencia a los dibujos.

Realización 1

35 Ahora se describe una primera realización de la presente invención.

En esta realización, una unidad de aire acondicionado se refiere a una unidad interior, una unidad exterior o un controlador remoto de un acondicionador de aire.

40 La figura 1 muestra una configuración de una unidad de aire acondicionado 100 según esta realización. Como se muestra en la figura 1, la unidad de aire acondicionado 100 incorpora un dispositivo de interfaz de comunicación (I/F) 1. El dispositivo de comunicación I/F 1 se instala con una matriz de puerta programable en campo (FPGA) y un circuito integrado de aplicación específica (ASIC), por ejemplo.

Más específicamente, la unidad de aire acondicionado 100 comprende el dispositivo de comunicación I/F 1, una unidad de micro-procesamiento (MPU) 2 y un circuito de conversión de nivel 3.

45 El dispositivo de comunicación I/F 1 está conectado a la MPU 2 a través de una línea de comunicación dedicada L1, que es un canal de transmisión en serie. El dispositivo de comunicación I/F 1 está conectado al circuito de conversión de nivel 3 a través de líneas de comunicación dedicadas L2 y L3, que son canales de transmisión en serie. Además,

ES 2 752 742 T3

el circuito de conversión de nivel 3 está conectado a otra unidad de aire acondicionado (no mostrada) a través de una línea de comunicación L4, que es un canal de transmisión en serie. Las líneas de comunicación dedicadas L2 y L3 están conectadas entre sí, y siempre coinciden en sus cambios de nivel de señal.

5 La MPU 2 controla exhaustivamente toda la unidad de aire acondicionado 100 y gestiona la comunicación de datos con una MPU de otra unidad de aire acondicionado conectada a la misma a través de la línea de comunicación L4, para permitir operaciones de colaboración entre las unidades de aire acondicionado.

10 El circuito de conversión de nivel 3 desplaza el voltaje de una señal que se ha emitido a través de la línea de comunicación dedicada L2 desde el dispositivo de comunicación I/F 1, y emite la señal con el voltaje desplazado a la línea de comunicación L4. Además, el circuito de conversión de nivel 3 cambia el voltaje de una señal que ha sido introducida a través de la línea de comunicación L4 a un voltaje adecuado para el dispositivo I/F de comunicación 1, y emite la señal con el voltaje adecuado al dispositivo de comunicación I/F 1.

El dispositivo de comunicación I/F 1 funciona como una interfaz de comunicación externa de la MPU 2 a través del circuito de conversión de nivel 3.

15 La figura 2 muestra esquemáticamente una configuración del dispositivo de interfaz de comunicación (I/F) 1 según esta realización. El dispositivo de comunicación I/F 1 comprende un comunicador 10 de Micro Processing Unit (MPU) (unidad de micro-procesamiento), un transmisor 11, un muestreador 12, un ajustador de velocidad de transferencia de datos 13, un determinador de bits 14, un determinador de errores 15, un registro de datos de transmisión 16, un registro de datos de recepción 17, y un registro de estado de error 18, como se muestra en la figura 2.

20 El comunicador de MPU 10 está conectado a la MPU 2 a través de la línea de comunicación dedicada L1. El comunicador de MPU 10 envía y recibe de la MPU 2 un comando, una respuesta y una señal de interrupción. El comunicador de MPU 10 comprende un analizador de comandos 20, un respondedor 21 y un generador de interrupción 22. El comunicador de MPU 10 envía al transmisor 11, datos en serie que ha enviado la MPU 2 y envía a la MPU 2, datos en serie que han sido adquiridos por el determinador de bits 14.

25 El analizador de comandos 20 analiza el comando recibido a través de la línea de comunicación dedicada L1 desde la MPU 2. El respondedor 21 regresa en base al resultado del análisis del comando, datos de respuesta a la MPU 2 a través de la línea de comunicación dedicada L1. El generador de interrupción 22 emite una señal de interrupción a través de la línea de comunicación dedicada L1 a la MPU 2.

30 El transmisor 11 está conectado al circuito de conversión de nivel 3 a través de la línea de comunicación dedicada L2. El transmisor 11 envía una señal de transmisión que contiene los datos en serie enviados por la MPU 2, a través de la línea de comunicación dedicada L2 al circuito de conversión de nivel 3.

El muestreador 12 está conectado al circuito de conversión de nivel 3 a través de la línea de comunicación dedicada L3. El muestreador 12 es un circuito de hardware que muestrea, en un intervalo de muestreo preestablecido, una señal de recepción recibida a través de la línea de comunicación dedicada L3. Se establece una frecuencia de muestreo para que sea suficientemente mayor que una velocidad de bits de la señal de recepción.

35 El ajustador de velocidad de transferencia de datos 13 funciona como un medidor de velocidad de transferencia de datos que mide la velocidad de transferencia de datos en función del número de muestras de bits de inicio en la señal de recepción muestreada por el muestreador 12. Además, el ajustador de velocidad de transferencia de datos 13 también funciona como un ajustador que ajusta, cuando el transmisor 11 envía la señal de transmisión varias veces a diferentes velocidades de transferencia de datos, la velocidad de transferencia de datos se basa en el estado de recepción de las respectivas señales de respuesta a la misma.

40 El determinador de bits 14 realiza una determinación de bits con respecto a la señal de recepción que se ha recibido a través de la línea de comunicación dedicada L3 a la velocidad de transferencia de datos medida por el ajustador de velocidad de transferencia de datos 13. El determinador de bits 14 adquiere así los datos en serie contenidos en la señal de recepción.

45 El determinador de errores 15 determina si existe o no un error de recepción en los datos en serie adquiridos por el determinador de bits 14.

50 En el registro de datos de transmisión 16, se almacenan los datos en serie enviados por el transmisor 11. En el registro de datos de recepción 17, los datos en serie adquiridos a través de la determinación de bits por el determinador de bits 14 se almacenan. En el registro de estado de error 18, se almacena un resultado de la determinación de error por el determinador de errores 15.

Aunque no se muestra en la figura 2, el dispositivo de comunicación I/F 1 comprende un temporizador que realiza un seguimiento del tiempo.

ES 2 752 742 T3

La figura 3 muestra un flujo de proceso desde que el dispositivo de comunicación I/F 1 recibe la señal de recepción del circuito de conversión de nivel 3 hasta que el dispositivo de comunicación I/F 1 entrega los datos en serie a la MPU 2.

5 Al recibir una señal de recepción Sig 1 a través de la línea de comunicación dedicada L3 del circuito de conversión de nivel 3, el muestreador 12 muestrea la señal de recepción Sig 1 (Etapa S1). El muestreo se realiza periódicamente en función del tiempo seguido por el temporizador. La señal de recepción muestreada se envía al ajustador de velocidad de transferencia de datos 13 y al determinador de bits 14. Cabe señalar que cuanto más corto sea un período de muestreo, más conveniente.

10 Aquí, la señal de recepción Sig 1 se configura con 11 bits para cada trama: 1 bit de inicio; 8 bits de datos; 1 bit de paridad; y 1 bit de parada.

El ajustador de velocidad de transferencia de datos 13 mide entonces una velocidad de transferencia de datos basada en un ancho de bit (el número de muestras) del bit de inicio muestreado por el muestreador 12 (Etapa S2). La velocidad de transferencia de datos medida se envía al determinador de bits 14.

15 El determinador de bits 14 determina los bits (los bits de datos, el bit de paridad y el bit de parada) que siguen al bit de inicio a la velocidad de transferencia de datos medida por el ajustador de velocidad de transferencia de datos 13 (Etapa S3). Después de determinar los valores de bit para un número específico de bits, los datos en serie adquiridos a través de la determinación de bit se almacenan en el registro de datos de recepción 17 y también se envían al determinador de errores 15.

20 El determinador de errores 15 realiza una determinación de error con respecto al resultado de la determinación de bits (Etapa S4). Si no se detecta ningún error, el determinador de errores 15 envía el resultado al determinador de bits 14.

En respuesta a esto, el determinador de bits 14 emite un comando de interrupción al comunicador MPU 10 (el generador de interrupción 22) (Etapa S5). El comunicador MPU 10 (el generador de interrupción 22) a su vez emite una señal de interrupción de recepción Sig 2 a la MPU 2 (Etapa S6). Aquí, los 11 bits en cada trama se definen como un número de bits especificados en la señal de interrupción de recepción Sig 2.

25 Al recibir la señal de interrupción de recepción Sig 2, la MPU 2 envía un comando de adquisición de datos de recepción Sig 3 al comunicador MPU 10 (el analizador de comandos 20) (Etapa S7). Al recibir el comando de adquisición de datos de recepción Sig 3, el comunicador MPU 10 (el analizador de comandos 20) extrae una solicitud de adquisición de datos de recepción basada en un resultado de análisis (Etapa S8). El comunicador de MPU 10 (el respondedor 21) envía los datos en serie leídos desde el registro de datos de recepción 17 a la MPU 2 como datos de respuesta Sig 4 (Etapa S9).

30 En este caso, el comando, la respuesta y la señal de interrupción se envían y reciben entre el dispositivo de comunicación I/F 1 y la MPU 2 utilizando la comunicación en serie del tipo de sincronización de reloj. Estas señales se envían y reciben en incrementos de 8 bits.

35 La figura 4 muestra un flujo de proceso cuando el determinador de errores 15 detecta un error. Al detectar un error, el determinador de errores 15 almacena el estado de error en el registro de estado de error 18, como se muestra en la figura 4 (Etapa S4). El determinador de errores 15 emite un comando de interrupción de error al comunicador MPU 10 (el generador de interrupción 22) (Etapa S11).

40 El comunicador MPU 10 (el generador de interrupción 22) envía una señal de interrupción de error Sig 12 a la MPU 2 (Etapa S12). Al recibir la señal de interrupción de error Sig 12, la MPU 2 envía un comando de adquisición de error Sig 13 al comunicador MPU 10 (el analizador de comando 20) (Etapa S13).

El comunicador MPU 10 (el analizador de comandos 20) analiza el comando de adquisición de errores recibido Sig 13 y extrae una solicitud de adquisición de errores (Etapa S14). El comunicador 10 de MPU (el respondedor 21) envía el estado de error almacenado en el registro de estado de error 18 a la MPU 2 como datos de respuesta Sig 15 (Etapa S15). En este punto, se borra el registro de estado de error 18.

45 La determinación de error implica detectar: un error de paridad que indica que el bit de paridad no tiene un valor normal; y un error de bit de parada que indica que el bit de parada no tiene un valor normal.

Si el determinador de errores 15 detecta un error de recepción, la velocidad de transferencia de datos puede ser reducida por el ajustador de velocidad de transferencia de datos 13.

50 A continuación, un flujo de proceso desde cuando el dispositivo de comunicación I/F 1 recibe la señal de transmisión desde la MPU 2 hasta cuando el dispositivo de comunicación I/F 1 envía la señal de transmisión al circuito de conversión de nivel 3 se describirá con referencia a la figura 5.

Cuando el dispositivo de comunicación I/F 1 está listo para recibir la señal de transmisión de la MPU 2, el comunicador de MPU 10 (el generador de interrupción 22) envía una señal de interrupción que indica el estado transmisible Sig 21 a la MPU 2 (Etapa S21). Al recibir la señal de interrupción que indica el estado de transmisión Sig 21, la MPU 2 envía

un comando de transmisión y datos de transmisión Sig 22 al comunicador de MPU 10 (el analizador de comandos 20) (Etapa S22).

5 El comunicador MPU 10 (el analizador de comandos 20) analiza el comando para extraer una solicitud de transmisión (Etapa S23). Aquí, los datos de transmisión (datos en serie) se almacenan en el registro de datos de transmisión 16. El comunicador MPU 10 (el analizador de comandos 20) envía la solicitud de transmisión al transmisor 11.

El transmisor 11 agrega un bit de inicio, un bit de paridad y un bit de parada a 8 bits de datos de transmisión almacenados en el registro de datos de transmisión 16 (Etapa S24). Los datos de transmisión después de la adición se envían al determinador de errores 15.

10 De manera similar a la señal de recepción, la señal de transmisión se configura con 1 bit de inicio, 8 bits de datos, 1 bit de paridad y 1 bit de parada para cada trama.

El comando de transmisión y los datos de transmisión que se transmiten desde la MPU 2 al dispositivo de comunicación I/F 1 tienen un tamaño de datos de 8 bits y se transmiten utilizando la comunicación en serie del tipo de sincronización de reloj, de forma similar a como se reciben.

15 El transmisor 11 envía entonces, a través de transmisión en serie, la señal de transmisión Sig 23 que contiene cada una datos en serie, al circuito de conversión de nivel 3 a una velocidad de transferencia de datos inicial o la velocidad de transferencia de datos ajustada, ajustada por el ajustador de velocidad de transferencia de datos 13 (Etapa S25).

20 Como las líneas de comunicación dedicadas L2 y L3 coinciden en su nivel de señal, el muestreador 12 es capaz de recibir la señal de transmisión Sig 23. El muestreador 12 muestrea esta señal de transmisión Sig 23 (Etapa S26). El determinador de bits 14 realiza una determinación de bits con respecto a la señal de transmisión muestreada Sig 23 (Etapa S27). Esto permite la adquisición de los datos en serie que se han recibido a la velocidad de transferencia de datos establecida por el ajustador de velocidad de transferencia 13. Los datos en serie recibidos se envían al determinador de errores 15 a través del determinador de bits 14.

25 El determinador de errores 15 compara los datos en serie enviados con los datos en serie recibidos (Etapa S28). Si el resultado de la comparación muestra que los datos son consistentes, el determinador de errores 15 emite un comando de interrupción de finalización de transmisión al comunicador MPU 10 (el generador de interrupción 22) (Etapa S29). El comunicador MPU 10 (el generador de interrupción 22) envía una señal de interrupción de finalización de transmisión Sig 26 a la MPU 2 (Etapa S30).

30 Como se muestra en la figura 6, si el resultado de la comparación muestra inconsistencia entre los datos en serie enviados y los datos en serie recibidos, el determinador de errores 15 determina que hay un error de conflicto de datos, a continuación almacena el estado de error en el registro de estado de error 18 y envía un comando de interrupción de error al comunicador MPU 10 (el generador de interrupción 22) (Etapa S28).

35 El comunicador MPU 10 (el generador de interrupción 22) envía a la MPU 2 una señal de interrupción de error Sig 31 (Etapa S31). Al recibir la señal de interrupción de error Sig 31, la MPU 2 envía un comando de adquisición de error Sig 32 al comunicador MPU 10 (el analizador de comando 20) (Etapa S32). El comunicador MPU 10 (el analizador de comandos 20) analiza el comando de adquisición de errores Sig 32 para extraer una solicitud de adquisición de errores (Etapa S33). El comunicador de MPU 10 (el respondedor 21) envía el estado de error almacenado en el registro de estado de error 18 a la MPU 2 como datos de respuesta Sig 34 (Etapa S34). En este punto, se borra el registro de estado de error 18.

40 A continuación, se describirá un proceso para establecer la velocidad de transferencia de datos en el ajustador de velocidad de transferencia de datos 13 con referencia a las figuras 7A, 7B y 8.

Las figuras 7A y 7B muestran formas de onda de señal 30 en un sistema de retorno a cero (RZ), que es un sistema de código en los canales de transmisión. En esta realización, de todos los bits en la señal de transmisión y la señal de recepción, al menos el bit de inicio se representa mediante el uso de este sistema.

45 Una forma de onda de señal 30 de un bit de inicio con un valor de 1 es como se muestra en la figura 7A. Esta forma de onda de señal 30 tiene una primera longitud de medio bit que está en un nivel alto y una segunda longitud de medio bit que está en un nivel bajo. En este caso, una longitud de medio bit es la mitad de una longitud de 1 bit.

Por otro lado, una forma de onda de señal 30 de un bit de inicio con un valor de 0 es como se muestra en la figura 7B. Esta forma de onda de señal tiene una longitud de 1 bit que está en el nivel bajo.

50 En esta realización, el bit de inicio tiene un valor de 1, mientras que el bit de parada tiene un valor de 0. Además, en un período sin transmisión de datos, el nivel de señal de las líneas de comunicación dedicadas L2 y L3 se mantiene en el nivel bajo.

Incluso si un bit posterior al bit de inicio tiene un valor de 1, el uso del sistema RZ para el bit de inicio permite la separación entre el bit de inicio y el bit posterior, de modo que es posible la determinación de la longitud del bit de inicio.

La figura 8 muestra esquemáticamente un proceso de cálculo de la velocidad de transferencia de datos. Como se muestra en la figura 8, el muestreador 12 muestrea una señal de recepción de 1 bit varias veces en un período de muestreo predeterminado. Primero, el ajustador de velocidad de transferencia de datos 13 calcula un número sucesivo de muestras "n" en las que el valor muestreado es 1. En el ejemplo mostrado en la figura 8, el número calculado "n" es 32.

El ajustador de velocidad de transferencia de datos 13 calcula entonces una velocidad de transferencia de datos R [bps] usando la siguiente expresión (1):

$$R = 1 / (2 * n * T) \text{ [bps]} \quad (1)$$

en donde, T [s] representa un período de muestreo. El número "n" representa, como se muestra arriba, el número sucesivo de muestras con un valor de 1 (nivel alto). El denominador $(2 * n * T)$ [s/bit] de la expresión (1) representa una longitud de 1 bit.

A continuación, se describirá la adaptación de la velocidad de transferencia de datos dependiendo de un entorno de comunicación en esta realización, con referencia a la figura 9.

La configuración de la velocidad de transferencia de datos entre las unidades de aire acondicionado 100a y 100b comienza cuando la unidad de aire acondicionado 100a entra en un modo de configuración de velocidad de transferencia de datos. El modo de configuración de la velocidad de transferencia de datos se establece cuando el dispositivo de comunicación I/F 1 de la unidad de aire acondicionado 100a recibe un comando de solicitud para configurar el modo de configuración de la velocidad de transferencia de datos desde la MPU 2. En este punto, el ajustador de velocidad de transferencia de datos 13 comienza a ajustar la velocidad de transferencia de datos.

La unidad de aire acondicionado 100a envía primero una señal de transmisión a la unidad de aire acondicionado 100b a una velocidad de transferencia de datos inicial preestablecida X [bps] (Etapa S50). En la unidad de aire acondicionado 100b, el ajustador de velocidad de transferencia de datos 13 mide la velocidad de transferencia de datos en función del bit de inicio y, a continuación, si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida (es decir, sin error), el ajustador de velocidad de transferencia de datos 13 establece la velocidad de transferencia de datos como una velocidad de transferencia de datos propia para ser utilizada en la transmisión/recepción, y el transmisor 11 envía una señal de respuesta a la unidad de aire acondicionado 100a (Etapa S51).

En la unidad de aire acondicionado 100a, el ajustador de velocidad de transferencia de datos 13 mide la velocidad de transferencia de datos en función del bit de inicio y, a continuación, si la señal de respuesta se recibe con éxito a la velocidad de transferencia de datos medida, el ajustador de velocidad de transferencia de datos 13 establece $X + d$ [bps], que es mayor que la velocidad de transferencia de datos actual X [bps], como una velocidad de transferencia de datos propia para ser utilizada en la transmisión/recepción, y el transmisor 11 reenvía una señal de transmisión a la unidad de aire acondicionado 100b (Etapa S52).

En la unidad de acondicionamiento 100b, el ajustador de velocidad de transferencia de datos 13 mide la velocidad de transferencia de datos en función del bit de inicio y, a continuación, si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, el ajustador de velocidad de transferencia de datos 13 establece la velocidad de transferencia de datos medidos como la velocidad de transferencia de datos propia que se utilizará en la transmisión/recepción, y el transmisor 11 envía una señal de respuesta a la unidad de aire acondicionado 100a (Etapa S53).

Por lo tanto, las unidades de aire acondicionado 100a y 100b repiten la transmisión y recepción de la señal de transmisión y la señal de respuesta, al mismo tiempo que aumentan la velocidad de transferencia de datos en d [bps]; siempre que la señal de transmisión y la señal de respuesta se transmitan y reciban con éxito, respectivamente.

Considere el caso en el que, en la unidad de aire acondicionado 100b, el ajustador de velocidad de transferencia de datos 13 mide la velocidad de transferencia de datos en función del bit de inicio y, a continuación, el determinador de errores 15 detecta un error, lo que resulta en un fallo al recibir la señal de transmisión en la velocidad de transferencia de datos medida (Etapa S54). En este caso, como la unidad de aire acondicionado 100b no transmite una señal de respuesta, se produce un tiempo de espera en la unidad de aire acondicionado 100a.

Cuando se produce el tiempo de espera, la unidad de aire acondicionado 100a establece una velocidad de transferencia de datos inferior de un nivel (por ejemplo, $X + d$ [bps] si la velocidad de transferencia de datos actual es $X + 2d$ [bps]) como la velocidad de transferencia de datos propia, y reenvía una señal de transmisión S20 a la unidad de aire acondicionado 100b (Etapa S55). En la unidad de aire acondicionado 100b, el ajustador de velocidad de transferencia de datos 13 mide una velocidad de transferencia de datos desde un bit de inicio y, a continuación, si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, se transmite una señal de respuesta a la unidad de aire acondicionado 100b a la velocidad de transferencia de datos actual $(X + d)$ [bps] (Etapa S56).

Si la señal de respuesta a la señal de transmisión se recibe con éxito, la unidad de aire acondicionado 100a decide establecer la velocidad de transferencia de datos actual como la velocidad de transferencia de datos propia, y sale del modo de configuración de velocidad de transferencia de datos.

5 En otras palabras, en el modo de configuración de velocidad de transferencia de datos, si la señal de respuesta a la señal de transmisión enviada desde el transmisor 11 se recibe con éxito a la velocidad de transferencia de datos medida, el ajustador de velocidad de transferencia de datos 13 hace que el transmisor 11 reenvíe la señal de transmisión a una velocidad de transferencia de datos mayor que la velocidad de transferencia de datos medida. Por otro lado, si la recepción de la señal de respuesta falla, el ajustador de velocidad de transferencia de datos 13 hace que el transmisor 11 reenvíe la señal de transmisión a una velocidad de transferencia de datos menor que la velocidad de transferencia de datos medida y, a continuación, si la señal de respuesta es recibida con éxito, el ajustador de velocidad de transferencia de datos 13 establece la velocidad de transferencia de datos actual como la velocidad de transferencia de datos propia que se va a utilizar en la transmisión/recepción.

10 Como se describe en detalle anteriormente, según el dispositivo de comunicación I/F 1 de esta realización, se hace posible recibir una señal de recepción a una velocidad de transferencia de datos dependiendo de la señal de recepción y adaptar la velocidad de transferencia de datos dependiendo de un entorno de comunicación, sin aumentar la carga sobre la MPU 2. Esto mejorará la velocidad y la calidad en las comunicaciones entre las unidades de aire acondicionado.

15 En esta realización, la forma de onda de señal del bit de inicio está en el sistema RZ. Específicamente, la forma de onda de la señal del bit de inicio tiene el primer medio bit que está en el nivel alto y el segundo medio bit que está en el nivel bajo. Sin embargo, el primer medio bit puede estar en el nivel bajo mientras que el segundo medio bit en el nivel alto. En este caso, el ajustador de velocidad de transferencia de datos 13 puede medir la velocidad de transferencia de datos basándose en un número sucesivo de muestras de bits de inicio que tienen un valor muestreado del nivel bajo.

20 Además, en esta realización, al establecer la velocidad de transferencia de datos, la señal de transmisión y la señal de respuesta que se envían y reciben entre las unidades de aire acondicionado 100a y 100b pueden contener información que indica la velocidad de transferencia de datos actual.

Además, el dispositivo de comunicación I/F 1 según esta realización puede recibir de la MPU 2 un comando de configuración de velocidad de transferencia de datos, para así cambiar la velocidad de transferencia de datos.

Realización 2

30 Ahora se describe una segunda realización de la presente invención.

La figura 10 muestra la configuración de un dispositivo de comunicación I/F 1 según la segunda realización de la presente invención. Como se muestra en la figura 10, en comparación con la primera realización descrita anteriormente, el dispositivo de comunicación I/F 1 según la segunda realización comprende además un administrador de registro 50 y un registro de log de muestreo 51 para almacenar valores obtenidos mediante el muestreo por el muestreador 12. En esta realización, los mismos elementos de composición que los de la primera realización anterior se adjuntan con los mismos números, y no se describen adicionalmente.

35 El administrador de log 50 almacena, en el registro de log de muestreo 51, los valores obtenidos a través del muestreo por el muestreador 12. El registro de log de muestreo 51 puede contener un número dado de los valores muestreados. En este registro de log de muestreo 51, cuando el número de los valores muestreados alcanza el número máximo dado, los valores muestreados se sobrescriben a partir del valor de muestreo más antiguo.

40 Sin necesidad de almacenar todo el valor muestreado en el registro de log de muestreo 51, el administrador de log 50 puede almacenar el valor muestreado a una velocidad de, por ejemplo, una en varias veces. El administrador de log 50 también puede repetir un proceso de almacenamiento sucesivo de un número dado de valores muestreados seguido de descartar cierto número de valores muestreados.

45 Cuando la MPU 2 envía un comando de adquisición de registro de muestreo al dispositivo de comunicación I/F 1, el analizador de comandos 20 del dispositivo de comunicación I/F 1 analiza el comando y el respondedor 21 envía a la MPU 2 los valores almacenados en el registro de log de muestreo 51 como datos de respuesta.

50 La MPU 2 utiliza datos de log en series temporales de los valores de muestra recibidos para analizar los errores de comunicación. Ahora se describe un ejemplo del análisis con referencia a las figuras 11A y 11B. La figura 11A muestra una forma de onda de señal 60 inmediatamente después de ser enviada desde un extremo de transmisión, la unidad de aire acondicionado 100a. La figura 11B muestra una forma de onda de señal 61 inmediatamente antes de ser recibida por un extremo receptor, la unidad de aire acondicionado 100b.

55 Como se puede ver en la comparación de las figuras 11A con 11B, la forma de onda de señal 61 inmediatamente antes de la recepción se distorsiona debido al ruido y al retraso durante una caída de voltaje desde el nivel alto al nivel bajo.

Tal distorsión en la forma de onda de la señal de recepción puede causar una dificultad para que la unidad de aire acondicionado en el extremo de recepción calcule con precisión la velocidad de transferencia de datos basándose en un ancho de medio bit del bit de inicio.

5 Para hacer frente a esto, la MPU 2 envía el comando de adquisición del registro de muestreo al dispositivo de comunicación I/F 1, para así adquirir los datos de registro en series temporales de los valores muestreados. Al hacer esto, la MPU 2 puede reconocer que la forma de onda de la señal de recepción es diferente de una forma asumida, determinar la causa del error y tomar medidas contra el error. Por ejemplo, tomar medidas tales como reducir la velocidad de transferencia de datos y cambiar la parte del muestreo que se utilizará en la determinación de bits permitirá la recepción de datos incluso con la distorsión de la señal de recepción. La MPU 2 envía información de
10 ajuste de temporización para la determinación de bits, a través del comunicador MPU 10 al determinador de bits 14. Dada esta información de ajuste de temporización, el determinador de bits 14 puede ajustar la temporización de determinación de bits.

15 Como se describe en detalle anteriormente, el dispositivo de comunicación I/F 1 según esta realización es capaz no solo de almacenar el log de muestreo, sino también de adquirir el log de muestreo a través de la MPU 2. Esto permite que la MPU 2 determine la causa de la comunicación errores y tomar medidas contra los errores.

En esta realización, el registro de log de muestreo 51 almacena solo los valores muestreados. Pero un tiempo de muestreo seguido por el temporizador y los resultados de la determinación de errores también pueden almacenarse simultáneamente, de modo que la MPU 2 pueda adquirir dicha información.

Realización 3

20 Ahora se describe una tercera realización de la presente invención.

La configuración de un dispositivo de comunicación I/F 1 según esta realización es la misma que la configuración del dispositivo de comunicación I/F 1 según la primera realización 1 anterior como se muestra en la figura 1. En esta realización, los mismos elementos de composición que los de la primera realización anterior se adjuntan con los mismos números, y no se describen adicionalmente.

25 Con referencia a la figura 12, se describe ahora un proceso de adaptación de la velocidad de transferencia de datos dependiendo de un entorno de comunicación entre las unidades de aire acondicionado en esta realización. La suposición es que el modo de ajuste de la velocidad de transferencia de datos se establece en las unidades de aire acondicionado 100a y 100b.

30 La unidad de aire acondicionado 100a envía una señal de transmisión a la unidad de aire acondicionado 100b a una velocidad de transferencia de datos inicial preestablecida X [bps] (Etapa S60). La transmisión de la primera señal de transmisión comienza cuando, en la unidad de aire acondicionado 100a, la MPU 2 envía un comando de solicitud para comenzar a establecer la velocidad de transferencia de datos, al dispositivo de comunicación I/F 1.

35 En la unidad de aire acondicionado 100b, el ajustador de velocidad de transferencia de datos 13 mide la velocidad de transferencia de datos en función del bit de inicio y, a continuación, si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, el ajustador de velocidad de transferencia de datos 13 establece una velocidad de transferencia de datos mayor ($X + d$ [bps]) que la velocidad de transferencia de datos medida al transmisor 11. El transmisor 11 envía, a esta velocidad de transferencia de datos, la señal de transmisión a la unidad de aire acondicionado 100a (Etapa S61).

40 En la unidad de aire acondicionado 100a, el ajustador de velocidad de transferencia de datos 13 mide la velocidad de transferencia de datos en función del bit de inicio y, a continuación, si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, la unidad de aire acondicionado 100a funciona de manera similar a la unidad de aire acondicionado 100b a una velocidad de transferencia de datos aumentada adicional ($X + 2d$ [bps]) (Etapa S62). A partir de entonces, las unidades de aire acondicionado 100a y 100b repiten el mismo proceso, siempre que la señal de transmisión se pueda recibir con éxito. A medida que se repite el proceso, la velocidad de transferencia de datos aumenta gradualmente.
45

En el proceso repetitivo, la unidad de aire acondicionado 100a no puede recibir la señal de transmisión, por ejemplo (Etapa S63). En este caso, la unidad de aire acondicionado 100a no envía la señal de transmisión a la unidad de aire acondicionado 100b. Como resultado, se produce un tiempo de espera en la unidad de aire acondicionado 100b. Si se ha agotado el tiempo de espera, la unidad de aire acondicionado 100b reduce la velocidad de transferencia de datos en un nivel (por ejemplo, $X + 2d$ [bps] si la velocidad de transferencia de datos actual es $X + 3d$ [bps]) y envía una señal definitiva a la unidad de aire acondicionado 100a (Etapa S64).
50

En la unidad de aire acondicionado 100a, el ajustador de velocidad de transferencia de datos 13 mide la velocidad de transferencia de datos en función del bit de inicio y, a continuación, si la señal definitiva se recibe con éxito a la velocidad de transferencia de datos medida, la unidad de aire acondicionado 100a establece la velocidad de transferencia de datos actual (por ejemplo, $X + 2d$ [bps]) como una velocidad de transferencia de datos propia para ser utilizada en la transmisión/recepción, y envía una señal de respuesta definitiva a la unidad de aire acondicionado
55

100b a la velocidad de transferencia de datos establecida (Etapa S65). Cuando la unidad de aire acondicionado 100b recibe con éxito la señal de respuesta definitiva, se completa el proceso de configuración de la velocidad de transferencia de datos.

5 Si la unidad de aire acondicionado 100a que ha transmitido la señal definitiva no recibe la señal de respuesta definitiva con el tiempo de espera, la unidad de aire acondicionado 100b puede reducir aún más la velocidad de transferencia de datos en un nivel (por ejemplo, $X + d$ [bps], si la velocidad de transferencia de datos actual es $X + 2d$ [bps]), y puede establecer la velocidad de transferencia de datos reducida como una velocidad de transferencia de datos propia para ser utilizada en la transmisión/recepción, a fin de reenviar la señal definitiva a la unidad de aire acondicionado 100a.

10 En una secuencia de la figura 12, el proceso de configuración de la velocidad de transferencia de datos comienza con la unidad de aire acondicionado 100a, pero puede comenzar con la unidad de aire acondicionado 100b.

En la secuencia de la figura 12, el tiempo de espera ha ocurrido en la unidad de aire acondicionado 100b, pero puede ocurrir en la unidad de aire acondicionado 100a.

15 Como se describe en detalle anteriormente, según el dispositivo de comunicación I/F 1 de esta realización, la velocidad de transferencia de datos se puede adaptar en un tiempo más corto, lo que permite una configuración predeterminada más rápida del dispositivo de comunicación I/F 1.

Al establecer la velocidad de transferencia de datos, la señal de transmisión, la señal definitiva y la señal de respuesta definitiva se transmiten y reciben entre las unidades de aire acondicionado 100a y 100b, en esta realización. Estas señales pueden contener información que indica la velocidad de transferencia de datos actual.

20 Las realizaciones descritas anteriormente se proporcionan con fines explicativos y no limitan el alcance de la presente invención. El alcance de la presente invención está, en consecuencia, especificado por las reivindicaciones, en lugar de las realizaciones. Además, varias modificaciones realizadas dentro del alcance de las reivindicaciones sin una actividad inventiva se consideran dentro del alcance de la presente invención.

Aplicabilidad industrial

25 La invención reivindicada es adecuada para comunicaciones de datos entre unidades de aire acondicionado. Específicamente, la aplicación del dispositivo de interfaz de comunicación según la presente invención a las comunicaciones de datos entre una unidad interior y una unidad exterior y entre un controlador remoto y una unidad interior permitirá la configuración automática de una velocidad de comunicación de datos dependiendo de un entorno de comunicación sin aumentar la carga en cada procesador.

Lista de signos de referencia

- | | | |
|----|-----|--|
| 30 | 1. | Dispositivo de interfaz de comunicación (I/F) |
| | 2. | MPU |
| | 3. | Circuito de conversión de nivel |
| | 10. | Comunicador MPU |
| | 11. | Transmisor |
| 35 | 12. | Muestreador |
| | 13. | Ajustador de velocidad de transmisión de datos |
| | 14. | Determinador de bits |
| | 15. | Determinador de errores |
| | 16. | Registro de datos de transmisión |
| 40 | 17. | Registro de datos de recepción |
| | 18. | Registro de estado de error |
| | 20. | Analizador de comandos |
| | 21. | Respondedor |
| | 22. | Generador de interrupción |
| 45 | 30. | Forma de onda de señal |

	50.	Gestor de log
	51.	Registro de log de muestreo
	60,61.	Forma de onda de señal
	100, 100a, 100b	Unidad de aire acondicionado
5	L1	Línea de comunicación dedicada
	L2, L3.	Línea de comunicación dedicada
	L4	Línea de comunicación

REIVINDICACIONES

1. Un sistema de comunicación, que comprende un primer dispositivo de interfaz de comunicación para una primera unidad de aire acondicionado (100a) y un segundo dispositivo de interfaz de comunicación para una segunda unidad de aire acondicionado (100b), en donde cada dispositivo de interfaz de comunicación (1) (2) comprende:
- 5 un muestreador (12) que está adaptado para muestrear una señal de recepción recibida a través de una línea de comunicación (L3);
- un adquirente de velocidad de transferencia de datos (13) que está adaptado para adquirir una velocidad de transferencia de datos;
- 10 un determinador de bits (14) que está adaptado para hacer una determinación de bits con respecto a la señal de recepción a la velocidad de transferencia de datos adquirida por el adquirente de velocidad de transferencia de datos (13), para adquirir de ese modo datos en serie contenidos en la señal de recepción;
- un transmisor (11) que está adaptado para enviar, a través de una línea de comunicación (L2) una señal de transmisión que contiene datos en serie enviados por el procesador (2);
- 15 un comunicador de procesador (10) que está adaptado para enviar al transmisor (11) los datos en serie enviados por el procesador (2), y enviar al procesador (2) los datos en serie adquiridos por el determinador de bits (14); y
- un ajustador (13) que está adaptado para, cuando el transmisor (11) envía la señal de transmisión varias veces a diferentes velocidades de transferencia de datos, ajustar la velocidad de transferencia de datos en función del estado de recepción de las respectivas señales de respuesta a la misma,
- caracterizado por que el ajustador (13) de cada dispositivo de interfaz de comunicación está adaptado para:
- 20 si la señal de recepción se recibe con éxito a la velocidad de transferencia de datos adquirida, adquirida por el adquirente de la velocidad de transferencia de datos (13), provocar que el transmisor (11) envíe la señal de transmisión a una velocidad de transmisión de datos mayor que la velocidad de transferencia de datos adquirida; y
- 25 si, después de la transmisión de la señal de transmisión, la señal de recepción no se recibe y se produce un tiempo de espera, provocar que el transmisor (11) reenvíe una señal definitiva a una velocidad de transferencia de datos menor que la velocidad de transferencia de datos adquirida y, a continuación, si la señal de respuesta a la señal definitiva se recibe con éxito, establezca una velocidad de transferencia de datos actual como una velocidad de transferencia de datos que se utilizará en la transmisión.
2. El sistema de comunicación según la reivindicación 1,
- caracterizado por que
- 30 el primer dispositivo de interfaz de comunicación (100a) está adaptado para enviar la señal de transmisión al segundo dispositivo de interfaz de comunicación (100b) a una velocidad de transferencia de datos inicial preestablecida, X [bps], (Etapa S60);
- 35 el segundo dispositivo de interfaz de comunicación (100b) está adaptado para medir la velocidad de transferencia de datos inicial de la señal de transmisión desde el primer dispositivo de interfaz de comunicación, y si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, establecer una velocidad de transferencia de datos mayor, $X + d$ [bps], que la velocidad de transferencia de datos medida, y enviar, a esta velocidad de transferencia de datos, la señal de transmisión al primer dispositivo de interfaz de comunicación (100a) (Etapa S61);
- 40 el primer dispositivo de interfaz de comunicación (100a) está adaptado además para medir la velocidad de transferencia de datos de la señal de transmisión desde el segundo dispositivo de interfaz de comunicación, y si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, enviar la señal de transmisión a una velocidad de transferencia de datos incrementada adicional, $X + 2d$ [bps], que la velocidad de transferencia de datos medida (Etapa S62);
- 45 los primer y segundo dispositivos de interfaz de comunicación (100a, 100b) están adaptados para repetir el mismo proceso que el anterior, si la señal de transmisión se recibe con éxito;
- 50 si no se recibe la señal de transmisión (Etapa S63) y se ha producido un tiempo de espera, el primer o el segundo dispositivo de interfaz de comunicación está adaptado para enviar una señal definitiva a una velocidad de transferencia de datos menor, $X + 2d$ [bps], que la velocidad de transferencia de datos actuales, $X + 3d$ [bps], (Etapa S64), y si se recibe con éxito una señal de respuesta a la señal definitiva, establecer esta velocidad de transferencia de datos como una velocidad de transferencia de datos que se utilizará en la transmisión (Etapa S65).

3. El sistema de comunicación según una cualquiera de las reivindicaciones 1 a 2, caracterizado por que el ajustador (13) está adaptado para, cuando se introduce un comando de configuración de velocidad de transferencia de datos a través del comunicador del procesador (10) desde el procesador (2), comenzar a ajustar la velocidad de transferencia de datos.
- 5 4. El sistema de comunicación según una cualquiera de las reivindicaciones 1 a 3, caracterizado por que comprende además un determinador de errores (15) adaptado para determinar si existe o no un error en los datos en serie adquiridos por el determinador de bits (14), en donde
el comunicador del procesador (10) está adaptado para, si el determinador de errores (15) determina que existe un error de recepción, enviar el contenido del error de recepción al procesador (2).
- 10 5. El sistema de comunicación según la reivindicación 4, caracterizado por que comprende además un registro de log de muestreo (51) para almacenar datos de log del muestreo por el muestreador (12),
en donde el comunicador del procesador (10) está adaptado para enviar, en respuesta a una solicitud del procesador (2), los datos de log almacenados en el registro de log de muestreo (51) al procesador (2).
- 15 6. El sistema de comunicación según la reivindicación 5, caracterizado por que el determinador de bits (14) está adaptado para ajustar el tiempo para la determinación de bits en función de los datos de log almacenados en el registro de log de muestreo (51).
7. El sistema de comunicación según una cualquiera de las reivindicaciones 4 a 6, caracterizado por que
el muestreador (12) está adaptado para muestrear la señal de transmisión enviada por el transmisor (11) como la señal de recepción,
20 el determinador de errores (15) está adaptado para, si los datos en serie enviados por el procesador (2) y los datos en serie adquiridos por el determinador de bits (14) son inconsistentes, determinar que existe un error de conflicto de datos, y
el comunicador del procesador (10) está adaptado para, si el determinador de errores (15) determina que existe un error de conflicto de datos, enviar el contenido del error de conflicto de datos al procesador (2).
- 25 8. El sistema de comunicación según una cualquiera de las reivindicaciones 1 a 7, caracterizado por que el adquirente de velocidad de transferencia de datos (13) está adaptado para adquirir la velocidad de transferencia de datos en función de varias muestras de bits de inicio contenidas en la señal de recepción.
9. El sistema de comunicación según la reivindicación 8, caracterizado por que el adquirente de velocidad de transferencia de datos (13) está adaptado para:
30 adquirir una cantidad de muestras correspondientes a la mitad del ancho de un bit de inicio en un sistema de retorno a cero, RZ, basado en un resultado del muestreo de la señal de recepción por el muestreador (12); y
calcular la velocidad de transferencia de datos de la señal de recepción en función del número medido de muestras.
10. Un método de control de comunicación que se lleva a cabo en cada uno de los primer y segundo dispositivos de interfaz informática de un sistema de comunicación, el método caracterizado por que comprende:
35 una etapa de muestreo de muestreo de una señal de recepción recibida a través de una línea de comunicación (L3);
una etapa de adquisición de velocidad de transferencia de datos de adquisición de una velocidad de transferencia de datos;
una etapa de determinación de bits de realización de una determinación de bits con respecto a la señal de recepción a la velocidad de transferencia de datos adquirida, para así adquirir datos en serie contenidos en la señal de recepción;
- 40 una etapa de transmisión de envío, a través de una línea de comunicación (L2), de una señal de transmisión que contiene datos en serie enviados por el procesador (2);
una etapa de comunicación del procesador de recepción de los datos en serie enviados por el procesador (2), y de envío al procesador (2) de los datos en serie adquiridos en la etapa de determinación de bits; y
- 45 una etapa de ajuste de, cuando la señal de transmisión se envía varias veces a diferentes velocidades de transferencia de datos en la etapa de transmisión, ajuste de la velocidad de transferencia de datos en función del estado de recepción de las respectivas señales de respuesta a la misma;
caracterizado por las etapas adicionales realizadas en cada uno de los primer y segundo dispositivos de interfaz de comunicación:

si la señal de recepción se recibe con éxito a la velocidad de transferencia de datos adquirida, adquirida por el adquirente de la velocidad de transferencia de datos (13), provoca que el transmisor (11) envíe la señal de transmisión a una velocidad de transmisión de datos mayor que la velocidad de transferencia de datos adquirida; y

5 si, después de la transmisión de la señal de transmisión, la señal de recepción no se recibe y se produce un tiempo de espera, provoca que el transmisor (11) reenvíe una señal definitiva a una velocidad de transferencia de datos menor que la velocidad de transferencia de datos adquirida y, a continuación, si se recibe con éxito una señal de respuesta a la señal definitiva, establezca una velocidad de transferencia de datos actual como una velocidad de transferencia de datos que se utilizará en la transmisión.

11. El método según la reivindicación 10,

10 caracterizado por que

el primer dispositivo de interfaz de comunicación (100a) envía la señal de transmisión al segundo dispositivo de interfaz de comunicación (100b) a una velocidad de transferencia de datos inicial preestablecida, X [bps], (Etapa S60);

15 el segundo dispositivo de interfaz de comunicación (100b) mide la velocidad de transferencia de datos inicial de la señal de transmisión desde el primer dispositivo de interfaz de comunicación, y si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, establece una velocidad de transferencia de datos mayor, $X + d$ [bps], que la velocidad de transferencia de datos medida, y envía, a esta velocidad de transferencia de datos, la señal de transmisión al primer dispositivo de interfaz de comunicación (100a) (Etapa S61);

20 el primer dispositivo de interfaz de comunicación (100a) mide la velocidad de transferencia de datos de la señal de transmisión desde el segundo dispositivo de interfaz de comunicación, y si la señal de transmisión se recibe con éxito a la velocidad de transferencia de datos medida, envía la señal de transmisión a una velocidad de transferencia de datos aumentada adicionalmente, $X + 2d$ [bps], que la velocidad de transferencia de datos medida (Etapa S62);

los primer y segundo dispositivos de interfaz de comunicación (100a, 100b) repiten el mismo proceso que el anterior, si la señal de transmisión se recibe con éxito;

25 si no se recibe la señal de transmisión (Etapa S63) y se ha producido un tiempo de espera, el primer o el segundo dispositivo de interfaz de comunicación envía una señal definitiva a una velocidad de transferencia de datos menor, $X + 2d$ [bps], que la velocidad de transferencia de datos actual, $X + 3d$ [bps], (Etapa S64), y si se recibe con éxito una señal de respuesta a la señal definitiva, establece esta velocidad de transferencia de datos como una velocidad de transferencia de datos que se utilizará en la transmisión (Etapa S65).

30 12. Un programa informático que comprende instrucciones que, cuando el programa es ejecutado por un ordenador/procesador (2), provoca que el ordenador/procesador (2) lleve a cabo las etapas del método de las reivindicaciones 10 u 11.

FIG.1

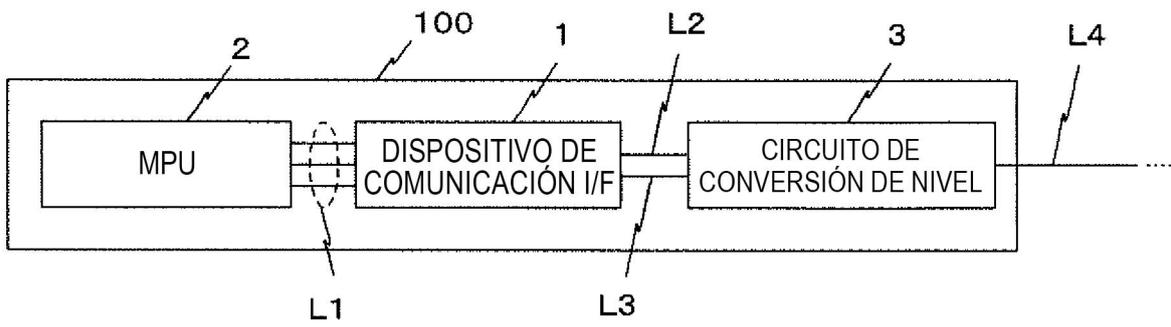


FIG.2

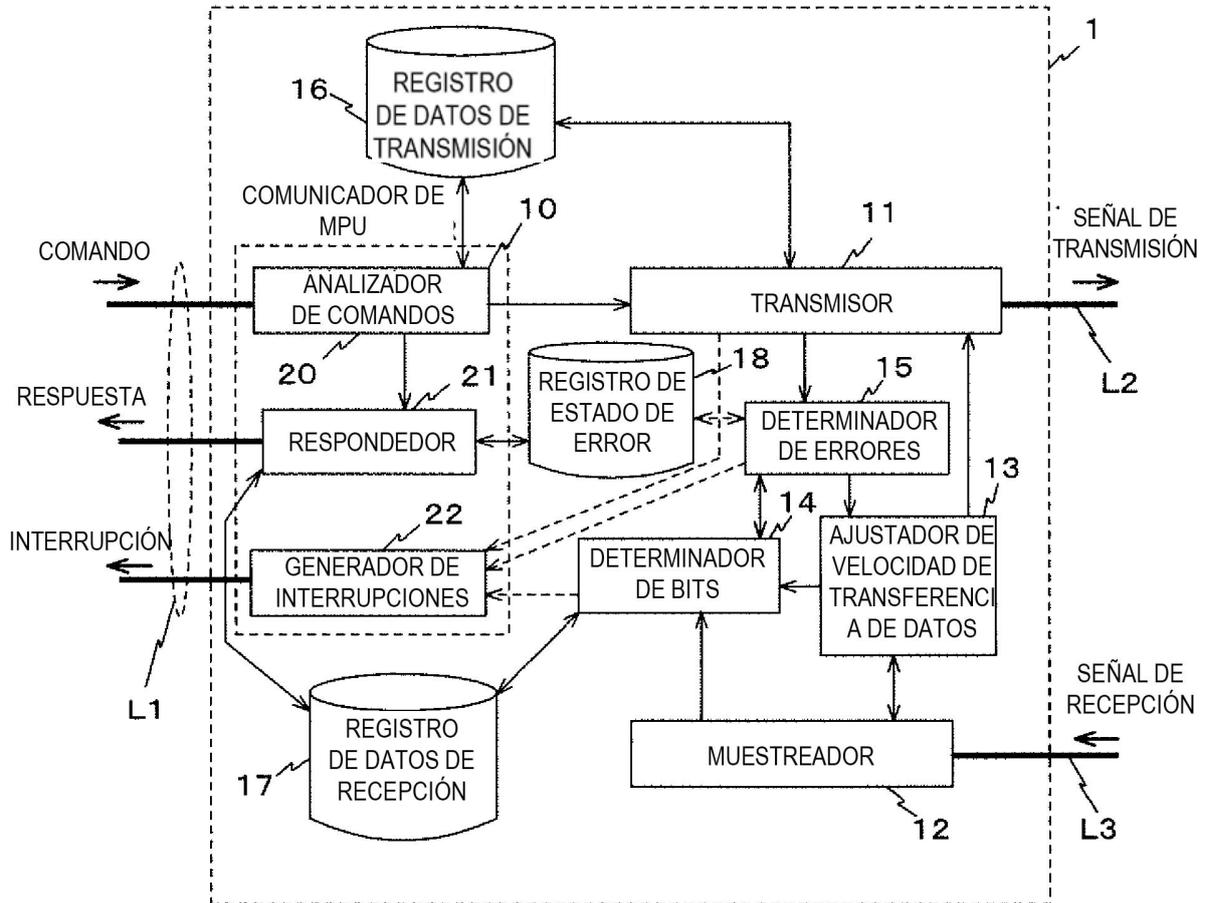


FIG.3

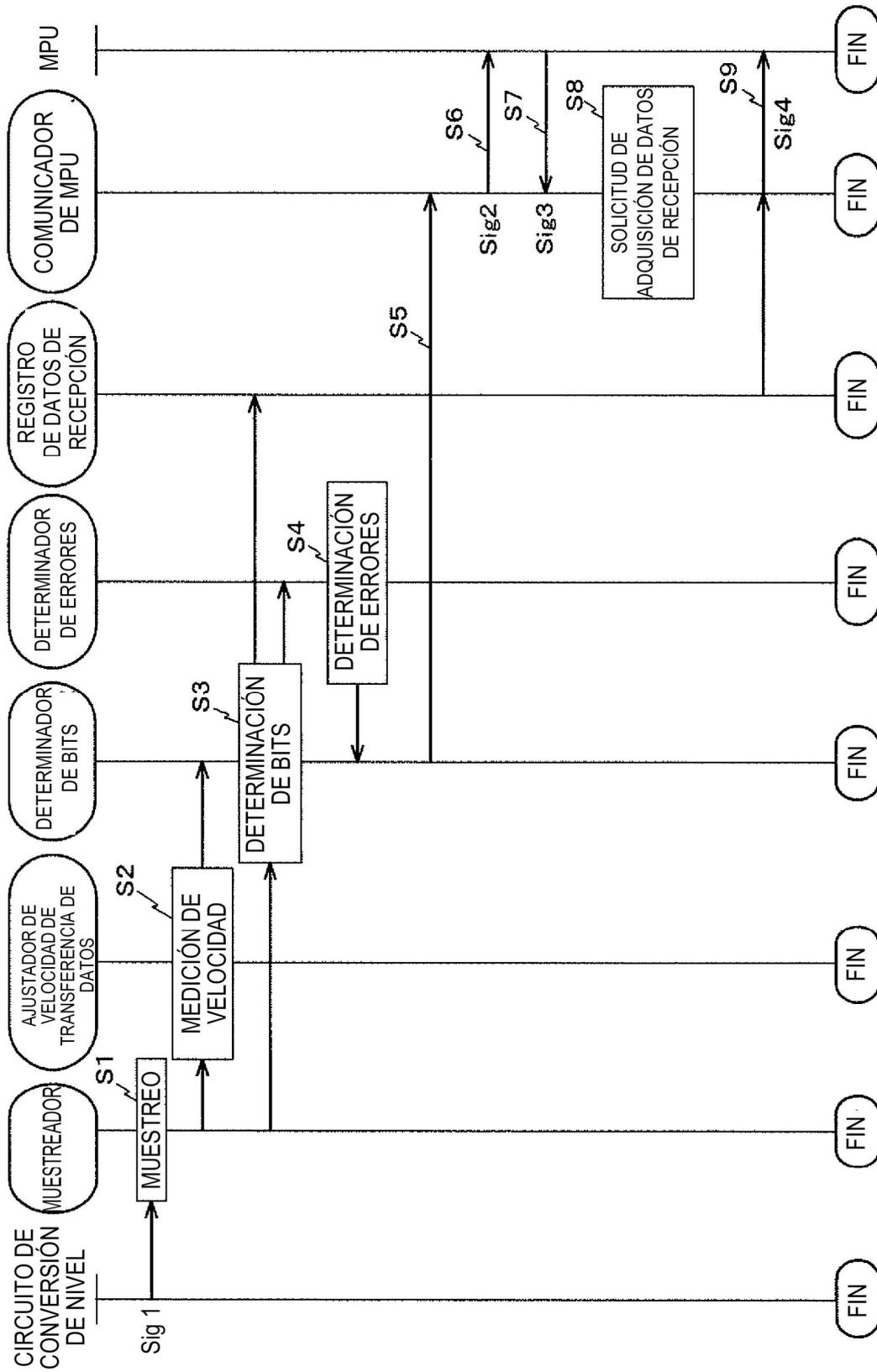


FIG.4

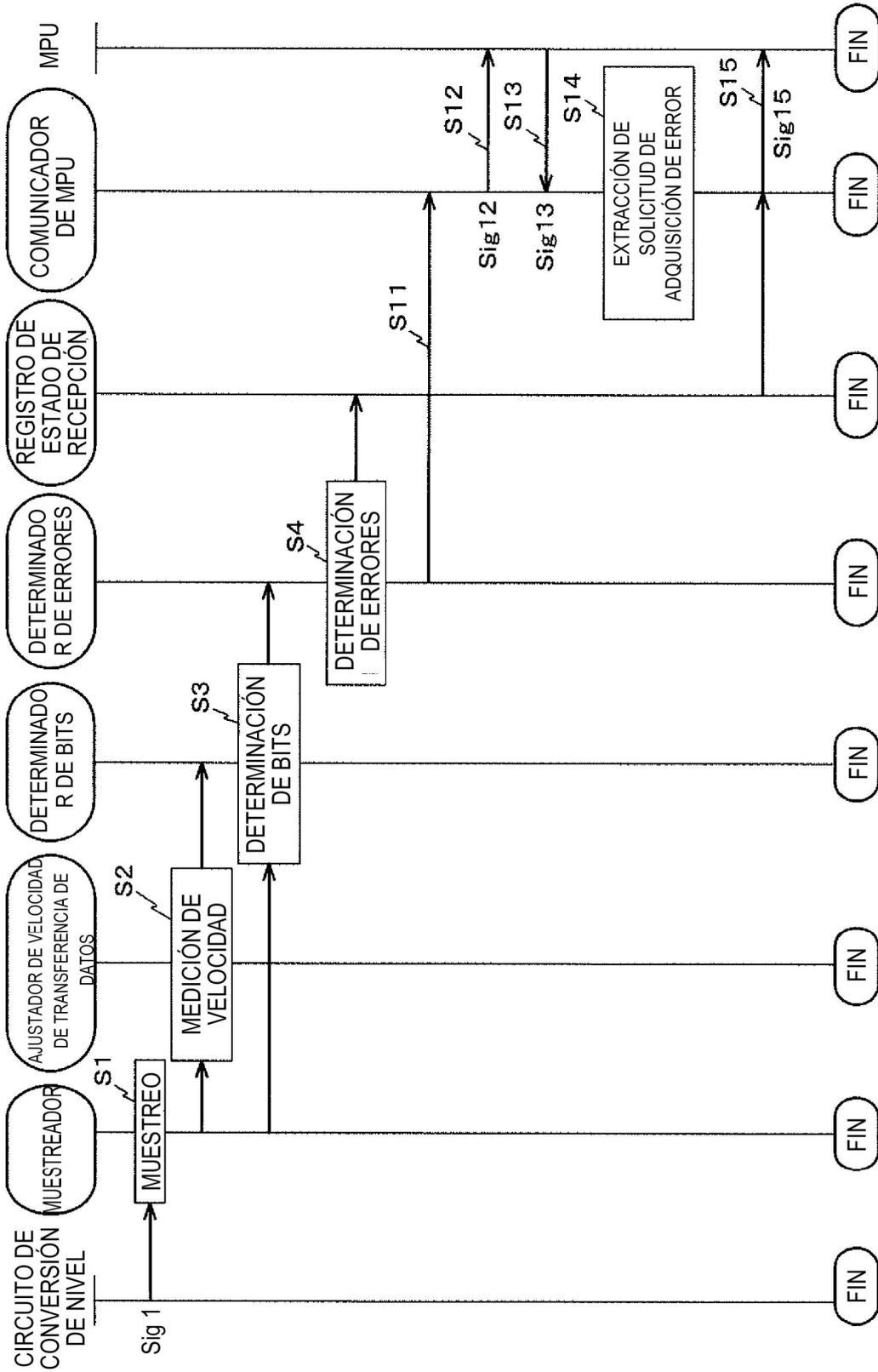


FIG.5

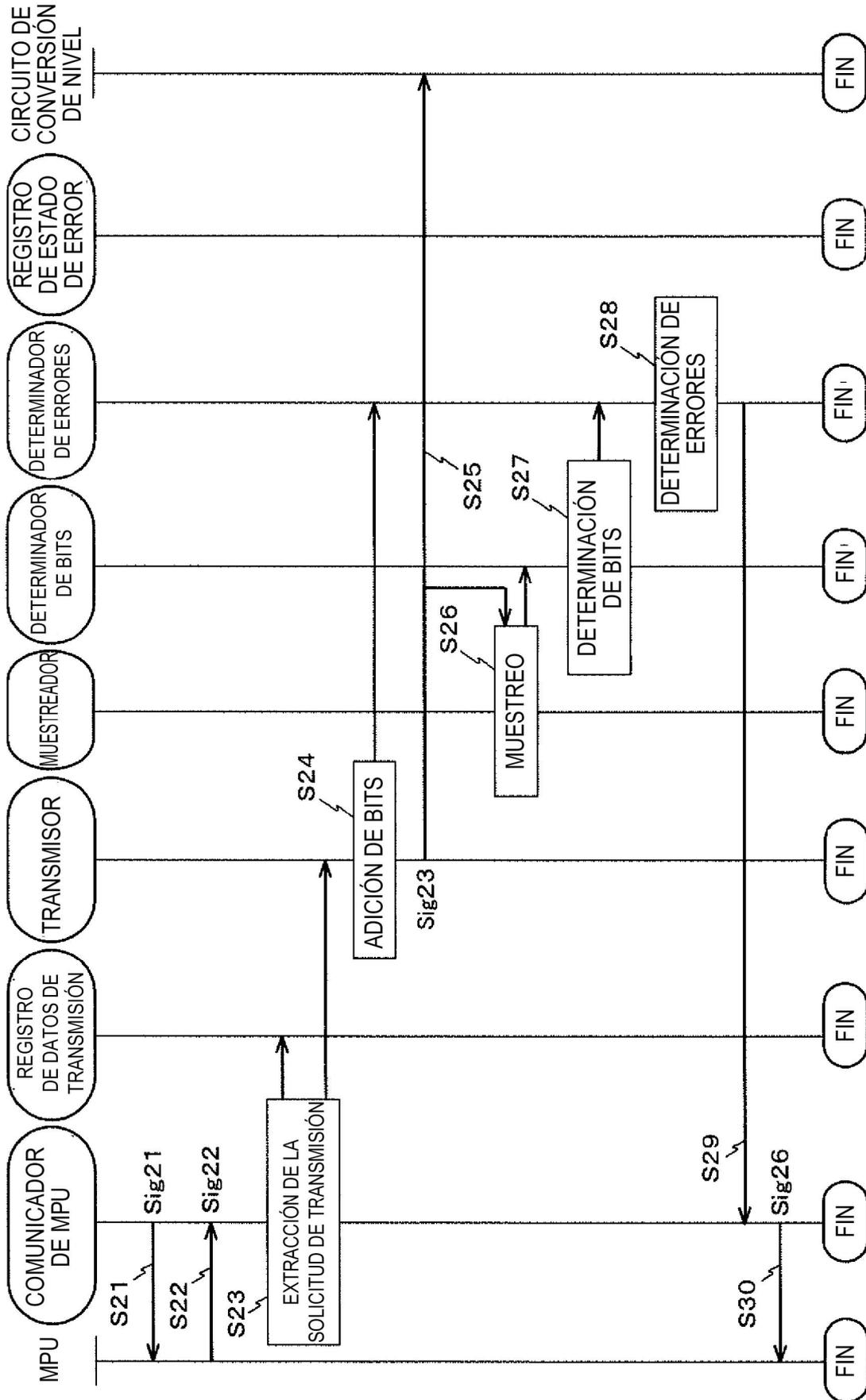


FIG.6

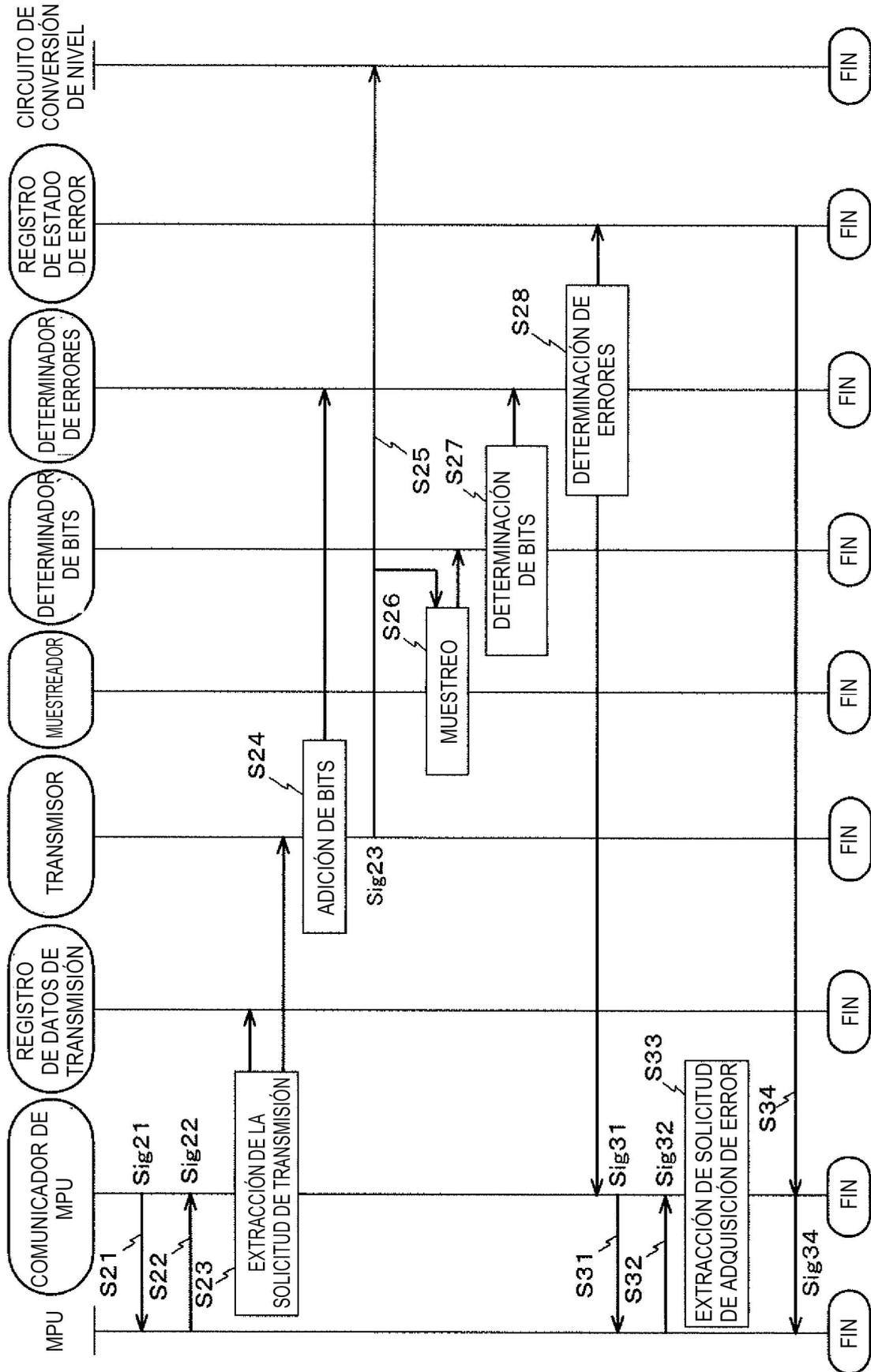


FIG.7A

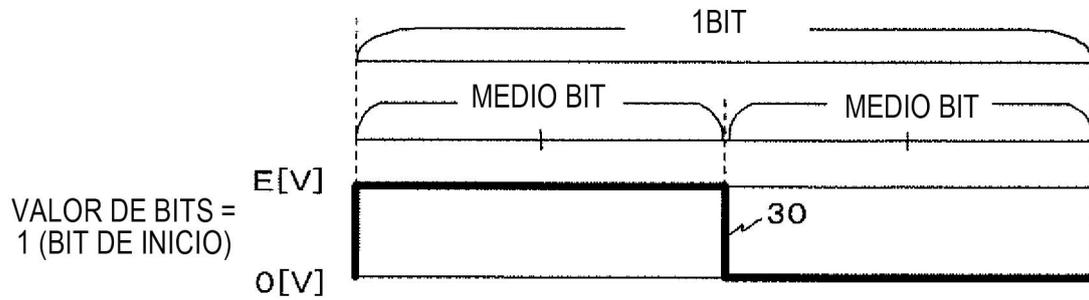


FIG.7B

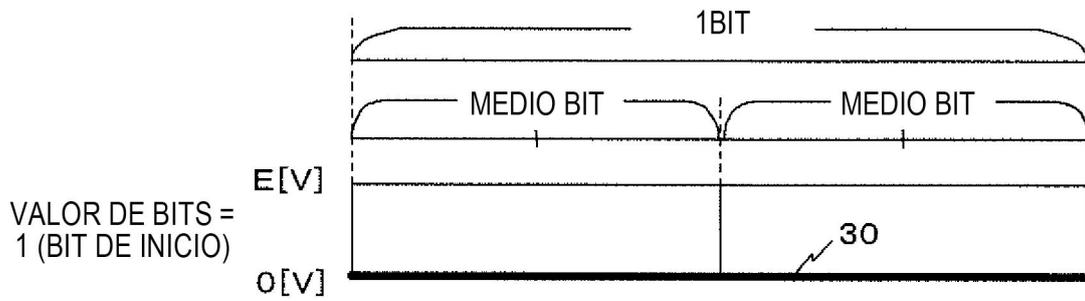


FIG.8

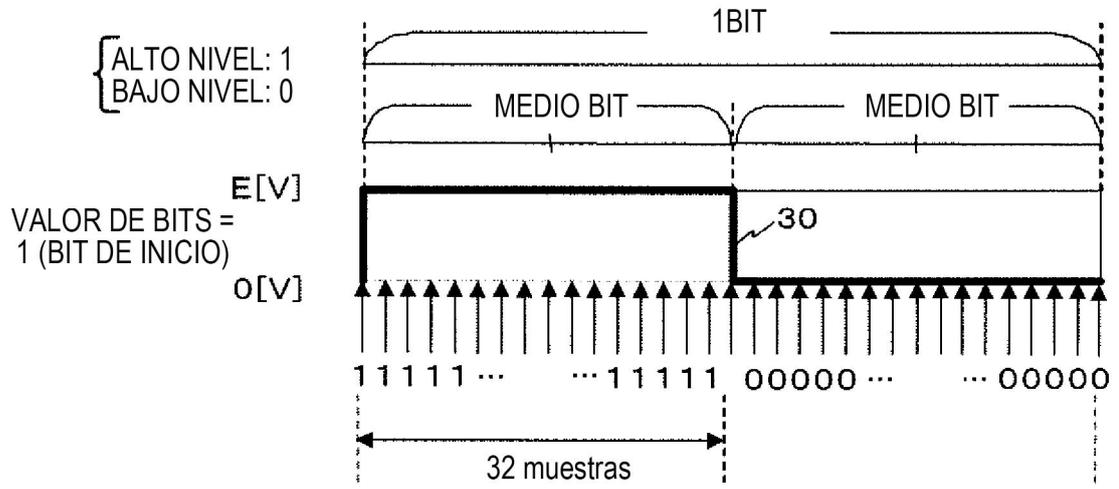


FIG.9

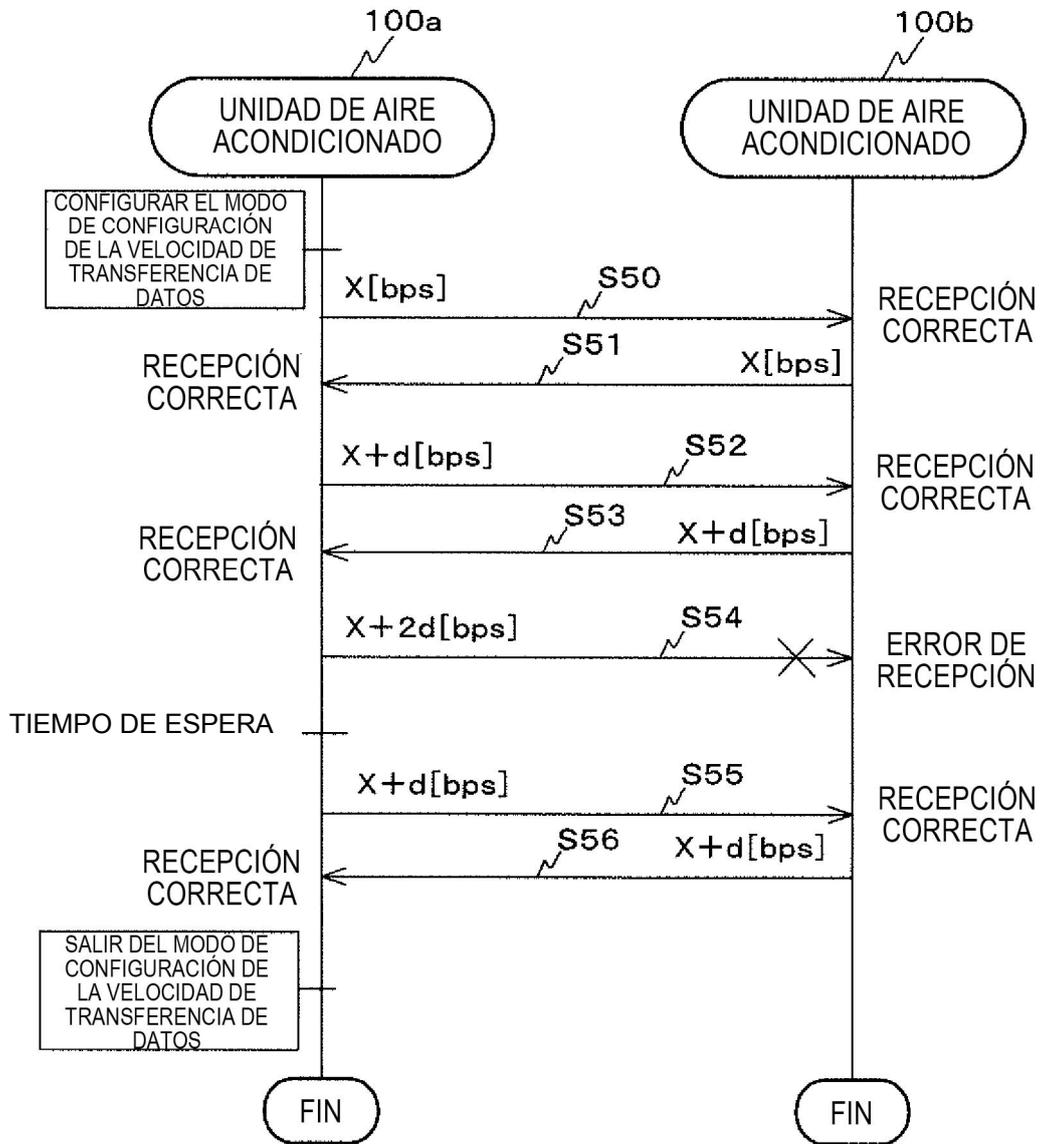


FIG.10

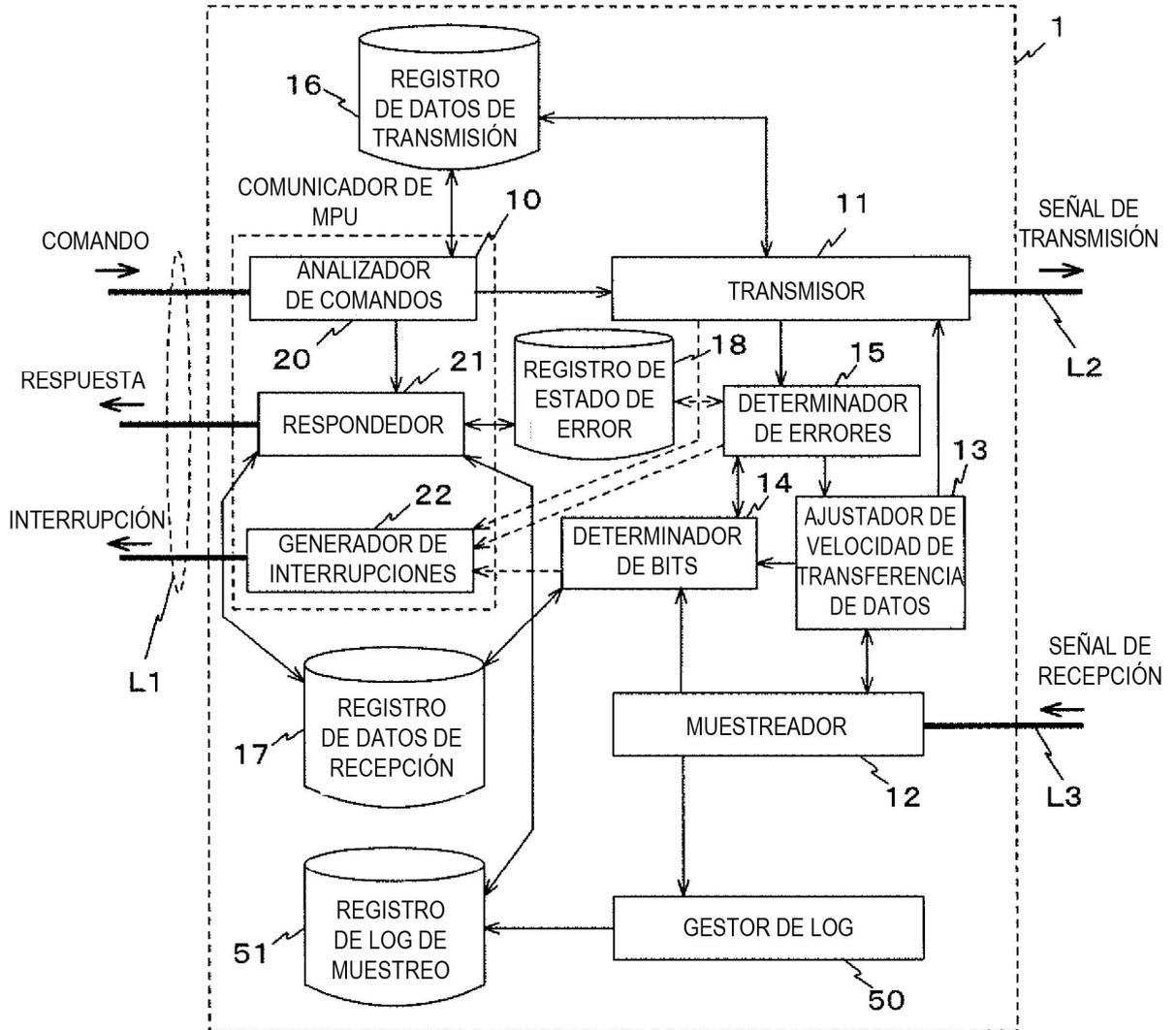


FIG.11A

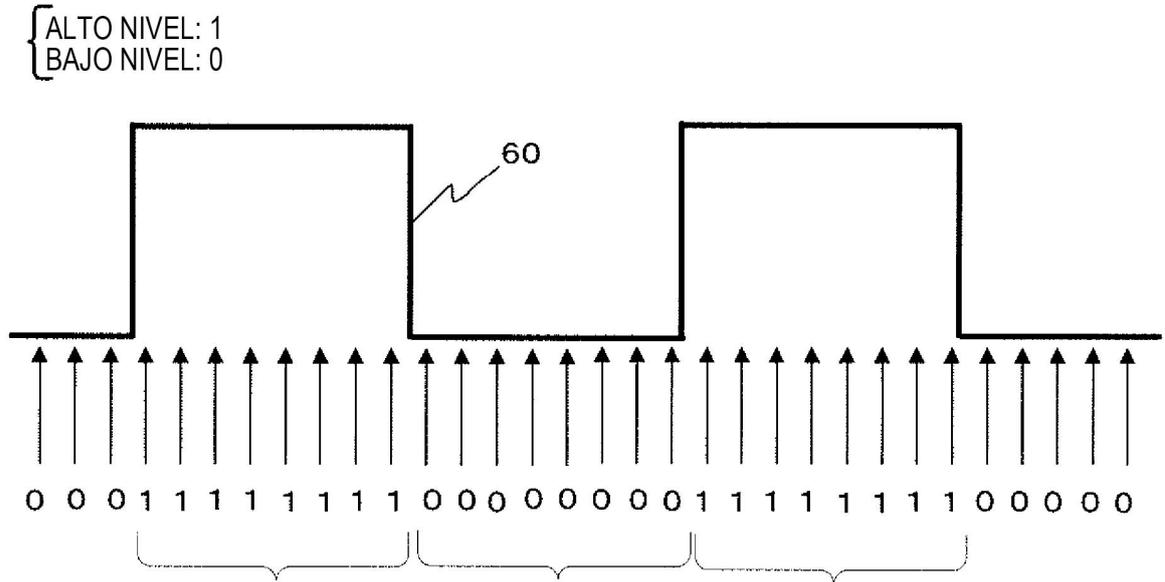


FIG.11B

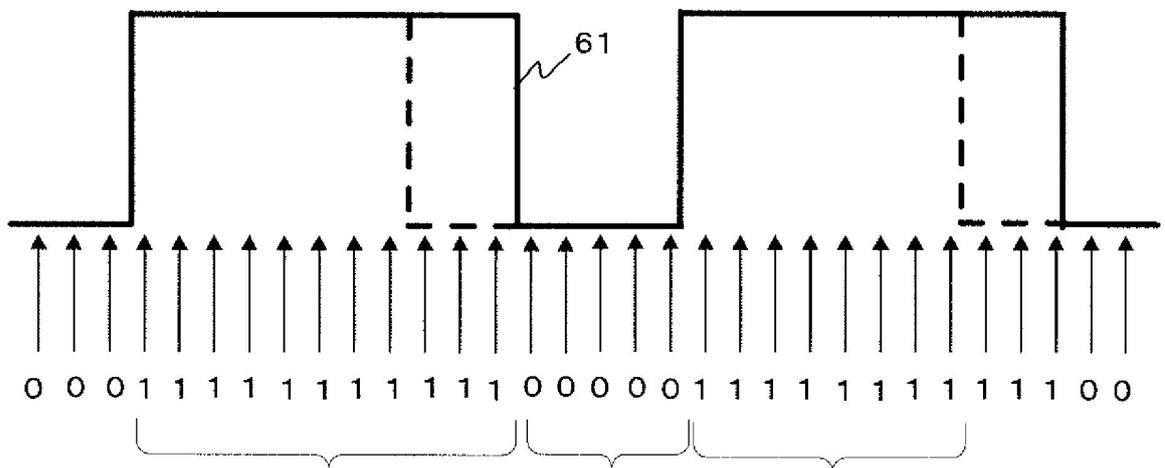


FIG.12

