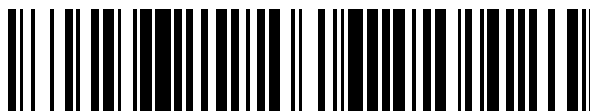


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 752 745**

51 Int. Cl.:

G11C 5/00 (2006.01)

G11C 11/412 (2006.01)

H03K 3/037 (2006.01)

H03K 19/003 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.06.2012** **E 12173220 (0)**

97 Fecha y número de publicación de la concesión europea: **28.08.2019** **EP 2538414**

54 Título: **Dispositivo de memoria que corrige el efecto de colisiones de partículas de alta energía**

30 Prioridad:

23.06.2011 FR 1101934

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

06.04.2020

73 Titular/es:

THALES (100.0%)
Tour Carpe Diem, Place des Corolles, Esplanade Nord
92400 Courbevoie, FR

72 Inventor/es:

JACQUET, BRUNO;
RODRIGUEZ, RAOUL y
LAVALETTE, VINCENT

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 752 745 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de memoria que corrige el efecto de colisiones de partículas de alta energía

La presente invención se refiere a un dispositivo de memoria que corrige el efecto de colisiones de partículas de alta energía, principalmente en el campo aeroespacial.

5 En los sistemas de semiconductores, el impacto de una partícula de alta energía puede provocar efectos indeseables.

En particular, para células o puntos de memoria, el impacto de una partícula de alta energía puede provocar su cambio de estado o del valor memorizado. Por ejemplo un bit memorizado con un valor 1 puede pasar a un valor 0 y viceversa.

10 Se llama endurecimiento de componentes electrónicos contra las radiaciones ionizantes y las partículas altamente energéticas, a un modo de diseño, de realización y de ensayos de sistemas y componentes electrónicos para hacerles resistentes a las alteraciones y degradaciones provocadas por radiaciones electromagnéticas y las partículas subatómicas energéticas encontradas durante vuelos espaciales o en elevada altitud, así como en el entorno de los reactores nucleares, incluso durante operaciones militares.

15 Un efecto singular puede provocarse con el paso de una partícula única, generalmente un ion pesado o un protón energético y puede generar efectos transitorios (errores de software o SEU por "Single Event Upset" en idioma inglés) y/o efectos permanentes (errores de los equipos o SEL por "Single Event Latchup" en idioma inglés).

Un SEU se materializa típicamente por el cambio de estado lógico de una célula de memoria bajo el efecto de una partícula cargada. Es un efecto transitorio que se borrará mediante la reescritura de la célula de memoria afectada. Cualquier circuito electrónico que posea células de memoria es susceptible de conocer unos SEU.

20 Son conocidos sistemas que implementan una triple redundancia modular o TMR por "Triple Modular Redundancy" en idioma inglés. Dichos sistemas consisten esencialmente en triplicar una célula de memoria o punto de memoria y en incluir en la salida de estas tres células de memoria en redundancia, un elemento de votación para fijar la salida al valor mayoritario entre las tres células de memoria.

25 De este modo, durante el impacto de una partícula de alta energía que implique un SEU y un cambio de estado o de valor de una célula de memoria, utilizando un elemento de votación con una cadencia de reloj suficientemente elevada para que la pluralidad de dos SEU simultáneos sobre al menos dos de las tres células de memoria en redundancia sea casi nulo, el impacto se corrige mediante un sistema de ese tipo.

La realización de dichos sistemas es de coste elevado.

30 Además, este tipo de sistemas es difícilmente implementado cuando se desea realizar funciones de tipo RF (por radiofrecuencias) debido a la contaminación espectral generada por el reloj de cadencia de refresco de los datos o, por otras aplicaciones, si la complejidad de la triple redundancia modular o TMR con un sistema de votación no es aceptable.

35 La solicitud de patente US2009/0322401A1 divulga un circuito tolerante a los efectos de las colisiones de partículas y que comprende un cerrojo. El circuito puede mantener valores de datos correctos incluso después de la aparición de una colisión. El circuito tolerante a los efectos de colisiones de partículas puede introducir un retardo en un bucle de retroalimentación, transmitiendo así el valor del error a un elemento del bucle de retroalimentación en diferentes momentos, impidiendo así la propagación del error en el circuito tolerante a los efectos de colisiones de partículas. La solicitud de patente US2009/204933A divulga un sistema que implementa una triple redundancia modular.

40 La solicitud de patente EP 0 951 145 A1 divulga un circuito para la adquisición de señales analógicas binarias. La solicitud de patente JPH05 243 916A divulga un circuito de báscula provisto de una función de prevención de errores de inversiones lógicas.

Un objeto de la invención es paliar los problemas anteriormente citados.

Se propone, según un aspecto de la invención, un dispositivo de memoria que corrige automáticamente el efecto de colisiones de partículas de alta energía según la reivindicación 1.

45 Un dispositivo de memoria así, permite, a coste reducido y sin reloj de cadencia de refresco de los datos que puedan perturbar unas funciones de RF, realizar un dispositivo de memoria resistente a las colisiones de partículas de alta energía.

De este modo, es posible un autorrefresco del dato memorizado que haya sufrido una colisión de partículas de alta energía.

50 Un dispositivo de ese tipo es fácilmente realizable, tanto por medio de ASIC como por medio de componentes discretos, contrariamente a la triple redundancia modular o TMR que es más costosa y voluminosa en componentes discretos.

En un modo de realización, dicha célula de memoria comprende una báscula tipo D.

La utilización de una báscula D, o "D Flip Flop" en idioma inglés, es el tipo de célula de memoria más comúnmente utilizada y de coste reducido.

5 Según un modo de realización, dichos medios de retención comprenden un circuito electrónico que comprende una resistencia eléctrica y un condensador.

Un circuito de tipo RC para efectuar la retención del valor memorizado en la célula de memoria es insensible a las colisiones de partículas de alta energía. Dicho circuito es por otra parte fácil de realizar y de coste reducido.

Por ejemplo, dichos medios de retención comprenden, además, un disparador Schmitt.

10 La utilización de un disparador Schmitt permite transmitir a la salida del sistema una señal carente de ondulaciones eliminando las variaciones de tensión internas generadas sobre el circuito RC debidas a las colisiones de partículas de alta energía. Permite también, en función de los valores de R y C, parametrizar correctamente los tiempos de retención.

Según un modo de realización, dichos medios de detección comprenden unos medios de realización de la función "O exclusiva".

15 La utilización de una función "O exclusiva" permite, de manera simple, comparar el valor del dato a la salida de la célula de memoria y el valor de los medios de retención.

En un modo de realización, dichos medios de gestión comprenden dos multiplexores.

20 Una realización de medios de gestión que utilice dos multiplexores es una manera simple y de coste reducido de ver la diferencia entre un cambio controlado del valor de la memoria y un cambio indeseable del valor de la memoria debido a una colisión de partículas de alta energía.

Por ejemplo, un valor memorizado es un valor booleano, tal como un bit de datos, cuyo valor se define como pudiendo valer 0 o 1.

Según otro aspecto de la invención, se propone igualmente un sistema aeroespacial que comprende el menos un dispositivo de memoria según una de las reivindicaciones anteriores.

25 Un sistema de ese tipo, por ejemplo embarcado a bordo de un satélite, es particularmente robusto a los impactos de partículas de alta energía.

Se propone igualmente, según otro aspecto de la invención, un procedimiento de corrección automática del efecto de colisiones de partículas de alta energía sobre el dispositivo de memorización según la reivindicación independiente 9.

30 La invención se comprenderá mejor con el estudio de algunos modos de realización descritos a título de ejemplos en ningún caso limitativos e ilustrados por los dibujos adjuntos en los que:

- la figura 1 ilustra esquemáticamente un ejemplo de dispositivo de memoria resistente a las colisiones de partículas de alta energía según un aspecto de la invención;
- la figura 2 ilustra esquemáticamente un ejemplo de realización de un dispositivo de la figura 1, según un aspecto de la invención;
- 35 - las figuras 3a, 3b y 4, ilustran el funcionamiento del dispositivo de la figura 2, según un aspecto de la invención.

En el conjunto de las figuras, los elementos que tienen las mismas referencias son similares.

La figura 1 representa un dispositivo de memoria resistente a las colisiones de partículas de alta energía, que comprende al menos una célula CM de memoria.

40 El dispositivo comprende igualmente un módulo MRET de retención, durante un retardo determinado, del valor memorizado en la célula CM de memoria.

El sistema comprende, además, un módulo MDET de detección de un cambio de estado de la célula CM de memoria, por comparación con el valor memorizado en el módulo MRET de retención y un módulo MG de gestión adaptado para determinar si un cambio de estado de la célula CM de memoria detectado es debido a una partícula de alta energía y, en ese caso, controlar una recarga del valor memorizado en el módulo MRET de retención en la célula CM de memoria.

45 Las señales que participan son las siguientes.

La señal Qd representa el valor o el estado memorizado en la célula de memoria o punto CM de memoria. La señal Qd se transmite al módulo MRET de retención así como a la entrada del módulo MDET de detección de un cambio de estado de la célula CM de memoria.

La señal Q representa el valor memorizado en la salida del dispositivo de memoria, durante el retardo determinado, en el módulo MRET de retención. La señal Q se transmite en la salida del dispositivo de memoria, a la entrada del módulo MDET de detección, así como a la entrada del módulo MG de gestión.

5 El módulo MG de gestión recibe en la entrada, la salida del módulo MDET de detección, representando la señal Q el valor situado en retención en el módulo MRET de retención durante el retardo determinado. El módulo MG de gestión recibe igualmente en la entrada el valor Data o estado del dato a memorizar en la célula de memoria MC, así como una señal CS de validación de la carga de los datos que acompañan a la señal Data, para confirmar un cambio de estado normal o previsto del valor a memorizar en la célula CM de memoria.

10 La célula CM de memoria recibe por tanto, en la entrada, el valor a memorizar, la salida del módulo MG de gestión, una señal de control de la recarga del valor memorizado en el módulo MRET de retención en la célula CM de memoria, cuando el módulo MG de gestión ha determinado que un cambio de estado de la célula CM de memoria detectado por el módulo MDET de detección es debido a una partícula de alta energía y una señal de reinicialización o reposición a cero RST.

La figura 2 representa el modo de realización de un dispositivo de la figura 1.

15 La célula CM de memoria puede ser una báscula D FF. Una báscula D es un circuito lógico dotado de una o de dos salidas y de una o varias entradas. La salida puede estar al nivel lógico 0 o 1. Los cambios de estado de la salida se determinan por las señales aplicadas a las entradas y el tipo de operador. Lo que diferencia las básculas de los circuitos lógicos combinatorios (llamados Y, O, O Exclusiva, etc.), es que la salida mantiene su estado incluso después de la desaparición de la señal de control. Como intervienen el estado precedente y la memorización, se habla de lógica secuencial. La báscula es el elemento de base de la lógica secuencial.

20 En una variante, la célula de memoria puede comprender un cerrojo o "latch" en idioma inglés.

El módulo MRET de retención puede realizarse en la forma de un circuito RC, que comprende una resistencia eléctrica R y un condensador C. De ese modo, parametrizando correctamente los valores de la resistencia eléctrica R y del condensador C, se puede determinar con precisión el retardo de retención del valor en retención.

25 De manera opcional, el módulo MRET de retención puede comprender, además, una báscula B1 de Schmitt también llamada disparador de Schmitt o comparador de umbrales.

Un disparador de Schmitt es una célula que tiene una entrada V, dos umbrales Vil y Vih y una salida Q. Los umbrales Vil y Vih de un disparador de Schmitt presentan la ventaja de estar perfectamente caracterizados.

30 Los umbrales Vil y Vih (respectivamente umbral bajo y umbral alto, estando este último Vih a un potencial superior a Vil) se mantienen a unos potenciales fijos, por ejemplo gracias a un divisor de tensión compuesto por tres resistencias colocadas en serie entre Vcc y la masa. Las entradas Vih y Vil se conectan a los puntos intermedios del divisor. El funcionamiento es el siguiente:

- supongamos que inicialmente, V está a 0; Q está entonces a 0;
- cuando aumenta V, Q permanece en 0 hasta que V sobrepasa Vih; en este momento, Q pasa a 1;
- 35 - sigue permanece en 1 hasta el momento en el que V se convierte en inferior a Vil; en este momento, Q pasa a 0;
- Q permanece en 0 hasta que V vuelve a pasar por encima de Vih.

El módulo MDET de detección puede comprender un módulo XOR de realización de una función "o exclusiva" frecuentemente llamada XOR por el acrónimo de la expresión inglesa "exclusive OR" de salida Ckx.

40 En una variante, el módulo MDET de detección puede comprender un módulo que comprende unos comparadores lógicos.

El módulo MG de gestión puede comprender dos multiplexores M1 y M2, tal como se representan en la figura 2. Cada multiplexor recibe en la entrada una señal a de control, y dos entradas b y c. El valor de la señal a de control permite seleccionar la entrada b o c que se proporciona en la salida Di del multiplexor M1 o en la salida Cki del multiplexor M2.

45 Para el multiplexor M1, así como para el multiplexor M2, la señal de control en la entrada es la misma, es decir la señal CS.

Las otras dos entradas del multiplexor M1 son las señales Q y Data, mientras que las otras dos entradas del multiplexor M2 son la señal CLK y la señal Ckx de salida del módulo de determinación MDET.

En una variante, el módulo MG de gestión puede comprender cualquier medio lógico que cumpla con la misma función.

La figura 4 ilustra esquemáticamente, mediante un diagrama temporal, el funcionamiento del dispositivo de la figura 2.

En un modo de funcionamiento normal, en tanto está activa la señal CS (es decir de nivel lógico igual a 1), las señales CLK y Data se seleccionan y aplican a las entradas Di y Cki de la báscula FF a través de los dos multiplexores M1 y M2.

5 La señal Ckx del módulo XOR está entonces "desconectada" de manera que cualquier impulso transitorio que pueda generarse en la salida Ckx del módulo XOR durante el tiempo dt de conmutación de la báscula FF está bloqueado por el multiplexor M2. La señal Data se transfiere a la salida Q a través del circuito RC y del tampón de salida o báscula B1 de Schmitt, sobre el frente del impulso de reloj CLK.

10 En un modo de funcionamiento anormal, de recarga a continuación de un impacto de una partícula de alta energía o SEU, mientras que la señal CS está inactiva (es decir de nivel lógico igual a 0), las señales Q y Ckx se seleccionan y aplican a las entradas Di y Cki de la báscula D FF a través de los dos multiplexores M1 y M2.

A continuación de un impacto de una partícula de alta energía SEU, la salida Qd de la báscula D FF cambia de estado mientras que el valor del dato inicialmente cargado se mantiene en retención en el circuito RC, es decir, Q no ha cambiado de estado.

15 El módulo XOR genera entonces un impulso Ckx que recarga con el frente ascendente, el valor del dato en retención, en la báscula FF. El tiempo de retención del circuito RC debe calcularse con el fin de mantener, durante la secuencia de recarga, la variación de tensión eléctrica de la señal Qrc en el intervalo Vih o Vil del circuito (en función de la tecnología utilizada).

Con el fin de respetar las limitaciones de tiempo, el sistema de corrección debe responder a la fórmula temporal siguiente:

20
$$t_{4min} + t_{5min} + t_{1min} > t_{2max} + t_{6max} - t_{retm\acute{a}x}(FF)$$

En la figura 4, los instantes descritos son los siguientes:

25 t1 representa el tiempo de propagación entre la entrada (señal DATA o Q) y la salida (señal Di) del multiplexor M1;
 t2 representa el tiempo de propagación entre una entrada (señal Ckx o CLK) y la salida (señal Cki) del multiplexor M2;
 t3 representa el tiempo de propagación entre la entrada (señal Cki) y la salida (señal Qd) de la báscula FF;
 t4 representa el tiempo de ascenso o de descenso de la tensión eléctrica del circuito RC (en el seno del intervalo Vih o Vil del disparador de Schmitt);
 t5 representa el tiempo de propagación entre la entrada (señal Qrc) y la salida (señal Q) del disparador B1 de Schmitt; t6 representa el tiempo de propagación entre una entrada (señal Qd o Q) y la salida (señal Ckx) del módulo XOR; y

30

tretmáx(FF) representa el tiempo de mantenimiento máximo entre la entrada (señal Di) y el frente activo del reloj (señal Cki) de la báscula FF.

Se ha de observar igualmente que con este sistema, la señal RST de reposición a cero debe tener una duración superior al tiempo de retención, para ser tenida en cuenta.

REIVINDICACIONES

1. Dispositivo de memoria que corrige automáticamente el efecto de colisiones de partículas de alta energía, que comprende una célula (CM) de memoria;
 - 5 - unos medios (MRET) de retención, durante un retardo determinado, de un umbral ejemplar de un valor (Qd) memorizado en dicha célula (CM) de memoria, **caracterizado porque** el dispositivo de memoria comprende además:
 - unos medios (MDET) de detección de un cambio de estado de dicha célula (CM) de memoria, por comparación del valor (Qd) memorizado en dicha célula (CM) de memoria con el valor en retención en dichos medios (MRET) de retención; y
 - 10 - unos medios (MG) de gestión que comprenden unos medios de multiplexado adaptados para determinar si un cambio de estado de dicha célula (CM) de memoria detectado es debido a una colisión de partículas de alta energía o es un cambio de estado controlado, los medios de multiplexado reciben en la entrada una salida del módulo (MDET) de detección, una señal (Q) que representa el valor situado en retención en el módulo (MRET) de retención durante el retardo determinado, un estado (Data) del dato a memorizar en la célula (MC) de memoria, así como una señal (CS) de validación de la carga de datos que acompañan a dicho estado (Data) confirmando un cambio de estado controlado del valor a memorizar en dicha célula de memoria y adaptados para, en el caso de que el cambio de estado de dicha célula de memoria detectado sea debido a una colisión de partículas de alta energía, controlar automáticamente una recarga del valor memorizado en dichos medios (MRET) de retención en dicha célula (CM) de memoria, permitiendo de ese modo evitar la intervención de un reloj de cadencia de refresco de los datos que pueda perturbar funciones de tipo de radiofrecuencia RF.
 - 20
2. Dispositivo según la reivindicación 1, en el que dicha célula (CM) de memoria comprende una báscula D (FF).
3. Dispositivo según la reivindicación 1 o 2, en el que dichos medios (MRET) de retención comprenden un circuito electrónico (RC) que comprende una resistencia eléctrica (R) y un condensador (C).
4. Dispositivo según la reivindicación 3, en el que dichos medios (MRET) de retención comprenden, además, un Disparador (B1) de Schmitt.
5. Dispositivo según una de las reivindicaciones 1 a 4, en el que dichos medios (MDET) de detección comprenden unos medios (XOR) de realización de una función "O exclusiva".
6. Dispositivo según una de las reivindicaciones 1 a 5, en el que dichos medios (MG) de gestión comprenden dos multiplexores (M1, M2).
- 30 7. Dispositivo según una de las reivindicaciones anteriores, en el que un valor memorizado es un valor booleano.
8. Sistema aeroespacial **caracterizado porque** comprende al menos un dispositivo de memoria según una de las reivindicaciones anteriores.
9. Procedimiento de corrección automática del efecto de colisiones de partículas de alta energía sobre un dispositivo de memorización que comprende las etapas que consisten en:
 - 35 - memorizar un dato,
 - mantener en retención, durante un retardo determinado, un umbral ejemplar del valor memorizado, **caracterizado por**
 - detectar un cambio de valor de dicho valor memorizado, por comparación del valor memorizado y del valor en retención, y
 - 40 - determinar mediante unos medios de gestión que comprenden medios de multiplexado si un cambio de estado del valor de dicho valor memorizado es debido a una colisión de partículas de alta energía o es un cambio controlado, los medios de multiplexado reciben en la entrada una salida del módulo (MDET) de detección, una señal (Q) que representa el valor situado en retención en el módulo (MRET) de retención durante el retardo determinado, un estado (Data) del dato a memorizar en la célula (MC) de memoria, así como una señal (CS) de validación de la carga de datos que acompañan a dicho estado (Data) confirmando un cambio controlado del valor a memorizar en dicha célula de memoria y, en el caso de que el cambio de valor de dicho valor memorizado sea debido a una colisión de partículas de alta energía, controlar automáticamente una recarga de dicho valor por el valor en retención, permitiendo de ese modo evitar la intervención de un reloj de cadencia de refresco de los datos que pueda perturbar funciones de tipo de radiofrecuencia RF.
 - 45

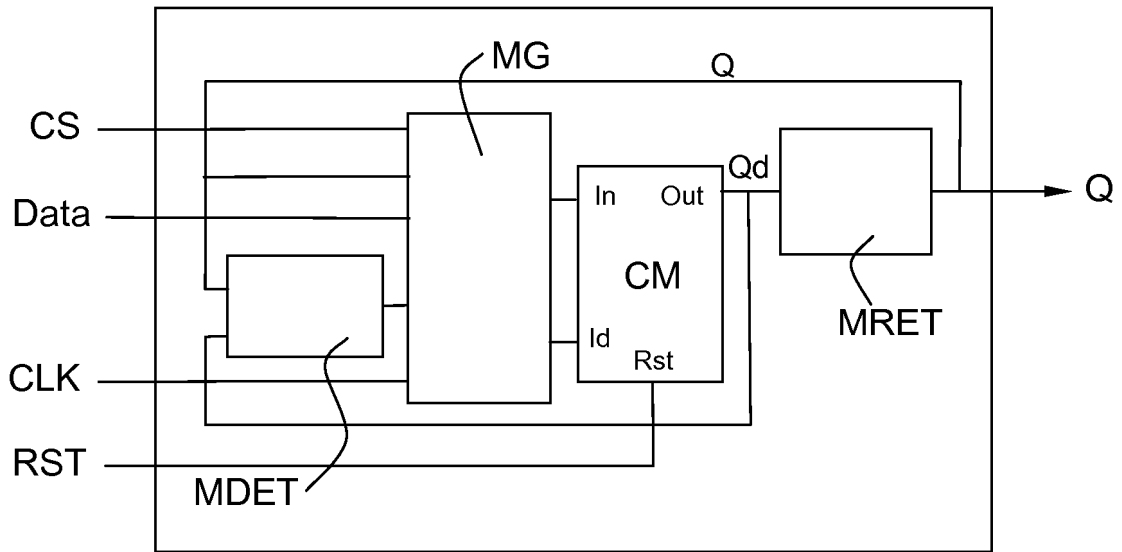


FIG.1

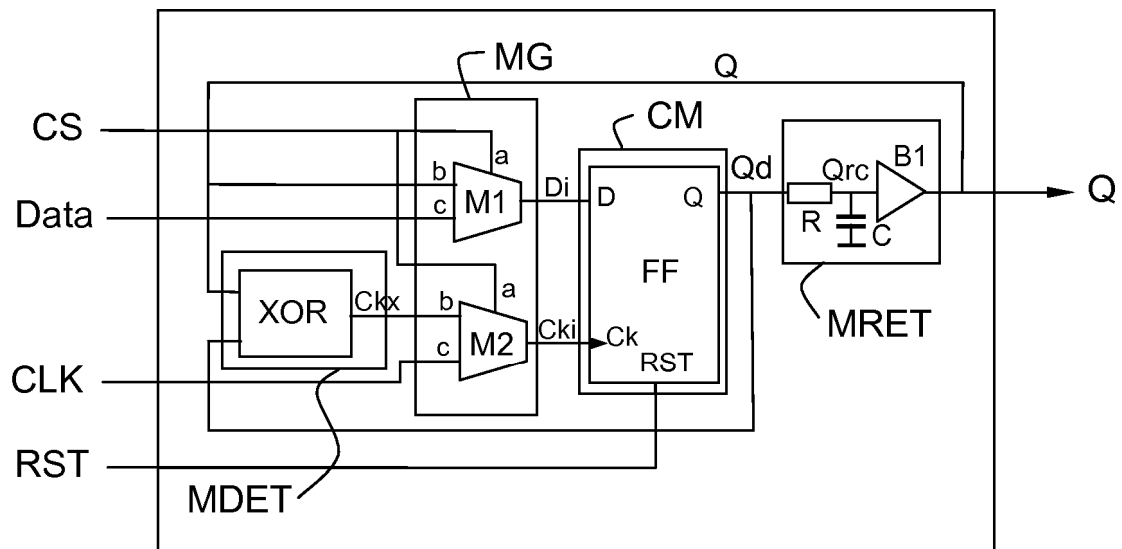


FIG.2

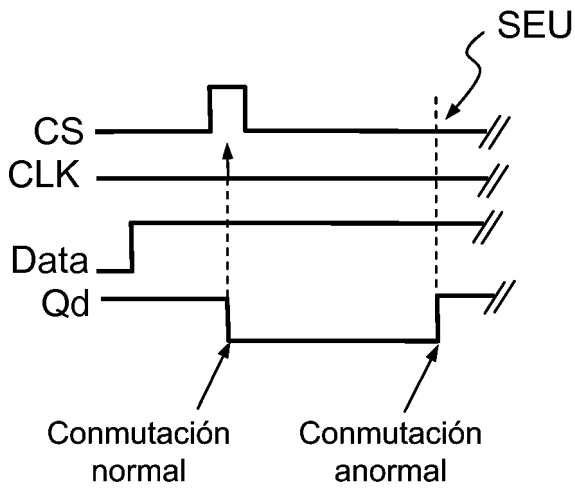


FIG.3a

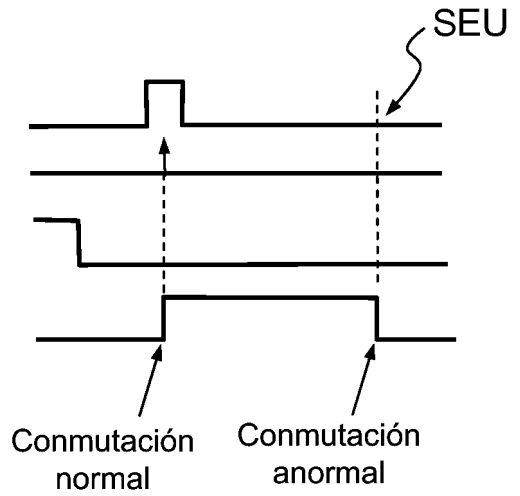


FIG.3b

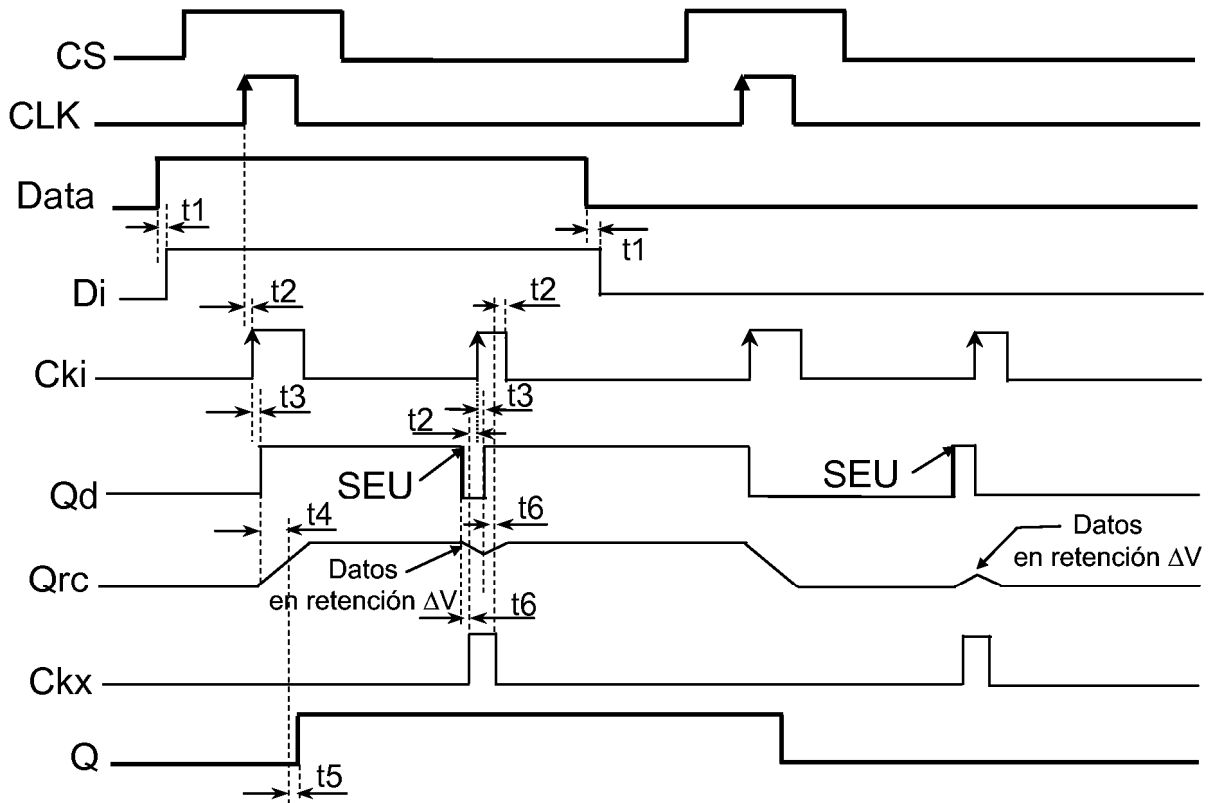


FIG.4