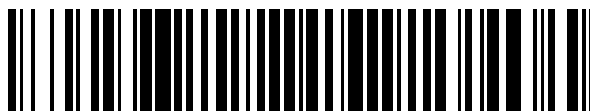


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 753 158**

51 Int. Cl.:

H03M 13/27 (2006.01)

H04L 27/00 (2006.01)

H04L 1/00 (2006.01)

H04L 27/26 (2006.01)

H04L 5/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.10.2008 E 12160231 (2)**

97 Fecha y número de publicación de la concesión europea: **25.09.2019 EP 2469715**

54 Título: **Aparato y método de procesamiento de datos**

30 Prioridad:

30.10.2007 GB 0721269

30.10.2007 GB 0721271

19.11.2007 GB 0722645

20.11.2007 GB 0722728

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
07.04.2020

73 Titular/es:

SATURN LICENSING LLC (100.0%)

25 Madison Avenue

New York, NY, US

72 Inventor/es:

TAYLOR, MATTHEW PAUL ATHOL;

ATUNGSIRI, SAMUEL ASANBENG y

WILSON, JOHN NICHOLAS

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 753 158 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato y método de procesamiento de datos

Campo de la invención

5 La presente invención se refiere a un aparato de procesamiento de datos, operable para mapear símbolos de datos recibidos desde un número predeterminado de señales de subportadoras de símbolos de multiplexación por división ortogonal de frecuencias (OFDM, *Orthogonal Frequency Division Multiplexing*) hacia un flujo de símbolos de salida.

Las realizaciones de la presente invención pueden proporcionar un receptor OFDM.

Antecedentes de la invención

10 El estándar de transmisión de video digital terrestre (DVB-T, *Digital Video Broadcasting-Terrestrial*) utiliza la multiplexación por división ortogonal de frecuencias (OFDM) para comunicar los datos que representan imágenes de video y sonido a los receptores, a través de una señal de comunicaciones de radiodifusión. Se sabe que existen dos modos para el estándar DVB-T, que se conocen como el modo 2k y el modo 8k. El modo 2k proporciona 2048 subportadoras, mientras que el modo 8k proporciona 8192 subportadoras. De manera similar, para el estándar de transmisión de video digital para terminales móviles/portátiles (DVB-H, *Digital Video Broadcasting-Handheld*), se proporcionó un modo 4k, en el que el número de subportadoras es 4096.

15 Para mejorar la integridad de los datos comunicados utilizando DVB-T o DVB-H, se proporciona un intercalador de símbolos, para intercalar los símbolos de datos de entrada cuando estos símbolos se asignan a las señales de la subportadora de un símbolo OFDM. Un intercalador de símbolos de este tipo comprende una memoria del intercalador, en combinación con un generador de direcciones. El generador de direcciones genera una dirección para cada uno de los símbolos de entrada, en donde cada dirección indica una de las señales de la subportadora del símbolo OFDM en la que el símbolo de datos ha de mapearse. Para el modo 2k y el modo 8k, se ha descrito una disposición en el estándar DVB-T para generar las direcciones destinadas a efectuar el mapeo. Del mismo modo, para el modo 4k del estándar DVB-H, se ha proporcionado una disposición para generar direcciones para el mapeo, y en la solicitud de patente europea 04251667.4, se describe un generador de direcciones para implementar este mapeo. El generador de direcciones comprende un registro de desplazamiento de realimentación lineal, que es operable para generar una secuencia de bits pseudoaleatorios y un circuito de permutación. El circuito de permutación permuta el orden del contenido del registro de desplazamiento de realimentación lineal para generar una dirección. La dirección proporciona una indicación de la ubicación en la memoria en la que el símbolo de datos recibido desde una de las subportadoras de OFDM debe almacenarse en la memoria del intercalador, para mapear los símbolos recibidos desde las señales de las subportadoras del símbolo OFDM hacia la corriente de datos de salida.

20 HORVATH ET. AL: "Una arquitectura novedosa, de alta velocidad, reconfigurable de desintercalador de símbolos de un desmapeador para DVB-T", IEEE CIRCUITS AND SYSTEMS, IEEE, ORLANDO, FL, vol. 4, 30 de mayo de 1999 (1999-05-30), páginas 382-385, DOI: 10.1109/ISCAS.1999.780022 ISBN: 978-0-7803-5471-5 propuso un nuevo algoritmo reconfigurable, de alta velocidad, para el desmapeo de señales, como así también, un símbolo reconfigurable de alto rendimiento y un desintercalador de bits que funciona en configuración con el desmapeador.

25 De acuerdo con un nuevo desarrollo del estándar de transmisión de video digital terrestre, conocido como DVB-T2, se ha propuesto ofrecer modos adicionales de comunicar datos. Por lo tanto, se presenta el problema técnico de lograr una implementación eficiente de un intercalador para cada modo, que ofrezca un buen rendimiento y, al mismo tiempo, que reduzca el costo de implementación.

Compendio de la invención

30 Varios aspectos y características de la presente invención se definen en las reivindicaciones adjuntas. Otros aspectos de la presente invención incluyen un método para mapear los símbolos recibidos desde un número predeterminado de señales de subportadoras de un símbolo multiplexado por división ortogonal de frecuencias (OFDM), así como un receptor.

Breve descripción de los dibujos

Las realizaciones de la presente invención se describirán ahora a modo de ejemplo, solamente con referencia a los dibujos adjuntos, en los que a partes similares se les asignan números de referencia correspondientes, y en las que:

35 La figura 1 es un diagrama de bloques esquemático de un transmisor OFDM codificado, que se puede usar, por ejemplo, con el estándar DVB-T2;

La figura 2 es un diagrama de bloques esquemático de partes del transmisor que se muestra en la figura 1, en el que un mapeador de símbolos y un generador de tramas ilustran la operación de un intercalador;

La figura 3 es un diagrama de bloques esquemático del intercalador de símbolos que se muestra en la figura 2;

La figura 4 es un diagrama de bloques esquemático de una memoria del intercalador que se muestra en la figura 3 y el correspondiente desintercalador de símbolos en el receptor;

La figura 5 es un diagrama de bloques esquemático de un generador de direcciones que se muestra en la figura 3, para el modo 16k;

5 La figura 6(a) es un diagrama que ilustra los resultados para un intercalador que utiliza el generador de direcciones que se muestra en la figura 5 para símbolos OFDM pares, y la figura 6(b) es un diagrama que ilustra los resultados de la simulación de diseño para símbolos OFDM impares, mientras que la figura 6(c) es un diagrama que ilustra resultados comparativos para un generador de direcciones que utiliza un código de permutación diferente para símbolos OFDM pares, y la figura 6(d) es un diagrama correspondiente para símbolos OFDM impares;

10 La figura 7 es un diagrama de bloques esquemático de un receptor OFDM, que se puede usar, por ejemplo, con el estándar DVB-T2;

La figura 8 es un diagrama de bloques esquemático de un desintercalador de símbolos que aparece en la figura 7;

15 La figura 9(a) es un diagrama que ilustra los resultados para un intercalador que utiliza el generador de direcciones que se muestra en la figura 5, para símbolos OFDM pares, y la figura 9(b) es un diagrama que ilustra los resultados para símbolos OFDM impares. Las figuras 9(a) y 9(b) muestran gráficos de la distancia en la salida del intercalador de las subportadoras que estaban adyacentes a la entrada del intercalador;

La figura 10 proporciona un diagrama de bloques esquemático del intercalador de símbolos que se muestra en la figura 3, que ilustra un modo operativo en el que el intercalado se realiza de acuerdo con un modo de intercalado impar solamente y

20 La figura 11 proporciona un diagrama de bloques esquemático del desintercalador de símbolos que se muestra en la figura 8, que ilustra el modo operativo en el que el intercalado se realiza de acuerdo con el modo de intercalado impar solamente.

Descripción de las realizaciones preferidas

25 Se ha propuesto que el número de modos que están disponibles dentro del estándar DVB-T2 se extienda para incluir un modo 1k, un modo 16k y un modo 32k. La siguiente descripción se proporciona para ilustrar el funcionamiento de un intercalador de símbolos de acuerdo con la presente técnica, aunque se apreciará que el intercalador de símbolos puede usarse con otros modos y otros estándares DVB.

30 La figura 1 brinda un ejemplo de un diagrama de bloques de un transmisor OFDM codificado, que se puede usar, por ejemplo, para transmitir imágenes de video y señales de audio de acuerdo con el estándar DVB-T2. En la figura 1, una fuente de programa genera datos para ser transmitidos por el transmisor COFDM [*Coded Orthogonal Frequency Division Multiplexing*, multiplexación por división ortogonal de frecuencias codificada]. Un codificador de video 2, un codificador de audio 4 y un codificador de datos 6 generan video, audio y otros datos a transmitir, que se introducen en un multiplexor de programas 10. La salida del multiplexor de programas 10 forma un flujo multiplexado con otra información requerida para comunicar el video, el audio y otros datos. El multiplexor 10 proporciona un flujo en un canal de conexión 12. Puede haber muchos flujos multiplexados de este tipo que se introducen en diferentes ramificaciones A, B, etc. Para simplificar, solo se describirá la ramificación A.

35 Como se muestra en la figura 1, un transmisor COFDM 20 recibe el flujo en un bloque de adaptación y dispersión de energía del multiplexor 22. El bloque de adaptación y dispersión de energía del multiplexor 22 aleatoriza los datos e introduce los datos apropiados en un codificador de corrección de errores hacia adelante 24, que realiza la codificación de corrección de errores del flujo. Se provee un intercalador de bits 26 para intercalar los bits de datos codificados que, para el ejemplo de DVB-T2, es la salida del codificador LDPC/BCH. La salida proveniente del intercalador de bits 26 se introduce en un bit, en el mapeador de constelaciones 28, que mapea grupos de bits en un punto de constelación, que debe utilizarse para transportar los bits de datos codificados. Las salidas desde el bit hacia el mapeador de constelaciones 28 son etiquetas de puntos de constelación que representan componentes reales e imaginarios. Las etiquetas de puntos de constelación representan símbolos de datos formados a partir de dos o más bits, según el esquema de modulación utilizado. Estos se denominarán celdas de datos. Estas celdas de datos se hacen pasar a través de un intercalador de tiempo 30, cuyo efecto es intercalar celdas de datos resultantes de múltiples palabras clave de LDPC.

40 Las celdas de datos son recibidas por un generador de tramas 32, con las celdas de datos producidas por la ramificación B, etc. en la figura 1, a través de otros canales 31. El generador de tramas 32 luego forma muchas celdas de datos en secuencias para ser transmitidas en los símbolos COFDM, donde un símbolo COFDM comprende varias celdas de datos, en donde cada celda de datos se mapea a una de las subportadoras. El número de subportadoras dependerá del modo operativo del sistema, que puede incluir uno de los siguientes: 1k, 2k, 4k, 8k, 16k o 32k, cada uno de los cuales proporciona un número diferente de subportadoras según, por ejemplo, a la siguiente tabla:

Modo	Subportadoras
1K	756
2K	1512
4K	3024
8K	6048
16K	12096
32K	24192

Número de subportadoras adaptadas del DVB-T/H

Así, en un ejemplo, el número de subportadoras para el modo 16k es mil doce mil noventa y seis. Para el sistema DVB-T2, el número de subportadoras por símbolo OFDM puede variar dependiendo del número de portadoras pilotos piloto y otras reservadas. Por lo tanto, en DVB-T2, a diferencia de DVB-T, el número de subportadoras para transportar datos no es fijo. Las compañías de radio/televisión pueden seleccionar uno de los modos operativos de 1k, 2k, 4k, 8k, 16k, 32k; cada uno proporciona un intervalo de subportadoras para datos por símbolo OFDM, siendo el máximo disponible para cada uno de estos modos de 1024, 2048, 4096, 8192, 16384, 32768 respectivamente. En DVB-T2, una trama de capa física se compone de muchos símbolos OFDM. Normalmente, la trama comienza con uno o más preámbulos o símbolos P2 OFDM, que luego son seguidos por una carga útil numérica que lleva símbolos OFDM. El final de la trama de la capa física está marcado por un símbolo de cierre de trama. Para cada modo operativo, el número de subportadoras puede ser diferente para cada tipo de símbolo. Además, esto puede variar para cada uno según si se selecciona la extensión de ancho de banda, si se habilita la reserva de tonos y según qué patrón de subportadora piloto se haya seleccionado. En tal sentido, es difícil generalizar respecto de un número específico de subportadoras por símbolo OFDM. Sin embargo, el intercalador de frecuencia para cada modo puede intercalar cualquier símbolo cuyo número de subportadoras sea inferior o igual al número máximo de subportadoras disponibles para el modo dado. Por ejemplo, en el modo 1k, el intercalador funcionaría para los símbolos cuyo número de subportadoras sea inferior o igual a 1024 y para el modo 16k, cuyo número de subportadoras sea inferior o igual a 16384.

La secuencia de celdas de datos que deben transportarse en cada símbolo COFDM se hace pasar luego al intercalador de símbolos 33. El símbolo COFDM es generado entonces mediante un bloque generador de símbolos COFDM 37, que introduce señales piloto y de sincronización provenientes de un formador de señales piloto e integradas 36. Un modulador OFDM 38 forma el símbolo OFDM en el dominio del tiempo que se introduce a un procesador de inserción de guarda 40 para generar un intervalo de guarda entre símbolos, y luego a un conversor digital a analógico 42 y finalmente a un amplificador de RF, dentro de un extremo frontal de RF 44 para la posible transmisión por el transmisor COFDM desde una antena 46.

Creación del modo 16k

Para crear un nuevo modo 16K, por ejemplo, deben definirse varios elementos, uno de los cuales es el intercalador de símbolos 16K 33. El mapeador bit a constelaciones 28, el intercalador de símbolos 33 y el generador de tramas 32 se muestran con más detalle en la figura 2.

Como se explicó anteriormente, la presente invención proporciona una instalación para proporcionar un mapeo casi óptimo de los símbolos de datos en las señales de subportadoras OFDM. De acuerdo con la técnica ejemplar, el intercalador de símbolos se provee para efectuar el mapeo óptimo de los símbolos de datos de entrada en las señales de subportadoras COFDM, de acuerdo con un código de permutación y un polinomio generador, que se ha verificado mediante análisis de simulación.

Como se muestra en la figura 2, se brinda una ilustración ejemplar más detallada del mapeador de bit a constelaciones de símbolos 28 y del generador de tramas 32 para ilustrar una realización ejemplar de la presente técnica. Los bits de datos recibidos desde el intercalador de bits 26 a través de un canal 62 se agrupan en conjuntos de bits, para ser mapeados a una celda de datos, de acuerdo con un número de bits por símbolo proporcionado por el esquema de modulación. Los grupos de bits, que forman una palabra de datos, se introducen en paralelo a través de los canales de datos 64 en un procesador de mapeo 66. El procesador de mapeo 66 selecciona entonces uno de los símbolos de datos, de acuerdo con un mapeo preasignado. El punto de constelación está representado por un componente real y un componente imaginario, que se provee al canal de salida 29, como una de un conjunto de entradas al generador de tramas 32.

El generador de tramas 32 recibe las celdas de datos desde el bit hasta el mapeador de constelaciones 28, a través del canal 29, junto con las celdas de datos de los otros canales 31. Después de generar una trama de muchas secuencias de celdas COFDM, las celdas de cada símbolo COFDM se escriben en una memoria del intercalador 100 y se recuperan de la memoria del intercalador 100, de acuerdo con las direcciones de escritura y las direcciones de lectura generadas por un generador de direcciones 102. De acuerdo con el orden de escritura de ingreso y recuperación, se logra el intercalado de las celdas de datos, generando las direcciones apropiadas. La operación del generador de direcciones 102 y la memoria del intercalador 100 se describirá con más detalle en breve, con referencia a las figuras 3, 4 y 5. Las celdas de datos intercalados se combinan con los símbolos piloto y de

sincronización recibidos desde el formador de señales piloto e integradas 36 hacia un generador de símbolos OFDM 37, para formar el símbolo COFDM, que se introduce en el modulador OFDM 38, como se explicó anteriormente.

Intercalador

5 La figura 3 brinda un ejemplo de las partes del intercalador de símbolos 33, que ilustra la técnica actual para intercalar símbolos. En la figura 3, las celdas de datos de entrada provenientes del generador de tramas 32 se escriben en la memoria del intercalador 100. Las celdas de datos se escriben en la memoria del intercalador 100 de acuerdo con una dirección de escritura suministrada desde el generador de direcciones 102 al canal 104, y se recuperan de la memoria del intercalador 100, de acuerdo con una dirección de lectura suministrada desde el generador de direcciones 102 a un canal 106. El generador de direcciones 102 genera la dirección de escritura y la dirección de lectura como se explica a continuación, dependiendo de si el símbolo COFDM es par o impar, lo cual se identifica a partir de una señal introducida desde un canal 108, y dependiendo de un modo seleccionado, lo cual se identifica a partir de una señal introducida desde un canal 110. Como se explicó, el modo puede ser uno de los siguientes: un modo 1k, un modo 2k, un modo 4k, un modo 8k, un modo 16k o un modo 32k. Como se explicará a continuación, la dirección de escritura y la dirección de lectura se generan de manera diferente para los símbolos pares e impares, como se explica con referencia a la figura 4, que ofrece un ejemplo de implementación de la memoria del intercalador 100. Como se explicará, el intercalado se realiza de manera diferente para símbolos COFDM pares e impares, que son los primeros y segundos símbolos COFDM sucesivos.

En el ejemplo que se representa en la figura 4, se muestra que la memoria del intercalador comprende una parte superior 100, que ilustra el funcionamiento de la memoria del intercalador en el transmisor, y una parte inferior 340, que ilustra el funcionamiento de la memoria del desintercalador en el receptor. El intercalador 100 y el desintercalador 340 se muestran juntos en la figura 4, para facilitar la comprensión de su funcionamiento. Como se muestra en la figura 4, una representación de la comunicación entre el intercalador 100 y el desintercalador 340, a través de otros dispositivos y por medio de un canal de transmisión, se ha simplificado y representado como una sección 140, entre el intercalador 100 y el desintercalador 340. La operación del intercalador 100 se describe en los siguientes párrafos:

Aunque la figura 4 ofrece una ilustración de solo cuatro celdas de datos de entrada, en un ejemplo de cuatro señales de subportadoras de un símbolo COFDM, se apreciará que la técnica ilustrada en la figura 4 se puede extender a un mayor número de subportadoras, como 756 para el modo 1k 1512 para el modo 2k, 3024 para el modo 4k y 6048 para el modo 8k, 12096 para el modo 16k y 24192 para el modo 32k.

30 El direccionamiento de entrada y salida de la memoria del intercalador 100 que se muestra en la figura 4 se muestra para los símbolos pares e impares. Para un símbolo COFDM par, las celdas de datos se toman del canal de entrada 77 y se escriben en la memoria del intercalador 124.1, de acuerdo con una secuencia de direcciones 120 generadas para cada símbolo COFDM por el generador de direcciones 102. Las direcciones de escritura se aplican para el símbolo par de modo que, como se ilustra, el intercalado se efectúe mediante la mezcla de las direcciones de escritura. Por lo tanto, para cada símbolo intercalado $y(h(q)) = y'(q)$.

Para los símbolos impares, se utiliza la misma memoria del intercalador 124.2. Sin embargo, como se muestra en la figura 4 para el símbolo impar, el orden de escritura de ingreso 132 está en la misma secuencia de direcciones que se usó para recuperar el símbolo par 126 anterior. Esta característica permite que las implementaciones del intercalador de símbolos pares e impares solo usen una memoria del intercalador 100, siempre que la operación de recuperación para una dirección dada se realice antes de la operación de escritura de ingreso. A las celdas de datos escritas en la memoria del intercalador 124 durante los símbolos impares se las recupera e ingresa en una secuencia 134 generada por el generador de direcciones 102 para el siguiente símbolo COFDM par, y así sucesivamente. Por lo tanto, solo se genera una dirección por símbolo, en donde el ingreso y la recuperación para el símbolo COFDM par/impar se ejecutan simultáneamente.

45 En resumen, como se representa en la figura 4, una vez que se ha calculado el conjunto de direcciones $H(q)$ para todas las subportadoras activas, se procesa el vector de entrada $Y' = (y_0', y_1', y_2' \dots y_{N_{\text{máx}}-1}')$ para producir el vector intercalado $Y = (y_0, y_1, y_2 \dots y_{N_{\text{máx}}-1})$ definido por:

$$y_{H(q)} = y'_q \text{ para los símbolos pares, para } q = 0, \dots, N_{\text{máx}}-1$$

$$y_q = y'_{H(q)} \text{ para símbolos impares, para } q = 0, \dots, N_{\text{máx}}-1$$

50 En otras palabras, para los símbolos OFDM pares, las palabras de entrada se escriben de forma permutada en una memoria y se vuelven a leer de manera secuencial, mientras que para los símbolos impares, se escriben de forma secuencial y se las vuelve a leer permutadas. En el caso anterior, la permutación $H(q)$ se define en la siguiente tabla:

q	0	1	2	3
H(q)	1	3	0	2

Tabla 1: permutación para el caso simple donde $N_{\text{máx}} = 4$

Como se muestra en la figura 4, el desintercalador 340 funciona para revertir el intercalado aplicado por el intercalador 100, aplicando el mismo conjunto de direcciones generado por un generador de direcciones equivalente, pero aplicando las direcciones de escritura de ingreso y recuperación de datos en sentido inverso. En tal sentido, para los símbolos pares, las direcciones de escritura de ingreso 342 están en orden secuencial, mientras que las direcciones de recuperación de datos 344 son proporcionadas por el generador de direcciones. De forma correspondiente, para los símbolos impares, el orden de escritura de ingreso 346 se determina a partir del conjunto de direcciones generado por el generador de direcciones, mientras que la recuperación de datos 348 está en orden secuencial.

Generación de direcciones para el modo 16k

En la figura 5, se representa un diagrama de bloques esquemático del algoritmo utilizado para generar la función de permutación H(q) para el modo 16K.

En la figura 5, se muestra una implementación del generador de direcciones 102 para el modo 16k. En la figura 5, un registro de desplazamiento de realimentación lineal está formado por trece etapas de registro 200 y una puerta xor 202, que está conectada a las etapas del registro de desplazamiento 200, de acuerdo con un polinomio generador. Por lo tanto, de acuerdo con el contenido del registro de desplazamiento 200, se proporciona un bit siguiente del registro de desplazamiento desde la salida de la puerta xor 202, por cifrado xor del contenido de los registros de desplazamiento R[0], R[1], R[4], R[5], R[9], R[11], de acuerdo con el polinomio generador:

$$R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$$

De acuerdo con el polinomio generador, se genera una secuencia de bits pseudoaleatorios a partir del contenido del registro de desplazamiento 200. Sin embargo, para generar una dirección para el modo 16k como se ilustra, se proporciona un circuito de permutación 210, que permuta efectivamente el orden de los bits dentro del registro de desplazamiento 200.1, desde un orden $R'_{i[r]}$ hasta un orden $R_{i[r]}$ en la salida del circuito de permutación 210. Trece bits de la salida del circuito de permutación 210 se introducen luego en un canal de conexión 212, al que se agrega un bit más significativo a través de un canal 214, que es proporcionado por un circuito de conmutación 218. Por lo tanto, se genera una dirección de catorce bits en el canal 212. Sin embargo, para asegurar la autenticidad de una dirección, un circuito de verificación de direcciones 216 analiza la dirección generada, para determinar si excede un valor máximo predeterminado. El valor máximo predeterminado puede corresponder al número máximo de señales de subportadoras, que están disponibles para los símbolos de datos dentro del símbolo COFDM, disponibles para el modo que se está utilizando. Sin embargo, el intercalador para el modo 16k también puede usarse para otros modos, de manera que el generador de direcciones 102 también pueda usarse para el modo 2k, el modo 4k, el modo 8k y el modo 16k, ajustando en consecuencia el número de direcciones máximas válidas. El generador de direcciones del modo 16K también podría usarse para el modo 32K, generando un primer conjunto de direcciones de hasta 16K, y luego generando un segundo conjunto de direcciones con un desplazamiento fijo, para mapear símbolos de datos en las portadoras restantes, desde un espacio de dirección de 16K hasta uno de 32K.

Si la dirección generada excede el valor máximo predeterminado, entonces la unidad de verificación de direcciones 216 genera una señal de control, que se introduce, a través de un canal de conexión 220, en una unidad de control 224. Si la dirección generada excede el valor máximo predeterminado, esta dirección se rechaza y vuelve a generarse una nueva dirección para el símbolo particular.

Para el modo 16k, se define una palabra ($N_r - 1$) bit, R'_i , en la que $N_r = \log_2 M_{\text{máx}}$, en donde $M_{\text{máx}} = 16384$, usando un LFSR (*Linear Feedback Shift Register*, Registro de desplazamiento de retroalimentación lineal).

Los polinomios utilizados para generar esta secuencia son:

$$\text{Modo 16K: } R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$$

donde i varía de 0 a $M_{\text{máx}} - 1$

Una vez que se ha generado una palabra R'_i , tal palabra R'_i , pasa por una permutación para producir otra palabra ($N_r - 1$) bit, llamada R_i . R_i deriva de R'_i por las permutaciones de bits que se indican a continuación:

Posiciones de bits R'_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bits R_i	8	4	3	2	0	11	1	5	12	10	6	7	9

Permutación de bits para el modo 16K

A modo de ejemplo, esto significa que para el modo 16K, el bit número 12 de R_i es enviado en la posición de bit número 8 de R_i .

La dirección $H(q)$ se infiere entonces a partir de R_i mediante la siguiente ecuación:

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

La parte $(i \bmod 2) \cdot 2^{N_r-1}$ de la ecuación anterior se representa en la figura 5 mediante el bloque de conmutación T 218.

Luego se realiza una verificación de la dirección en $H(q)$ para constatar que la dirección generada esté dentro del intervalo de direcciones aceptables: si $(H(q) < N_{m\acute{a}x})$, donde, $N_{m\acute{a}x} = 12096$, por ejemplo, en el modo 16K, entonces la dirección es válida. Si la dirección no es válida, se informa a la unidad de control y esta intentará generar una nueva $H(q)$ incrementando el índice i .

La función del bloque de conmutación es asegurarse de que no generemos una dirección que exceda $N_{m\acute{a}x}$ dos veces seguidas. En efecto, si se generó un valor excedente, esto significa que el MSB (es decir, el bit basculador) de la dirección $H(q)$ era uno. Por lo tanto, el siguiente valor generado tendrá un MSB establecido en cero, asegurándose de producir una dirección válida.

Las siguientes ecuaciones resumen el comportamiento general y ayudan a comprender la estructura del bucle de este algoritmo:

$q = 0;$

para $(i = 0; i < M_{m\acute{a}x}; i = i + 1)$

$$\{ H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j;$$

si $(H(q) < N_{m\acute{a}x}) q = q + 1; \}$

Análisis en respaldo del generador de direcciones para el modo 16k

La selección del generador polinomial y el código de permutación explicado anteriormente para el generador de direcciones 102 para el modo 16k se han identificado después del análisis de simulación del rendimiento relativo del intercalador. El rendimiento relativo del intercalador se ha evaluado utilizando una capacidad relativa del intercalador para separar símbolos sucesivos o una "calidad de intercalado". Como ya se explicó, efectivamente el intercalado debe realizarse tanto para símbolos pares como impares, a fin de utilizar una sola memoria del intercalador. La medida relativa de la calidad del intercalador se determina definiendo una distancia D (en número de subportadoras). Se elige un criterio C para identificar un número de subportadoras que se encuentran a una distancia $\leq D$ en la salida del intercalador, que estaban a una distancia $\leq D$ en la entrada del intercalador, ponderándose el número de subportadoras para cada distancia D con respecto a la distancia relativa. El criterio C se evalúa tanto para símbolos COFDM pares como impares. El hecho de minimizar C produce un intercalador de calidad superior.

$$C = \sum_1^{d=D} N_{even}(d) / d + \sum_1^{d=D} N_{odd}(d) / d$$

en la cual: $N_{even}(d)$ y $N_{odd}(d)$ son el número de subportadoras en un símbolo par e impar respectivamente, en la salida del intercalador, que permanecen dentro del espacio de la subportadora d entre sí.

El análisis del intercalador identificado anteriormente para el modo 16k, para un valor de $D = 5$, se muestra en la figura 6(a) para los símbolos COFDM pares, y en la figura 6(b) para el símbolo COFDM impar. Según el análisis anterior, el valor de C para el código de permutación identificado anteriormente para el modo 16k produjo un valor de $C = 22,43$, es decir que el número ponderado de subportadoras con símbolos que están separados por cinco o menos en la salida, de acuerdo con a la ecuación anterior, fue 22,43.

Se brinda un análisis correspondiente para un código de permutación alternativo para símbolos COFDM pares en la figura 6(c) y para símbolos COFDM impares, en la figura 6(d). Como se puede ver en comparación con los

resultados ilustrados en las figuras 6(a) y 6(b), hay más componentes presentes que representan símbolos separados por pequeñas distancias como $D = 1$ y $D = 2$, en comparación con los resultados mostrados en las figuras 6(a) y 6(b), que ilustran que el código de permutación identificado anteriormente para el intercalador de símbolos de modo 16k produce un intercalador de calidad superior.

5 Códigos alternativos de permutación

Se ha encontrado que los siguientes nueve códigos posibles alternativos (posiciones de bit $[n]R_i$, donde $n = 1$ a 9) proporcionan un intercalador de símbolos con una buena calidad, según se ha determinado por el criterio C identificado con anterioridad.

Posiciones de bit R_i	12	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bit $[1]R_i$	7	12	5	8	9	1	2	3	4	10	6	11	0
Posiciones de bit $[2]R_i$	8	5	4	9	2	3	0	1	6	11	7	12	10
Posiciones de bit $[3]R_i$	7	5	6	9	11	2	3	0	8	4	1	12	10
Posiciones de bit $[4]R_i$	11	5	10	4	2	1	0	7	12	8	9	6	3
Posiciones de bit $[5]R_i$	3	9	4	10	0	6	1	5	8	11	7	2	12
Posiciones de bit $[6]R_i$	4	6	3	2	0	7	1	5	8	10	12	9	11
Posiciones de bit $[7]R_i$	10	4	3	2	1	8	0	6	7	9	11	5	12
Posiciones de bit $[8]R_i$	10	4	11	3	7	1	5	0	2	12	8	6	9
Posiciones de bit $[9]R_i$	2	4	11	9	0	10	1	7	8	6	12	3	5

Permutación de bits para el modo 16K

10 Receptor

La figura 7 proporciona una ilustración ejemplar de un receptor que puede usarse con la técnica actual. Como se muestra en la figura 7, una antena 300 recibe una señal COFDM y un sintonizador 302 la detecta y la convierte a una forma digital mediante un conversor analógico a digital 304. Un procesador de eliminación de intervalos de guarda 306 elimina el intervalo de protección de símbolo COFDM recibido, antes de que se recuperen los datos del símbolo COFDM utilizando un procesador de Transformada Rápida de Fourier (FFT, *Fast Fourier Transform*) 308 en combinación con un estimador de canal y corrección 310, en cooperación con una unidad de decodificación de señales integradas 311, de acuerdo con técnicas conocidas. Los datos desmodulados se recuperan de un mapeador 312 y se introducen en un desintercalador de símbolos 314, que funciona para efectuar el mapeo inverso del símbolo de datos recibido para regenerar un flujo de datos de salida con los datos desintercalados.

20 El desintercalador de símbolos 314 se forma a partir de un aparato de procesamiento de datos, como se muestra en la figura 7, con una memoria del intercalador 540 y un generador de direcciones 542. La memoria del intercalador es como la que se muestra en la figura 4 y funciona como ya se explicó anteriormente, para efectuar el desintercalado utilizando conjuntos de direcciones generadas por el generador de direcciones 542. El generador de direcciones 542 se forma como se muestra en la figura 8 y está dispuesto para generar direcciones correspondientes para mapear los símbolos de datos recuperados de cada una de las señales de subportadoras COFDM dirigiéndolas hacia un flujo de datos de salida.

Las partes restantes del receptor COFDM que se muestra en la figura 7 se proporcionan para efectuar la decodificación de corrección de errores 318, a fin de corregir errores y recuperar una estimación de los datos fuente.

30 Una ventaja que ofrece la técnica actual, tanto para el receptor como para el transmisor, reside en que un intercalador de símbolos y un desintercalador de símbolos que funcionan en los receptores y transmisores se pueden intercambiar entre los modos 1k, 2k, 4k, 8k, 16k y 32k mediante al cambiar los polinomios generadores y el orden de permutación. Por lo tanto, el generador de direcciones 542 que se muestra en la figura 8 incluye una

entrada 544, que proporciona una indicación del modo, así como una entrada 546 que indica si hay símbolos COFDM impares/pares. Por lo tanto, se brinda una implementación flexible porque es posible formar un intercalador y un desintercalador de símbolos como se muestra en las figuras 3 y 8, con un generador de direcciones como se ilustra en la figura 5. El generador de direcciones se puede adaptar entonces a los diferentes modos cambiando a los polinomios generadores y los órdenes de permutación indicados para cada uno de los modos. Por ejemplo, esto puede efectuarse utilizando un cambio de *software*. De un modo alternativo, en otras realizaciones, una señal integrada que indica el modo de la transmisión DVB-T2 puede detectarse en el receptor en la unidad de procesamiento de señalización integrada 311 y usarse para configurar automáticamente el desintercalador de símbolos de acuerdo con el modo detectado.

- 5
- 10 Alternativamente, como se mencionó anteriormente, se pueden usar diferentes intercaladores con diferentes modos, simplemente adaptando la dirección válida máxima de acuerdo con el modo que se está usando.

Uso óptimo de los intercaladores impares

Como se muestra en la figura 4, dos procesos de intercalado de símbolos, uno para los símbolos COFDM pares y otro para los símbolos COFDM impares permiten reducir la cantidad de memoria utilizada durante el intercalado. En el ejemplo que se muestra en la figura 4, el orden de la escritura de ingreso para el símbolo impar es el mismo que el orden de recuperación para el símbolo par, por lo tanto, mientras se lee un símbolo impar de la memoria, se puede escribir un símbolo par en la ubicación donde se acaba de leer; posteriormente cuando ese símbolo par se lea de la memoria, el siguiente símbolo impar se podrá escribir en la ubicación donde se acaba de leer.

- 15
- 20 Como se mencionó con anterioridad, durante un análisis experimental del rendimiento de los intercaladores (utilizando el criterio C como se definió anteriormente) y, por ejemplo, como se muestra en la figura 9(a) y en la figura 9(b), se ha descubierto que los esquemas de intercalado diseñados para los intercaladores de símbolos 2k y 8k para DVB-T y el intercalador de símbolos 4k para DVB-H funcionan mejor para símbolos impares que para los símbolos pares. Por lo tanto, a partir de los resultados de la evaluación de rendimiento de los intercaladores, por ejemplo, como se ilustra en las figuras 9(a) y 9(b), se ha revelado que los intercaladores impares funcionan mejor que los intercaladores pares. Esto se puede ver comparando la figura 9(a), que muestra los resultados para un intercalador para los símbolos pares, y la figura 6(b), que ilustra los resultados para los símbolos impares: se puede ver que la distancia promedio en la salida del intercalador de las subportadoras que estaban adyacentes a la entrada del intercalador es mayor para un intercalador para símbolos impares que para un intercalador para los símbolos pares.

- 30 Como se entenderá, la cantidad de memoria del intercalador necesaria para implementar un intercalador de símbolos depende de la cantidad de símbolos de datos que se mapearán a los símbolos de portadora COFDM. Por lo tanto, un intercalador de símbolos de modo 16k requiere la mitad de la memoria necesaria para implementar un intercalador de símbolos de modo 32k y, de manera similar, la cantidad de memoria requerida para implementar un intercalador de símbolos de 8k es la mitad de la requerida para implementar un intercalador de 16k. Por lo tanto, un transmisor o receptor que esté dispuesto para implementar un intercalador de símbolos de un modo, que establece el número máximo de símbolos de datos que pueden transmitirse por símbolo OFDM, entonces ese receptor o transmisor incluirá memoria suficiente para implementar dos procesos de intercalado impares para cualquier otro modo, lo que proporciona la mitad o menos de la mitad del número de subportadoras por símbolo OFDM en ese modo máximo dado. Por ejemplo, un receptor o transmisor que incluya un intercalador de 32K tendrá suficiente memoria para realizar dos procesos de intercalado impares de 16K, cada uno con su propia memoria de 16K.

- 35
- 40 En consecuencia, para aprovechar el mejor rendimiento del proceso de intercalado impar, se puede disponer un intercalador de símbolos capaz de adecuarse a múltiples modos de modulación, de modo que solo se utilice un proceso de intercalado de símbolos impar si está en un modo que comprenda la mitad o menos de la mitad del número de subportadoras en un modo máximo, que represente el número máximo de subportadoras por símbolo OFDM. Este modo máximo, por lo tanto, establece el tamaño máximo de memoria. Por ejemplo, en un transmisor/receptor apto para el modo 32K, cuando se opera en un modo con menos portadoras (es decir, 16K, 8K, 4K o 1K), en lugar de emplear procesos de intercalado de símbolos par e impar separados, se podrían usar dos intercaladores impares.

- 45
- 50 Una ilustración de una adaptación del intercalador de símbolos 33, que se muestra en la figura 3, cuando se intercalan símbolos de datos de entrada en las subportadoras de símbolos OFDM solo en el modo de intercalado impar, se muestra en la figura 10. El intercalador de símbolos 33.1 corresponde exactamente al intercalador de símbolos 33, como se muestra en la figura 3, excepto que el generador de direcciones 102.1 está adaptado para realizar solo el proceso de intercalado impar. Para el ejemplo que se muestra en la figura 10, el intercalador de símbolos 33.1 está funcionando en un modo en el que el número de símbolos de datos que se pueden transportar por símbolo OFDM es menor que la mitad del número máximo que puede ser transportado por un símbolo OFDM en un modo operativo con el mayor número de subportadoras por símbolo OFDM. En tal sentido, el intercalador de símbolos 33.1 se ha dispuesto para dividir la memoria del intercalador 100. Para la presente ilustración que se muestra en la figura 10, la memoria del intercalador 100 se divide en dos partes 401, 402. Como una ilustración del intercalador de símbolos 33.1 que opera en un modo en el que los símbolos de datos se asignan a los símbolos OFDM usando el proceso de intercalado impar, la figura 10 proporciona una vista ampliada de cada mitad de la

- 60

memoria del intercalador 401, 402. La vista ampliada proporciona una ilustración del modo de intercalado impar, como se representa para el lado del transmisor para los cuatro símbolos A, B, C, D reproducidos de la figura 4. Por lo tanto, como se muestra en la figura 10, para los conjuntos sucesivos de primeros y segundos símbolos de datos, los símbolos de datos se escriben en la memoria del intercalador 401, 402 en un orden secuencial y se recuperan en un orden permutado, de acuerdo con las direcciones generadas por el generador de direcciones 102, como se explicó anteriormente. Así, como se ilustra en la figura 10, dado que se está realizando un proceso de intercalado impar para los conjuntos sucesivos de primeros y segundos conjuntos de símbolos de datos, la memoria del intercalador debe dividirse en dos partes. Los símbolos de un primer conjunto de símbolos de datos se escriben en la primera mitad de la memoria 401 del intercalador, y los símbolos de un segundo conjunto de datos se escriben en una segunda parte de la memoria 402 del intercalador, porque el intercalador de símbolos ya no puede reutilizar las mismas partes de la memoria del intercalador de símbolos que puede aprovechar cuando opera en un modo de intercalado impar y par.

En la figura 11 se muestra un ejemplo correspondiente del intercalador en el receptor, que aparece en la figura 8 pero que está adaptado para operar con un proceso de intercalado impar solo. Como se muestra en la figura 11, la memoria 540 del intercalador se divide en dos mitades 410, 412 y el generador de direcciones 542 está adaptado para escribir símbolos de datos en la memoria del intercalador y leer los símbolos de datos leídos de la memoria del intercalador e ingresarlos a las partes respectivas de la memoria 410, 402 para los conjuntos sucesivos de símbolos de datos, a fin de implementar un proceso de intercalado de impares solamente. Por lo tanto, en correspondencia con la representación que se muestra en la figura 10, la figura 11 muestra el mapeo del proceso de intercalado que se realiza en el receptor y se ilustra en la figura 4, como una vista ampliada que opera para la primera y la segunda mitades de la memoria de intercalado 410, 412. Así, un primer conjunto de símbolos de datos se escriben en una primera parte de la memoria del intercalador 410, en un orden permutado definido de acuerdo con las direcciones generadas por el generador de direcciones 342 como se ilustra por el orden de escritura en los símbolos de datos que proporciona una secuencia de escritura de 1, 3, 0, 2. Tal como se ilustra, los símbolos de datos se leen de la primera parte de la memoria del intercalador 410 en un orden secuencial, recuperando así la secuencia original A, B, C, D.

Correspondientemente, un segundo conjunto subsiguiente de símbolos de datos, que se recuperan de un símbolo OFDM sucesivo, se escriben en la segunda mitad de la memoria del intercalador 412, de acuerdo con las direcciones generadas por el generador de direcciones 342, en un orden permutado y se recuperan e ingresan en el flujo de datos de salida en un orden secuencial.

En un ejemplo, las direcciones generadas para que un primer conjunto de símbolos de datos se escriba en la primera mitad de la memoria del intercalador 410 pueden reutilizarse para escribir un segundo conjunto de símbolos de datos subsiguientes en la memoria de intercalador 412. En consecuencia, el transmisor también puede reutilizar direcciones generado para una mitad del intercalador para un primer conjunto de símbolos de datos, para leer un segundo conjunto de símbolos de datos que se han escrito en la segunda mitad de la memoria en orden secuencial.

Uso de una secuencia de permutaciones

En un ejemplo, el generador de direcciones puede aplicar un código de permutación diferente de un conjunto de códigos de permutación para símbolos OFDM sucesivos. El uso de una secuencia de permutaciones en el generador de direcciones del intercalador reduce la probabilidad de que algún bit de entrada de datos al intercalador no siempre module la misma subportadora en el símbolo OFDM. En otro ejemplo, podrían usarse dos generadores de direcciones, uno que genere direcciones, para el primer conjunto de símbolos de datos y la primera mitad de la memoria, y el otro que genere una secuencia diferente de direcciones, para el segundo conjunto de símbolos de datos y la segunda mitad de la memoria. Los dos generadores de direcciones pueden diferir en su elección del código de permutación de la tabla anterior de buenas permutaciones, por ejemplo.

Por ejemplo, podría usarse una secuencia cíclica, para que se use un código de permutación diferente en un conjunto de códigos de permutación en una secuencia, para los sucesivos símbolos OFDM y que luego se repita. Esta secuencia cíclica podría ser, por ejemplo, de una longitud de dos o cuatro. Para el ejemplo del intercalador de símbolos 16K, una secuencia de dos códigos de permutación que se alternan en ciclos por cada símbolo OFDM podría ser, por ejemplo:

8 4 3 2 0 1 1 1 5 1 2 1 0 6 7 9

7 9 5 3 1 1 1 4 0 2 1 2 1 0 8 6

Mientras que una secuencia de cuatro códigos de permutación podría ser la siguiente:

8 4 3 2 0 1 1 1 5 1 2 1 0 6 7 9
 7 9 5 3 1 1 1 4 0 2 1 2 1 0 8 6
 6 1 1 7 5 2 3 0 1 1 0 8 1 2 9 4
 5 1 2 9 0 3 1 0 2 4 6 7 8 1 1 1

La conmutación de un código de permutación a otro podría efectuarse en respuesta a un cambio en la señal impar/par indicada en el canal de control 108. En respuesta, la unidad de control 224 cambia el código de permutación en el circuito de códigos de permutación 210, a través de la línea de control 111.

- 5 Para el ejemplo de un intercalador de símbolos 1k, dos códigos de permutación podrían ser los siguientes:

4 3 2 1 0 5 6 7 8
 3 2 5 0 1 4 7 8 6

mientras que cuatro códigos de permutación podrían ser los siguientes:

4 3 2 1 0 5 6 7 8
 3 2 5 0 1 4 7 8 6
 7 5 3 8 2 6 1 4 0
 1 6 8 2 5 3 4 0 7

- 10 Otras combinaciones de secuencias pueden ser posibles para los modos de portadoras 2k, 4k y 8k o incluso, para el modo de portadora de 0,5k. Por ejemplo, los siguientes códigos de permutación para cada uno de los modos 0,5k, 2k, 4k y 8k proporcionan una buena descorrelación de símbolos y se pueden usar cíclicamente para generar la compensación para la dirección generada por un generador de direcciones para cada uno de los modos respectivos:

Modo 2k:

0 7 5 1 8 2 6 9 3 4 *
 4 8 3 2 9 0 1 5 6 7
 8 3 9 0 2 1 5 7 4 6
 7 0 4 8 3 6 9 1 5 2

- 15

Modo 4k:

7 1 0 5 8 1 2 4 9 0 3 6 **
 6 2 7 1 0 8 0 3 4 1 9 5
 9 5 4 2 3 1 0 1 0 6 8 7
 1 4 1 0 3 9 7 2 6 5 0 8

Modo 8k:

5 1 1 3 0 1 0 8 6 9 2 4 1 7 *
 1 0 8 5 4 2 9 1 0 6 7 3 1 1
 1 1 6 9 8 4 7 2 1 0 1 0 5 3
 8 3 1 1 7 9 1 5 6 4 0 2 1 0

- 20 Para los códigos de permutación indicados anteriormente, los dos primeros podrían usarse en un ciclo de dos secuencias, mientras que los cuatro podrían usarse para un ciclo de cuatro secuencias. Además, a continuación se proporcionan algunas secuencias adicionales de cuatro códigos de permutación, que se alternan en ciclos para proporcionar la compensación en un generador de direcciones, a fin de producir una buena descorrelación en los símbolos intercalados (algunos son comunes a los anteriores):

- 25 Modo 0,5k:

3 7 4 6 1 2 0 5

4 2 5 7 3 0 1 6

5 3 6 0 4 1 2 7

6 1 0 5 2 7 4 3

Modo 2k:

0 7 5 1 8 2 6 9 3 4 *

3 2 7 0 1 5 8 4 9 6

4 8 3 2 9 0 1 5 6 7

7 3 9 5 2 1 0 6 4 8

Modo 4k:

7 1 0 5 8 1 2 4 9 0 3 6 **

6 2 7 1 0 8 0 3 4 1 9 5

1 0 3 4 1 2 7 0 6 8 5 9

5

0 8 9 5 1 0 4 6 3 2 1 7

Modo 8k:

5 1 1 3 0 1 0 8 6 9 2 4 1 7 *

8 1 0 7 6 0 5 2 1 3 9 4 1 1

1 1 3 6 9 2 7 4 1 0 5 1 0 8

1 0 8 1 7 5 6 0 1 1 4 2 9 3

* Estas son las permutaciones en el estándar DVB-T.

** Estas son las permutaciones en el estándar DVB-H.

10 En la solicitud de patente europea número 04251667.4 se dan a conocer ejemplos de generadores de direcciones y de los intercaladores correspondientes para los modos 2k, 4k y 8k, cuyos contenidos se incorporan en la presente por referencia. Un generador de direcciones para el modo 0,5k se describe en nuestra solicitud de patente del Reino Unido número 0722553.5.

15 En las reivindicaciones adjuntas, se definen varios aspectos adicionales de la presente invención. Se pueden realizar varias modificaciones a las realizaciones descritas anteriormente, sin apartarse del alcance de la presente invención. En particular, la representación ejemplar del polinomio generador y el orden de permutación que se han usado para representar aspectos de la invención no pretenden ser limitantes y se extienden a formas equivalentes del polinomio generador y del orden de permutación.

20 Tal como se apreciará, el transmisor y el receptor que se muestran en las figuras 1 y 7, respectivamente, se brindan solo como ilustraciones y no pretenden ser limitativos. Por ejemplo, se apreciará que la posición del intercalador de símbolos y el desintercalador con respecto, por ejemplo, al intercalador de bits y al mapeador y al desmapeador se pueden cambiar. Como se apreciará, el efecto del intercalador y del desintercalador no se modifica por su posición relativa, aunque el intercalador puede intercalar símbolos I/Q en lugar de vectores de v bits. Se puede hacer un cambio correspondiente en el receptor. En consecuencia, el intercalador y el desintercalador pueden operar con
25 diferentes tipos de datos, y pueden posicionarse de manera diferente a la posición descrita en las realizaciones ejemplares.

Como se explicó anteriormente, los códigos de permutación y el polinomio generador del intercalador, que se ha descrito con referencia a una implementación de un modo particular, se pueden aplicar igualmente a otros modos, cambiando la dirección máxima permitida predeterminada, de acuerdo con el número de operadores para ese modo.

30 Según una implementación de un transmisor, se incluye un aparato de procesamiento de datos operable para mapear símbolos de datos de entrada, para ser comunicados a un número predeterminado de señales de subportadoras de símbolos OFDM, multiplexados por división ortogonal de frecuencias; el número predeterminado de señales de subportadoras se determina de acuerdo con uno de una pluralidad de modos operativos, y los

5 símbolos de datos de entrada incluyen unos primeros conjuntos de símbolos de datos de entrada y unos segundos conjuntos de símbolos de datos de entrada. El aparato de procesamiento de datos comprende un intercalador operable para realizar un proceso de intercalado impar, que intercala los primeros conjuntos de símbolos de datos de entrada en las señales de las subportadoras de los primeros símbolos OFDM, y un proceso de intercalado par, que intercala los segundos conjuntos de símbolos de datos de entrada en las señales de las subportadoras de los segundos símbolos OFDM. El proceso de intercalado impar incluye escribir los primeros conjuntos de símbolos de datos de entrada en una memoria de intercalador, de acuerdo con un orden secuencial de los primeros conjuntos de símbolos de datos de entrada, y recuperar los primeros conjuntos de símbolos de datos de la memoria del intercalador en las señales de las subportadoras de los primeros símbolos OFDM, de acuerdo con un orden definido por un código de permutación. El proceso de intercalado par incluye escribir los segundos conjuntos de símbolos de datos de entrada en la memoria del intercalador, de acuerdo con un orden definido por el código de permutación, y recuperar los segundos conjuntos de símbolos de datos de la memoria del intercalador en las señales de las subportadoras de los segundos símbolos OFDM, de acuerdo con un orden secuencial, de tal manera que mientras los símbolos de datos de entrada del primer conjunto se leen desde ubicaciones en la memoria del intercalador, los símbolos de datos de entrada del segundo conjunto se pueden escribir en las ubicaciones que acaban de recuperarse, y cuando los símbolos de datos de entrada del segundo conjunto se están leyendo de las ubicaciones en la memoria del intercalador, los símbolos de datos de entrada de un siguiente primer conjunto se pueden escribir en las ubicaciones de las que se acaban de leer. Cuando el modo de modulación es un modo que incluye la mitad o menos de la mitad de un número de señales de subportadoras que un número total de subportadoras en los símbolos OFDM para transportar los símbolos de datos de entrada que pueden ser alojados por la memoria del intercalador, los datos el aparato de procesamiento es operable para intercalar los símbolos de datos de entrada del primer conjunto y del segundo conjunto, de acuerdo con el proceso de intercalado impar en los primeros y segundos símbolos OFDM.

25 Como se mencionó anteriormente, las realizaciones de la presente invención encuentran aplicación con estándares DVB, tales como DVB-T, DVB-T2 y DVB-H, que se incorporan aquí como referencia. Por ejemplo, las realizaciones de la presente invención pueden usarse en un transmisor o receptor que funcione de acuerdo con el estándar DVB-T2, como se ha especificado de acuerdo con la norma EN 302 755 del ETSI [*European Telecommunications Standards Institute*, Instituto Europeo de Normas de Telecomunicaciones], aunque se apreciará que la presente invención no se limita a la aplicación con DVB y puede extenderse a otros estándares de transmisión o recepción, tanto fijos como móviles. En otros ejemplos, las realizaciones de la presente invención encuentran aplicación con el estándar de transmisión por cable conocido como DVB-C2.

REIVINDICACIONES

5 1. Un aparato de procesamiento de datos operable para mapear símbolos de datos recibidos de un número predeterminado de señales de subportadoras de símbolos OFDM, multiplexados por división ortogonal de frecuencias, en un flujo de datos de salida, en donde el número predeterminado de señales de las subportadoras se determina de acuerdo con uno de pluralidad de modos operativos y los símbolos de datos se dividen en primeros conjuntos de símbolos de datos y segundos conjuntos de símbolos de datos; el aparato de procesamiento de datos comprende lo siguiente:

10 un intercalador (33), operable para realizar un proceso de intercalado impar, que intercala los primeros conjuntos de símbolos de datos provenientes de las señales de las subportadoras de los primeros símbolos OFDM en un flujo de datos de salida, y un proceso de intercalado par, que intercala los segundos conjuntos de símbolos de datos provenientes de las señales de las subportadoras de los segundos símbolos OFDM en el flujo de datos de salida,

el proceso de intercalado impar incluye lo siguiente:

15 escribir los primeros conjuntos de símbolos de datos recuperados de las señales de las subportadoras de los primeros símbolos OFDM, en una memoria del intercalador (100), de acuerdo con un orden definido por un código de permutación y

leer los primeros conjuntos de símbolos de datos de la memoria del intercalador, de acuerdo con un orden secuencial en el flujo de datos de salida,

el proceso de intercalado par incluye lo siguiente:

20 escribir los segundos conjuntos de símbolos de datos recuperados de las señales de las subportadoras de los segundos símbolos OFDM en la memoria del intercalador, de acuerdo con un orden secuencial, y

recuperar los segundos conjuntos de símbolos de datos de la memoria del intercalador de acuerdo con un orden definido por el código de permutación en el flujo de datos de salida,

25 de modo que mientras los símbolos de datos del primer conjunto se están leyendo de las ubicaciones en la memoria del intercalador, los símbolos de datos del segundo conjunto puedan escribirse en las ubicaciones que se acaban de leer y que cuando los símbolos de datos del segundo conjunto se están leyendo de las ubicaciones en el memoria del intercalador, los símbolos de datos de un primer conjunto siguiente se puedan escribir en las ubicaciones de las que se acaban de leer, en donde

30 cuando el número de símbolos de datos que pueden ser transportados por las subportadoras de un símbolo OFDM en uno o más de la pluralidad de modos operativos es la mitad o menos de la mitad del número de símbolos de datos, que pueden ser transportados en un modo operativo que proporciona la mayor cantidad de datos que llevan las señales de las subportadoras por símbolo OFDM, el aparato de procesamiento de datos es operable para intercalar los símbolos de datos provenientes tanto del primer conjunto como del segundo conjunto, de acuerdo solamente con el proceso de intercalado impar de los primeros y segundos símbolos OFDM, y para cambiar el código de permutación que se utiliza para formar las direcciones, de un símbolo OFDM a otro.

35 2. Un aparato de procesamiento de datos según la reivindicación 1, en el que el intercalador (33) incluye un controlador (108, 110), un generador de direcciones (102) y la memoria del intercalador (100); el controlador es operable para controlar el generador de direcciones a fin de generar direcciones, durante el proceso de intercalado impar para escribir los primeros conjuntos de símbolos de datos de las señales de las subportadoras de los primeros símbolos OFDM en la memoria del intercalador, de acuerdo con un orden definido por el código de permutación, y
40 durante el proceso de intercalado par, para recuperar los segundos conjuntos de símbolos de datos desde la memoria del intercalador, de acuerdo con un orden definido por el código de permutación en el flujo de datos de salida.

3. Un aparato de procesamiento de datos según la reivindicación 1 o 2, en el que el generador de direcciones (102) incluye lo siguiente:

45 un registro de desplazamiento de retroalimentación lineal (200), que incluye un número predeterminado de etapas de registro y que es operable para generar una secuencia de bits pseudoaleatoria, de acuerdo con un polinomio generador,

50 un circuito de permutación (210), operable para recibir el contenido de las etapas del registro de desplazamiento y permutar los bits presentes en las etapas del registro, de acuerdo con el código de permutación, para formar las direcciones de una de las portadoras OFDM, y

una unidad de control (224), operable en combinación con un circuito de verificación de direcciones (216), para volver a generar una dirección cuando una dirección generada excede una dirección válida máxima predeterminada, en donde la dirección válida máxima predeterminada se establece de acuerdo con el modo de modulación.

4. Un aparato de procesamiento de datos según la reivindicación 1, 2 o 3, en el que se puede proporcionar un tamaño mínimo de la memoria del intercalador (100) de acuerdo con el número más alto de símbolos de datos de entrada que pueden transportarse en las subportadoras de los símbolos OFDM, que están disponibles para transportar los símbolos de datos de entrada en cualquiera de los modos operativos.
- 5 5. Un aparato de procesamiento de datos según cualquiera de las reivindicaciones 1 a 4, en el que cuando se opera en el modo operativo que proporciona el número máximo de subportadoras por símbolo OFDM, el intercalador (33) es operable para usar la memoria de intercalador disponible (100), de acuerdo con el proceso de intercalado impar y los procesos de intercalado par, a los efectos de recuperar símbolos de datos desde ubicaciones en la memoria del intercalador y escribir símbolos de datos desde las ubicaciones de las que acaban de leerse, y cuando se opera en cualquier otro modo, en el que el número de subportadoras es la mitad o menos de la mitad del número de subportadoras para transportar los símbolos de datos por símbolo OFDM, el intercalador es operable en el proceso de entrelazado impar para leer los primeros conjuntos de símbolos de datos desde las primeras ubicaciones en la memoria del intercalador y para escribir los segundos conjuntos de símbolos de datos en la memoria del intercalador en las segundas ubicaciones, siendo las segundas ubicaciones diferentes de las primeras ubicaciones.
- 10 6. Un aparato de procesamiento de datos según la reivindicación 5, en el que el modo operativo que proporciona el número más alto de subportadoras por símbolo OFDM es un modo 32K.
- 15 7. Un aparato de procesamiento de datos según la reivindicación 6, en el que los otros modos incluyen uno o más de los modos 0,5K, 1K, 2K, 4K, 8K y 16K.
- 20 8. Un método para mapear símbolos de datos recibidos desde un número predeterminado de señales de las subportadoras de símbolos OFDM, multiplexados por división ortogonal de frecuencias, en un flujo de datos de salida, en donde el número predeterminado de señales de las subportadoras se determina de acuerdo con uno de pluralidad de modos operativos, y los símbolos de datos que comprenden los primeros conjuntos de símbolos de datos y segundos conjuntos de símbolos de datos, en donde el método comprende lo siguiente:
- 25 intercalado, de acuerdo con un proceso de intercalado impar que intercala los primeros conjuntos de símbolos de datos de las señales de las subportadoras de los primeros símbolos OFDM en el flujo de datos de salida y de acuerdo con un proceso de intercalado par, que intercala los segundos conjuntos de símbolos de datos de señales de las subportadoras de segundos símbolos OFDM en el flujo de datos de salida,
- 30 el proceso de intercalado impar incluye lo siguiente:
- escribir los primeros conjuntos de símbolos de datos recuperados de las señales de las subportadoras de los primeros símbolos OFDM, en una memoria del intercalador (100), de acuerdo con un orden definido por un código de permutación y
- recuperar los primeros conjuntos de símbolos de datos de la memoria del intercalador, de acuerdo con un orden secuencial en el flujo de datos de salida,
- el proceso de intercalado par incluye lo siguiente:
- 35 escribir los segundos conjuntos de símbolos de datos recuperados de las señales de las subportadoras de los segundos símbolos OFDM en la memoria del intercalador, de acuerdo con un orden secuencial, y
- recuperar los segundos conjuntos de símbolos de datos de la memoria del intercalador de acuerdo con un orden definido por el código de permutación en el flujo de datos de salida, de modo que mientras los símbolos de datos del primer conjunto se están leyendo de las ubicaciones en la memoria del intercalador, los símbolos de datos del segundo conjunto puedan escribirse en las ubicaciones que se acaban de leer y que cuando los símbolos de datos del segundo conjunto se están leyendo de las ubicaciones en la memoria del intercalador, los símbolos de datos de un primer conjunto siguiente se puedan escribir en las ubicaciones de las que se acaban de leer, en donde
- 40 cuando el número de símbolos de datos que pueden ser transportados por las subportadoras de un símbolo OFDM en uno o más de la pluralidad de modos operativos es la mitad o menos de la mitad del número de símbolos de datos, que pueden ser transportados en un modo operativo que proporciona la mayor cantidad de datos que llevan las señales de las subportadoras por símbolo OFDM, el intercalado comprende intercalar los símbolos de datos del primer conjunto y del segundo conjunto, de acuerdo solamente con el proceso de intercalar impar de los primeros y segundos símbolos OFDM, y el código de permutación que se usa para formar las direcciones de un símbolo OFDM a otro.
- 45 9. Un método según la reivindicación 8, en el que el intercalado incluye generar direcciones usando un generador de direcciones (102) durante el proceso de intercalado impar para escribir el primer conjunto o el primer y el segundo conjuntos de símbolos de datos recuperados de las señales de las subportadoras de los primeros símbolos OFDM en la memoria del intercalador (100), de acuerdo con un orden definido por el código de permutación, y
- 50

usar las direcciones generadas durante el proceso de intercalado uniforme para recuperar los segundos conjuntos de símbolos de datos de la memoria del intercalador, de acuerdo con un orden definido por el código de permutación en el flujo de datos de salida.

5 10. Un método según la reivindicación 8 o 9, en el que la generación de las direcciones usando el generador de direcciones (102) incluye lo siguiente:

generar una secuencia de bits pseudoaleatoria, utilizando un registro de desplazamiento de retroalimentación lineal (200), que incluye un número predeterminado de etapas de registro y un polinomio generador,

permutar los bits presentes en las etapas de registro, de acuerdo con el código de permutación, para formar las direcciones de una de las subportadoras OFDM, y

10 volver a generar una dirección cuando una dirección generada excede una dirección válida máxima predeterminada, estableciéndose la dirección válida máxima predeterminada de acuerdo con el modo de modulación.

15 11. Un método según la reivindicación 8, 9 o 10, en el que se puede proporcionar un tamaño mínimo de la memoria del intercalador (100) de acuerdo con el número más alto de símbolos de datos de entrada que pueden transportarse en las subportadoras de los símbolos OFDM que están disponibles para transportar los símbolos de datos de entrada en cualquiera de los modos de operación.

12. Un método según cualquiera de las reivindicaciones 8 a 11, en el que el intercalado incluye lo siguiente:

20 cuando se opera en el modo operativo que proporciona el número máximo de subportadoras por símbolo OFDM, utilizar la memoria de intercalador disponible (100) de acuerdo con el proceso de intercalado impar y el proceso de intercalado par a los efectos de recuperar símbolos de datos desde ubicaciones en la memoria del intercalador y escribir símbolos de datos en la memoria del intercalador desde las ubicaciones de las que se acaban de recuperar, y

25 cuando se opera en cualquier otro modo en el que el número de subportadoras sea la mitad o menos de la mitad del número de subportadoras para transportar los símbolos de datos por símbolo OFDM, intercalar de acuerdo con el proceso de intercalado impar para leer los primeros conjuntos de símbolos de datos desde las primeras ubicaciones en la memoria del intercalador y para escribir los segundos conjuntos de símbolos de datos en la memoria del intercalador en las segundas ubicaciones, siendo las segundas ubicaciones diferentes de las primeras ubicaciones.

13. Un método según la reivindicación 12, en el que el modo operativo que proporciona el número más alto de subportadoras por símbolo OFDM es un modo 32K.

30 14. Un método según la reivindicación 13, en el que los otros modos incluyen uno o más de los modos 0,5K, 1K, 2K, 4K, 8K y 16K.

15. Un receptor para recibir datos usando OFDM, multiplexación por división ortogonal de frecuencias, en donde el receptor incluye un aparato de procesamiento de datos de acuerdo con cualquiera de las reivindicaciones 1 a 7.

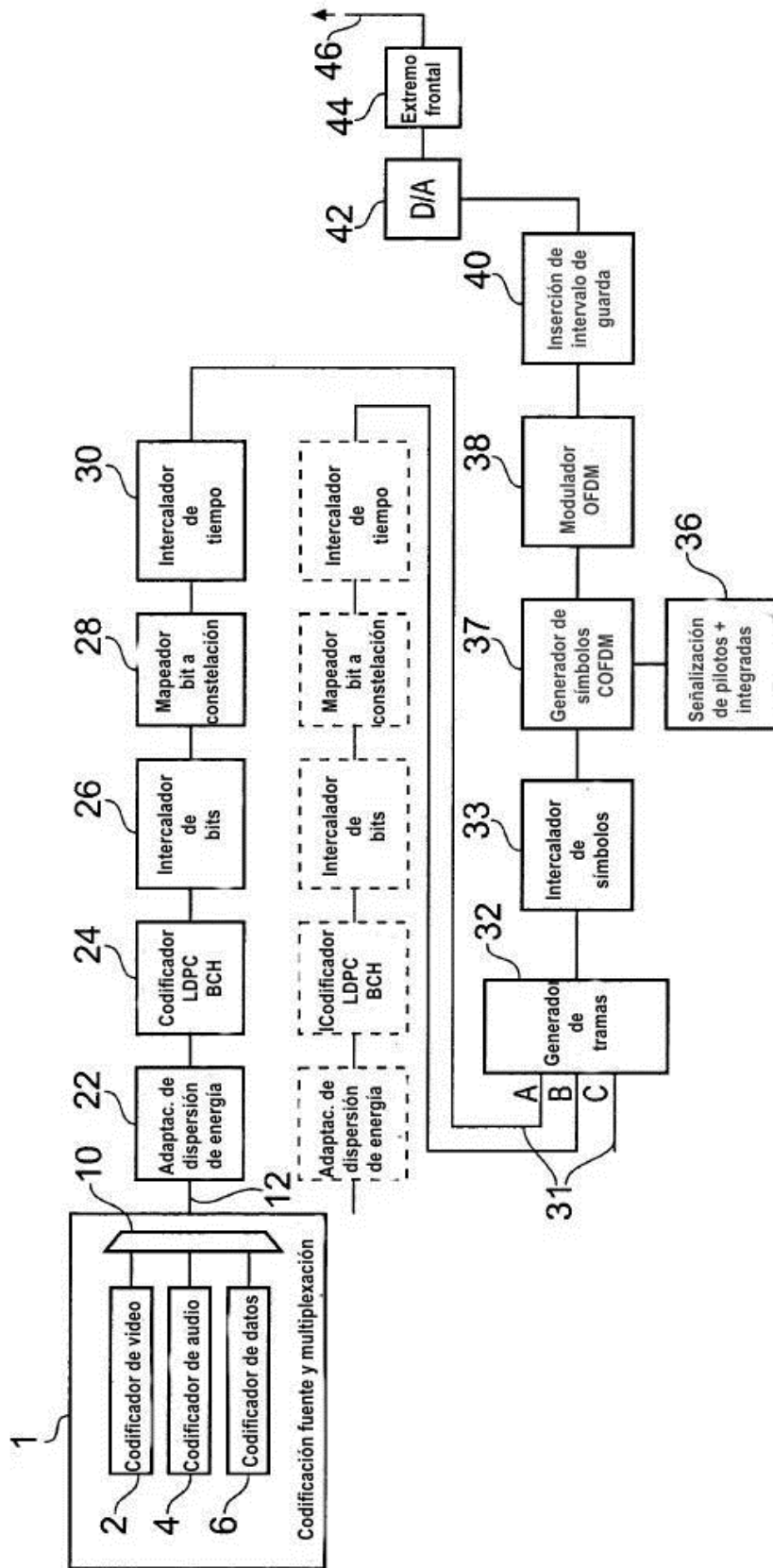


FIGURA 1

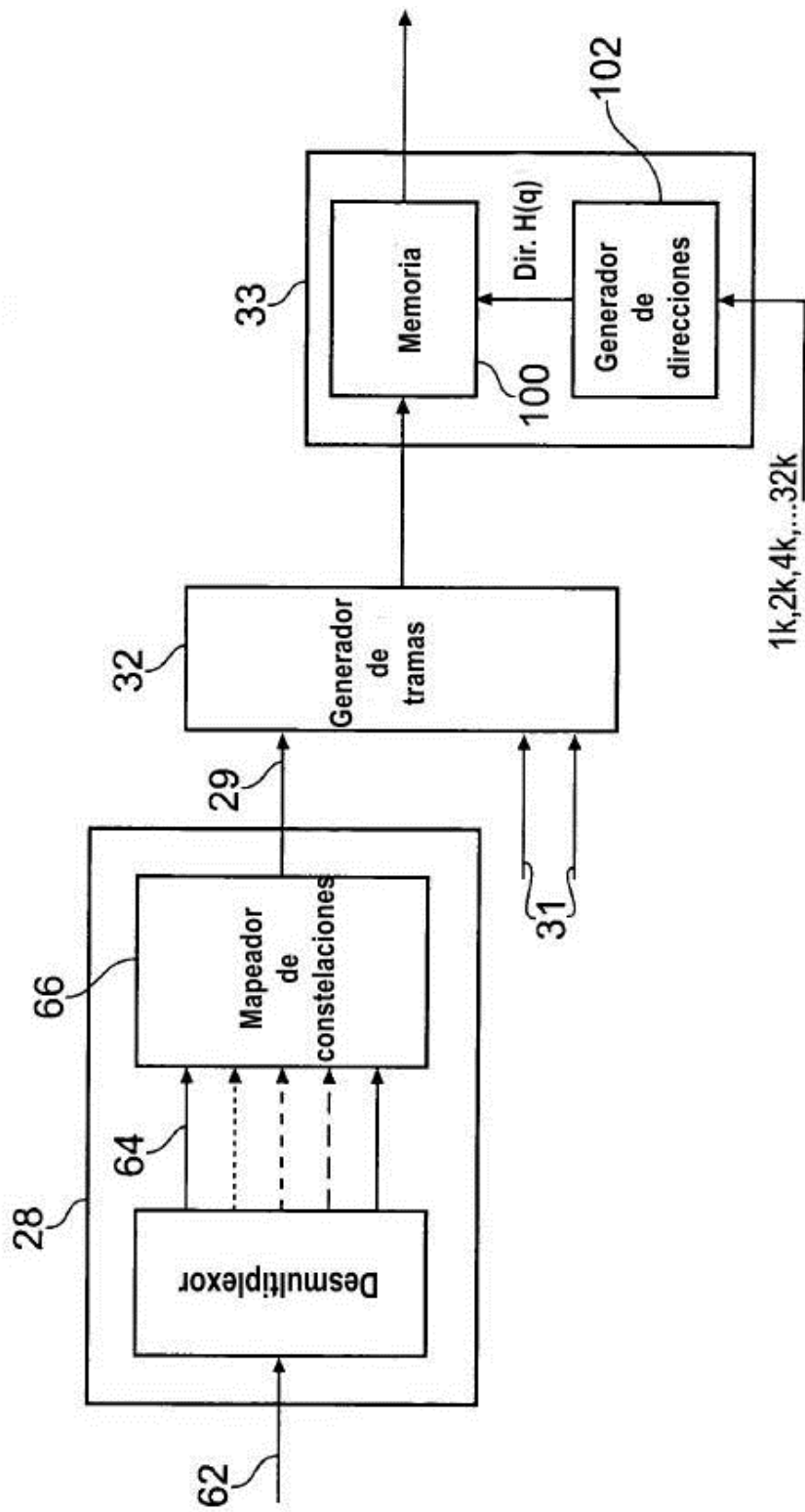


FIGURA 2

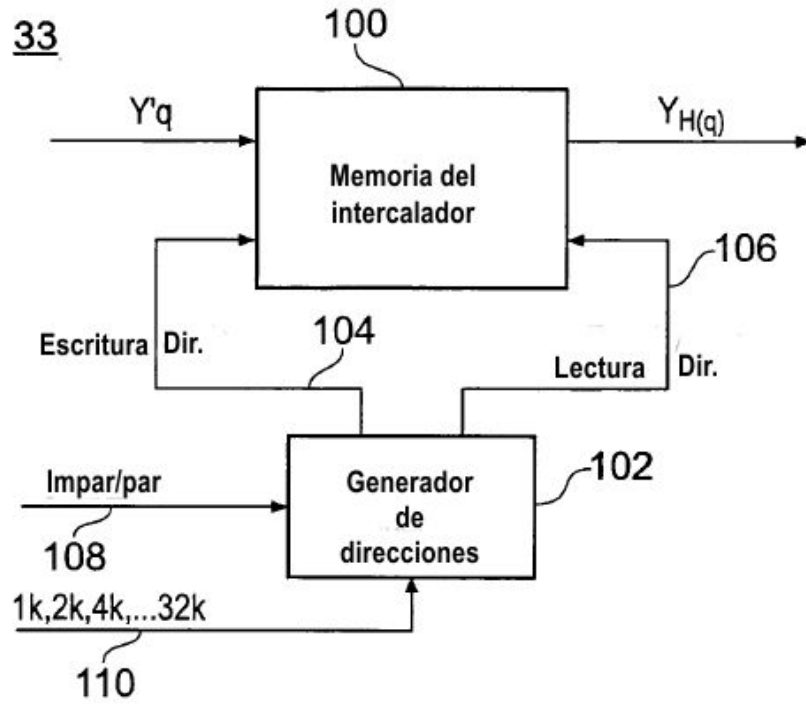


FIGURA 3

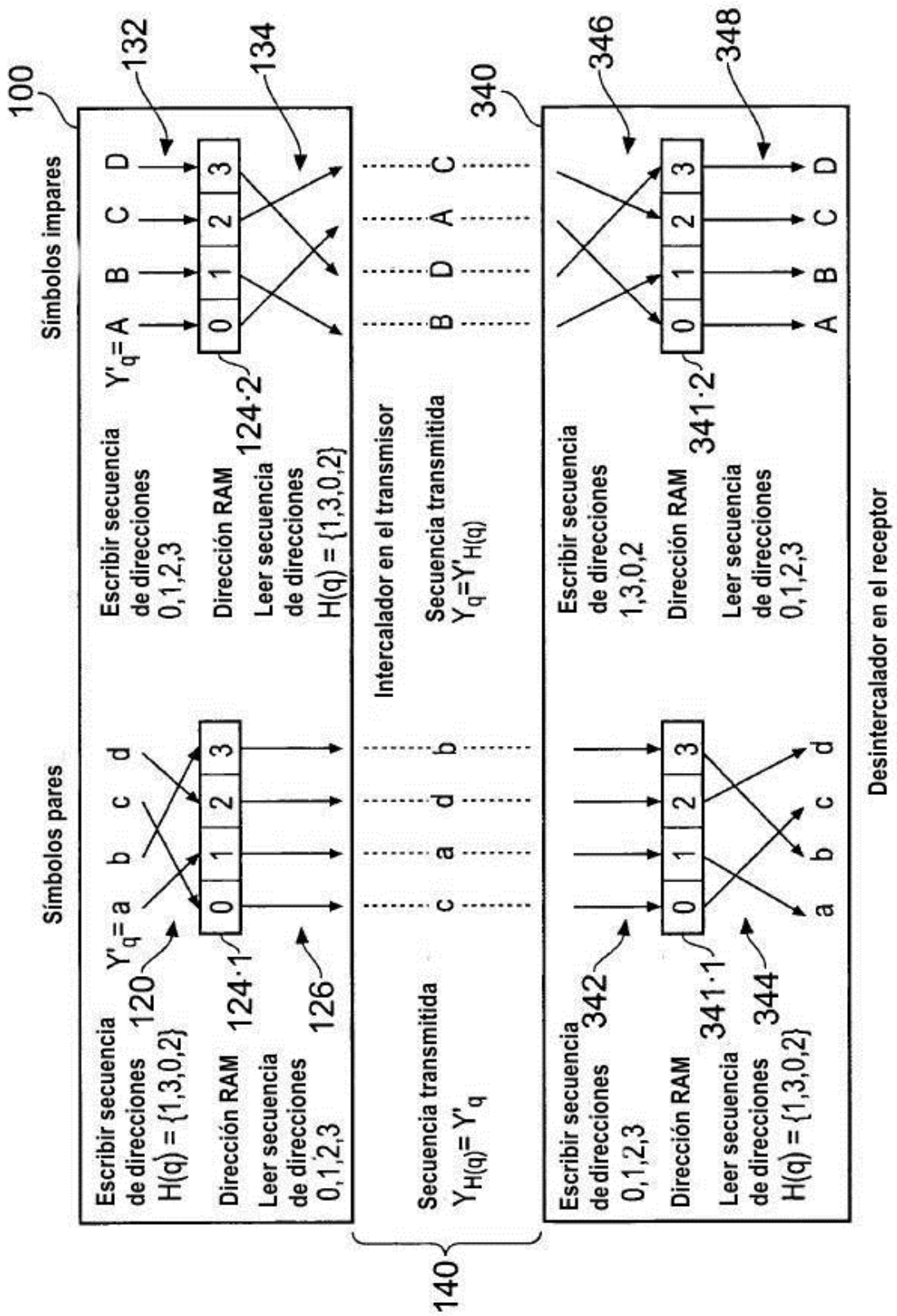


FIGURA 4

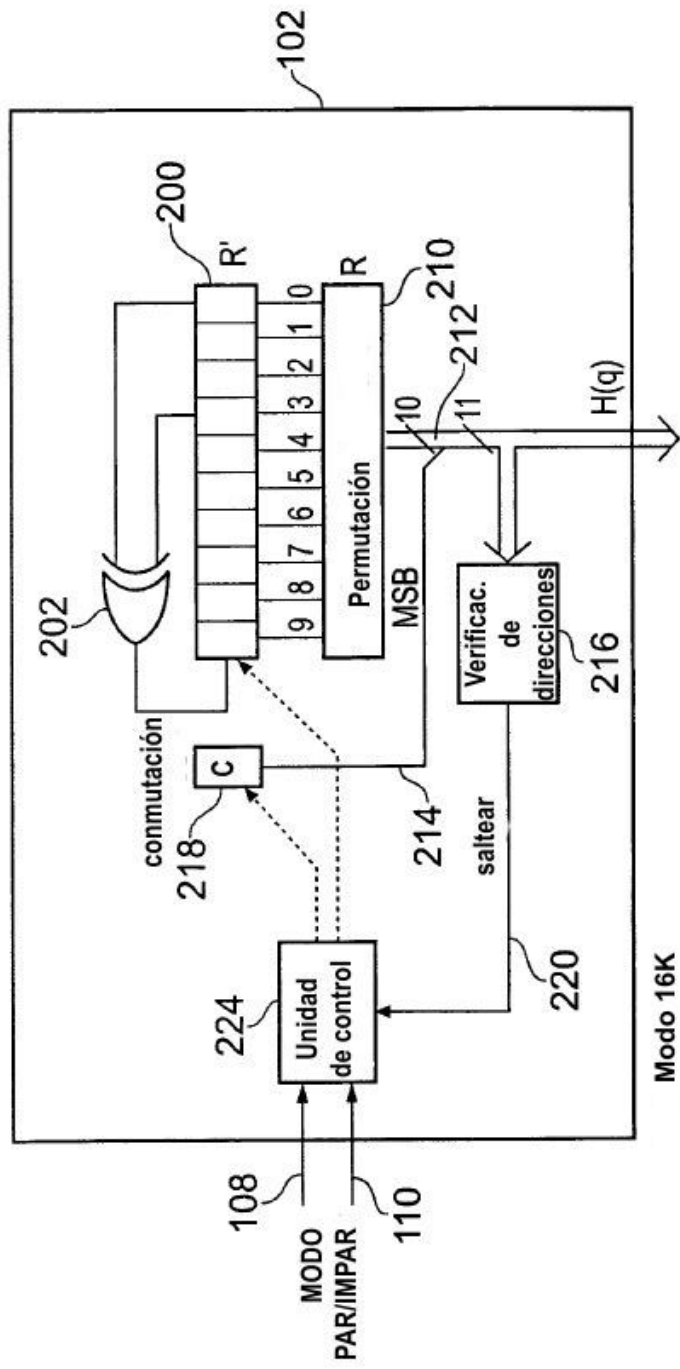


FIGURA 5

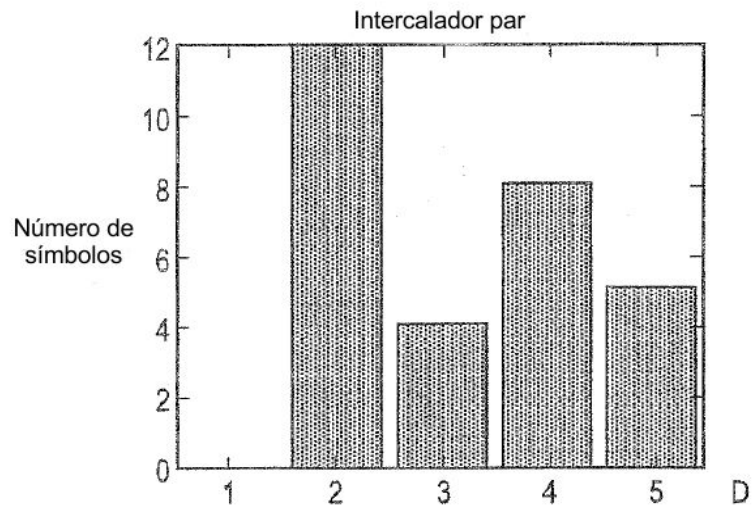


FIGURA 6(a)

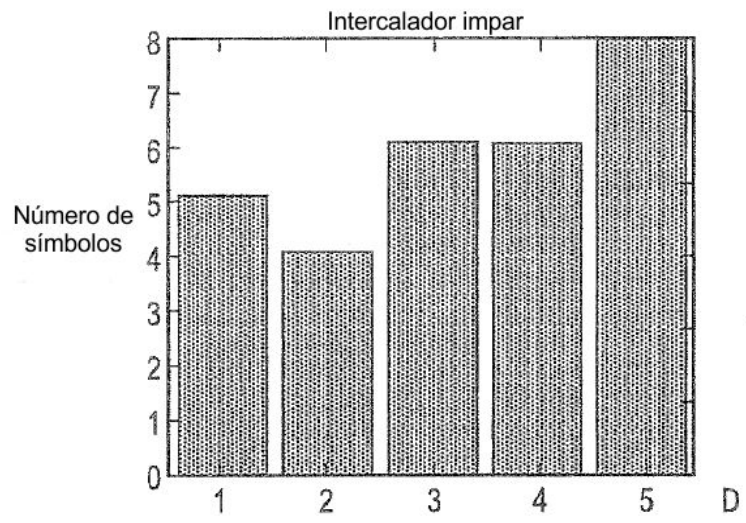


FIGURA 6(b)

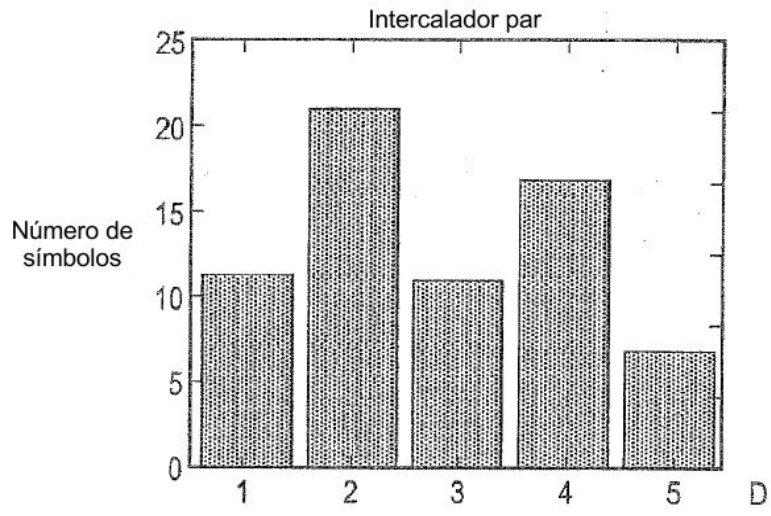


FIGURA 6(c)

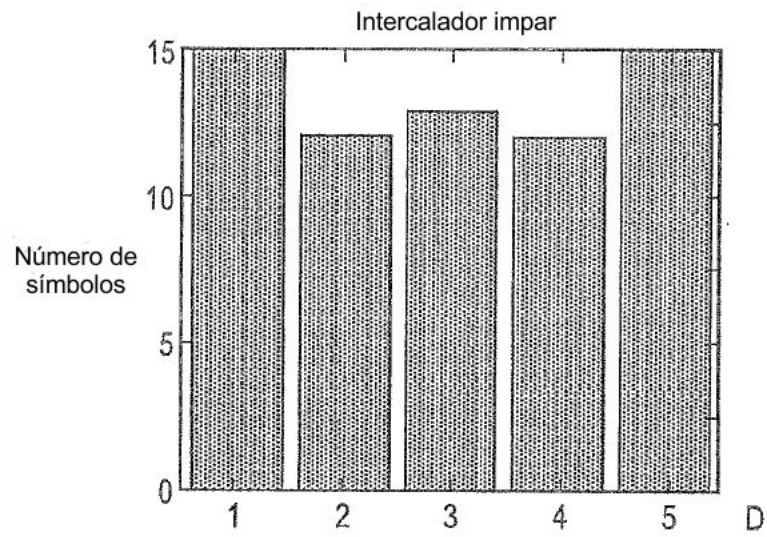


FIGURA 6(d)

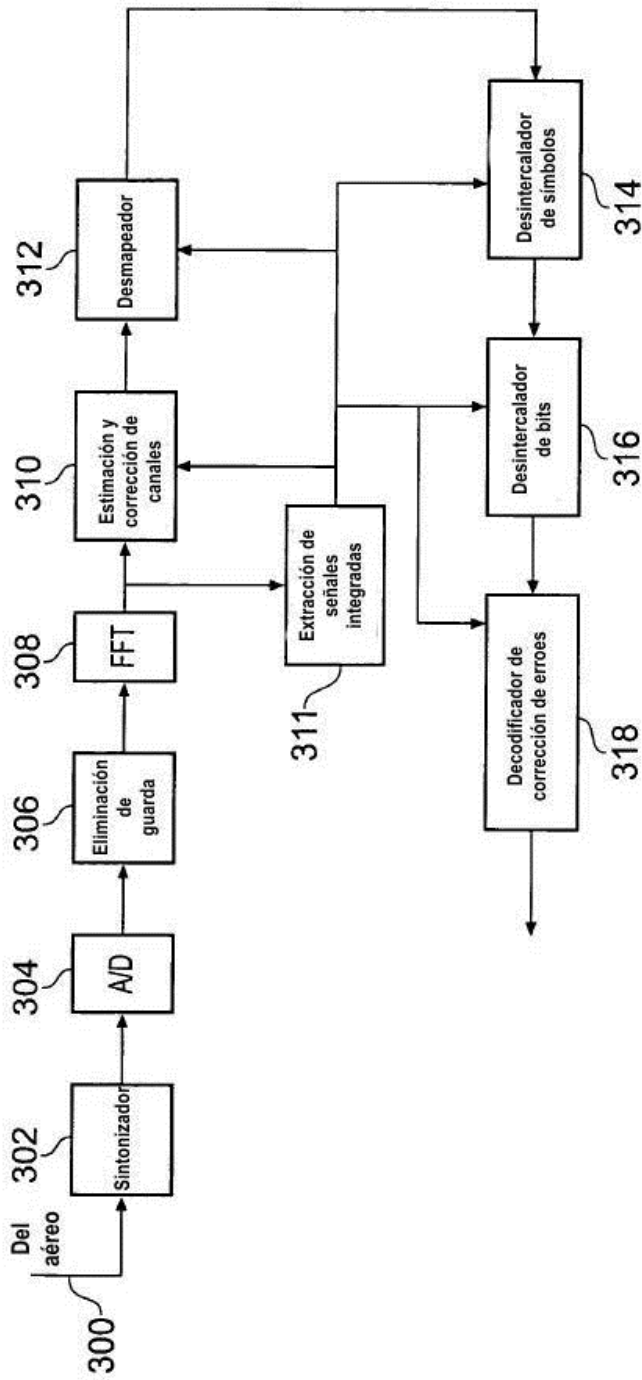


FIGURA 7

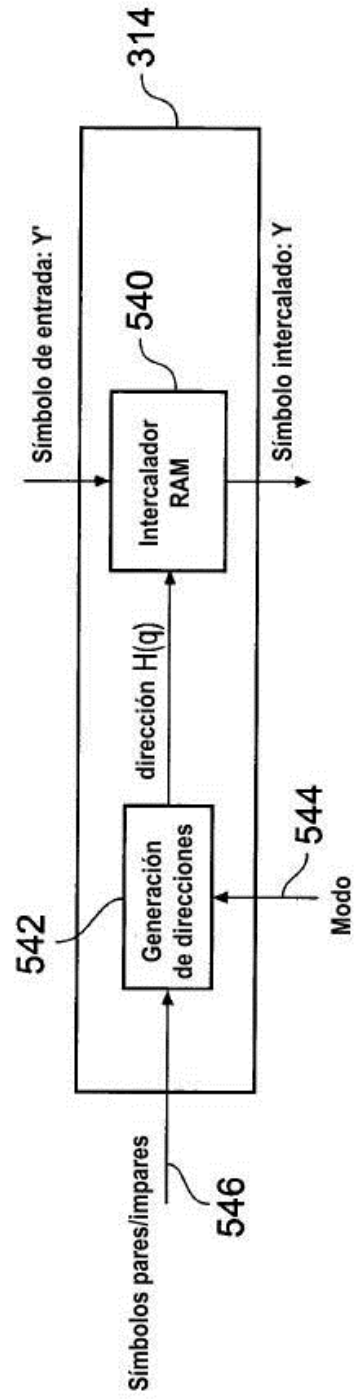


FIGURA 8

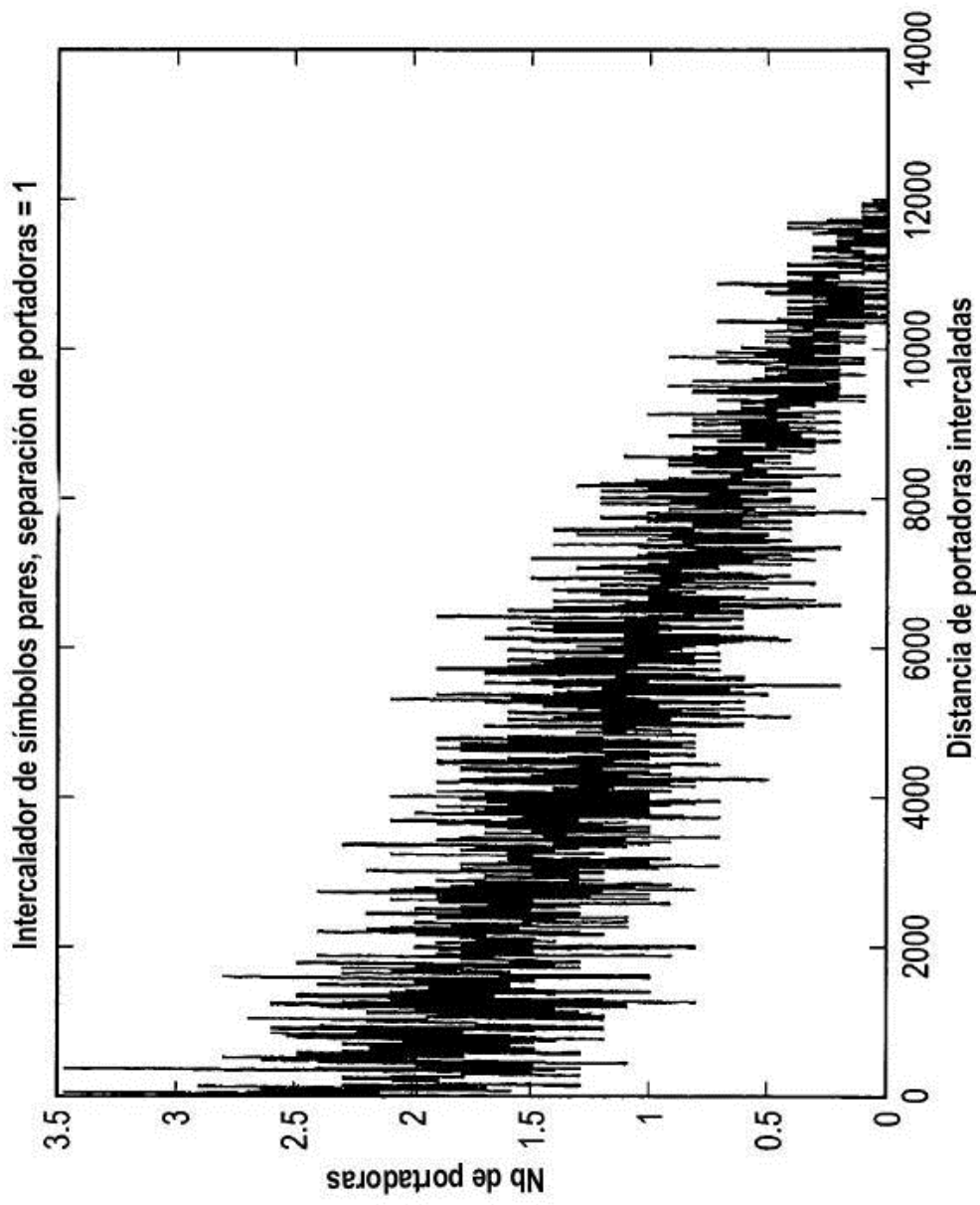


FIGURA 9(a)

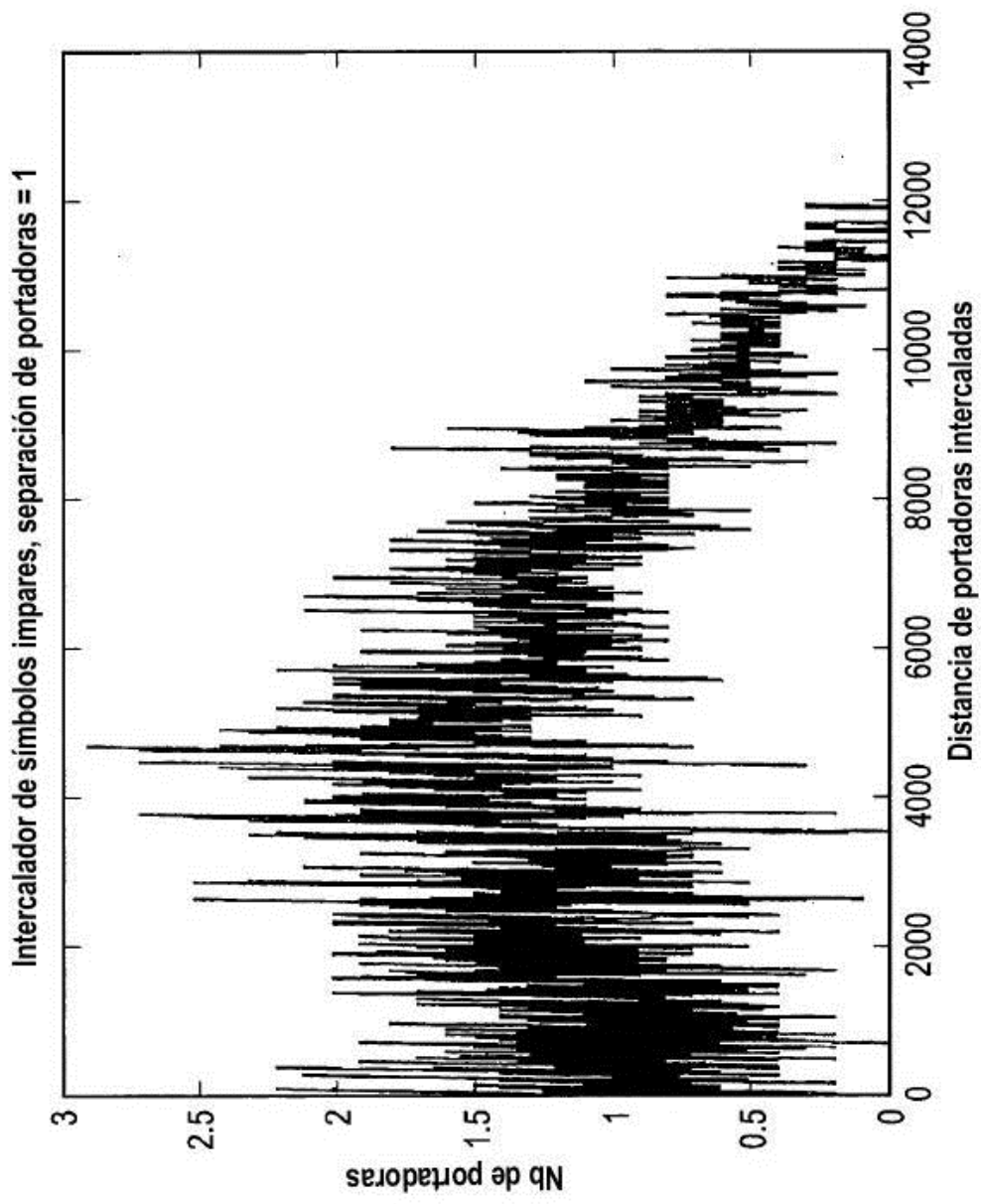


FIGURA 9(b)

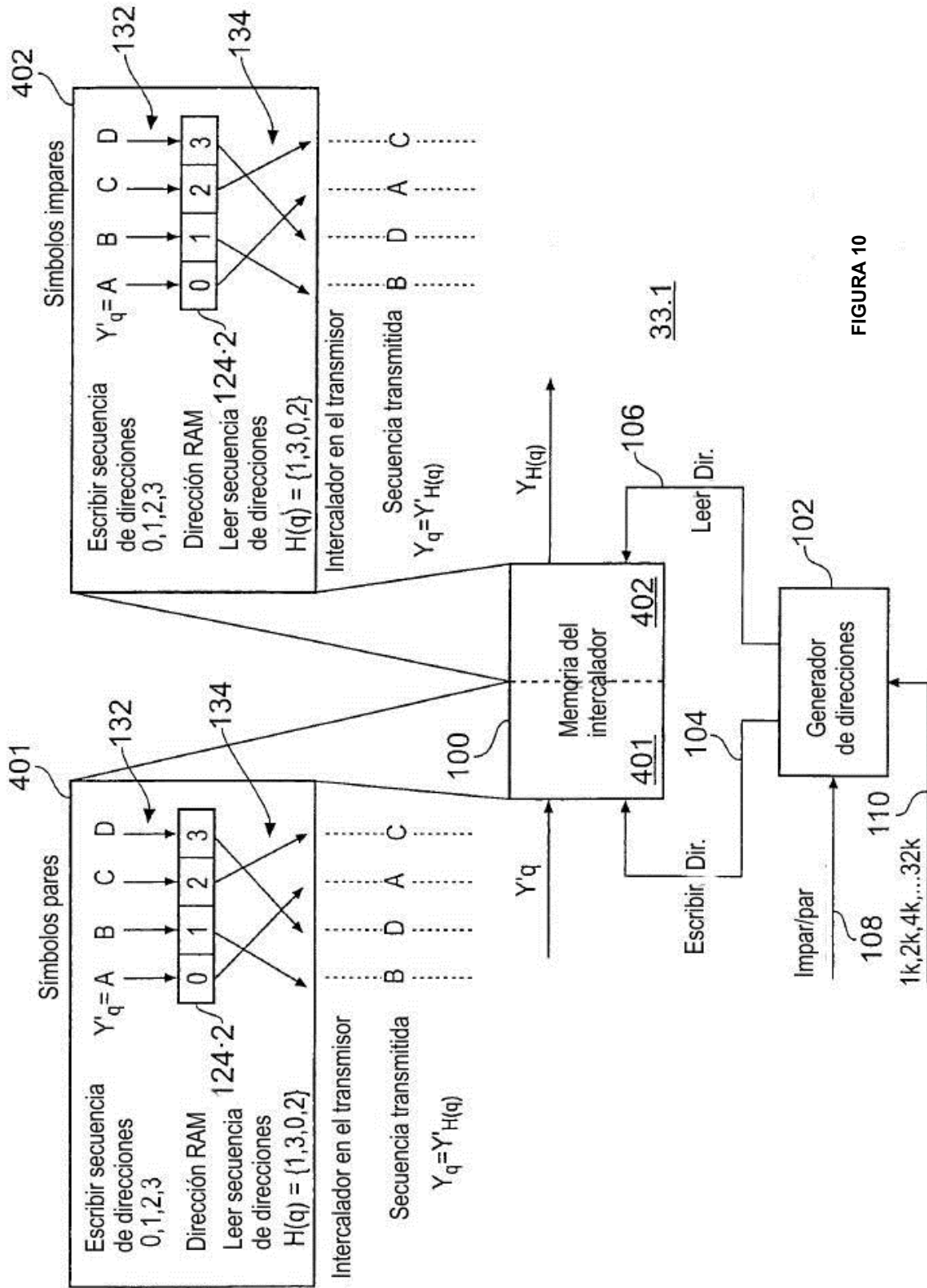


FIGURA 10

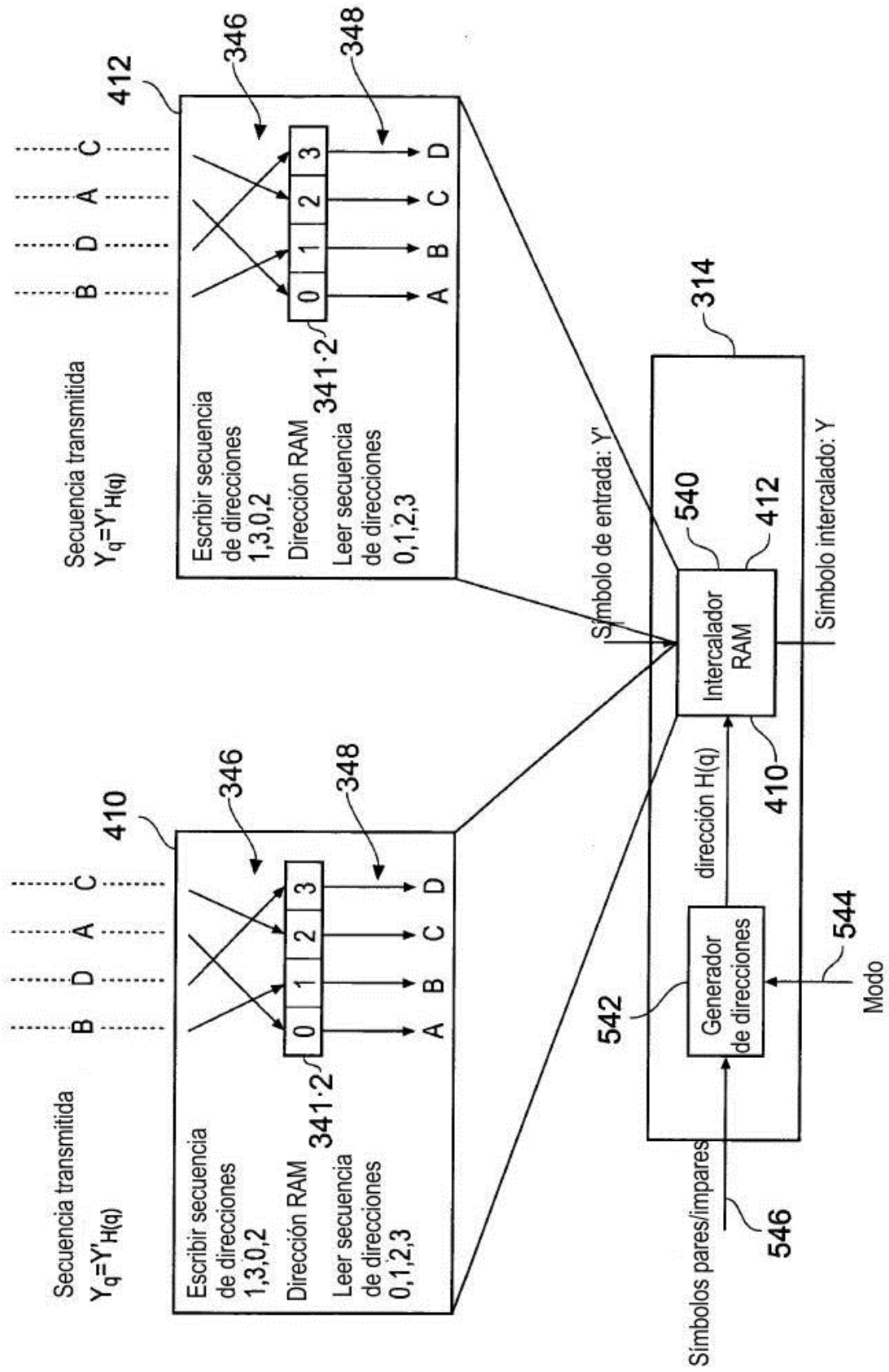


FIGURA 11