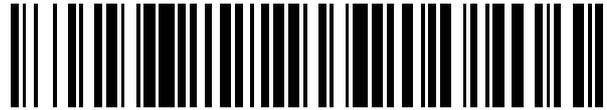


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 753 372**

51 Int. Cl.:

H03M 13/25 (2006.01)

H03M 13/11 (2006.01)

H04L 1/00 (2006.01)

H04L 27/34 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.06.2012 E 14173767 (6)**

97 Fecha y número de publicación de la concesión europea: **07.08.2019 EP 2814181**

54 Título: **Modulación codificada LDPC en combinación con 256QAM y OFDM**

30 Prioridad:

16.06.2011 EP 11004946

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

08.04.2020

73 Titular/es:

**SUN PATENT TRUST (100.0%)
450 Lexington Avenue, 38th Floor
New York, NY 10017, US**

72 Inventor/es:

PETROV, MIHAIL

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 753 372 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Modulación codificada LDPC en combinación con 256QAM y OFDM

[Campo técnico]

5 La presente invención se refiere a un método para procesar una señal digital en un lado de transmisión y, en particular, a patrones de permutación de bits aplicados a bits antes de ser introducidos en el correlacionador. Además, la presente invención se refiere a un método para procesar una señal digital en un lado de recepción y, en particular, a patrones de permutación de bits aplicados a bits después de ser emitidos por el descorrelacionador. Además, la presente invención se refiere a un transmisor y a un receptor para realizar los métodos.

[Antecedentes de la técnica]

10 En los últimos años, los transmisores se dotan con un codificador de codificación y modulación con intercalado de bits (BICM) (véase, por ejemplo, la Bibliografía no de Patente 1).

Un codificador BICM realiza los siguientes pasos, por ejemplo.

(1) Codificar bloques de datos usando un código BCH (Bose-Chaudhuri-Hocquenghem) como código externo y un código de Comprobación de Paridad de Baja Densidad (LDPC) como código interno, por ejemplo.

15 (2) Aplicar intercalado de bits, que implica intercalado de paridad e intercalado de columna-fila, para los bits de palabra de código obtenidos como resultado de la codificación.

(3) Demultiplexar la palabra de código de intercalado de bits para obtener palabras de celda. La demultiplexación incluye un procesamiento equivalente a una permutación de las columnas de una matriz de intercalador usada en el intercalado de columna-fila cuando el tipo de modulación que se usa es 16QAM, 64QAM o 256QAM, por ejemplo.

20 (4) Correlacionar las palabras de celda con constelaciones.

Se describe una técnica adicional en la ORGANIZACIÓN DVB.

“TM-NGH643_20110120_sony_New_16k_Codes2.pdf”, DVB, DIGITAL VIDEO BROADCASTING, C/O EBU - 17A ANCIENNE ROUTE - CH-1218 GRAND SACONNEX, GINEBRA - SUIZA, 16 de febrero de 2011 (16-02-2011), XP017834323.

25 También, el documento WO2009/109830 se refiere a métodos para procesamiento de señales digitales y a sistemas de transmisión/recepción que utilizan dichos métodos; la presente invención se basa en el uso de códigos LDPC, en particular el código LDPC con una tasa de código 3/5, en combinación con una modulación QAM, en particular la modulación 16QAM o 64QAM o 256QAM; en transmisión, una permutación de bits (Demux) se lleva a cabo antes de la función de correlación de constelación QAM; en recepción, la permutación de bits se lleva a cabo después de la
30 función de descorrelación de constelación QAM.

[Lista de referencias]

[Bibliografía no de Patente]

[Bibliografía no de Patente 1]

ETSI EN 302 755 V1.2.1 (estándar DVB-T2)

35 [Bibliografía no de Patente 2]

“New 16k LDPC codes for NGH” de Makiko Kan, con nombre de archivo: “TM-NGH580_NGH_sony_New_16k_Codes.pdf”, ID de documento TM-H1115 y publicado el 12/12/2010 (disponible en www.dvb.org)

[Bibliografía no de Patente 3]

40 ETSI EN 302 307 V1.2.1 (estándar DVB-T2)

[Compendio de la invención]

[Problema técnico]

45 El rendimiento de recepción de un receptor se puede mejorar optimizando adecuadamente las reglas de permutaciones (incluyendo el intercalado de bits numerado (2) anterior y la permutación llevada a cabo en la demultiplexación numerada (3) anterior) aplicadas a los bits de palabra de código LDPC antes de que la correlación sea adecuada para el código LDPC y la constelación usada por el transmisor y el receptor.

Es deseable proporcionar un método de procesamiento de transmisión y un método de procesamiento de recepción según el cual las reglas de permutación aplicadas a los bits de palabra de código LDPC antes de ser correlacionados se optimicen para los códigos LDPC y las constelaciones usadas por el transmisor y el receptor, mejorando por ello el rendimiento de recepción del receptor. Otro objetivo es proporcionar un transmisor y un receptor que ejecuten el método de procesamiento de transmisión y el método de procesamiento de recepción, respectivamente.

[Solución al problema]

Con el fin de lograr los objetivos anteriores, un método de procesamiento de transmisión según un ejemplo incluye:

un paso de codificación de bits de información a una palabra de código según un código de comprobación de paridad de baja densidad con tasa de código 7/15 y una longitud de palabra de código de 16200, el código de comprobación de paridad de baja densidad mostrado en la Figura 25;

un paso de intercalado de bits de realización de intercalado de paridad e intercalado de columna-fila en bits de la palabra de código obtenida en el paso de codificación, el intercalado de columna-fila que se lleva a cabo con o sin torsión;

un paso de demultiplexación de bit a celda de demultiplexación de una secuencia de bits intercalados en el paso de intercalado de bits en 8 secuencias de bits y permutar las 8 secuencias de bits según una regla de permutación predeterminada; y

un paso de correlación de cada una de las palabras de celda de 8 bits obtenidas como resultado de la demultiplexación en el paso de demultiplexación de bit a celda, según una constelación 256QAM (Modulación de Amplitud en Cuadratura),

en donde

permitiendo que v_i denote un bit en la secuencia de bits de orden i antes de la permutación (para $i = 0, 1, \dots, 7$), y

permitiendo que b_i denote un bit en la secuencia de bits de orden i después de la permutación (para $i = 0, 1, \dots, 7$),

la regla de permutación predeterminada es:

$v_0 = b_2, v_1 = b_6, v_2 = b_0, v_3 = b_1, v_4 = b_4, v_5 = b_5, v_6 = b_3, v_7 = b_7.$

[Compendio de la invención]

La invención se define por la materia objeto en las reivindicaciones independientes. Según el método de procesamiento de transmisión descrito anteriormente, las reglas de permutación a ser aplicadas a los bits de palabra de código LDPC antes de ser correlacionados se optimizan para códigos LDPC y constelaciones usadas por el transmisor y el receptor, lo cual es ventajoso para mejorar el rendimiento de recepción del receptor.

[Breve descripción de los dibujos]

La Figura 1 es una descripción general de un modulador DVB-T2.

La Figura 2 es un diagrama de bloques del codificador BICM mostrado en la Figura 1.

La Figura 3 muestra una palabra de código LDPC, compuesta de una trama en banda base, parte de paridad BCH y parte de paridad LDPC.

La Figura 4 ilustra el principio de funcionamiento del intercalado de columna-fila con torsión, llevado a cabo por el intercalador de columna-fila mostrado en la Figura 2.

La Figura 5A ilustra un proceso de escritura realizado por un intercalador de columna-fila que tiene 8 columnas para escribir bits de una palabra de código LDPC con una longitud de palabra de código de 16200 bits, y la Figura 5B ilustra un proceso de lectura realizado por el intercalador de columna-fila para leer los bits de la palabra de código LDPC escritos en el proceso ilustrado en la Figura 5A.

La Figura 6A ilustra un proceso de escritura realizado por un intercalador de columna-fila que tiene 12 columnas para escribir bits de una palabra de código LDPC con una longitud de palabra de código de 16200 bits, y la Figura 6B ilustra un proceso de lectura realizado por el intercalador de columna-fila para leer los bits de la palabra de código LDPC escrita en el proceso ilustrado en la Figura 6A.

La Figura 7 ilustra la entrada y salida del demultiplexor de bit a celda mostrado en la Figura 2.

La Figura 8 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 16QAM.

La Figura 9 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 64QAM.

La Figura 10 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 256QAM.

La Figura 11 muestra una correlación de constelación particular para QPSK aplicable en DVB-T2 para transmisión y recepción de datos.

5 La Figura 12 muestra una correlación de constelación particular para 16QAM aplicable en DVB-T2 para transmisión y recepción de datos.

La Figura 13 muestra una correlación de constelación particular para 64QAM aplicable en DVB-T2 para transmisión y recepción de datos.

10 La Figura 14 muestra una correlación de constelación particular para 256QAM aplicable en DVB-T2 para transmisión y recepción de datos.

La Figura 15 es un diagrama de bloques de un codificador BICM.

La Figura 16 ilustra la entrada y salida del demultiplexor de bit a celda mostrado en la Figura 15.

La Figura 17 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 16QAM.

La Figura 18 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 64QAM.

15 La Figura 19 es un diagrama de bloques de un demultiplexor de bit a celda para la constelación 256QAM.

La Figura 20 es un diagrama de bloques de un decodificador BICM.

La Figura 21 ilustra la entrada y salida del multiplexor de celda a bit mostrado en la Figura 20.

La Figura 22 es un diagrama de bloques de un multiplexor de celda a bit para una constelación 16QAM.

La Figura 23 es un diagrama de bloques de un multiplexor de celda a bit para una constelación 64QAM.

20 La Figura 24 es un diagrama de bloques de un multiplexor de celda a bit para una constelación 256QAM.

La Figura 25 muestra el código LDPC para una longitud de palabra de código de 16200 bits y una tasa de código 7/15.

La Figura 26 muestra el código LDPC para una longitud de palabra de código de 16200 bits y una tasa de código 8/15.

25 **[Descripción de las realizaciones]**

«Hallazgos del presente inventor que conducen a la invención»

30 DBV-T2 (Digital Video Broadcasting - Second Generation Terrestrial) (ETSI EN 302 755: Bibliografía no de Patente 1) es una mejora de DVB-T, que es el estándar para televisión, y describe un sistema de transmisión de línea base de segunda generación para televisión digital terrestre. Más específicamente, el documento ETSI EN 302 755 (Bibliografía no de Patente 1) describe los detalles del sistema de codificación/modulación de canal destinado a servicios de televisión digital y flujos de datos genéricos.

35 La Figura 1 es una descripción general de un modulador DVB-T2 conforme a la arquitectura del sistema DVB-T2 (concepto de diseño fundamental). El modulador DVB-T2 1000 incluye un procesador de entrada 1010, un codificador de codificación y modulación con intercalado de bits (BICM) 1020, un formador de tramas 1030 y un generador OFDM 1040.

40 El procesador de entrada 1010 formatea flujos de bits de entrada con relación a un servicio de difusión en bloques de una longitud predeterminada. El codificador BICM 1020 aplica codificación BICM basada en DVB-T2 a la entrada. El formador de tramas 1030 ensambla tramas de transmisión para transmisión en DVB-T2 desde las entradas recibidas desde el codificador BICM 1020, y similares. El generador OFDM 1040 procesa la estructura de trama para transmisión DVB-T2 añadiendo pilotos, aplicando la Transformada Rápida de Fourier Inversa, insertando intervalos de guarda para emitir señales de transmisión DVB-T2.

La BICM basada en DVB-T2 se describe en la Cláusula 6 del documento ETSI EN 302 755 (Bibliografía no de Patente 1).

45 A continuación se describen los detalles del codificador BICM 1020 mostrado en la Figura 1, con referencia a la Figura 2.

La Figura 2 es un diagrama de bloques del codificador BICM 1020 incluido en el modulador DVB-T2 1000 mostrado en la Figura 1.

El codificador BICM 1020 incluye un codificador FEC 1110, un intercalador de bits 1120, un demultiplexor de bit a celda 1130 y un correlacionador QAM 1140. En la Figura 2, se omiten la rotación de constelación, el intercalador de celdas y el intercalador de tiempo.

Básicamente, el procedimiento para la codificación BICM según DVB-T2 implica la codificación de corrección de error sin canal de retorno (FEC), intercalar los bits de palabra de código resultantes de la codificación FEC, demultiplexar los bits intercalados en palabras de celda y correlacionar las palabras de celda en símbolos QAM (Modulación de Amplitud en Cuadratura) complejos (a los que se hace referencia también como celdas).

El codificador FEC 1110 se compone concatenando un codificador BCH (Bose-Chaudhuri-Hocquenghem) (codificador externo BCH sistemático) 1111 y un codificador LDPC (comprobación de paridad de baja densidad) (codificador interno LDPC sistemático) 1112.

Como se muestra en la Figura 3, el codificador BCH 1111 genera bits de paridad BCH mediante codificación BCH de una trama en banda base y emite, al codificador LDPC 1115, una palabra de código BCH a la que se añaden los bits de paridad BCH. Entonces, el codificador LDPC 1115 codifica la palabra de código BCH con LDPC para generar bits de paridad LDPC y emite al intercalador de bits 1120 una palabra de código LDPC a la que se añaden los bits de paridad LDPC, como se muestra en la Figura 3.

La longitud de palabra de código de la palabra de código LDPC (es decir, el número de bits de un bloque codificado LDPC, al que también se puede hacer referencia como trama FEC) según el estándar DVB-T2 es 64800 bits o 16200 bits. El estándar DVB-T2 especifica códigos LDPC para ambas longitudes de palabras de código. No obstante, solamente la longitud de la palabra de código de 16200 es relevante para la presente invención como se explicará más tarde. El código LDPC proporciona la mayor parte de la capacidad de corrección de errores del sistema, mientras que el código BCH reduce el suelo de error restante después de la decodificación LDPC.

El intercalador de bits 1120 incluye un intercalador de paridad 1121 y un intercalador de columna-fila 1125.

El intercalador de paridad 1121 intercala los bits de paridad de la palabra de código LDPC sistemática. Entonces, el intercalador de columna-fila 1125 intercala los bits de palabra de código LDPC resultantes del intercalado de paridad mediante intercalado de columna-fila.

Posteriormente, el demultiplexor de bit a celda 1130 demultiplexa los bits de palabra de código LDPC resultantes del intercalado de bits a palabras de celda antes de correlacionar con las constelaciones QAM. Obsérvese que la demultiplexación implica el proceso equivalente a una permutación de las columnas de la matriz de intercalador del intercalador de columna-fila 1125 (un proceso de reorganización del orden de las columnas de la matriz de intercalador).

La rotación de constelación, el intercalado de celdas o el intercalado de tiempo, que se realizarán posteriormente al proceso realizado por el demultiplexor de bit a celda 1130, no se tratará en detalle, con el fin de facilitar la explicación y en vista de no ser de relevancia para la comprensión de los principios de la presente invención.

El correlacionador QAM 1140 correlaciona las palabras de celda con las constelaciones QAM.

Los códigos LDPC son códigos de corrección de errores lineales para transmitir un mensaje sobre un canal de transmisión ruidoso. Los códigos LDPC están encontrando un uso creciente en aplicaciones donde se desea una transferencia de información fiable y altamente eficiente sobre enlaces restringidos de ancho de banda o de canal de retorno en presencia de ruido que corrompe los datos. Los códigos LDPC se definen mediante una matriz de comprobación de paridad dispersa (es decir, una matriz de comprobación de paridad en la que solamente están unas pocas entradas).

El codificador LDPC 1115 de DVB-T2 trata la salida del codificador BCH 1111 como un bloque de información y codifica sistemáticamente el bloque de información en una palabra de código LDPC. La tarea del codificador LDPC 1115 es calcular los bits de paridad para cada bloque de información, introducido al codificador LDPC 1115, es decir, para cada palabra de código BCH. El procesamiento del codificador LDPC 1115 usa los códigos particulares que se enumeran en las tablas A.1 a A.6 incluidas en el Anexo A del estándar DVB-T2 302.755 (Bibliografía no de Patente 1).

Se debería señalar que los bits de una palabra de código LDPC tienen diferentes niveles de importancia, mientras que los bits de una constelación tienen diferentes niveles de robustez. Una correlación directa (es decir, no intercalada) de los bits de palabra de código LDPC con los símbolos de constelación conduce a un rendimiento subóptimo. Esta es la razón de por qué se usa el intercalador de bits 1120 así como el demultiplexor de bit a celda 1130 entre el codificador LDPC 1115 y el correlacionador QAM 1140. En otras palabras, el intercalador de bits 1120 y el demultiplexor de bit a celda 1130 permiten lograr una asociación mejorada entre los bits de la palabra de código LDPC codificada y los bits transportados por las constelaciones QAM.

5 Los diferentes niveles de importancia de los bits de una palabra de código LDPC resultan del hecho de que no todos estos bits están implicados en el mismo número de comprobaciones de paridad, como se define por la matriz de comprobación de paridad. A cuantas más comprobaciones de paridad (es decir, nodos de comprobación) esté conectado un bit (es decir, nodo variable), más importante será ese bit en el proceso de decodificación iterativa. Este aspecto es bien entendido en la técnica.

Del mismo modo, los diferentes niveles de importancia de los bits codificados en una constelación QAM es un hecho bien conocido por los expertos en la técnica. Por ejemplo, una constelación 16QAM codifica cuatro bits y tiene dos niveles de robustez. Una constelación 64QAM codifica seis bits y tiene tres niveles de robustez. Una constelación 256QAM codifica ocho bits y tiene cuatro niveles de robustez.

10 Además del estándar DVB-T2, el intercalador de columna-fila 1125 del intercalador de bits 1120 realiza el proceso de intercalado de columna-fila, que es equivalente a un proceso de escribir en serie en modo columna los bits de datos recibidos del intercalador de paridad 1121 en una matriz de intercalador, desplazando cíclicamente (a lo que se hace referencia como torsión) cada columna por un número específico de bits, y leyendo en serie los bits en modo fila. El primer bit de la palabra de código LDPC (trama FEC) se escribe y lee primero.

15 En el intercalado de columna-fila, se define una matriz de intercalador con N_c columnas y N_r filas. Estos dos parámetros (N_c y N_r) se enumeran en la Tabla 1 para todos los tamaños de constelación relevantes (a los que se hace referencia como "modulación" en la Tabla 1) y los códigos LDPC de longitud de palabra de código de 16200 bits. En DVB-T2, no se usa un intercalador de columna-fila para las constelaciones QPSK (4QAM).

Tabla 1

| Modulación | N_c columnas | N_r filas |
|------------|----------------|-------------|
| 16QAM | 8(2x4) | 2025 |
| 64QAM | 12(2x6) | 1350 |
| 256QAM | 8(1x8) | 2025 |

20 La posición de inicio de escritura de cada columna está retorcida (es decir, desplazada cíclicamente) por el parámetro de torsión t_c según la Tabla 2. En la Tabla 2, el parámetro de torsión t_c de todas las columnas de la matriz de intercalador se enumera para todos los tamaños de constelación relevantes (a los que se hace referencia como "modulación" en la Tabla 2) y las longitudes de palabra de código LDPC N_{ldpc} de una palabra de código LDPC.

[Tabla 2]

| Modulación | N _c columnas | Longitud de palabra de código LDPC N _{ldpc} | Parámetro de torsión t _c | | | | | | | | | | | | | | | |
|------------|-------------------------|--|-------------------------------------|---|---|---|----|----|----|----|----|----|----|----|----|----|----|----|
| | | | Columna 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| 16-QAM | 8 | 64800 | 0 | 0 | 2 | 4 | 4 | 5 | 7 | 7 | - | - | - | - | - | - | - | |
| | | 16200 | 0 | 0 | 1 | 7 | 20 | 20 | 21 | - | - | - | - | - | - | - | - | |
| 64-QAM | 12 | 64800 | 0 | 0 | 2 | 2 | 3 | 4 | 4 | 5 | 5 | 7 | 8 | 9 | - | - | - | |
| | | 16200 | 0 | 0 | 0 | 2 | 2 | 2 | 3 | 3 | 3 | 6 | 7 | 7 | - | - | - | |
| 256-QAM | 16 | 64800 | 0 | 2 | 2 | 2 | 2 | 3 | 7 | 15 | 16 | 20 | 22 | 22 | 27 | 27 | 28 | 32 |
| | | 16200 | 0 | 0 | 0 | 1 | 7 | 20 | 21 | - | - | - | - | - | - | - | - | - |

La Figura 4 muestra un proceso realizado por el intercalador de columna-fila 1125, suponiendo que una trama larga con 64800 bits se genera por el codificador FEC 1110 (que incluye el codificador BCH 1111 y el codificador LDPC 1115) y que se usa una constelación 16QAM como la constelación QAM. En consecuencia, la matriz de intercalador tiene 8100 filas y 8 columnas.

- 5 Como se muestra en la Figura 4, el intercalador de columna-fila 1125 escribe en serie los bits de datos, que se reciben del intercalador de paridad 1121, en modo columna en una matriz de intercalador con torsión. En el proceso de torsión, la posición de inicio de escritura de cada columna se retuerce usando el parámetro de torsión t_c mostrado en la Tabla 2. Posteriormente, el intercalador de columna-fila 1125 lee en serie los bits en modo fila de la matriz de intercalador. El MSB (bit más significativo) de la cabecera de trama en banda base se escribe y se lee primero.
- 10 Obsérvese que el “LSB de la Trama FEC” en la Figura 4 se refiere al LSB (bit menos significativo) de la trama FEC después del intercalado de columna-fila con torsión (es decir, intercalado de torsión de columna).

Las Figuras 5A, 5B, 6A y 6C muestran un ejemplo de intercalado de columna-fila para palabras de código LDPC de longitud de palabra de código de 16200 bits, para un número de columnas igual a 8 y 12 respectivamente.

- 15 Más específicamente, las Figuras 5A y 6A son relevantes para la escritura de bits por el intercalador de columna-fila 1125, mientras que las Figuras 5B y 6B son relevantes para la lectura de bits por el intercalador de columna-fila 1125. En cada figura, cada cuadrado más pequeño representa un bit de la palabra de código LDPC, y cada cuadrado negro representa el primer bit de la palabra de código LDPC. Además, la flecha indica el orden en que los bits se escriben o se leen en la matriz de intercalador. Obsérvese que el proceso de torsión no se muestra en las Figuras 5A, 5B, 6A y 6B.

- 20 Supongamos que la matriz de intercalador tiene 8 columnas, los bits de palabra de código LDPC se escriben en el orden de (fila 1, columna 1), (fila 2, columna 1), ... (fila 2025, columna 1), (fila 1, columna 2), ... (fila 2025, columna 8), como se muestra en la Figura 5A, y se leen en el orden de (fila 1, columna 1), (fila 1, columna 2), ... (fila 1, columna 8), (fila 2, columna 1), ... (fila 2025, columna 8), como se muestra en la Figura 5B.

- 25 Obsérvese que solamente dos casos, que son (1) palabras de código LDPC de longitud de palabra de código 16200, para un número de columnas igual a 8, y (2) palabras de código LDPC de longitud de palabra de código 16200, para un número de columnas igual a 12 son relevantes para la presente invención.

- 30 Antes de la correlación QAM, cada palabra de código LDPC que ha sido intercalada con bits por el intercalador de bits 1120 se demultiplexa primero en palabras de celda paralelas por el demultiplexor de bit a celda 1130. Cada palabra de celda demultiplexada contiene tantos bits como están codificados en una constelación QAM (η_{MOD}), es decir, 2 bits para la constelación QPSK (4QAM), 4 bits para la constelación 16QAM, 6 bits para la constelación 64QAM, y 8 bits para la constelación 256QAM. El número resultante de celdas de datos QAM por palabra de código LDPC (bloque FEC) de longitud de palabra de código 16200 bits es por lo tanto $16200/\eta_{MOD}$. Es decir, 8100 celdas para QPSK, 4050 celdas para 16QAM, 2700 celdas para 64QAM y 2025 celdas para 256QAM.

- 35 A continuación se describe ahora el demultiplexor de bit a celda 1130 mostrado en la Figura 2, con referencia a las Figuras 7 hasta 10.

La Figura 7 ilustra la entrada y salida del demultiplexor de bit a celda 1130 mostrado en la Figura 2.

- 40 El flujo de bits del intercalador de bits 1120 se demultiplexa por el demultiplexor de bit a celda 1130 en flujos de bits secundarios como se muestra en la Figura 7. El número de flujos de bits secundarios $N_{\text{flujossecundarios}}$ es dos para constelaciones QPSK (4QAM) e igual al número de columnas de la matriz de intercalador en el intercalador de columna-fila 1125 para constelaciones de orden más alto (16QAM, 64QAM, 256QAM). En este último caso, la demultiplexación también contiene un paso de permutación de bits (que es conceptualmente equivalente a una permutación de las columnas de la matriz de intercalador en el intercalador de columna-fila).

- 45 La Figura 8 es un diagrama de bloques del demultiplexor de bit a celda para la constelación 16QAM. Obsérvese que la Figura 8 se refiere específicamente al caso en el que el número de flujos de bits secundarios $N_{\text{flujossecundarios}} = 8$, donde cada flujo de bits secundario tiene $16200/8 = 2025$ bits.

El demultiplexor de bit a celda 1130A mostrado en la Figura 8 incluye un demultiplexor simple 1131A y un permutador DEMUX 1135A.

- 50 El demultiplexor simple 1131A recibe un flujo de bits (v_0, v_1, v_2, \dots) del intercalador de bits 1120 y demultiplexa el flujo de bits recibido en 8 flujos de bits secundarios, esto es, el primer flujo de bits secundario ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta el octavo flujo de bits secundario ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor simple 1131A entonces emite los 8 flujos de bits secundarios resultantes al permutador DEMUX 1135A. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor simple 1131A corresponden a los bits de entrada v_{i+8xj} para el demultiplexor simple 1131A.

- 55 El permutador DEMUX 1135A recibe los 8 flujos de bits secundarios del demultiplexor simple 1131A, permuta los 8 flujos de bits secundarios recibidos, y emite 8 flujos de bits secundarios obtenidos como resultado de la permutación. Como se muestra en la Figura 8, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador DEMUX 1135A incluyen

dos palabras de celda ($y_{0,2xi}$ a $y_{3,2xi}$ e $y_{0,2xi+1}$ a $y_{3,2xi+1}$) y cada palabra de celda se reenvía al correlacionador QAM 1140 para 16QAM.

5 La Figura 9 es un diagrama de bloques del demultiplexor de bit a celda para la constelación 64QAM. Obsérvese que la Figura 9 se refiere específicamente al caso donde el número de flujos de bits secundarios $N_{\text{flujossecundarios}} = 12$, donde cada flujo de bits secundario tiene $16200/12 = 1350$ bits.

El demultiplexor de bit a celda 1130B mostrado en la Figura 9 incluye un demultiplexor simple 1131B y un permutador DEMUX 1135B.

10 El demultiplexor simple 1131B recibe un flujo de bits (v_0, v_1, v_2, \dots) del intercalador de bits 1120 y demultiplexa el flujo de bits recibido en 12 flujos de bits secundarios, esto es, el primer flujo de bits secundario ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta el duodécimo flujo de bits secundario ($v_{11,0}, v_{11,1}, v_{11,2}, \dots$). El demultiplexor simple 1131B entonces emite los 12 flujos de bits secundarios resultantes al permutador DEMUX 1135B. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor simple 1131B corresponden a los bits de entrada v_{i+12xj} para el demultiplexor simple 1131B.

15 El permutador DEMUX 1135B recibe los 12 flujos de bits secundarios del demultiplexor simple 1131B, permuta los 12 flujos de bits secundarios recibidos, y emite 12 flujos de bits secundarios obtenidos como resultado de la permutación. Como se muestra en la Figura 9, los bits de salida $b_{0,i}$ a $b_{11,i}$ ($i = 0, 1, 2, \dots$) del permutador DEMUX 1135B incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{5,2xi}$ e $y_{0,2xi+1}$ a $y_{5,2xi+1}$) y cada palabra de celda se reenvía al correlacionador QAM 1140 para 64QAM.

20 La Figura 10 es un diagrama de bloques del demultiplexor de bit a celda para la constelación 256QAM. Obsérvese que la Figura 10 se refiere específicamente al caso donde el número de flujos de bits secundarios $N_{\text{flujossecundarios}} = 8$, donde cada flujo de bits secundario tiene $16200/8 = 2025$ bits.

El demultiplexor de bit a celda 1130C mostrado en la Figura 10 incluye un demultiplexor simple 1131C y un permutador DEMUX 1135C.

25 El demultiplexor simple 1131C recibe un flujo de bits (v_0, v_1, v_2, \dots) del intercalador de bits 1120 y demultiplexa el flujo de bits recibido en 8 flujos de bits secundarios, esto es, el primer flujo de bits secundario ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta el octavo flujo de bits secundario ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor simple 1131C entonces emite los 8 flujos de bits secundarios resultantes al permutador DEMUX 1135C. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor simple 1131C corresponden a los bits de entrada v_{i+8xj} para el demultiplexor simple 1131C.

30 El permutador DEMUX 1135C recibe los 8 flujos de bits secundarios del demultiplexor simple 1131C, permuta los 8 flujos de bits secundarios recibidos, y emite 8 flujos de bits secundarios obtenidos como resultado de la permutación. Como se muestra en la Figura 10, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador DEMUX 1135C incluyen una palabra de celda ($y_{0,i}$ a $y_{7,i}$) y la palabra de celda se reenvía al correlacionador QAM 1140 para 256QAM.

La demultiplexación de bit a celda por el demultiplexor de bit a celda 1130 se define como una correlación de los bits de entrada intercalados con bits b_{di} sobre los bits de salida $b_{e,do}$, donde:

do es $di \div N_{\text{flujossecundarios}}$;

35 div es una función que devuelve una parte entera del resultado obtenido dividiendo di por $N_{\text{flujossecundarios}}$;

e es el flujo de bits secundario demultiplexado (flujo de bits secundario emitido desde el demultiplexor de bit a celda 1130) número ($0 \leq e < N_{\text{flujossecundarios}}$);

v_{di} es la entrada al demultiplexor de bit a celda 1130;

di es el número de bits de entrada;

40 $b_{e,do}$ es la salida del demultiplexor de bit a celda 1130; y

do es el número de bits de un flujo de bits secundario dado emitido desde el demultiplexor de bit a celda 1130.

45 En consecuencia, si se asume la configuración de ejemplo de la Figura 4, con la longitud de palabra de código de 16200 bits y constelación 16QAM, 8 flujos de bits secundarios se formarían ($N_{\text{flujossecundarios}} = 8$) según la Tabla 1 anterior. Cada flujo de bits secundario tiene $16200/8 = 2025$ bits ($do = di \div N_{\text{flujossecundarios}}$) y constituye una columna de la matriz de intercalador.

50 El estándar DVB-T2 define procesos de demultiplexación de bit a celda para todas las tasas de código LDPC disponibles en DVB-T2 (1/2, 3/5, 2/3, 3/4, 4/5 y 5/6), y los modos de constelación (QPSK, 16QAM, 64QAM y 256 QAM) (véanse las Tablas 13(a, b, c) en la Cláusula 6.2.1 de la Bibliografía no de Patente 1: EN 302.755 v1.2.1). Estos parámetros mostrados en las Tablas 13(a, b, c) definen permutaciones de los bits de entrada a los bits de salida de un flujo de bits secundario.

Por ejemplo, para palabras de código LDPC de una longitud de palabra de código de 16200 bits y la constelación QAM es una constelación 16QAM, un bit de entrada v_{di} se permuta en un bit de salida b_e según la siguiente regla de permutación (véase la Tabla 13(a) en la Cláusula 6.2.1 de Bibliografía no de Patente 1: EN 302.755 v1.2.1).

Es decir, la regla de permutación es $v_0 = b_7, v_1 = b_1, v_2 = b_4, v_3 = b_2, v_4 = b_5, v_5 = b_3, v_6 = b_6, v_7 = b_0$.

- 5 Esta regla de permutación está optimizada para las tasas de código 1/2, 3/4, 4/5 y 5/6, de manera que se minimiza la tasa de error en la salida del decodificador LDPC en el receptor.

10 Excepto para QPSK (longitud de palabra de código LDPC $N_{ldpc} = 64800$ o 16200) y 256QAM ($N_{ldpc} = 16200$ solamente), las palabras de ancho $N_{flujossecundarios}$ se dividen en dos palabras de celda de ancho $\eta_{MOD} = N_{flujossecundarios}/2$ en la salida del demultiplexor de bit a celda. Los primeros $\eta_{MOD} = N_{flujossecundarios}/2$ bits $[b_{0,do} \dots b_{N_{flujossecundarios}/2-1, do}]$ forman el primero de un par de palabras de celda de salida $[y_{0,2do} \dots y_{\eta_{mod}-1,2do}]$ y los bits de salida restantes $[b_{N_{flujossecundarios}/2, do} \dots b_{N_{flujossecundarios}-1, do}]$ forman la segunda palabra de celda de salida $[y_{0,2do+1} \dots y_{\eta_{mod}-1,2do+1}]$ alimentada al correlacionador QAM.

15 En el caso de QPSK (longitud de palabra de código LDPC $N_{ldpc} = 64800$ o 16200) y 256QAM ($N_{ldpc} = 16200$ solamente), las palabras de ancho $N_{flujossecundarios}$ del demultiplexor de bit a celda forman las palabras de celda de salida y se alimentan directamente al correlacionador QAM (así que: $[y_{0,do} \dots y_{\eta_{mod}-1, do}] = [b_{0,do} \dots b_{N_{flujossecundarios}-1, do}]$).

En particular, el número de palabras de celda implicadas en una permutación DEMUX por el permutador DEMUX es o bien una (para 256QAM) o bien dos (para 16QAM y 64QAM).

Puesto de manera diferente, la permutación DEMUX es conceptualmente equivalente a una permutación de las columnas en la matriz de intercalador del intercalador de columna-fila del intercalador de bits.

- 20 Posteriormente, cada palabra de celda emitida desde el demultiplexor de bit a celda se modula según una constelación de correlación particular (tal como QPSK, 16QAM, 64QAM o 256QAM). Las constelaciones y los detalles de la correlación de Gray aplicada a los bits según DVB-T2 se ilustran en las Figuras 11, 12, 13 y 14.

25 Actualmente está bajo desarrollo en el órgano de estandarización DVB un estándar de difusión digital de próxima generación para recepción portátil bajo el nombre DVB-NGH. Este estándar DVB-NGH usará la misma estructura BICM que se ha explicado anteriormente, que comprende codificación FEC, intercalado de bits, demultiplexación y correlación de constelación QAM. Además de algunas de las tasas de código LDPC de DVB-T2, se añaden dos tasas de código LDPC adicionales (esto es, 7/15 y 8/15). Las mismas constelaciones QAM que DVB-T2 permanecerán, es decir, la constelación QPSK (4QAM), la constelación 16QAM, la constelación 64QAM y la constelación 256QAM.

30 Solamente las palabras de código LDPC cortas de 16K, es decir, con 16200 bits, se usarán en DVB-NGH. En DVB-NGH, los códigos LDPC han sido propuestos para ser usados para las tasas de código recién introducidas de 7/15 y 8/15. Los códigos LDPC particulares a ser usados probablemente para las tasas de código de 7/15 y 8/15 se representan respectivamente en las Figuras 25 y 26, y los contenidos de la Bibliografía no de Patente 2 también son de ayuda.

35 La descripción de los códigos en las Figuras 25 y 26 es idéntica a la usada en el estándar DVB-S2, más exactamente en la Cláusula 5.3.2 y los Anexos B y C de la Bibliografía no de Patente 3 (ETSI EN 302 307, V1.2.1, publicada en abril de 2009). La Figura 25 muestra las direcciones de los acumuladores de bits de paridad para el código LDPC que tiene una longitud de palabra de código de 16200 bits con la tasa de código de 7/15. La Figura 26 muestra las direcciones de los acumuladores de bits de paridad para el código LDPC que tiene una longitud de palabra de código de 16200 bits con la tasa de código de 8/15. El factor paralelo o cíclico tiene el mismo valor 360 como en DVB-S2.

40 Dado que la descripción de las Figuras 25 y 26 cumplen con los contenidos de la Bibliografía no de Patente 3, se supone naturalmente que los códigos LDPC son fácilmente entendibles por los expertos en la técnica en base a las Figuras 25 y 26. Sin embargo, a continuación se describe un ejemplo en el que se aplican los contenidos de la Bibliografía no de Patente 3 (Cláusula 5.3.2 y Anexos B y C del documento ETSI EN 302 307 V1.2.1 (abril de 2009)).

45 El codificador LDPC codifica sistemáticamente un bloque de información (salida del codificador BCH) i de tamaño K_{ldpc} a una palabra de código LDPC c de tamaño de N_{ldpc} , como en la Ecuación 1 a continuación.

[Ecuación 1]

$$i = (i_0, i_1, \dots, i_{K_{ldpc}-1}),$$

$$c = (c_0, c_1, c_2, \dots, c_{N_{ldpc}-1}) = (i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1})$$

donde $i_0, i_1, \dots, i_{K_{ldpc}-1}$: bits de información

$$p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1} \text{ bits de paridad}$$

Obsérvese que los parámetros (N_{ldpc} y K_{ldpc}) para el código LDPC con la tasa de código 7/15 son (16200 y 7560).

5 La tarea del codificador LDPC es calcular los $N_{ldpc} - K_{ldpc}$ bits de paridad para cada bloque de K_{ldpc} bits de información.

Primero, los bits de paridad se inicializan como se muestra en la Ecuación 2.

[Ecuación 2]

$$p_0 = p_1 = \dots = p_{N_{ldpc}-K_{ldpc}-1} = 0$$

10 El primer bit de información i_0 se acumula en cada dirección de bit de paridad especificada en la primera fila de la Figura 25. Más específicamente, se realizan las operaciones de la Ecuación 3.

[Ecuación 3]

$$\begin{array}{ll} p_3 = p_3 \oplus i_0 & p_{6535} = p_{6535} \oplus i_0 \\ p_{137} = p_{137} \oplus i_0 & p_{6560} = p_{6560} \oplus i_0 \\ p_{314} = p_{314} \oplus i_0 & p_{7146} = p_{7146} \oplus i_0 \\ p_{327} = p_{327} \oplus i_0 & p_{7180} = p_{7180} \oplus i_0 \\ p_{983} = p_{983} \oplus i_0 & p_{7408} = p_{7408} \oplus i_0 \\ p_{1597} = p_{1597} \oplus i_0 & p_{7790} = p_{7790} \oplus i_0 \\ p_{2028} = p_{2028} \oplus i_0 & p_{7893} = p_{7893} \oplus i_0 \\ p_{3043} = p_{3043} \oplus i_0 & p_{8123} = p_{8123} \oplus i_0 \\ p_{3217} = p_{3217} \oplus i_0 & p_{8313} = p_{8313} \oplus i_0 \\ p_{4109} = p_{4109} \oplus i_0 & p_{8526} = p_{8526} \oplus i_0 \\ p_{6020} = p_{6020} \oplus i_0 & p_{8616} = p_{8616} \oplus i_0 \\ p_{6178} = p_{6178} \oplus i_0 & p_{8638} = p_{8638} \oplus i_0 \end{array}$$

donde, el símbolo \oplus representa XOR.

Para los siguientes 359 bits de información i_m ($m = 1, 2, \dots, 359$), i_m se acumula en cada dirección de bit de paridad $\{x + (m \bmod 360) \times q\} \bmod (N_{ldpc} - K_{ldpc})$. Obsérvese que x denota la dirección del acumulador de bits de paridad correspondiente al primer bit i_0 , y q es una constante dependiente de la tasa de código 7/15, que en este caso es 24. El valor de q se da por $q = (N_{ldpc} - K_{ldpc})/360$.

5 Para el bit de información $361^{\circ} i_{360}$, las direcciones de los acumuladores de bits de paridad se dan en la segunda fila de la Figura 25. De una manera similar, para los siguientes 360 bits de información i_m ($m = 361, 362, \dots, 719$), las direcciones de los acumuladores de bits de paridad se dan por $\{x + (m \bmod 360) \times q\} \bmod (N_{ldpc} - K_{ldpc})$. Obsérvese que x denota la dirección del acumulador de bits de paridad para el bit de información $360^{\circ} i_{360}$, es decir, las entradas en la segunda fila de la Figura 25.

10 De una manera similar, para cada grupo de 360 nuevos bits de información, se usa una nueva fila de la Figura 25 para encontrar las direcciones de los acumuladores de bits de paridad.

Después de que todos los bits de información se agoten, los bits de paridad finales se obtienen de la siguiente manera.

Realicemos secuencialmente las operaciones de la Ecuación 4 comenzando con $i = 1$.

15 [Ecuación 4]

$$p_i = p_i \oplus p_{i-1}, i = 1, 2, \dots, N_{ldpc} - K_{ldpc} - 1$$

donde, el símbolo \oplus representa XOR.

El contenido final de p_i ($i = 0, 1, \dots, N_{ldpc} - K_{ldpc} - 1$) es igual al bit de paridad p_i .

20 Obsérvese que la misma descripción que se ha dado anteriormente en el ejemplo dirigido a la Figura 25 es aplicable a la Figura 26, sustituyendo simplemente los valores de las entradas en cada fila de la Figura 25 con los de Figura 26. Sin embargo, los parámetros (N_{ldpc} y K_{ldpc}) para el código LDPC son (16200 y 8640) y que $q = 21$.

Aunque la descripción anterior de los códigos LDPC cumple con la notación de DVB-S2, según la notación de DVB-T2 o DVB-NGH, q mencionada anteriormente se escribe como Q_{ldpc} , por ejemplo.

25 En el estándar DVB-NGH, actualmente no se definen permutaciones por demultiplexor de bit a celda para las tasas de código 7/15 y 8/15 para la constelación 16QAM, la constelación 64QAM y la constelación 256QAM, respectivas. Como en DVB-T2, la constelación QPSK (4QAM) no necesita tal permutación por el demultiplexor de bit a celda. Es debido a que los dos bits codificados en una constelación QPSK tienen el mismo nivel de robustez!

30 Con el fin de maximizar el rendimiento de los nuevos códigos LDPC de tasa 7/15 y 8/15 junto con diversos tamaños de constelaciones QAM y bajo diversas condiciones de recepción, se requieren nuevas reglas de permutación optimizadas para la demultiplexación de bit a celda.

«Ejemplos»

A continuación, se explicarán en detalle varios ejemplos, con referencia a los dibujos. Las explicaciones no se deberían entender como limitantes de la invención, sino como un mero ejemplo de los principios generales de la presente invención.

35 La mayoría de los ejemplos explicados a continuación se refieren al sistema DVB-NGH. El nuevo estándar DVB-NGH actualizará y sustituirá al estándar DVB-H para la difusión digital a dispositivos móviles.

Aunque todavía no se ha decidido finalmente, se supone que el sistema DVB-NGH adopta una estructura similar a la del subsistema DVB-T2, como se ha explicado anteriormente en la sección "Hallazgos del presente inventor que conducen a la invención" de esta especificación. No obstante, esto no debería restringir el alcance de la protección.

40 Diversos ejemplos proporcionan un sistema para procesar señales de bits a ser transmitidas antes de que se introduzcan a un correlacionador QAM. Ejemplos adicionales proporcionan un sistema para procesar señales de bits recibidas desde el decorrelacionador QAM (para realizar el proceso inverso del proceso llevado a cabo en los bits de transmisión en el lado de transmisión).

45 Se supone que una señal digital, que comprende por ejemplo una señal de audio y/o de video, ha de ser transmitida/difundida desde transmisores y se pretende que sea recibida por receptores, tales como terminales móviles.

<Lado de transmisión>

A continuación se describe un codificador BICM, con referencia a los dibujos. Obsérvese que el codificador BICM se proporciona en un transmisor.

5 La Figura 15 es un diagrama de bloques del codificador BICM. El codificador BICM mostrado en la Figura 15 corresponde básicamente al codificador BICM según DVB-T2 y descrito en detalle en la sección "Hallazgos del presente inventor que conducen a la invención" con referencia a las Figuras 1 hasta 14.

El codificador BICM 100 mostrado en la Figura 15 incluye un codificador FEC 110, un intercalador de bits 120, un demultiplexor de bit a celda 130 y un correlacionador QAM 140.

El codificador FEC 110 incluye un codificador BCH 111 y un codificador LDPC 115.

10 Al codificador BCH 111, se introduce una señal digital (señal en banda base), tal como una señal de audio y/o de video, que consta de bits de información. El codificador BCH 111 genera bits de paridad BCH codificando BCH una entrada de trama en banda base a la misma y emite una palabra de código BCH a la que se añaden los bits de paridad BCH al codificador LDPC 115.

15 El codificador LDPC 115 codifica la palabra de código BCH con un código LDPC específico para generar bits de paridad LDPC. Obsérvese que el código LDPC usado aquí en este ejemplo es un código LDPC que tiene una longitud de palabra de código de 16200 bits con una tasa de código 7/15 según la Figura 25 o un código LDPC que tiene una longitud de palabra de código de 16200 bits con una tasa de código 8/15 según a la Figura 26.

20 El codificador LDPC 115 emite al intercalador de bits 120 una palabra de código LDPC de $N_{ldpc} = 16200$ bits a la que se añaden los bits de paridad LDPC obtenidos como resultado de la codificación LDPC (es decir, un flujo de bits de paquetes de datos que consiste en $N_{ldpc} = 16200$ bits). Se debería señalar que la salida de un flujo de bits de paquetes de datos que consiste en $N_{ldpc} = 64800$ bits del codificador LDPC 115 no está prevista para la transmisión/recepción de señales para dispositivos portátiles según el estándar DVB-NGH. Las palabras de código LDPC codificadas de 16200 bits se introducen al intercalador de bits 120 que realiza intercalado de paridad e intercalado de torsión de columna como se explica en el estándar DVB-T2, Cláusula 6.1.3.

25 El intercalador de bits 120 incluye un intercalador de paridad 121 y un intercalador de columna-fila 125.

El intercalador de paridad 121 realiza el intercalado de paridad para permutar el orden de los bits de paridad de la palabra de código LDPC de 16200 bits y emite la palabra de código LDPC resultante al intercalador de columna-fila 125.

30 Más específicamente, permitamos que λ denote la entrada al intercalador de paridad 121 y u denote la salida del intercalador de paridad 121, el intercalador de paridad 121 realiza las operaciones de la Ecuación 5.

[Ecuación 5]

$$u_i = \lambda_i : 0 \leq i < K_{ldpc}$$

$$u_{K_{ldpc}+360t+s} = \lambda_{K_{ldpc}+Q_{ldpc}s+t} : 0 \leq s < 360, 0 \leq t < Q_{ldpc}$$

35 En la Ecuación 5, K_{ldpc} denota el número de bits de información de una palabra de código LDPC y los bits de información no están intercalados. El factor cíclico de la matriz de comprobación de paridad es 360. Obsérvese que $Q_{ldpc} = 24$ para la tasa de código 7/15, mientras que $Q_{ldpc} = 21$ para la tasa de código 8/15.

El intercalador de columna-fila 125 realiza el intercalado de torsión de columna (intercalado de columna-fila con torsión) sobre la palabra de código LDPC de 16200 bits de intercalado de paridad recibida desde el intercalador de paridad 121 y emite la palabra de código LDPC de 16200 bits resultante del intercalado de torsión de columna al demultiplexor de bit a celda 130.

40 La matriz de intercalador usada por el intercalador de columna-fila 125 para el intercalado de torsión de columna es una matriz cuyo número de entradas (un valor obtenido multiplicando el número de columnas por el número de filas) es 16200, que es igual al número de bits de palabra de código LDPC. Es decir, las dimensiones de la matriz de intercalador difieren (es decir, el número de columnas así como el número de filas difieren) dependiendo del tipo de modulación que se usa en el correlacionador QAM 140. Como se ha explicado anteriormente, para 16QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 2025$ y el número de columnas $N_c = 8$. Para 64QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 1350$ y el número de columnas $N_c = 12$. Para 256QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 2025$ y el número de columnas $N_c = 8$.

50 Considerando la torsión de columna y el número de columnas, 8 o 12, el intercalador de columna-fila 125 escribe en serie en modo columna los 16200 bits de datos (palabra de código LDPC de intercalado de paridad), que se emite desde el intercalador de paridad 121, con torsión. En el proceso de torsión, la posición de inicio de escritura de cada

columna se retuerce usando los parámetros de torsión de columna t_c mostrados en la Tabla 2. Posteriormente, el intercalador de columna-fila 125 lee en serie los 16200 bits de la matriz de intercalador en modo fila (véanse las Figuras 4, 5 y 6 para referencia).

5 No obstante, se debería observar que los ejemplos de la presente invención, en particular las diversas reglas de permutación usadas por el demultiplexor de bit a celda, se pueden aplicar a parámetros de torsión de columna no enumerados en la Tabla 2. Además, aunque el intercalado de torsión de columna es parte del sistema DVB-T2 y, de este modo, probablemente será parte del sistema DVB-NGH, las realizaciones de la presente invención también se pueden aplicar a un proceso de intercalado de columna-fila sin torsión de columna.

10 Después del proceso de intercalado de torsión de columna por el intercalador de columna-fila 125, el demultiplexor de bit a celda 130 permuta las palabras de código LDPC de 16200 bits según los diversos ejemplos. El procesamiento de permutación y, en particular, las reglas de permutación que se han de aplicar, dependen de: (1) el código LDPC usado por el codificador LDPC 115, caracterizado además por su longitud de palabra de código y la tasa de código; y (2) el tamaño de constelación QAM usado por el correlacionador QAM 140.

15 Como se ha explicado antes, el demultiplexor de bit a celda 130 demultiplexa los bits de la palabra de código LDPC de intercalado de bits, que se introduce desde el intercalador de bits 120, en palabras de celda paralelas. Entonces, el demultiplexor de bit a celda 130 realiza la permutación después de la cual las palabras de celda permutadas se correlacionan con símbolos de constelación según la correlación QAM especificada. El número de celdas de datos QAM de salida (el número de palabras de celda) y el número efectivo de bits por palabra de celda η_{MOD} es el mismo que para DVB-T2 explicado en la sección "Hallazgos del presente inventor que conducen a la invención" de esta especificación. En particular, hay 8100 celdas para QPSK (4QAM), 4050 celdas para 16QAM, 2700 celdas para 64QAM y 2025 celdas para 256 QAM.

A continuación se describe ahora el demultiplexor de bit a celda 130 mostrado en la Figura 15, con referencia a las Figuras 16 hasta 19.

La Figura 16 ilustra la entrada y salida del demultiplexor de bit a celda 130 mostrado en la Figura 15.

25 El flujo de bits del intercalador de bits 120 se demultiplexa por el demultiplexor de bit a celda 130 en flujos de bits secundarios como se muestra en la Figura 16. El número de flujos de bits secundarios $N_{\text{flujossecundarios}}$ es el mismo que para DVB-T2. En particular, el número de flujos de bits secundarios $N_{\text{flujossecundarios}}$ es 2 para constelaciones QPSK (4QAM), 8 para la constelación 16QAM, 12 para la constelación 64QAM y 8 para la constelación 256QAM.

30 Después de la demultiplexación de bit a celda, se lleva a cabo una permutación mediante un intercalado particular de bits de entrada b_{di} sobre los bits de salida $b_{e,do}$. Obsérvese que $do = di \text{ div } N_{\text{flujossecundarios}}$, y div es una función que devuelve una parte entera del resultado obtenido dividiendo di por $N_{\text{flujossecundarios}}$. Además, e es el número de flujos de bits demultiplexado ($0 \leq e < N_{\text{flujossecundarios}}$) (es decir, el número que identifica el flujo de bits secundario emitido desde el demultiplexor de bit a celda 130). Aún más, v_{di} son los bits de entrada al demultiplexor de bit a celda 130, y di es el número de bits de entrada. Aún más, $b_{e,do}$ son los bits de salida del demultiplexor de bit a celda 130, y do es el número de bits de un flujo de bits secundario dada emitido desde el demultiplexor de bit a celda 130.

La Figura 17 es un diagrama de bloques del demultiplexor de bit a celda para la constelación 16QAM. Obsérvese que la Figura 17 se refiere específicamente al caso donde el número de flujos de bits secundarios $N_{\text{flujossecundarios}} = 8$, donde cada flujo de bits secundario tiene $16200/8 = 2025$ bits.

40 El demultiplexor de bit a celda 130A mostrado en la Figura 17 incluye un demultiplexor simple 131A y un permutador DEMUX 135A.

45 El demultiplexor simple 131A recibe un flujo de bits (v_0, v_1, v_2, \dots) del intercalador de bits 120 y demultiplexa el flujo de bits recibido en 8 flujos de bits secundarios, esto es, el primer flujo de bits secundario ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta el octavo flujo de bits secundario ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor simple 131A entonces emite los 8 flujos de bits secundarios resultantes al permutador DEMUX 135A. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor simple 131A corresponden a los bits de entrada v_{i+8xj} para el demultiplexor simple 131A.

50 El permutador DEMUX 135A recibe los 8 flujos de bits secundarios del demultiplexor simple 131A, permuta los 8 flujos de bits secundarios recibidos, y emite 8 flujos de bits secundarios obtenidos como resultado de la permutación. Como se muestra en la Figura 17, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador DEMUX 135A incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{3,2xi}$ e $y_{0,2xi+1}$ a $y_{3,2xi+1}$) y cada palabra de celda se reenvía al correlacionador QAM 140 para 16QAM.

La Figura 18 es un diagrama de bloques del demultiplexor de bit a celda para la constelación 64QAM. Obsérvese que la Figura 18 se refiere específicamente al caso para el cual el número de flujos de bits secundarios $N_{\text{flujossecundarios}} = 12$, donde cada flujo de bits secundario tiene $16200/12 = 1350$ bits.

55 El demultiplexor de bit a celda 130B mostrado en la Figura 18 incluye un demultiplexor simple 131B y un permutador DEMUX 135B.

- 5 El demultiplexor simple 131B recibe un flujo de bits (v_0, v_1, v_2, \dots) del intercalador de bits 120 y demultiplexa el flujo de bits recibido en 12 flujos de bits secundarios, esto es, el primer flujo de bits secundario ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta el duodécimo flujo de bits secundario ($v_{11,0}, v_{11,1}, v_{11,2}, \dots$). El demultiplexor simple 131B entonces emite los 12 flujos de bits secundarios resultantes al permutador DEMUX 135B. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor simple 131B corresponden a los bits de entrada v_{i+12xj} para el demultiplexor simple 131B.
- 10 El permutador DEMUX 135B recibe los 12 flujos de bits secundarios del demultiplexor simple 131B, permuta los 12 flujos de bits secundarios recibidos, y emite 12 flujos de bits secundarios obtenidos como resultado de la permutación. Como se muestra en la Figura 18, los bits de salida $b_{0,i}$ a $b_{11,i}$ ($i = 0, 1, 2, \dots$) del permutador DEMUX 135B incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{5,2xi}$ e $y_{0,2xi+1}$ a $y_{5,2xi+1}$) y cada palabra de celda se reenvía al correlacionador QAM 140 para 64QAM.
- 15 La Figura 19 es un diagrama de bloques del demultiplexor de bit a celda para la constelación 256QAM. Obsérvese que la Figura 19 se refiere específicamente al caso para el cual el número de flujos de bits secundarios $N_{\text{flujos secundarios}} = 8$, donde cada flujo de bits secundario tiene $16200/8 = 2025$ bits.
- El demultiplexor de bit a celda 130C mostrado en la Figura 19 incluye un demultiplexor simple 131C y un permutador DEMUX 135C.
- 20 El demultiplexor simple 131C recibe un flujo de bits (v_0, v_1, v_2, \dots) del intercalador de bits 120 y demultiplexa el flujo de bits recibido en 8 flujos de bits secundarios, esto es, el primer flujo de bits secundario ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) hasta el octavo flujo de bits secundario ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor simple 131C entonces emite los 8 flujos de bits secundarios resultantes al permutador DEMUX 135C. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor simple 131C corresponden a los bits de entrada v_{i+8xj} para el demultiplexor simple 131C.
- 25 El permutador DEMUX 135C recibe los 8 flujos de bits secundarios del demultiplexor simple 131C, permuta los 8 flujos de bits secundarios recibidos, y emite 8 flujos de bits secundarios obtenidos como resultado de la permutación. Como se muestra en la Figura 19, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador DEMUX 135C incluyen una palabra de celda ($y_{0,i}$ a $y_{7,i}$) y la palabra de celda se reenvía al correlacionador QAM 1140 para 256QAM.
- 30 Las palabras de celda obtenidas como resultado del procesamiento por el demultiplexor de bit a celda 130 (130A hasta 130C) se emiten en serie al correlacionador QAM 140 mostrado en la Figura 15. El correlacionador QAM 140 correlaciona las palabras de celda (la salida del demultiplexor de bit a celda) con los símbolos de constelación según la particular de la modulación 16QAM, 64QAM y 256QAM de las Figuras 12, 13 y 14, es decir, según el etiquetado de bits usado en el estándar DVB-T2.
- 35 A continuación, los parámetros de demultiplexación se presentarán según diversos ejemplos para aplicar esquemas de permutación para diferentes códigos LDPC y diferentes modos de modulación. La siguiente permutación se aplica en el permutador DEMUX del demultiplexor de bit a celda, según las Figuras 17 hasta 19, como siendo parte de la Figura 15.
- A continuación se describen las reglas de permutación usadas por el permutador DEMUX proporcionado en el demultiplexor de bit a celda, para los tres casos siguientes:
- Caso A: El codificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una tasa de código 7/15 como se muestra en la Figura 25, y el correlacionador QAM usa una constelación 64QAM;
- Caso B: El codificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una tasa de código 7/15 como se muestra en la Figura 25, y el correlacionador QAM usa una constelación 256QAM; y
- 40 Caso C: el codificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una tasa de código 8/15 como se muestra en la Figura 26, y el correlacionador QAM usa una constelación 64QAM.
- (Caso A)
- 45 A continuación se describe el procesamiento realizado por el demultiplexor de bit a celda 130B mostrado en la Figura 18, según un ejemplo. Este ejemplo está dirigido al caso donde el codificador LDPC 115 usa el código LDPC que tiene una longitud de palabra de código de 16200 y una tasa de código 7/15 como se muestra en la Figura 25, y el correlacionador QAM 140 usa una modulación 64QAM como el esquema de modulación.
- La permutación en el permutador DEMUX 135B se realiza como se representa en la Figura 18 sobre los 12 bits de una fila de la matriz de intercalador que se lee en modo fila y luego se demultiplexa según la Figura 18.
- 50 Después del proceso de demultiplexación, el permutador DEMUX 135B permuta los 12 bits de entrada v_{di} ($v_{di,do}$) a los 12 bits de salida b_e ($b_{e,do}$) según la siguiente regla de permutación.
- La regla de permutación es $v_0 = b_2, v_1 = b_4, v_2 = b_0, v_3 = b_1, v_4 = b_3, v_5 = b_6, v_6 = b_5, v_7 = b_8, v_8 = b_{10}, v_9 = b_7, v_{10} = b_{11}, v_{11} = b_9$.

Después de realizar la permutación anterior, se extraen dos palabras de celda para cada b_e . Las dos palabras de bit a celda y_0 - y_5 se emiten al correlacionador QAM 140 del tipo 64QAM para ser correlacionadas con dos símbolos de modulación consecutivos.

(Caso B)

5 A continuación se describe el procesamiento realizado por el demultiplexor de bit a celda 130C mostrado en la Figura 19, según otro ejemplo. Este ejemplo está dirigido al caso donde el codificador LDPC 115 usa el código LDPC que tiene una longitud de palabra de código de 16200 y una tasa de código 7/15 como se muestra en la Figura 25, y el correlacionador QAM 140 usa una modulación 256QAM como el esquema de modulación.

10 La permutación en el permutador DEMUX 135C se realiza como se representa en la Figura 19 sobre los 8 bits de una fila de la matriz de intercalador que se lee en modo fila y luego se demultiplexa según la Figura 19.

Después del proceso de demultiplexación, el permutador DEMUX 135C permuta los 8 bits de entrada v_{di} ($v_{di,do}$) a los 8 bits de salida b_e ($b_{e,do}$) según la siguiente regla de permutación.

Es decir, la regla de permutación es $v_0 = b_2$, $v_1 = b_6$, $v_2 = b_0$, $v_3 = b_1$, $v_4 = b_4$, $v_5 = b_5$, $v_6 = b_3$, $v_7 = b_7$.

15 Después de realizar la permutación anterior, se extrae una palabra de celda para cada b_e . La palabra de bit a celda y_0 - y_7 se emite al correlacionador QAM 140 del tipo 256QAM para ser correlacionada con dos símbolos de modulación consecutivos.

(Caso C)

20 A continuación se describe el procesamiento realizado por el demultiplexor de bit a celda 130B mostrado en la Figura 18, según otro ejemplo más de la realización de la presente invención. Este ejemplo está dirigido al caso donde el codificador LDPC 115 usa el código LDPC que tiene una longitud de palabra de código de 16200 y un código 8/15 como se muestra en la Figura 26, y el correlacionador QAM 140 usa una modulación 64QAM como el esquema de modulación.

La permutación en el permutador DEMUX 135B se realiza como se representa en la Figura 18 sobre los 12 bits de una fila de la matriz de intercalador que se lee en modo fila y luego se demultiplexa según la Figura 18.

25 Después del proceso de demultiplexación, el permutador DEMUX 135B permuta los 12 bits de entrada v_{di} ($v_{di,do}$) a los 12 bits de salida b_e ($b_{e,do}$) según la siguiente regla de permutación.

La regla de permutación es $v_0 = b_0$, $v_1 = b_4$, $v_2 = b_5$, $v_3 = b_1$, $v_4 = b_6$, $v_5 = b_7$, $v_6 = b_2$, $v_7 = b_{10}$, $v_8 = b_3$, $v_9 = b_8$, $v_{10} = b_9$, $v_{11} = b_{11}$.

30 Después de realizar la permutación anterior, se extraen dos palabras de celda para cada b_e . Las dos palabras de bit a celda y_0 - y_5 se emiten al correlacionador QAM 140 del tipo 64QAM para ser correlacionadas con dos símbolos de modulación consecutivos.

<Lado de recepción>

35 A continuación se describe un decodificador BICM según un ejemplo, con referencia a los dibujos. Obsérvese que el decodificador BICM se proporciona en un receptor. Ejemplos de aparatos que tienen el decodificador BICM según este ejemplo incluyen dispositivos de mano, teléfonos móviles, tabletas, ordenadores agenda, televisores, etc.

40 El procesamiento por el decodificador BICM proporcionado en el receptor será básicamente el inverso del procesamiento explicado anteriormente realizado por el codificador BICM proporcionado en el transmisor. En resumen, las celdas complejas se demodularán según la correlación de constelación (QPSK, 16QAM, 64QAM, 256QAM) para determinar las palabras de bit a celda transmitidas. Una palabra de celda (en el caso de 256QAM) o dos palabras de celda (en los casos de 16QAM y 64QAM) se permutarán en bits según una regla de permutación que es inversa a la del lado de transmisión, y luego se multiplexará en un flujo de bits. El flujo de bits resultante se somete a un desintercalado de columna-fila por un desintercalador de columna-fila, así como a un desintercalado de paridad por un desintercalador de paridad. Obsérvese que los bits desintercalados por el desintercalador de paridad son solamente bits de paridad. Los bits de salida del desintercalador de paridad se decodifican por el decodificador LDPC, que está en concordancia con la codificación LDPC del lado de transmisión. Entonces, se emite un flujo de bits resultante de la decodificación.

45 A continuación se describe en detalle el decodificador BICM.

La Figura 20 es un diagrama de bloques del decodificador BICM según el ejemplo.

50 El decodificador BICM 300 mostrado en la Figura 20 incluye un decorrelacionador QAM 310, un multiplexor de celda a bit 320, un desintercalador de bits 330 y un decodificador FEC 340.

El descorrelacionador QAM 310 demodula celdas complejas según un modo de modulación particular (tal como 16QAM, 64QAM o 256QAM) y emite las palabras de celda resultantes al multiplexor de celda a bit 320. Las palabras de celda correspondientes a 16QAM, 64QAM y 256QAM comprenden 4, 6 y 8 bits, respectivamente.

5 La demodulación QAM realizada por el decorrelacionador QAM 310 está según la modulación QAM realizada por el correlacionador QAM 140 proporcionado en el transmisor. Si el correlacionador QAM 140 del transmisor realiza modulación 16QAM según el etiquetado de DVB-T2 de la Figura 12, el decorrelacionador QAM 310 realiza la demodulación en base a la misma 16QAM de la Figura 12, para demodular cada símbolo de modulación (celda compleja) en una palabra de celda de 4 bits. Lo mismo se aplica a todas las modulaciones QAM según las Figuras 11, 13 y 14.

10 El multiplexor de celda a bit 320 incluye un bloque de permutación y un bloque de multiplexación. En el lado receptor, el bloque de permutación procesa los bits demodulados según una regla de permutación que depende del modo de modulación y el código LDPC usado en el lado de transmisión (y a la inversa en el lado de recepción).

A continuación se describe ahora el multiplexor de celda a bit 330 mostrado en la Figura 20, con referencia a las Figuras 21 hasta 24.

15 La Figura 21 ilustra la entrada y salida del multiplexor de celda a bit 320 mostrado en la Figura 20.

Las palabras de celda b y que consisten en bits de entrada b se introducen al multiplexor de celda a bit 320 y se permutan por el multiplexor de celda a bit 320 para generar palabras de salida v .

La Figura 22 es un diagrama de bloques del multiplexor de celda a bit para la constelación 16QAM.

20 El multiplexor de celda a bit 320A mostrado en la Figura 22 incluye un permutador DEMUX inverso 321A y un multiplexor simple 325A.

25 El permutador DEMUX inverso 321A recibe 8 flujos de bits secundarios (8 bits b_0 - b_7 que forman dos palabras de celda de 4 bits y_0 - y_3), que se introducen desde el decorrelacionador QAM 140 para 16QAM. El permutador DEMUX inverso 321A realiza una permutación en los 8 flujos de bits secundarios recibidos (es decir, una permutación para restaurar el orden de los flujos de bits secundarios que está antes de la permutación por el permutador DEMUX 135A en el lado de transmisión) y emite los 8 flujos de bits secundarios resultantes al multiplexor simple 325A.

El multiplexor simple 325A multiplexa los 8 flujos de bits secundarios obtenidos como resultado de la permutación a un flujo de bits único de 16200 bits a emitir. Los bits de salida resultantes v_{i+8xj} del multiplexor simple 325A corresponden a los bits de entrada $v_{i,j}$ del multiplexor simple 325A.

La Figura 23 es un diagrama de bloques del multiplexor de celda a bit para la constelación 64QAM.

30 El multiplexor de celda a bit 320B mostrado en la Figura 23 incluye un permutador DEMUX inverso 321B y un multiplexor simple 325B.

35 El permutador DEMUX inverso 321B recibe 12 flujos de bits secundarios (12 bits b_0 - b_{11} que forman dos palabras de celda de 6 bits y_0 - y_5), que se introducen desde el decorrelacionador QAM 140 para 64QAM. El permutador DEMUX inverso 321B realiza una permutación en los 12 flujos de bits secundarios recibidos (es decir, una permutación para restaurar el orden de los flujos de bits secundarios que está antes de la permutación por el permutador DEMUX 135B en el lado de transmisión) y emite los 12 flujos de bits secundarios resultantes al multiplexor simple 325B.

El multiplexor simple 325B multiplexa los 12 flujos de bits secundarios obtenidos como resultado de la permutación a un flujo de bits único de 16200 bits a emitir. Los bits de salida resultantes v_{i+12xj} del multiplexor simple 325B corresponden a los bits de entrada $v_{i,j}$ del multiplexor simple 325B.

40 La Figura 24 es un diagrama de bloques del multiplexor de celda a bit para la constelación 256QAM.

El multiplexor de celda a bit 320C mostrado en la Figura 24 incluye un permutador DEMUX inverso 321C y un multiplexor simple 325C.

45 El permutador DEMUX inverso 321C recibe 8 flujos de bits secundarios (8 bits b_0 - b_7 que forman una palabra de celda de 8 bits y_0 - y_7), que se introducen desde el decorrelacionador QAM 140 para 256QAM. El permutador DEMUX inverso 321C realiza una permutación en los 8 flujos de bits secundarios recibidos (es decir, una permutación para restaurar el orden de los flujos de bits secundarios que está antes de la permutación por el permutador DEMUX 135C en el lado de transmisión) y emite los 8 flujos de bits secundarios resultantes al multiplexor simple 325C.

50 El multiplexor simple 325C multiplexa los 8 flujos de bits secundarios obtenidos como resultado de la permutación a un flujo de bits único de 16200 bits a emitir. Los bits de salida resultantes v_{i+8xj} del multiplexor simple 325C corresponden a los bits de entrada $v_{i,j}$ del multiplexor simple 325C.

Se describirán más adelante los detalles de las reglas de permutación usadas por el permutador DEMUX inverso.

El desintercalador de bits 330 incluye un desintercalador de columna-fila 331 y un desintercalador de paridad 335.

El desintercalador de columna-fila 331 recibe un flujo de bits compuesto de 16200 bits v (v_0, v_1, v_2, \dots) desde el multiplexor de celda a bit 320 (320A hasta 320C). El desintercalador de columna-fila 331 realiza el desintercalado de columna-fila con torsión (desintercalado de torsión de columna) sobre los 16200 bits de entrada recibidos. Más específicamente, el desintercalador de columna-fila 331 escribe en serie los 16200 bits de entrada en modo fila en una matriz de desintercalador, y entonces lee en serie los 16200 bits en modo columna de la matriz de desintercalador con torsión. En el proceso de torsión, la posición de inicio de lectura de cada columna se retuerce usando el parámetro de torsión t_c mostrado en la Tabla 2. Las dimensiones de la matriz de desintercalador dependen del tamaño de constelación usado en el proceso de demodulación por el descorrelacionador QAM 310 y la longitud de la palabra de código del código LDPC usado en la demodulación LDPC por el decodificador LDPC 341. Con más detalle, en el caso de que el código LDPC tenga una longitud de palabra de código de 16200 bits, el número de columnas de la matriz de desintercalador es 8 para 16QAM, dando como resultado 2025 filas. Para 64QAM, el número de columnas es 12, dando como resultado 1350 filas. Para 256QAM, el número de columnas es 8, dando como resultado 2025 filas.

Obsérvese que los valores del parámetro de torsión t_c usado por el desintercalador de columna-fila 331 son los mismos que los valores del parámetro de torsión t_c usado por el intercalador de columna-fila 125. Obsérvese que el intercalador de columna-fila 125 puede realizar el intercalado de columna-fila sin torsión. En tal caso, el desintercalador de columna-fila 331 realiza el desintercalado de columna-fila sin torsión.

El desintercalador de paridad 335 realiza el desintercalado de paridad para permutar el orden de los bits de paridad LDPC de entre los bits introducidos desde el desintercalador de columna-fila 331 (es decir, para restaurar el orden de los bits antes de la permutación por el intercalador de paridad 121 en el lado de transmisión) (véase la Ecuación 5).

El decodificador FEC 340 incluye el decodificador LDPC 341 y un decodificador BCH 345.

El decodificador LDPC 341 realiza la demodulación usando el código LDPC usado por el codificador LDPC 115 del transmisor mostrado en la Figura 15. Más específicamente, un código LDPC que tiene una longitud de palabra de código de 16200 bits con tasa de código 7/15 según la Figura 25 o un código LDPC que tiene una longitud de palabra de código de 16200 bits con tasa de código 8/15 según la Figura 26 se usa en la demodulación.

El decodificador BCH 345 realiza un proceso de decodificación BCH sobre los datos resultantes de la demodulación por el decodificador LDPC 341.

A continuación se describe en detalle las reglas de permutación usadas por el permutador MUX proporcionado en el multiplexor de celda a bit, para los tres casos siguientes.

Caso A: El decodificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una tasa de código 7/15 como se muestra en la Figura 25, y el decorrelacionador QAM realiza una demodulación 64QAM.

Caso B: El decodificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una tasa de código 7/15 como se muestra en la Figura 25, y el decorrelacionador QAM realiza una demodulación 256QAM.

Caso C: El decodificador LDPC usa un código LDPC que tiene una longitud de palabra de código de 16200 bits y una tasa de código 8/15 como se muestra en la Figura 26, y el decorrelacionador QAM usa una demodulación 64QAM.

(Caso A)

A continuación se describe el procesamiento realizado por el multiplexor de celda a bit 320B mostrado en la Figura 23, según un ejemplo. Obsérvese que este ejemplo está dirigido al caso donde el decodificador LDPC 341 usa el código LDPC que tiene una longitud de palabra de código de 16200 y una tasa de código 7/15 como se muestra en la Figura 25, y el decorrelacionador QAM 310 realiza la demodulación 64QAM.

La permutación por el permutador DEMUX inverso 321B se realiza como se ilustra en la Figura 23 sobre 12 bits que se introducen en serie desde el decorrelacionador QAM 310.

En el proceso de permutación, el permutador DEMUX inverso 321B permuta dos palabras de celda compuestas de 12 bits de entrada b_e ($b_{e,do}$) a los 12 bits de salida v_{di} ($v_{di,do}$) según la siguiente regla de permutación.

La regla de permutación es $v_0 = b_2, v_1 = b_4, v_2 = b_0, v_3 = b_1, v_4 = b_3, v_5 = b_6, v_6 = b_5, v_7 = b_8, v_8 = b_{10}, v_9 = b_7, v_{10} = b_{11}, v_{11} = b_9$.

Los bits v permutados de este modo se multiplexan por el multiplexador simple 325B.

(Caso B)

5 A continuación se describe el procesamiento realizado por el multiplexor de celda a bit 320C mostrado en la Figura 24, según otro ejemplo. Obsérvese que este ejemplo está dirigido al caso donde el decodificador LDPC 341 usa el código LDPC que tiene una longitud de palabra de código de 16200 y una tasa de código 7/15 como se muestra en la Figura 25, y el decorrelacionador QAM 310 realiza demodulación 256QAM.

La permutación por el permutador DEMUX inverso 321B se realiza como se ilustra en la Figura 24 sobre 8 bits que se introducen en serie desde el decorrelacionador QAM 310.

En el proceso de permutación, el permutador DEMUX inverso 321C permuta una palabra de celda compuesta de 8 bits de entrada b_e ($b_{e,do}$) a los 8 bits de salida v_{di} ($v_{di,do}$) según la siguiente regla de permutación.

10 Es decir, la regla de permutación es $v_0 = b_2, v_1 = b_6, v_2 = b_0, v_3 = b_1, v_4 = b_4, v_5 = b_5, v_6 = b_3, v_7 = b_7$.

Los bits v permutados de este modo se multiplexan por el multiplexor simple 325C.

(Caso C)

15 A continuación se describe el procesamiento realizado por el multiplexor de celda a bit 320B mostrado en la Figura 23, según otro ejemplo más de la realización de la presente invención. Obsérvese que este ejemplo se dirige al caso donde el decodificador LDPC 341 usa el código LDPC que tiene una longitud de palabra de código de 16200 y una tasa de código 8/15 como se muestra en la Figura 26, y el decorrelacionador QAM 310 realiza demodulación 64QAM.

La permutación por el permutador DEMUX inverso 321B se realiza como se ilustra en la Figura 23 sobre 12 bits que se introducen en serie desde el decorrelacionador QAM 310.

20 En el proceso de permutación, el permutador DEMUX inverso 321B permuta dos palabras de celda compuestas de 12 bits de entrada b_e ($b_{e,do}$) a los 12 bits de salida v_{di} ($v_{di,do}$) según la siguiente regla de permutación.

La regla de permutación es $v_0 = b_0, v_1 = b_4, v_2 = b_5, v_3 = b_1, v_4 = b_6, v_5 = b_7, v_6 = b_2, v_7 = b_{10}, v_8 = b_3, v_9 = b_8, v_{10} = b_9, v_{11} = b_{11}$.

Los bits v permutados de este modo se multiplexan por el multiplexor simple 325B.

25 Las reglas de permutación usadas por los permutadores DEMUX 135B y 135C mostradas en las Figuras 18 y 19 así como por los permutadores DEMUX inversos 321B y 325C mostrados en las Figuras 23 y 24 se enumeran en la Tabla 3 a continuación.

[Tabla 3]

| Tasa de Código LDPC | Esquema de modulación | |
|-------------------------|---------------------------|-----------------|
| | 64QAM | 256QAM |
| Tasa de Código LDPC 7/5 | 2 4 0 1 3 6 5 8 10 7 11 9 | 2 6 0 1 4 5 3 7 |
| Tasa de Código LDPC 8/5 | 0 4 5 1 6 7 2 10 3 8 9 11 | - |

30 Las explicaciones anteriores dadas en la sección "Hallazgos del presente inventor que conducen a la invención" no se deberían entender como que limitan la invención a las implementaciones específicas descritas de procesos y funciones en la red de comunicación móvil. Sin embargo, las mejoras propuestas en los ejemplos se pueden aplicar fácilmente en las arquitecturas/sistemas descritos en la sección "Hallazgos del presente inventor que conducen a la invención" y, en algunos ejemplos, también pueden hacer uso de procedimientos estándar y mejorados de estas arquitecturas/sistemas.

35 <<Suplemento 1>>

La presente invención no se limita a los ejemplos específicos descritos anteriormente. A condición de que se logren los objetivos de la presente invención y los objetivos que se acompañan, también son posibles otras variaciones, tales como las siguientes.

40 (1) Los diversos ejemplos descritos anteriormente pueden relacionarse con la implementación usando hardware y software. Se reconoce que los diversos ejemplos descritos anteriormente se pueden implementar o realizar usando dispositivos informáticos (procesadores). Un dispositivo informático o procesador puede ser, por ejemplo, procesadores principales/procesadores de propósito general, procesadores de señal digital (DSP), circuitos integrados de aplicaciones específicas (ASIC), agrupaciones de puertas programables en campo (FPGA) u otros dispositivos lógicos programables, etc. Los diversos ejemplos también se pueden realizar o incorporar mediante una combinación de estos dispositivos.

(2) Además, los diversos ejemplos descritos anteriormente también se pueden implementar por medio de módulos de software, que se ejecutan por un procesador o directamente en hardware. También es posible una combinación de módulos de software y una implementación de hardware. Los módulos de software se pueden almacenar en cualquier tipo de medio de almacenamiento legible por ordenador, por ejemplo, RAM, EPROM, EEPROM, memoria rápida, registros, discos duros, CD-ROM, DVD, etc.

Lista de signos de referencia

| | | |
|----|-----------|---------------------------------|
| | 100 | Codificador BICM |
| | 110 | Codificador FEC |
| | 111 | Codificador BCH |
| 10 | 115 | Codificador LDPC |
| | 120 | Intercalador de bits |
| | 121 | Intercalador de paridad |
| | 125 | Intercalador de columna-fila |
| | 130 | Demultiplexor de bit a celda |
| 15 | 130A-130C | Demultiplexor de bit a celda |
| | 131 | Demultiplexor simple |
| | 131A-131C | Demultiplexor simple |
| | 135 | Permutador DEMUX |
| | 135A-135C | Permutador DEMUX |
| 20 | 140 | Correlacionador QAM |
| | 300 | Decodificador BICM |
| | 310 | Descorrelacionador QAM |
| | 320 | Multiplexor de celda a bit |
| | 320A-320C | Multiplexor de celda a bit |
| 25 | 321 | Permutador DEMUX inverso |
| | 321A-321C | Permutador DEMUX inverso |
| | 325 | Multiplexor simple |
| | 325A-325C | Multiplexor simple |
| | 330 | Desintercalador de bits |
| 30 | 331 | Desintercalador de columna-fila |
| | 335 | Desintercalador de paridad |
| | 340 | Decodificador BICM |
| | 341 | Decodificador LDPC |
| | 345 | Decodificador BCH |

35

REIVINDICACIONES

1. Un método de generación de señal OFDM, Multiplexación por División de Frecuencia Ortogonal, que comprende:

un paso de codificación de bits de información en una palabra de código según un código de comprobación de paridad de baja densidad con una tasa de código 7/15 y una longitud de código de 16200, el código de comprobación de paridad de baja densidad mostrado en la Tabla 1-1:

5

Direcciones de acumuladores de bits de paridad para el código LDPC con la tasa de código 7/15 y la longitud de palabra de código de 16200

| | | | | | | | | | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 3 | 137 | 314 | 327 | 983 | 1597 | 2028 | 3043 | 3217 | 4109 | 6020 | 6178 | 6535 | 6560 | 7146 | 7180 | 7408 | 7790 | 7893 | 8123 | 8313 | 8526 | 8616 | 8638 |
| 356 | 1197 | 1208 | 1839 | 1903 | 2712 | 3088 | 3537 | 4091 | 4301 | 4919 | 5068 | 6025 | 6195 | 6324 | 6378 | 6686 | 6829 | 7558 | 7745 | 8042 | 8382 | 8587 | 8602 |
| 18 | 187 | 1115 | 1417 | 1463 | 2300 | 2328 | 3502 | 3805 | 4677 | 4827 | 5551 | 5968 | 6394 | 6412 | 6753 | 7169 | 7524 | 7695 | 7976 | 8069 | 8118 | 8522 | 8582 |
| 714 | 2713 | 2726 | 2964 | 3055 | 3220 | 3334 | 3459 | 5557 | 5765 | 5841 | 6230 | 6419 | 6573 | 6856 | 7186 | 7937 | 8156 | 8286 | 8327 | 8384 | 8448 | 8539 | 8559 |
| 3452 | 7935 | 8092 | 8623 | | | | | | | | | | | | | | | | | | | | |
| 56 | 1955 | 3000 | 8242 | | | | | | | | | | | | | | | | | | | | |
| 1809 | 4094 | 7991 | 8489 | | | | | | | | | | | | | | | | | | | | |
| 2220 | 6455 | 7849 | 8548 | | | | | | | | | | | | | | | | | | | | |
| 1006 | 2576 | 3247 | 6976 | | | | | | | | | | | | | | | | | | | | |
| 2177 | 6048 | 7795 | 8295 | | | | | | | | | | | | | | | | | | | | |
| 1413 | 2595 | 7446 | 8594 | | | | | | | | | | | | | | | | | | | | |
| 2101 | 3714 | 7541 | 8531 | | | | | | | | | | | | | | | | | | | | |
| 10 | 5961 | 7484 | | | | | | | | | | | | | | | | | | | | | |
| 3144 | 4636 | 5282 | | | | | | | | | | | | | | | | | | | | | |
| 5708 | 5875 | 8390 | | | | | | | | | | | | | | | | | | | | | |
| 3322 | 5223 | 7975 | | | | | | | | | | | | | | | | | | | | | |
| 197 | 4653 | 8283 | | | | | | | | | | | | | | | | | | | | | |
| 598 | 5393 | 8624 | | | | | | | | | | | | | | | | | | | | | |
| 906 | 7249 | 7542 | | | | | | | | | | | | | | | | | | | | | |
| 1223 | 2148 | 8195 | | | | | | | | | | | | | | | | | | | | | |
| 976 | 2001 | 5005 | | | | | | | | | | | | | | | | | | | | | |

[Tabla 1-1]

un paso de intercalado de bits de realización de intercalado de paridad e intercalado de columna-fila sobre bits de la palabra de código obtenida en el paso de codificación, el intercalado de columna-fila que se lleva a cabo con torsión;

10 un paso de demultiplexación de bit a celda de demultiplexación de una secuencia de bits intercalados en el paso de intercalado de bits en 8 secuencias de bits $v_{i,j}$, en donde i denota una de las 8 secuencias y el bit $v_{i,j}$ corresponde al bit v_{i+8xj} , de dicha secuencia de bits intercalados, y que realiza una permutación sobre las 8 secuencias de bits según una regla de permutación predeterminada para permutar cada conjunto de 8 bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) a un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) para obtener 8 secuencias de bits permutados, donde q es un índice;

15

un paso de correlación de correlación de cada una de las palabras de celda de 8 bits ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$) cada una compuesta de un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) de las 8 secuencias de bits permutados obtenidos en el paso de demultiplexación de bit a celda, en una celda compleja ($\text{Re}(Z_q), \text{Im}(Z_q)$) según la constelación 256QAM, Modulación de Amplitud en Cuadratura, mostrada en las Tablas 1-2 y 1-3;

5

[Tabla 1-2]

| | | | | | | | | | | | | | | | | |
|------------------|-----|-----|-----|----|----|----|----|----|---|---|---|---|---|----|----|----|
| $y_{0,q}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| $y_{2,q}$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| $y_{4,q}$ | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| $y_{6,q}$ | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| $\text{Re}(Z_q)$ | -15 | -13 | -11 | -9 | -7 | -5 | -3 | -1 | 1 | 3 | 5 | 7 | 9 | 11 | 13 | 15 |

[Tabla 1-3]

| | | | | | | | | | | | | | | | | |
|------------------|-----|-----|-----|----|----|----|----|----|---|---|---|---|---|----|----|----|
| $y_{1,q}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| $y_{3,q}$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| $y_{5,q}$ | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| $y_{7,q}$ | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| $\text{Im}(Z_q)$ | -15 | -13 | -11 | -9 | -7 | -5 | -3 | -1 | 1 | 3 | 5 | 7 | 9 | 11 | 13 | 15 |

un paso de formación de tramas de ensamblaje de una trama de transmisión de la celda compleja generada en el paso de correlación; y

10 un paso de generación de señal OFDM de generación de señales OFDM añadiendo pilotos, aplicando una Transformada Rápida de Fourier inversa, y realizando la inserción de intervalos de guarda con respecto a la trama de transmisión ensamblada en el paso de construcción de tramas,

en donde

$(b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}) = (y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q})$, y la regla de permutación predeterminada es:

15 $v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q}$.

2. Un generador de señal OFDM, Multiplexación por División de Frecuencia Ortogonal, que comprende:

un codificador (110) adaptado para codificar bits de información en una palabra de código según un código de comprobación de paridad de baja densidad con una tasa de código 7/15 y una longitud de código de 16200, el código de comprobación de paridad de baja densidad mostrado en la Tabla 2-1:

Direcciones de acumuladores de bits de paridad para el código LDPC con la tasa de código 7/15 y la longitud de palabra de código de 16200

| | | | | | | | | | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 3 | 137 | 314 | 327 | 983 | 1597 | 2028 | 3043 | 3217 | 4109 | 6020 | 6178 | 6535 | 6560 | 7146 | 7180 | 7408 | 7790 | 7893 | 8123 | 8313 | 8526 | 8616 | 8638 |
| 356 | 1197 | 1208 | 1839 | 1903 | 2712 | 3088 | 3537 | 4091 | 4301 | 4919 | 5068 | 6025 | 6195 | 6324 | 6378 | 6686 | 6829 | 7558 | 7745 | 8042 | 8382 | 8587 | 8602 |
| 18 | 187 | 1115 | 1417 | 1463 | 2300 | 2328 | 3502 | 3805 | 4677 | 4827 | 5551 | 5968 | 6394 | 6412 | 6753 | 7169 | 7524 | 7695 | 7976 | 8069 | 8118 | 8522 | 8582 |
| 714 | 2713 | 2726 | 2964 | 3055 | 3220 | 3334 | 3459 | 5557 | 5765 | 5841 | 6290 | 6419 | 6573 | 6856 | 7786 | 7937 | 8156 | 8286 | 8327 | 8384 | 8448 | 8539 | 8559 |
| 3452 | 7935 | 8092 | 8623 | | | | | | | | | | | | | | | | | | | | |
| 56 | 1955 | 3000 | 8242 | | | | | | | | | | | | | | | | | | | | |
| 1809 | 4094 | 7991 | 8489 | | | | | | | | | | | | | | | | | | | | |
| 2220 | 6455 | 7849 | 8548 | | | | | | | | | | | | | | | | | | | | |
| 1006 | 2576 | 3247 | 6976 | | | | | | | | | | | | | | | | | | | | |
| 2177 | 6048 | 7795 | 8295 | | | | | | | | | | | | | | | | | | | | |
| 1413 | 2595 | 7446 | 8594 | | | | | | | | | | | | | | | | | | | | |
| 2101 | 3714 | 7541 | 8531 | | | | | | | | | | | | | | | | | | | | |
| 10 | 5961 | 7484 | | | | | | | | | | | | | | | | | | | | | |
| 3144 | 4636 | 5282 | | | | | | | | | | | | | | | | | | | | | |
| 5708 | 5875 | 8390 | | | | | | | | | | | | | | | | | | | | | |
| 3322 | 5223 | 7975 | | | | | | | | | | | | | | | | | | | | | |
| 197 | 4653 | 8283 | | | | | | | | | | | | | | | | | | | | | |
| 598 | 5393 | 8624 | | | | | | | | | | | | | | | | | | | | | |
| 906 | 7249 | 7542 | | | | | | | | | | | | | | | | | | | | | |
| 1223 | 2148 | 8195 | | | | | | | | | | | | | | | | | | | | | |
| 976 | 2001 | 5005 | | | | | | | | | | | | | | | | | | | | | |

[Tabla 2-1]

- 5 un intercalador de bits (120) adaptado para llevar a cabo un intercalado de paridad y un intercalado de columna-fila sobre bits de la palabra de código obtenida por el codificador, el intercalado de columna-fila que se lleva a cabo con torsión; y
- 10 un demultiplexor de bit a celda (130) adaptado para demultiplexar una secuencia de bits intercalados por el intercalador de bits en 8 secuencias de bits $v_{i,j}$, en donde i denota una de las 8 secuencias y el bit $v_{i,j}$ corresponde al bit v_{i+8xj} , de dicha secuencia de bits intercalados, y para realizar una permutación sobre las 8 secuencias de bits según una regla de permutación predeterminada para permutar cada conjunto de 8 bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) a un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) para obtener 8 secuencias de bits permutados, donde q es un índice;
- 15 un correlacionador (140) adaptado para correlacionar cada una de las palabras de celda de 8 bits ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$) cada una compuesta de un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) de las 8 secuencias de bits permutados obtenidos por el demultiplexor de bit a celda, en una celda compleja ($Re(Z_q), Im(Z_q)$) según la constelación 256QAM, Modulación de Amplitud en Cuadratura, mostrada en las Tablas 2-2 y 2-3;

[Tabla 2-2]

| | | | | | | | | | | | | | | | | |
|------------------|-----|-----|-----|----|----|----|----|----|---|---|---|---|---|----|----|----|
| $y_{0,q}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| $y_{2,q}$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| $y_{4,q}$ | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| $y_{6,q}$ | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| $\text{Re}(z_q)$ | -15 | -13 | -11 | -9 | -7 | -5 | -3 | -1 | 1 | 3 | 5 | 7 | 9 | 11 | 13 | 15 |

[Tabla 2-3]

| | | | | | | | | | | | | | | | | |
|------------------|-----|-----|-----|----|----|----|----|----|---|---|---|---|---|----|----|----|
| $y_{1,q}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| $y_{3,q}$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| $y_{5,q}$ | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| $y_{7,q}$ | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| $\text{Im}(z_q)$ | -15 | -13 | -11 | -9 | -7 | -5 | -3 | -1 | 1 | 3 | 5 | 7 | 9 | 11 | 13 | 15 |

un formador de tramas adaptado para ensamblar una trama de transmisión usando la celda compleja generada por el correlacionador; y

- 5 un generador OFDM que genera señales OFDM añadiendo pilotos, aplicando una Transformada Rápida de Fourier inversa, y realizando la inserción de intervalos de guarda con respecto a la trama de transmisión ensamblada por el formador de tramas,

en donde

- 10 $(b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}) = (y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q})$, y la regla de permutación predeterminada es:

$$v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q}.$$

FIG. 1

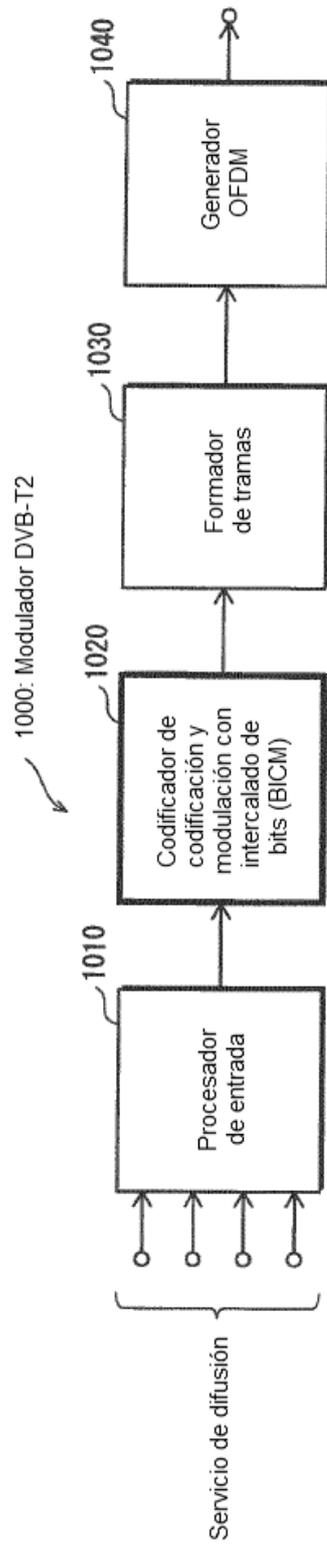


FIG. 2

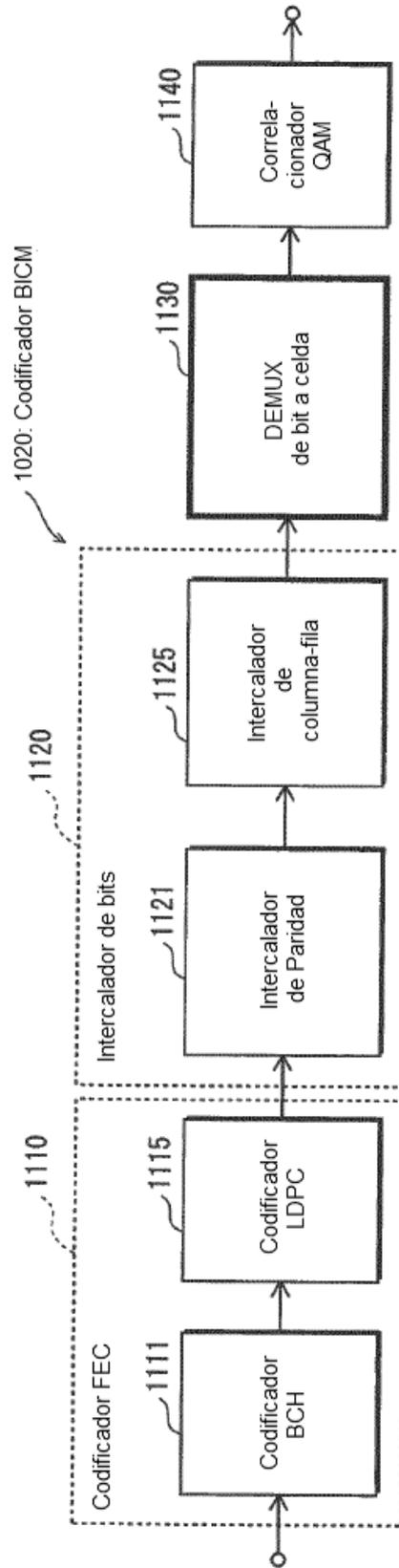


FIG. 3

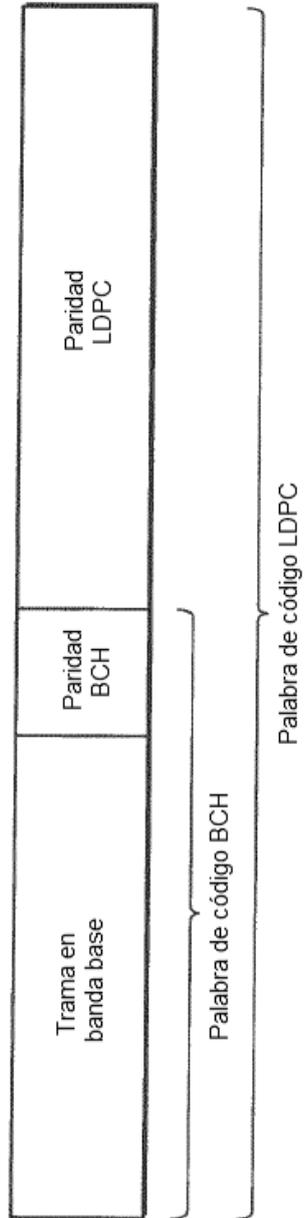


FIG. 4

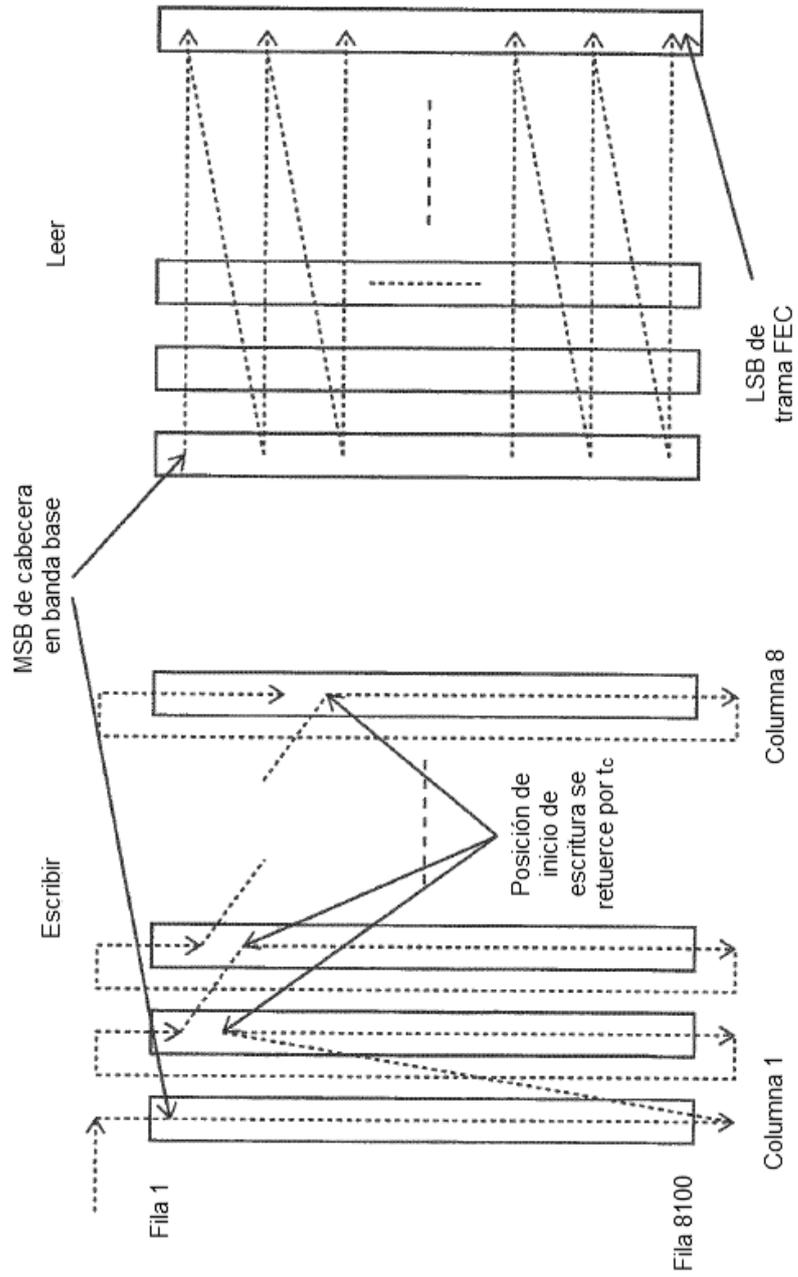


FIG. 5A

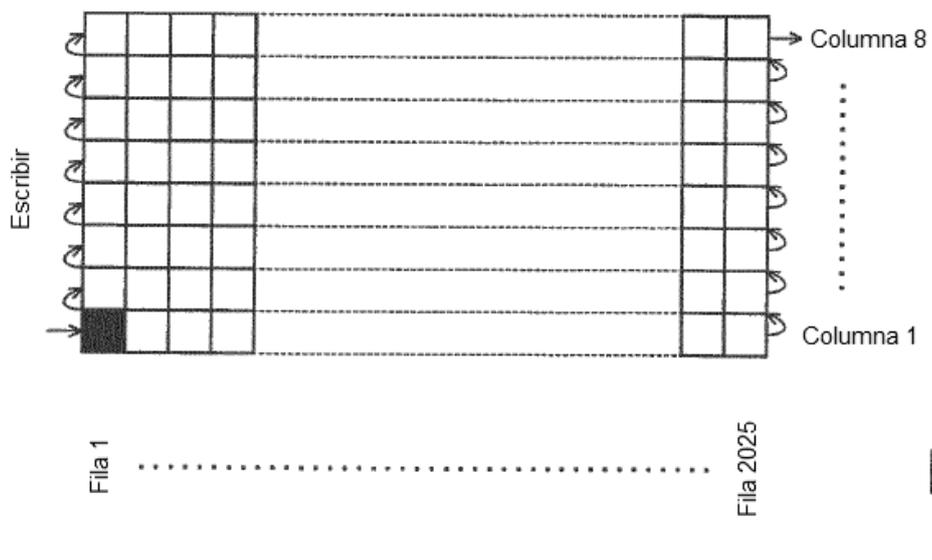
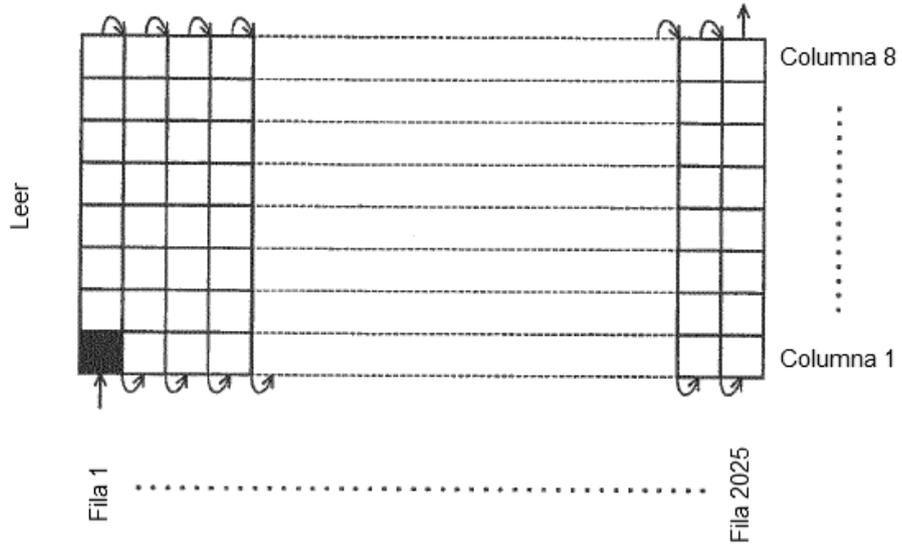


FIG. 5B



■ = Primer bit de la palabra de código LDPC (trama FEC)

FIG. 6B

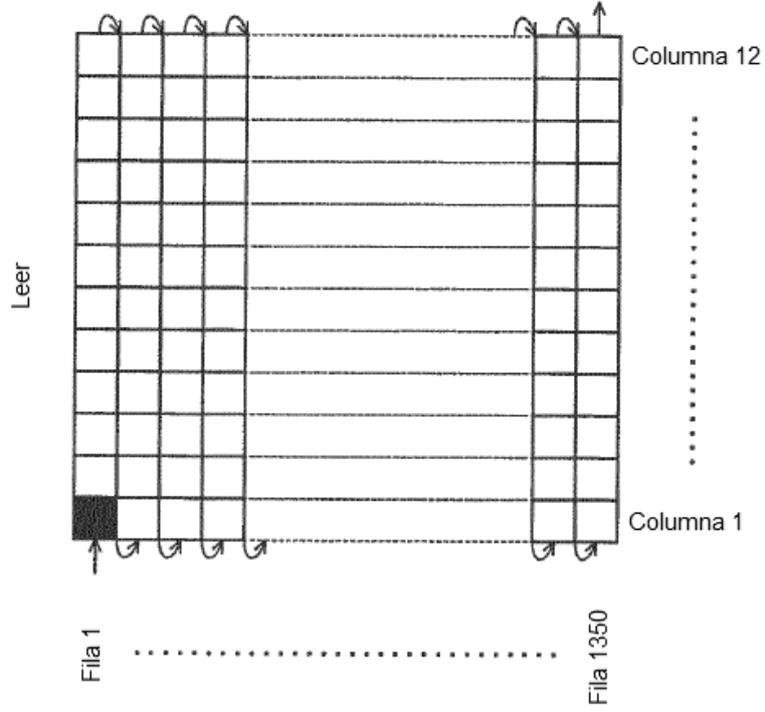
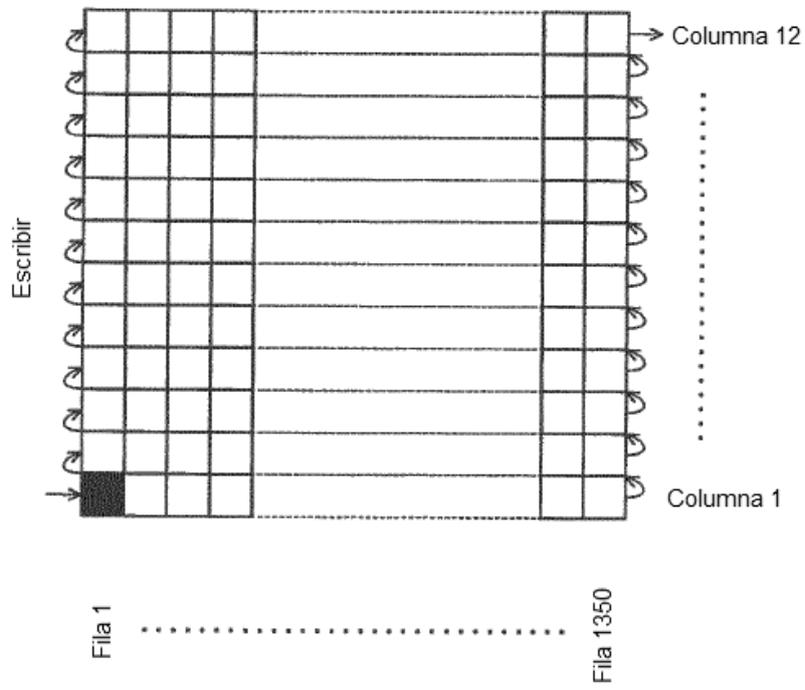


FIG. 6A



 = Primer bit de la palabra de código LDPC (trama FEC)

FIG. 7

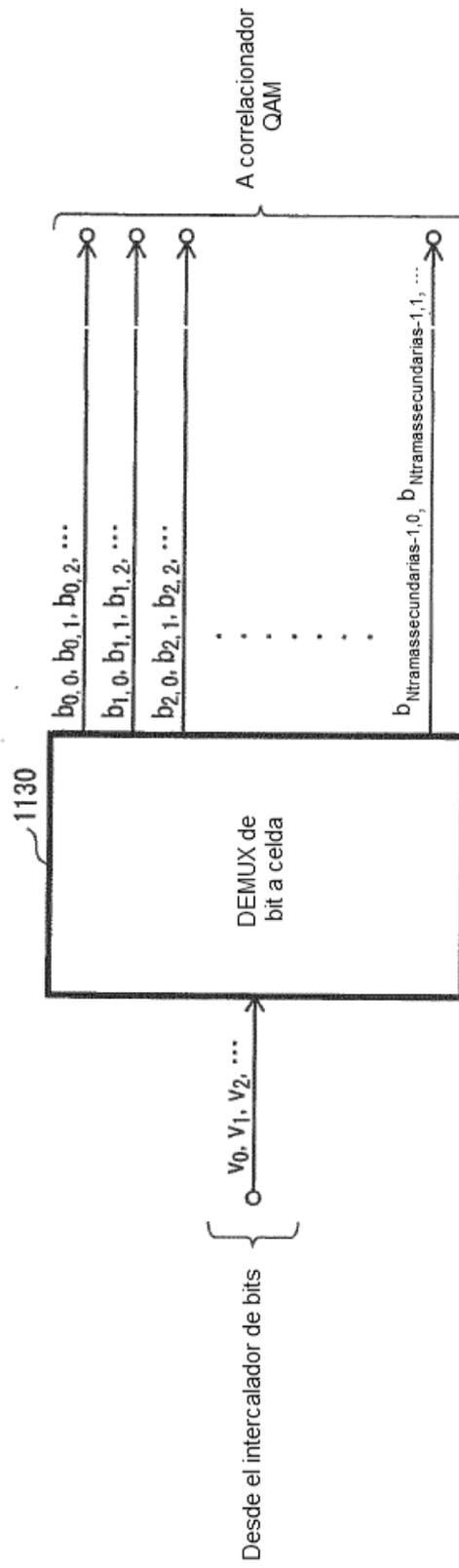


FIG. 8

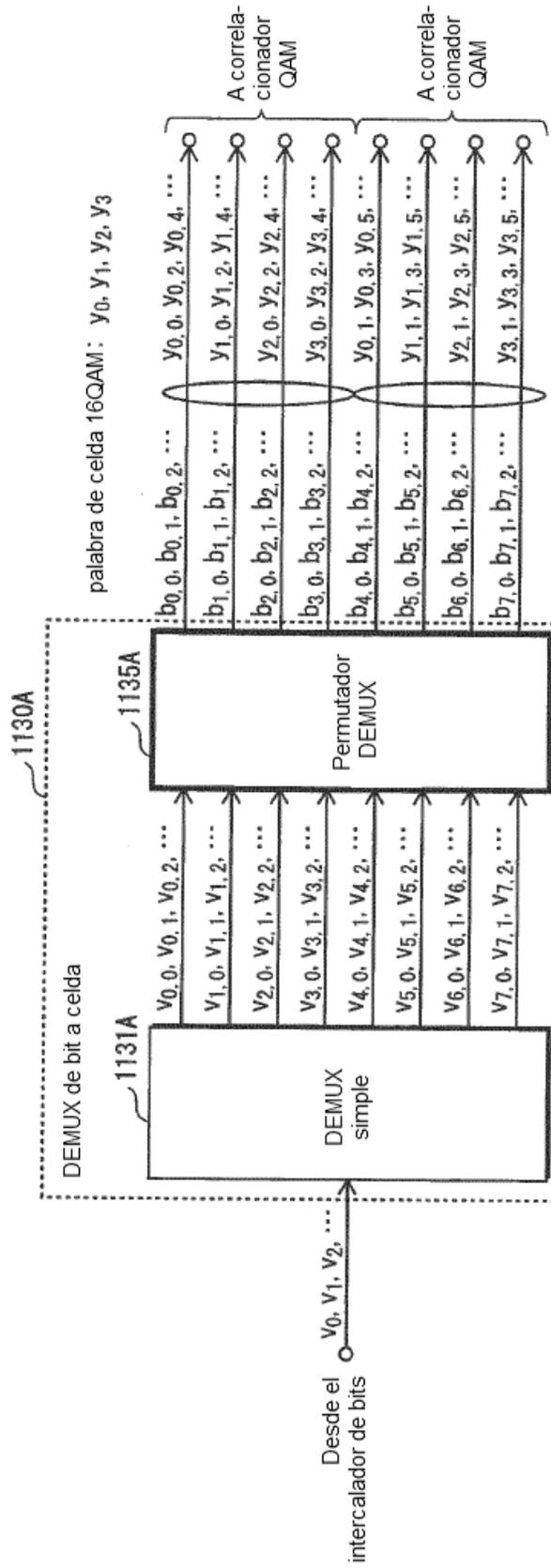


FIG. 9

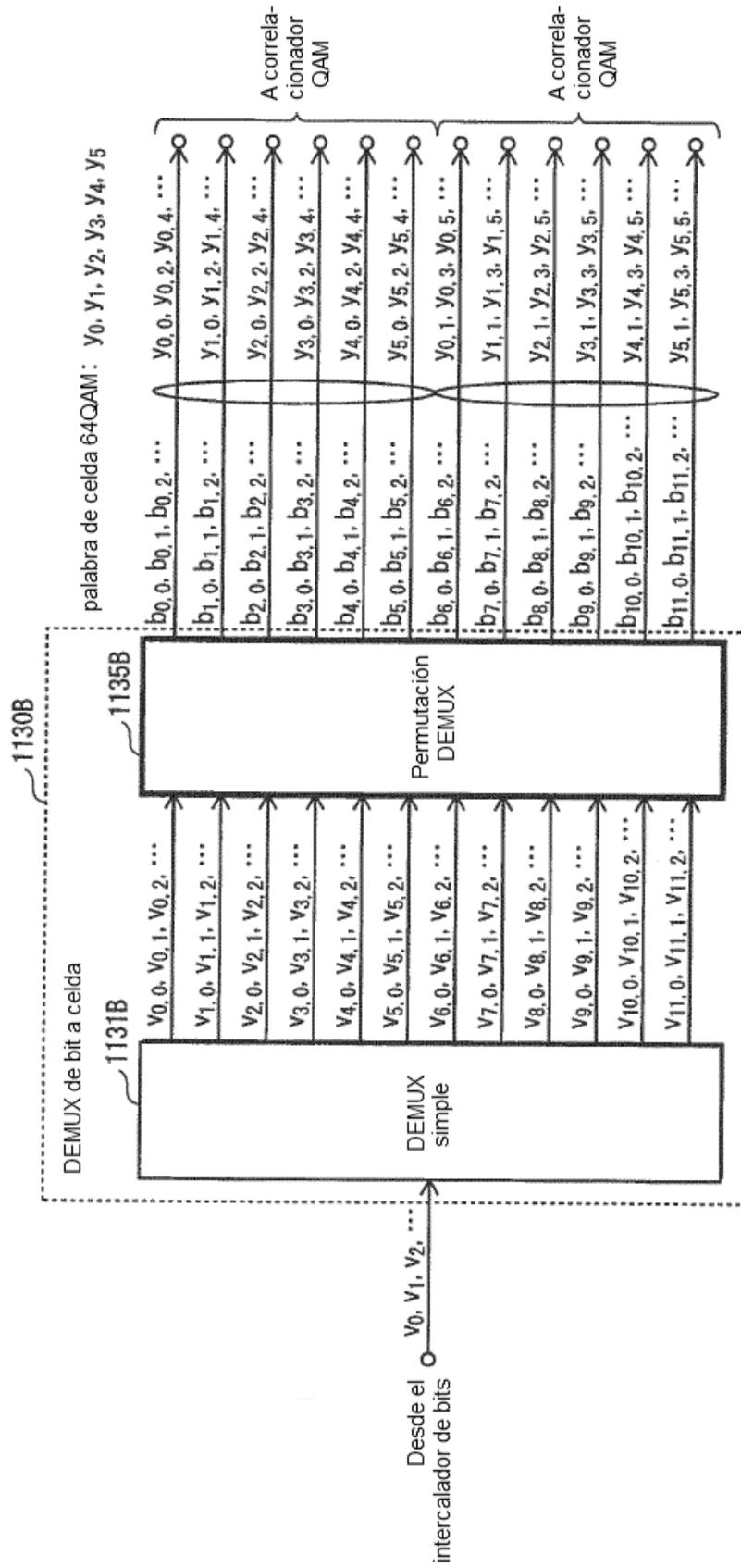


FIG. 10

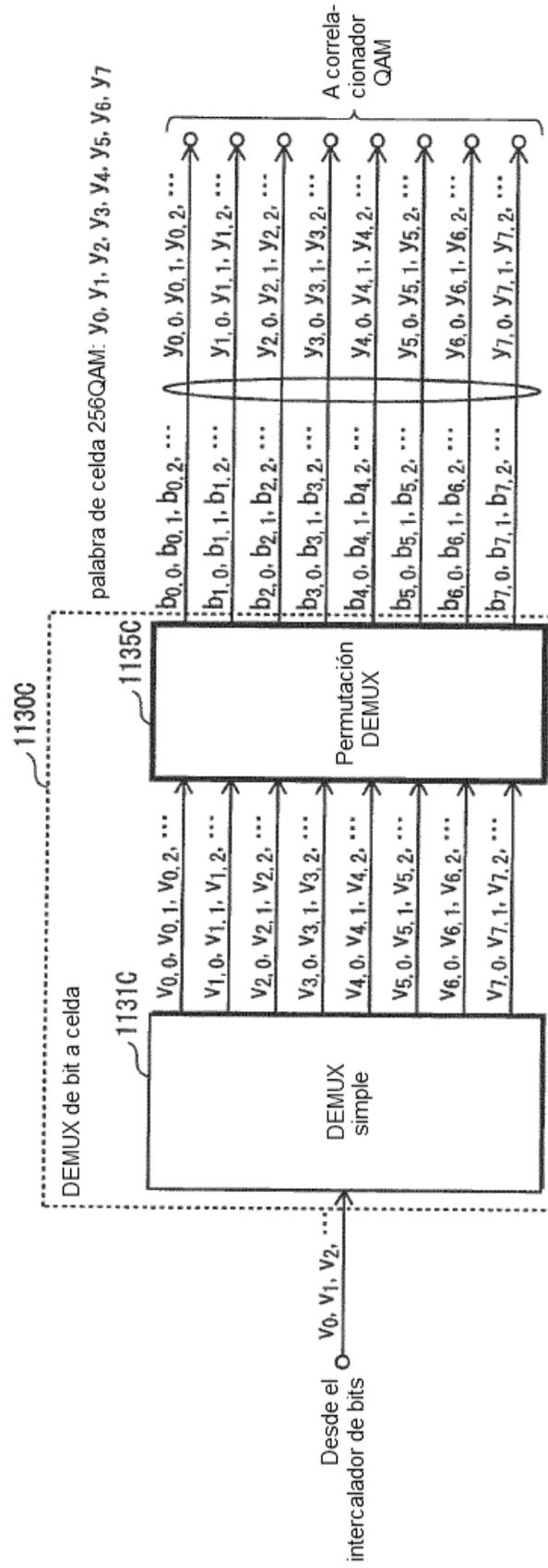


FIG. 11

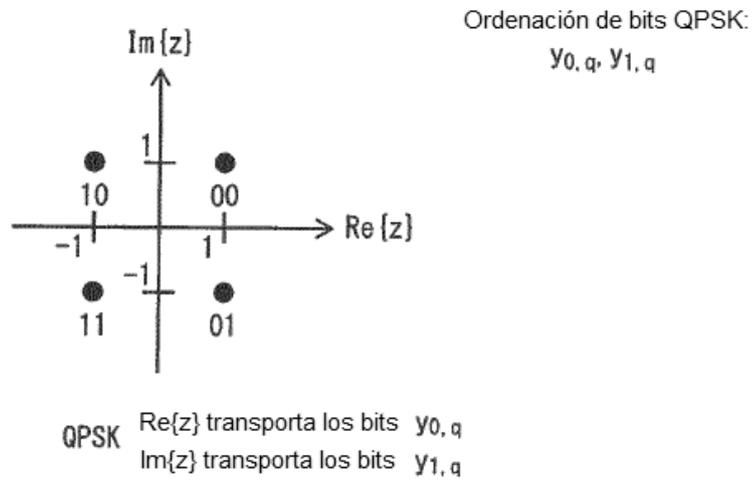


FIG. 12

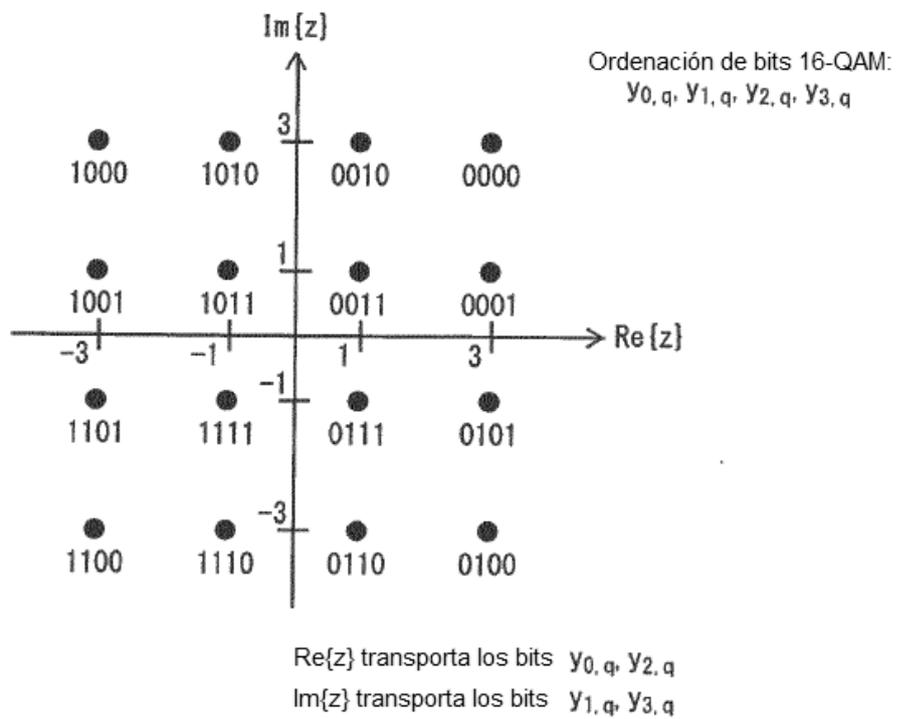
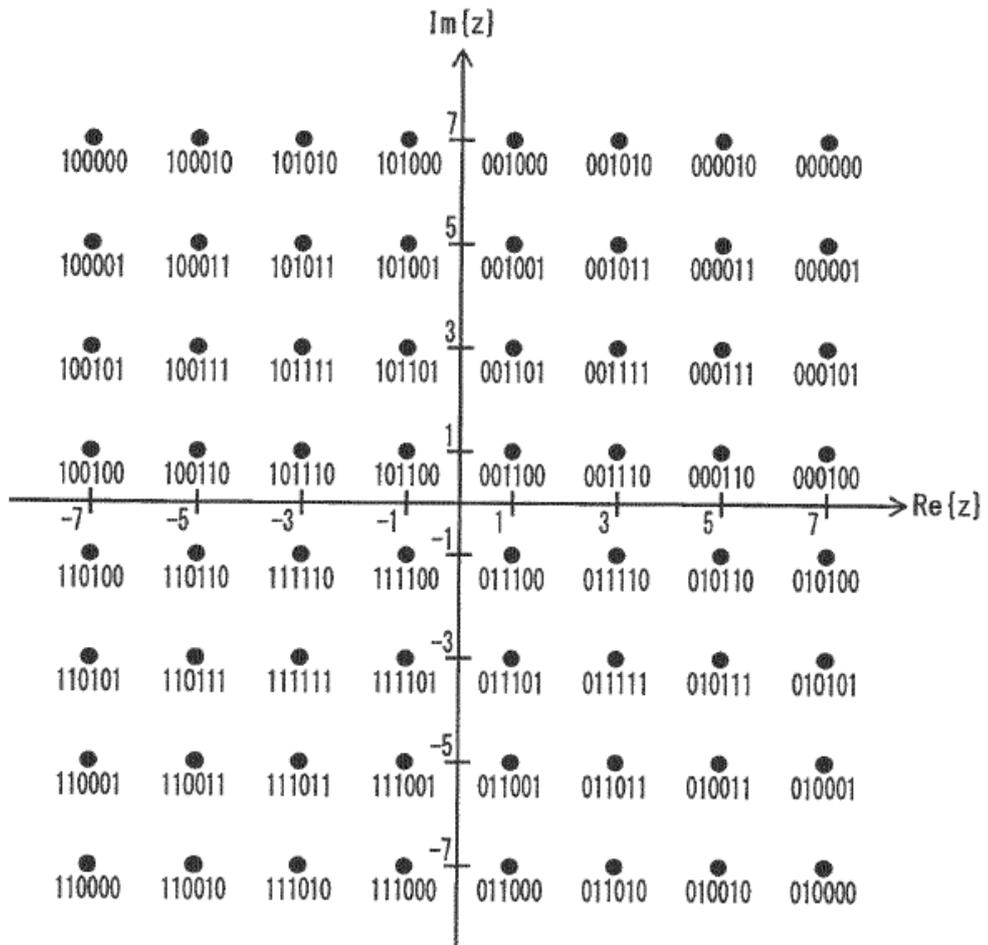


FIG. 13

Ordenación de bits 64-QAM:
 $Y_{0,q}, Y_{1,q}, Y_{2,q}, Y_{3,q}, Y_{4,q}, Y_{5,q}$



$Re\{z\}$ transporta los bits $Y_{0,q}, Y_{2,q}, Y_{4,q}$
 $Im\{z\}$ transporta los bits $Y_{1,q}, Y_{3,q}, Y_{5,q}$

Fig. 14a

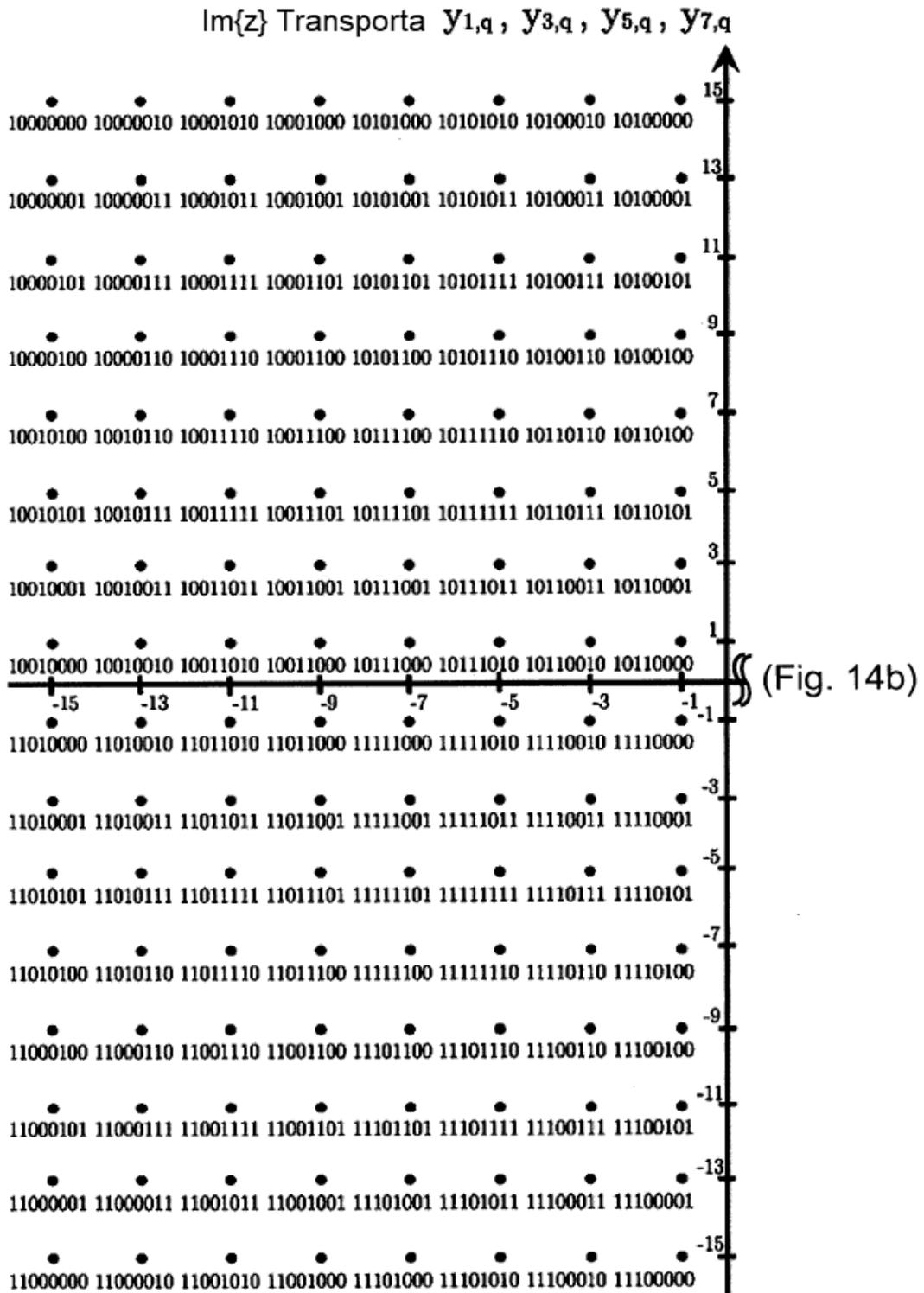


Fig. 14b

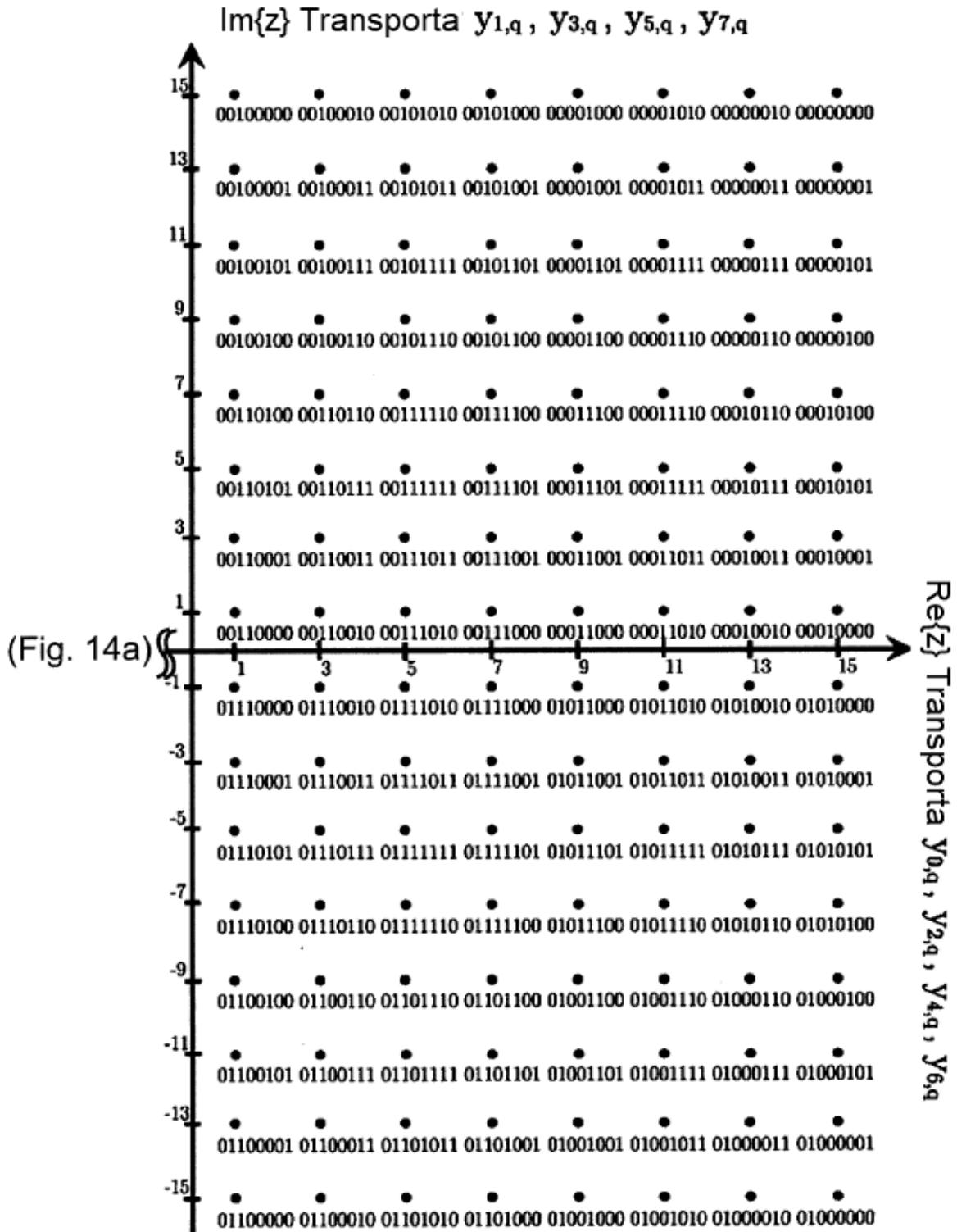


FIG. 15

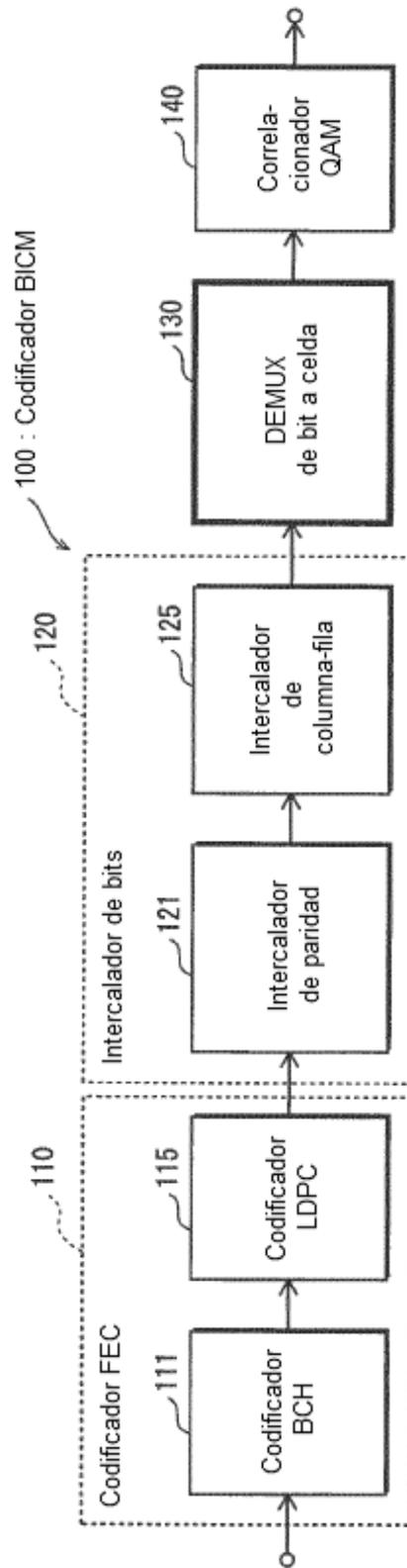


FIG. 16

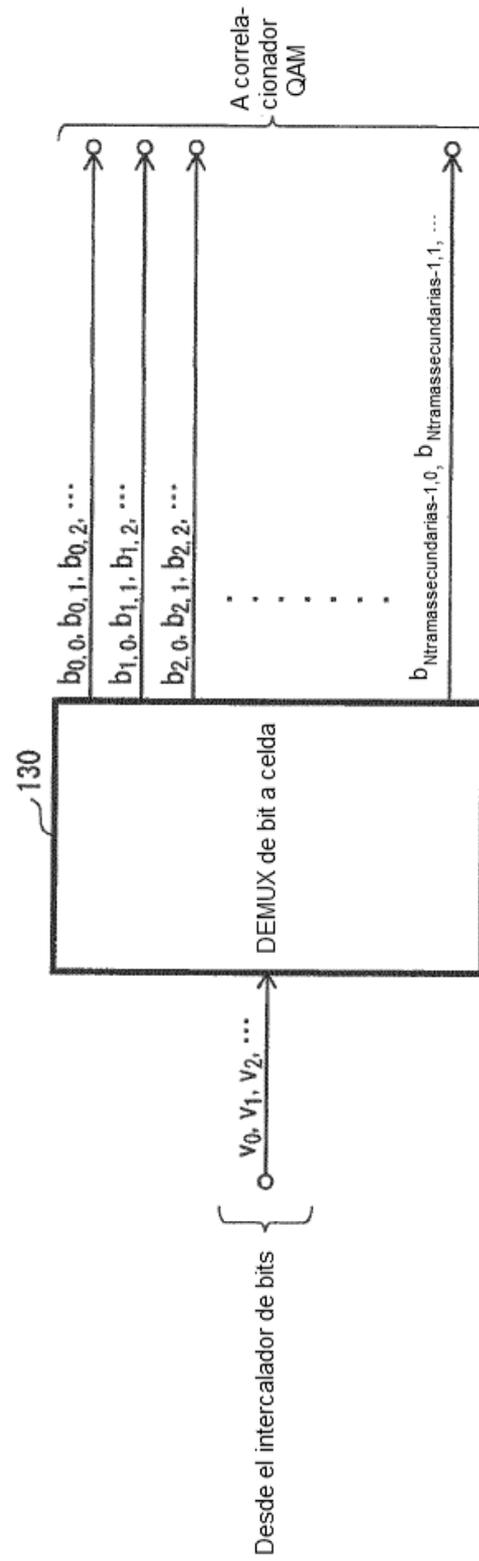


FIG. 17

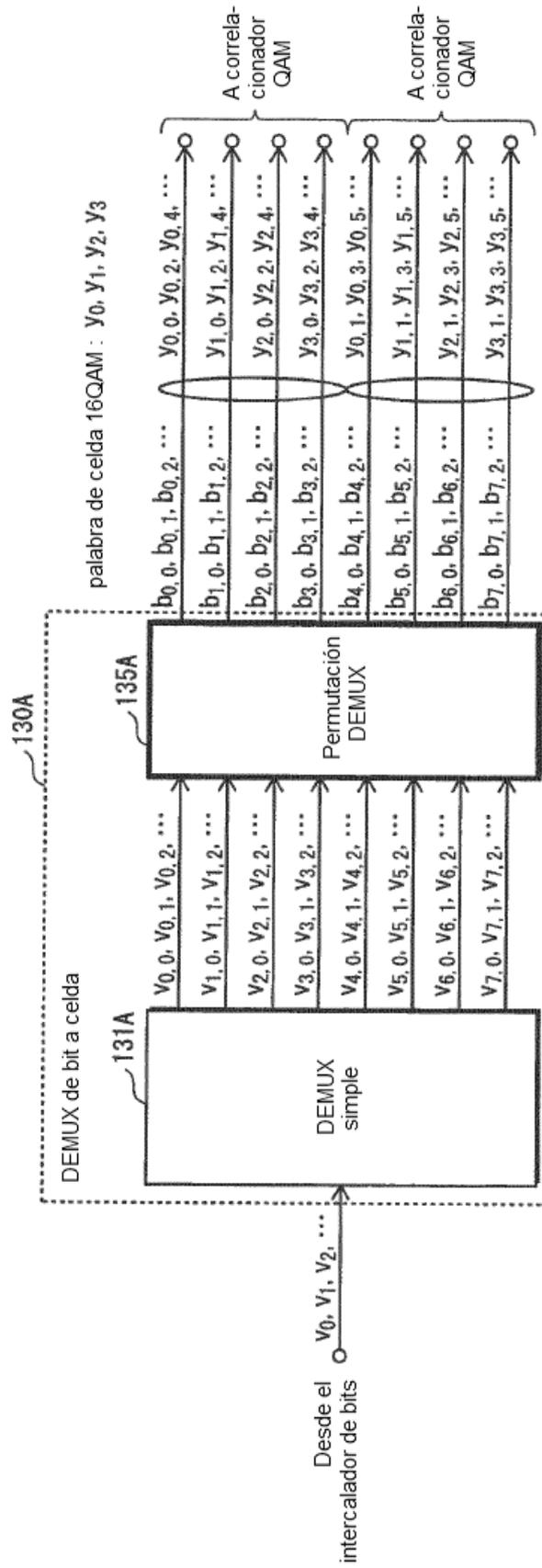


FIG. 18

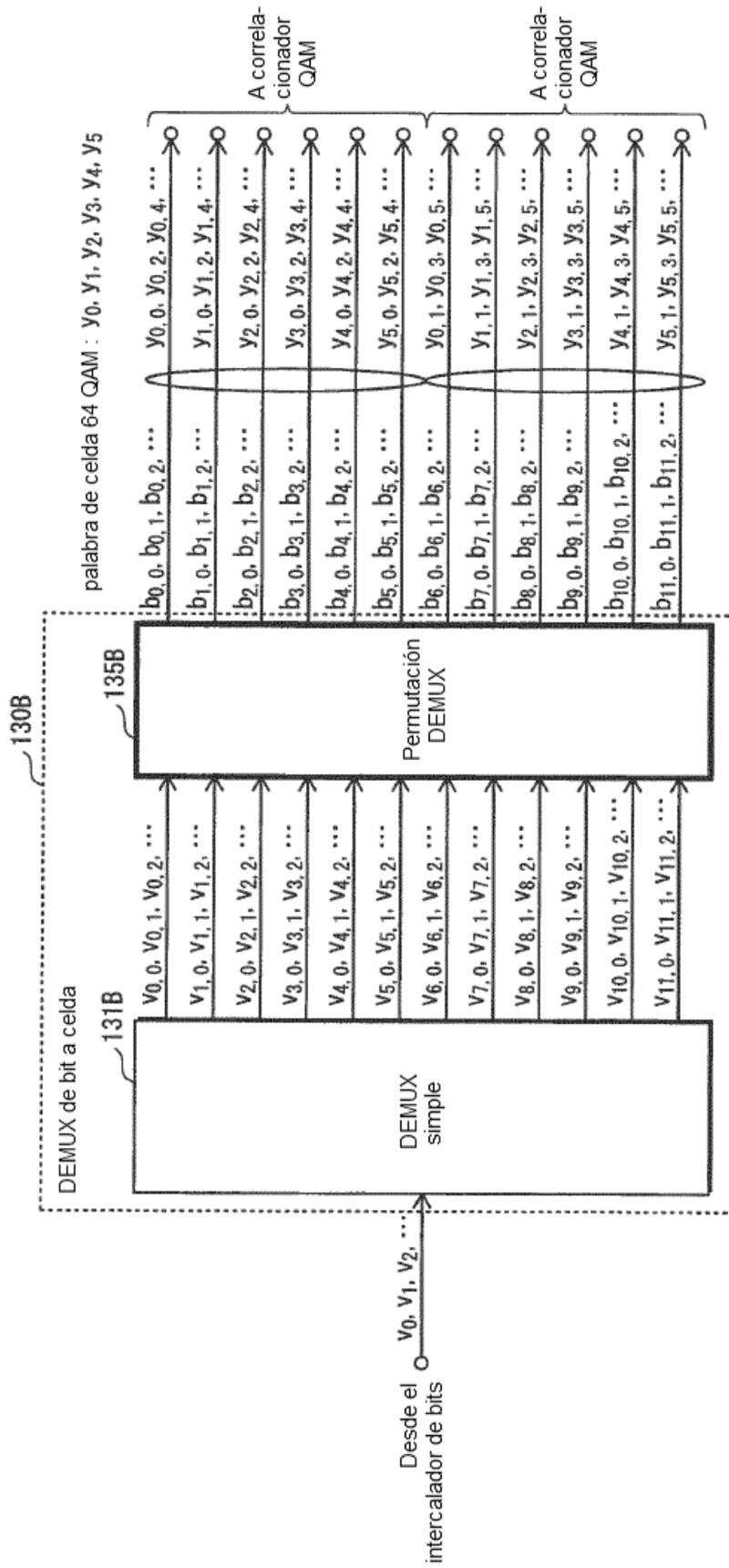


FIG. 19

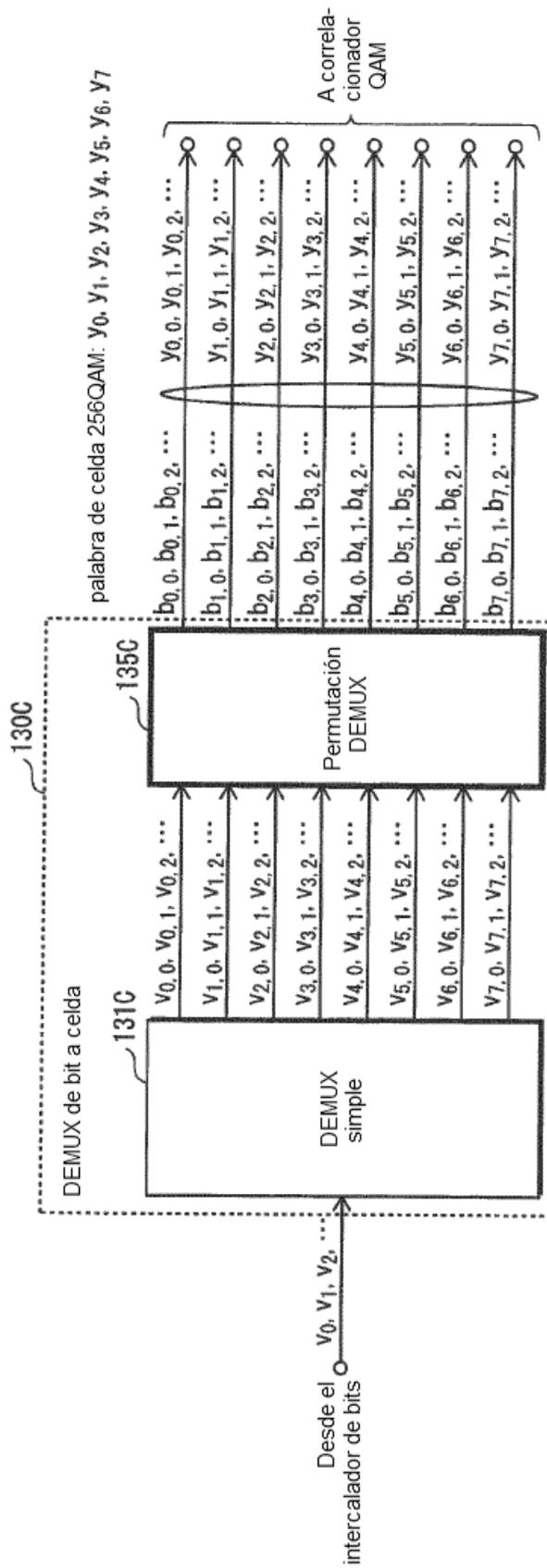


FIG. 20

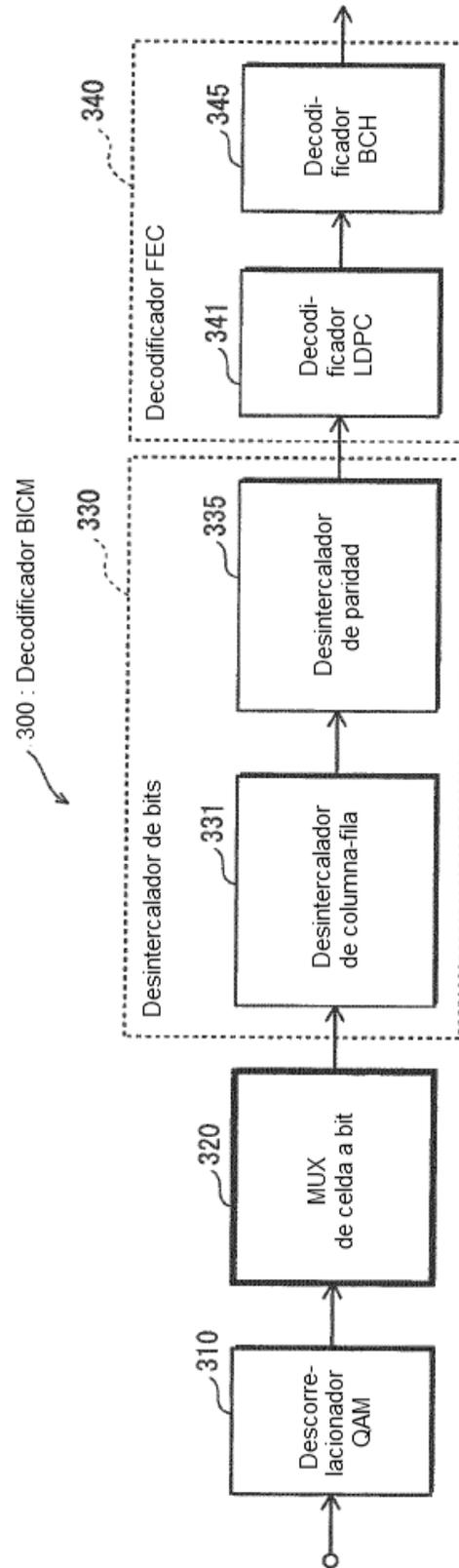


FIG. 21

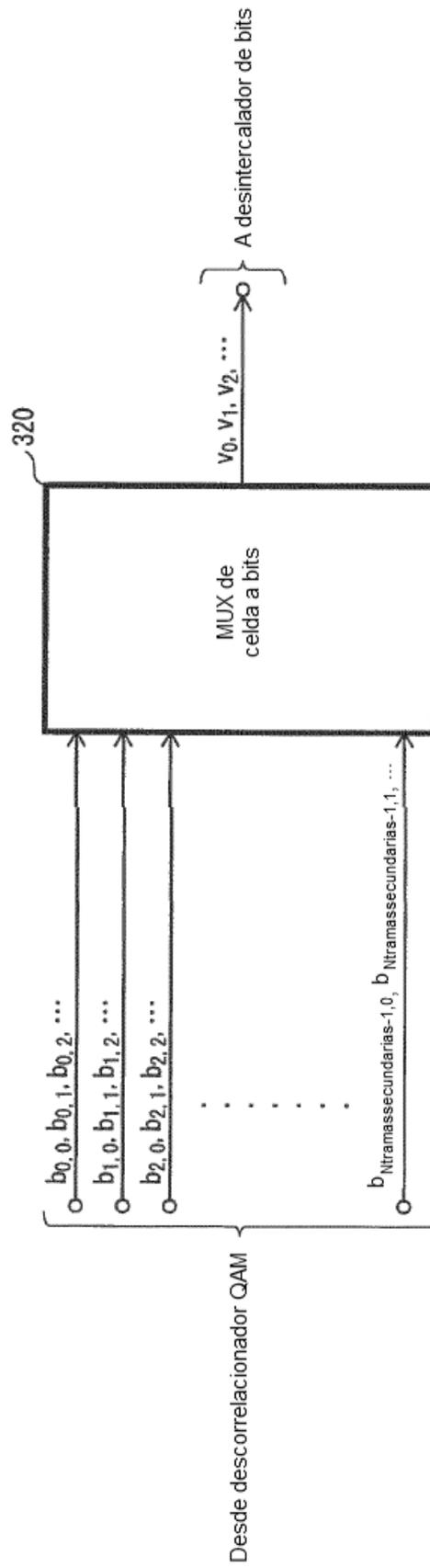


FIG. 22

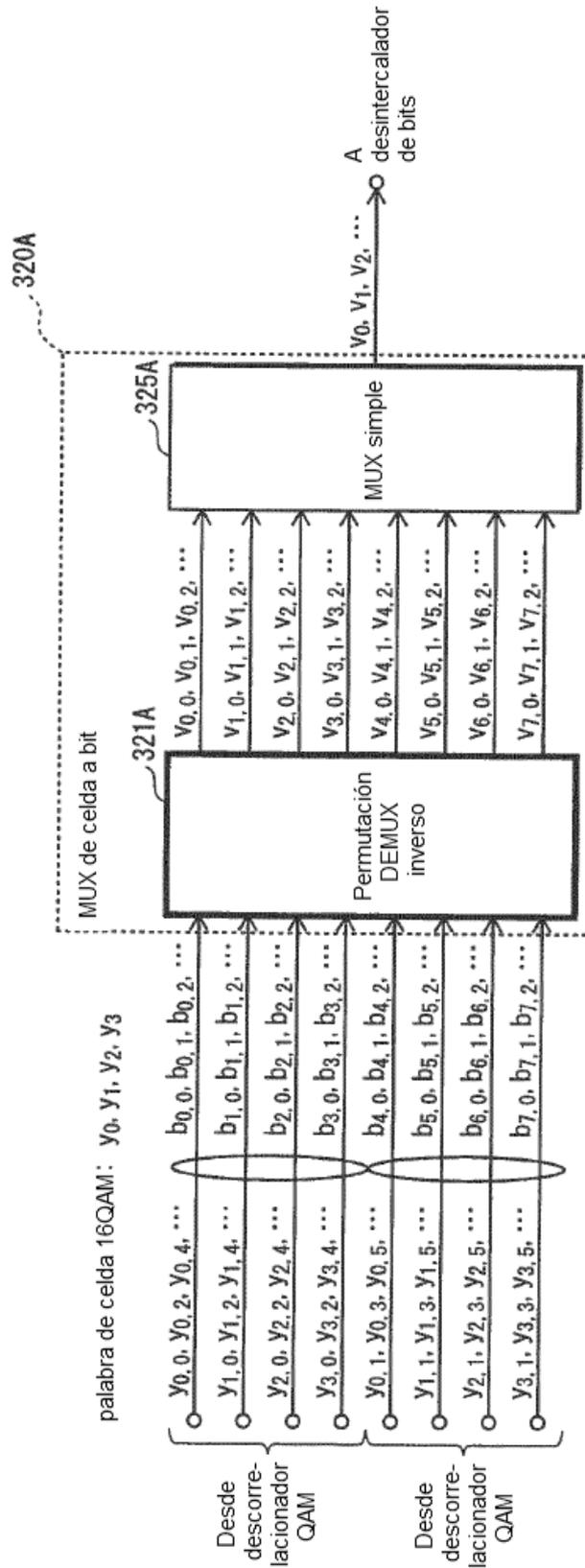


FIG. 23

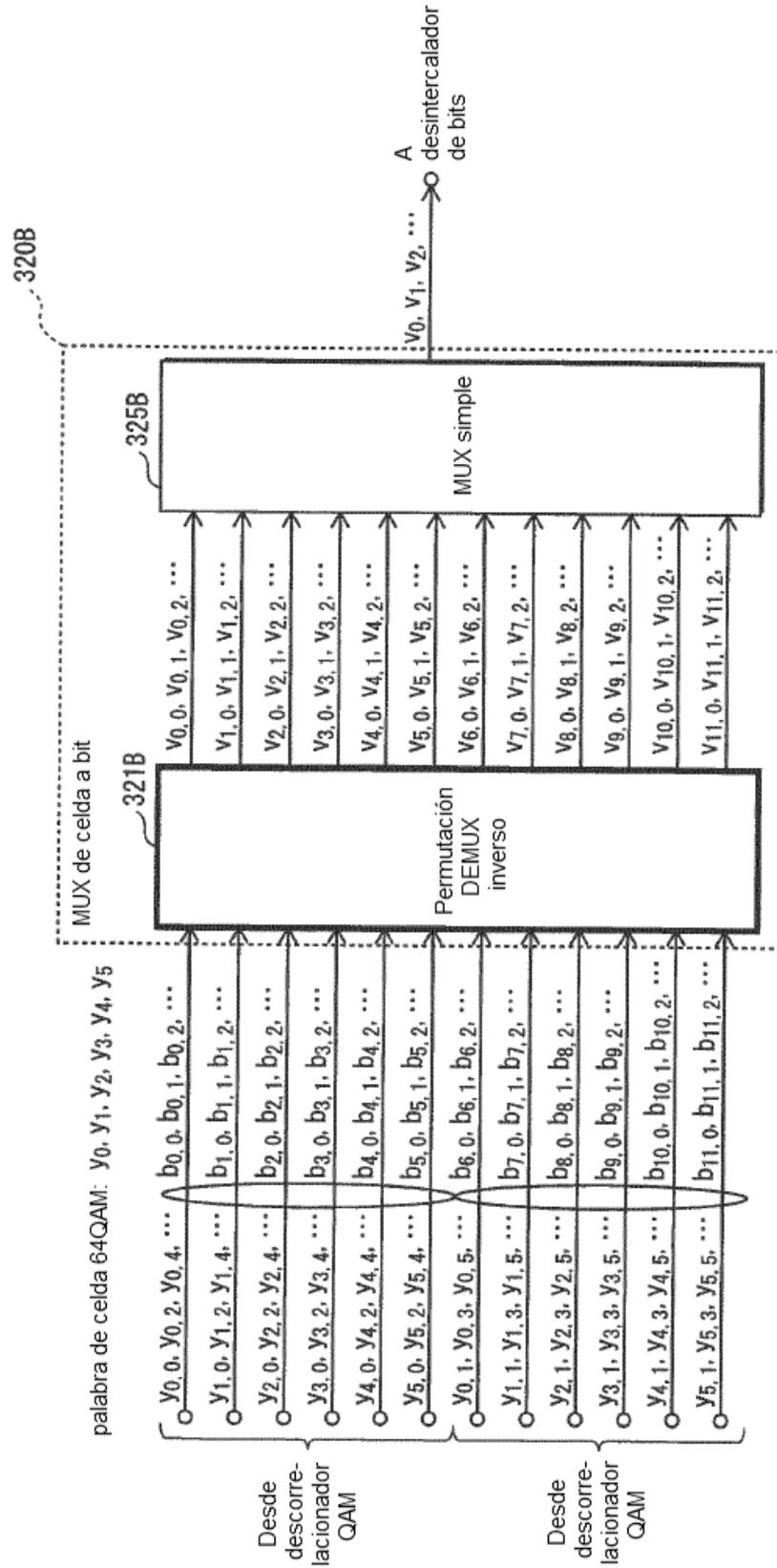


FIG. 24

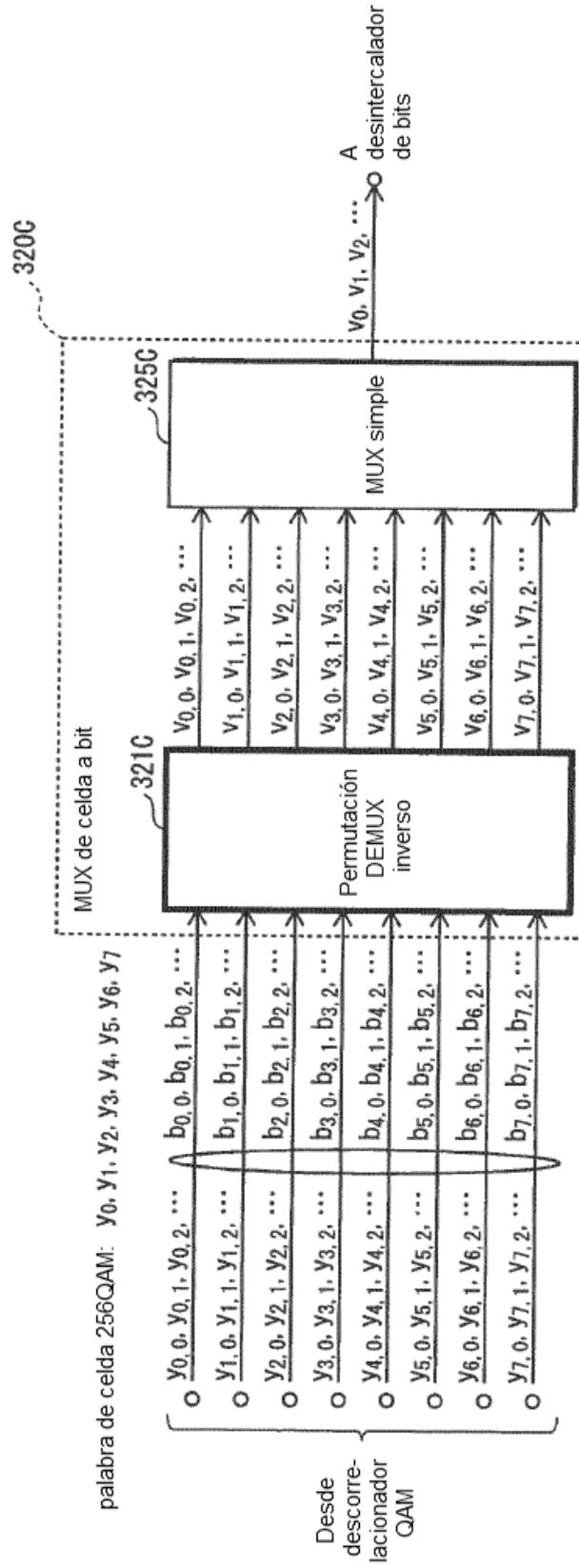


FIG. 25

Direcciones de los acumuladores de bits de paridad para el código LDPC de tasa de código 7/15 y longitud de palabra de código 16200

| | | | | | | | | | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 3 | 137 | 314 | 327 | 983 | 1597 | 2028 | 3043 | 3217 | 4109 | 6020 | 6178 | 6535 | 6560 | 7146 | 7180 | 7408 | 7790 | 7893 | 8123 | 8313 | 8526 | 8616 | 8638 |
| 356 | 1197 | 1208 | 1839 | 1903 | 2712 | 3088 | 3537 | 4091 | 4301 | 4919 | 5068 | 6025 | 6195 | 6324 | 6378 | 6686 | 6829 | 7558 | 7745 | 8042 | 8382 | 8587 | 8602 |
| 18 | 187 | 1115 | 1417 | 1463 | 2300 | 2328 | 3502 | 3805 | 4677 | 4827 | 5551 | 5968 | 6394 | 6412 | 6753 | 7169 | 7524 | 7695 | 7976 | 8069 | 8118 | 8522 | 8582 |
| 714 | 2713 | 2726 | 2964 | 3055 | 3220 | 3334 | 3459 | 5557 | 5765 | 5841 | 6290 | 6419 | 6573 | 6856 | 7786 | 7937 | 8156 | 8286 | 8327 | 8384 | 8448 | 8539 | 8559 |
| 3452 | 7935 | 8092 | 8623 | | | | | | | | | | | | | | | | | | | | |
| 56 | 1955 | 3000 | 8242 | | | | | | | | | | | | | | | | | | | | |
| 1809 | 4094 | 7991 | 8489 | | | | | | | | | | | | | | | | | | | | |
| 2220 | 6455 | 7849 | 8548 | | | | | | | | | | | | | | | | | | | | |
| 1006 | 2576 | 3247 | 6976 | | | | | | | | | | | | | | | | | | | | |
| 2177 | 6048 | 7795 | 8295 | | | | | | | | | | | | | | | | | | | | |
| 1413 | 2595 | 7446 | 8594 | | | | | | | | | | | | | | | | | | | | |
| 2101 | 3714 | 7541 | 8531 | | | | | | | | | | | | | | | | | | | | |
| 10 | 5961 | 7484 | | | | | | | | | | | | | | | | | | | | | |
| 3144 | 4636 | 5282 | | | | | | | | | | | | | | | | | | | | | |
| 5708 | 5875 | 8390 | | | | | | | | | | | | | | | | | | | | | |
| 3322 | 5223 | 7975 | | | | | | | | | | | | | | | | | | | | | |
| 197 | 4653 | 8283 | | | | | | | | | | | | | | | | | | | | | |
| 598 | 5393 | 8624 | | | | | | | | | | | | | | | | | | | | | |
| 906 | 7249 | 7542 | | | | | | | | | | | | | | | | | | | | | |
| 1223 | 2148 | 8195 | | | | | | | | | | | | | | | | | | | | | |
| 976 | 2001 | 5005 | | | | | | | | | | | | | | | | | | | | | |

FIG. 26

Direcciones de los acumuladores de bits de paridad para el código LDPC de tasa de código 8/15 y longitud de palabra de código 16200

| | | | | | | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 32 | 384 | 430 | 591 | 1296 | 1976 | 1999 | 2137 | 2175 | 3638 | 4214 | 4304 | 4486 | 4662 | 4999 | 5174 | 5700 | 6969 | 7115 | 7138 | 7189 |
| 1788 | 1881 | 1910 | 2724 | 4504 | 4928 | 4973 | 5616 | 5686 | 5718 | 5846 | 6523 | 6893 | 6994 | 7074 | 7100 | 7277 | 7399 | 7476 | 7480 | 7537 |
| 2791 | 2824 | 2927 | 4196 | 4298 | 4800 | 4948 | 5361 | 5401 | 5688 | 5818 | 5862 | 5969 | 6029 | 6244 | 6645 | 6962 | 7203 | 7302 | 7454 | 7534 |
| 574 | 1461 | 1826 | 2056 | 2069 | 2387 | 2794 | 3349 | 3366 | 4951 | 5826 | 5834 | 5903 | 6640 | 6762 | 6786 | 6859 | 7043 | 7418 | 7431 | 7554 |
| 14 | 178 | 675 | 823 | 890 | 930 | 1209 | 1311 | 2898 | 4339 | 4600 | 5203 | 6485 | 6549 | 6970 | 7208 | 7218 | 7298 | 7454 | 7457 | 7462 |
| 4075 | 4188 | 7313 | 7553 | | | | | | | | | | | | | | | | | |
| 5145 | 6018 | 7148 | 7507 | | | | | | | | | | | | | | | | | |
| 3198 | 4858 | 6983 | 7033 | | | | | | | | | | | | | | | | | |
| 3170 | 5126 | 5625 | 6901 | | | | | | | | | | | | | | | | | |
| 2839 | 6093 | 7071 | 7450 | | | | | | | | | | | | | | | | | |
| 11 | 3735 | 5413 | | | | | | | | | | | | | | | | | | |
| 2497 | 5400 | 7238 | | | | | | | | | | | | | | | | | | |
| 2067 | 5172 | 5714 | | | | | | | | | | | | | | | | | | |
| 1889 | 7173 | 7329 | | | | | | | | | | | | | | | | | | |
| 1795 | 2773 | 3499 | | | | | | | | | | | | | | | | | | |
| 2695 | 2944 | 6735 | | | | | | | | | | | | | | | | | | |
| 3221 | 4625 | 5897 | | | | | | | | | | | | | | | | | | |
| 1690 | 6122 | 6816 | | | | | | | | | | | | | | | | | | |
| 5013 | 6839 | 7358 | | | | | | | | | | | | | | | | | | |
| 1601 | 6849 | 7415 | | | | | | | | | | | | | | | | | | |
| 2180 | 7389 | 7543 | | | | | | | | | | | | | | | | | | |
| 2121 | 6838 | 7054 | | | | | | | | | | | | | | | | | | |
| 1948 | 3109 | 5046 | | | | | | | | | | | | | | | | | | |
| 272 | 1015 | 7464 | | | | | | | | | | | | | | | | | | |