

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 754 389**

51 Int. Cl.:

G11C 16/34 (2006.01)

G11C 16/10 (2006.01)

G11C 16/30 (2006.01)

G11C 29/52 (2006.01)

G06F 11/10 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **06.10.2016 E 16192641 (5)**

97 Fecha y número de publicación de la concesión europea: **28.08.2019 EP 3203479**

54 Título: **Dispositivo de memoria de semiconductor no volátil**

30 Prioridad:

02.02.2016 JP 2016017591

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

17.04.2020

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)
No. 8 Keya 1st Rd., Daya District, Central Taiwan
Science Park
Taichung City, Taiwan., TW**

72 Inventor/es:

**YAMAUCHI, KAZUKI y
SUDO, NAOAKI**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 754 389 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de memoria de semiconductor no volátil

5 **Antecedentes de la invención**

1. Campo de la invención

10 La presente invención se refiere a un dispositivo de almacenamiento de semiconductor no volátil y, en particular, se refiere a la programación de una memoria flash NAND.

2. Descripción de la técnica relacionada

15 En la memoria NAND, la programación o borrado de datos se realiza de forma repetitiva. Debido al deterioro de la característica de mantenimiento de carga resultante del deterioro de la película aislante de túnel o un cambio en el valor umbral resultante de las cargas capturadas por la película aislante de túnel, puede producirse un error de bit. El Documento de Patente 1 (Publicación de Patente Japonesa Núm. 2010-152989) divulga el montaje de un circuito de corrección de verificación de errores (ECC) como una solución contra dicho error de bit. Además, el Documento de Patente 2 (Publicación de Patente Japonesa Núm. 2008- 165805) divulga una solución de corrección de errores para datos de múltiples bits en una memoria flash NAND donde una celda de memoria almacena datos de múltiples bits. Adicionalmente, el Documento de Patente 3 (Publicación de Patente Japonesa Núm. 2010- 79486) revela una memoria flash en la que un bloque físico cuyo número de errores corregidos es mayor que un valor umbral se etiqueta como un bloque de advertencia y se registra en una tabla. Además, la prioridad del bloque de advertencia se reduce en la escritura de datos.

25 Se puede encontrar información de antecedentes en las solicitudes de patente de los Estados Unidos de América núm. US 2007/0297236, US 2013/0088919 y US 2011/0141817.

[Problema a resolver por la invención]

30 En una memoria flash NAND donde un circuito de ECC está montado en un chip, cuando los datos que se van a programar ingresan desde una terminal externa de entrada/salida se cargan en un búfer de página/circuito de detección, los datos a programar se transmiten al circuito de ECC. Un circuito de ECC 130 realiza el cálculo en los datos que se programarán, genera un símbolo de corrección de errores para la verificación y corrección de errores, y escribe el símbolo de corrección de errores en un área predeterminada del búfer de página/circuito de detección. Además, una página seleccionada de una matriz de memoria realiza la programación en los datos que se van a programar y el símbolo de corrección de errores contenido en el búfer de página/circuito de detección.

40 La Figura 1 es un diagrama de flujo que ilustra una operación de programación convencional. La tensión correspondiente a los datos que se programan se establece en la línea de bits y se aplica un pulso de programación a la página seleccionada (S10). Luego, se realiza una verificación de programación para la página seleccionada (S20), a fin de determinar si la programación de todas las celdas de memoria de la página seleccionada está calificada (S30). Si la programación está calificada, la programación se completa. Alternativamente, si hay una celda de memoria no calificada, se determina si el número de veces de aplicación del pulso de programación alcanza NMAX (S40). En este caso, NMAX se refiere a la duración máxima permitida en la programación o al número máximo de veces permitido para aplicar el pulso de programación. Cuando se alcanza NMAX, se informa a un controlador externo de un estado de falla de programación, y el bloque se trata como un bloque defectuoso para su posterior administración. Si no se alcanza NMAX, se genera un pulso de programación que tiene una tensión de paso mayor que el pulso de programación anterior por ΔV basado en el pulso de programa de paso incremental (ISPP) (S50), para aplicar el pulso de programación a la página seleccionada.

55 En una memoria flash sin utilizar la función de ECC proporcionada en el controlador externo, por ejemplo, o una memoria flash que no tiene la función de ECC, la verificación de programación se califica bajo la premisa de que todos los bits están calificados. Alternativamente, para una memoria flash que utiliza la función de ECC proporcionada en el controlador externo, por ejemplo, o una memoria flash que tiene la función de ECC en el chip, incluso si algunos bits no calificados (celdas de memoria cuya programación de "0" no está calificada) están presentes, los bits no calificados pueden todavía ser reparados para determinar si están supuestamente calificados. Por ejemplo, si la ECC puede realizar verificación y corrección de errores para m bits, en teoría, se puede reparar un máximo de m bits de bits no calificados. Al leer la página seleccionada, los bits no calificados incluidos en la página seleccionada se detectan como errores y los datos se corrigen. Al determinar si son supuestamente calificados, se reducen las fallas de programación o los bloques defectuosos, y se aumenta la tasa de rendimiento. Por lo tanto, la interferencia de programación puede reducirse suprimiendo el número de veces que se aplica el pulso de programación.

65 Sin embargo, la verificación de programación en la memoria flash convencional se realiza mediante un circuito

configurado para determinar todos los bits. Dado que dicho circuito determina si todos los bits de la página seleccionada están calificados, el circuito no puede derivar la determinación de supuestamente calificado. La Figura 2 es una vista que ilustra un circuito convencional configurado para determinar todos los bits. Por ejemplo, cuando el tamaño del búfer de página/circuito de detección es de 2 kB, un transistor de verificación suministrado con los nodos SLS_0, SLS_1, SLS_2, ..., SLS_2048x8 de un circuito de cierre se conecta en paralelo entre una línea de verificación y determinación VL y un nodo N y un transistor que permite la verificación de programación (JUDGEON a un potencial alto (potencial H)) se conecta aún más entre el nodo N y tierra GND. Durante la verificación de programación, se suministra una tensión al potencial H a la verificación y determinación VL. Cuando todos los bits de la página seleccionada están calificados, todos los nodos SLS_0, SLS_1, SLS_2, ..., SLS_2048x8 del circuito de retención tienen un bajo potencial (potencial L), y la línea de verificación y determinación VL se mantiene en el potencial H. Sin embargo, incluso cuando solo uno de los bits no está calificado, uno de los nodos SLS_0, SLS_1, SLS_2, ..., SLS_2048x8 se convierte en el potencial H, se activa el transistor de verificación correspondiente y se cambia la línea de verificación y determinación VL al potencial L. Por lo tanto, el circuito configurado para todos los bits no puede llegar a la determinación de supuestamente calificado.

Sumario de la invención

La presente invención proporciona un dispositivo de almacenamiento de semiconductor no volátil capaz de hacer una determinación de supuestamente calificado.

[Medios técnicos para resolver el problema]

Un dispositivo de almacenamiento de semiconductor no volátil de acuerdo con la invención incluye una matriz de memoria, una pluralidad de circuitos de retención de datos y un circuito de determinación. En los circuitos de retención de datos, cada uno de los circuitos de retención de datos incluye un circuito conectado a la matriz de memoria a través de una línea de bits y datos de retención para ser programados en una página seleccionada, y un circuito de salida que emite si una verificación está calificada o no en una verificación de programación. El circuito de determinación está conectado al circuito de salida de cada uno de los circuitos de retención de datos, y determina si los resultados de verificación de la pluralidad de circuitos de retención de datos coinciden con un número permitido de bits no calificados. Además, el circuito de determinación incluye un primer circuito, un segundo circuito y un circuito de comparación. El primer circuito genera una tensión de detección correspondiente a si las verificaciones de los circuitos de retención de datos están calificadas o no en función de las corrientes de referencia correspondientes al número de bits no calificados. El segundo circuito genera una tensión de referencia en base a las corrientes de referencia correspondientes al número permitido de bits no calificados. El circuito de comparación compara la tensión de detección con la tensión de referencia y emite una señal que indica si los resultados de verificación de los circuitos de retención de datos son el número permitido de bits no calificados. El circuito de salida del circuito de retención de datos comprende un transistor a través del que fluye una corriente equivalente a la corriente de referencia del segundo circuito cuando el resultado de la verificación es no calificado. Uno del primer circuito y el segundo circuito comprende una pluralidad de transistores a través de los cuales fluye la corriente de referencia, y el número de transistores operables de la pluralidad de transistores se selecciona en correspondencia con el número permitido de bits no calificados.

De acuerdo con una realización de la invención, el segundo circuito incluye la pluralidad de transistores a través de los cuales fluye la corriente de referencia, y el segundo circuito selecciona el número de transistores operables de los transistores en correspondencia con el número permisible de bits no calificados. De acuerdo con una realización de la invención, el segundo circuito genera la tensión de referencia con las corrientes de referencia en una cantidad predeterminada, y el primer circuito genera la tensión de detección en base a las corrientes de referencia en una cantidad menor que la cantidad predeterminada. De acuerdo con una realización de la invención, el primer circuito incluye un circuito de suministro, y el circuito de suministro suministra las corrientes de referencia en una cantidad correspondiente al número permitido de bits no calificados, y la tensión de detección generada por el primer circuito está en un valor correspondiente a las corrientes de referencia suministradas por el circuito de suministro. De acuerdo con una realización de la invención, el circuito de suministro incluye la pluralidad de transistores a través de los cuales fluye la corriente de referencia, y el circuito de suministro selecciona el número de transistores operables de los transistores en correspondencia con el número permitido de bits no calificados. De acuerdo con una realización de la invención, el número permitido de bits no calificados se determina en correspondencia con el número de bits que pueden ser reparados por un miembro de corrección y verificación de errores. De acuerdo con una realización de la invención, cuando el miembro de verificación y corrección de errores opera usando un sector de la página seleccionada como una unidad, el circuito de determinación está conectado a los circuitos de retención de datos usando el sector como una unidad.

[Efecto de la invención]

De acuerdo con las realizaciones de la invención, se establece el circuito de determinación que determina si los resultados de verificación de los circuitos de retención de datos son el número permitido de bits no calificados. Por lo tanto, además de la determinación de todos los bits, también se puede realizar la determinación de supuestamente calificado.

Breve descripción de los dibujos

- Los dibujos adjuntos se incluyen para proporcionar una comprensión adicional de la invención, y se incorporan y constituyen una parte de esta memoria descriptiva. Los dibujos ilustran realizaciones de la invención y, junto con la descripción, sirven para explicar los principios de la invención.
- La Figura 1 es un diagrama de flujo que ilustra la realización de una operación de programación en una memoria flash convencional.
- La Figura 2 es una vista que ilustra un circuito para determinar todos los bits en un proceso de verificación de programación convencional.
- La Figura 3 es una vista esquemática general que ilustra una memoria flash NAND de acuerdo con una realización de la invención.
- La Figura 4 es una vista de circuito que ilustra una configuración de una cadena NAND en una matriz de celdas de memoria de acuerdo con una realización de la invención.
- La Figura 5 es un diagrama de flujo que ilustra un proceso de programación de acuerdo con una realización de la invención.
- La Figura 6 es una vista esquemática que ilustra la realización de un proceso de ECC en un área normal en un proceso de programación de acuerdo con una realización de la invención.
- La Figura 7 es una vista esquemática que ilustra la realización de un proceso ECC en un área de respaldo en un proceso de programación de acuerdo con una realización de la invención.
- La Figura 8 es una vista que ilustra una relación de conexión entre un circuito de determinación que determina un supuestamente calificado y un búfer de página/circuito de detección de acuerdo con una realización de la invención.
- La Figura 9 es una vista que ilustra una configuración de un circuito de determinación y un búfer de página/circuito de detección de acuerdo con una primera realización de la invención.
- La Figura 10 es una vista que ilustra un proceso de selección del número de transistores operables de acuerdo con la primera realización de la invención.
- La Figura 11 es una vista que ilustra una configuración de un circuito de determinación y un búfer de página/circuito de detección de acuerdo con una segunda realización de la invención.
- La Figura 12 es una vista que ilustra una relación entre una tensión de referencia V_{ref} y una tensión de un cableado PB_UP en el circuito de determinación de acuerdo con la segunda realización de la invención.
- La Figura 13 es una vista que ilustra una configuración de un circuito de determinación y un búfer de página/circuito de detección de acuerdo con un ejemplo modificado de la segunda realización de la invención.
- La Figura 14 es una vista que ilustra una configuración de un circuito de determinación y un búfer de página/circuito de detección de acuerdo con una tercera realización de la invención.
- La Figura 15 es una vista que ilustra un circuito de suministro de acuerdo con la tercera realización de la invención.
- La Figura 16 es una vista que ilustra una relación entre la tensión de referencia V_{ref} y la tensión del cableado PB_UP en el circuito de determinación de acuerdo con la tercera realización de la invención.

Descripción de las realizaciones

Ahora se hará referencia en detalle a las realizaciones preferentes presentes de la invención, cuyos ejemplos se ilustran en los dibujos adjuntos. Siempre que sea posible, se utilizan los mismos números de referencia en los dibujos y la descripción para referirse a las mismas partes o partes similares.

A continuación, se describirán detalles de las realizaciones de la invención con referencia a los dibujos adjuntos. En este caso, es preferente una memoria flash NAND. Además, debe tenerse en cuenta que las partes respectivas se enfatizan en los dibujos adjuntos para facilitar la comprensión, y las escalas de las partes respectivas son diferentes de las escalas de los componentes reales.

[Realizaciones]

Una configuración típica de una memoria flash de acuerdo con las realizaciones de la invención se muestra en la Figura 3. Sin embargo, debe entenderse que la configuración de la memoria flash mostrada en este documento es meramente un ejemplo, y la invención no se limita necesariamente a la configuración de la memoria flash. Una memoria flash 100 de la realización incluye los siguientes componentes y exhibe una configuración como se describe a continuación. Se proporciona una matriz de memoria 110, y una pluralidad de celdas de memoria están dispuestas en una matriz. Un búfer de entrada/salida (E/S) 120 está conectado a una E/S de terminal de

5 entrada/salida externa para retener datos de entrada/salida. Se proporciona un circuito de ECC 130 para realizar un proceso de verificación y corrección de errores en los datos que se programan o leen desde la matriz de memoria 110. Se proporciona un registro de dirección 140 para recibir datos de dirección desde el búfer de entrada/salida 120. Se proporciona una parte de control 150 para recibir datos de comando desde el búfer de entrada/salida 120 o recibir una señal de control externa para controlar las partes respectivas. Se proporciona un circuito de selección de línea de palabra 160 para recibir información de dirección de fila Ax desde el registro de dirección 140, decodificar la información de dirección de fila Ax, y seleccionar un bloque de columna y una línea de palabra en base a un resultado de decodificación. Se proporciona un búfer de página/circuito de detección 170 para retener datos leídos de la página seleccionada por el circuito de selección de línea de palabra 160 o retener datos por ser escritos en la página seleccionada. Se proporciona un circuito de selección de columna 180 para recibir información de dirección de columna Ay desde el registro de dirección 140, decodificar la información de dirección de columna Ay, y seleccionar datos en el búfer de página/circuito de detección 170 en base a un resultado de decodificación. También se proporciona un circuito interno de generación de tensión 190 para generar varias tensiones (por ejemplo, una tensión de programación Vpgm, una tensión de paso Vpass, una tensión de paso de lectura Vread y una tensión de borrado Vers, etc.) necesarios para leer, programar y borrar datos.

20 La matriz de memoria 110 tiene una pluralidad de bloques de almacenamiento BLK(0), BLK(1), ..., BLK(m-1) configurados a lo largo de una dirección de columna. El búfer de página/circuito de detección 170 está configurado cerca del bloque BLK(0). En un bloque de almacenamiento, tal como un bloque de almacenamiento como se muestra en la Figura 4, por ejemplo, se forma una unidad de cadena NAND NU que conecta en serie una pluralidad de celdas de memoria, y n + 1 unidades de cadena NU se disponen a lo largo de una dirección de fila en el bloque de almacenamiento. La unidad de cadena NU incluye una pluralidad de celdas de memoria M_{Ci} (i = 0, 1, ... 31) conectadas en serie, un transistor de selección TD conectado a un lado de drenaje de la celda de memoria 31 como parte final, y un transistor de selección TS conectado a un lado de fuente de la celda de memoria M_{C0} como otra parte final. Un drenaje del transistor de selección TD está conectado a una línea de bits correspondiente de las líneas de bits GBL₀ a GBL_n, y una fuente del transistor de selección TS está conectada a una línea de fuente común SL.

30 Una puerta de control de la celda de memoria M_{Ci} está conectada a la línea de palabra WLi, y las puertas del transistor de selección TD y el transistor de selección TS están conectadas a una línea de puerta de selección SGD y una línea de puerta de selección SGS dispuestas en paralelo con la línea de palabra WLi. Cuando el circuito de selección de línea de palabra 160 selecciona el bloque basándose en la información de dirección de fila Ax o información de dirección convertida, el transistor de selección TD y el transistor de selección TS se acciona opcionalmente a través de la línea de puerta de selección SGS y la línea de puerta de selección SGD del bloque. La Figura 4 es una vista que ilustra una configuración de una unidad de cadena típica. Sin embargo, para la unidad de cadena, se pueden incluir una o más celdas virtuales en una cadena NAND.

40 Típicamente, una celda de memoria tiene una estructura de semiconductor de óxido de metal (MOS). La estructura de MOS incluye una fuente o un drenaje como una región de difusión de tipo N formada en un pozo P, una película de oxidación de túnel, formada en un canal entre la fuente o el drenaje, una puerta flotante (capa de acumulación de carga) formada en la película de oxidación de túnel, y una puerta de control, formada en la puerta flotante a través de una película dieléctrica. Cuando la puerta flotante no acumula cargas, es decir, cuando se escriben los datos "1", el valor umbral es negativo y la celda de memoria está "normalmente encendida". Cuando la puerta flotante acumula cargas, es decir, cuando se escriben los datos "0", el valor umbral se desplaza a positivo y la celda de memoria está "normalmente apagada". Cabe señalar que la celda de memoria puede ser una celda de nivel único (SLC) que almacena un bit (datos binarios) o una celda de niveles múltiples (MLC) que almacena múltiples bits.

50 La Tabla 1 ilustra un ejemplo en el que se aplica una tensión de polarización en las operaciones respectivas de la memoria flash. En una operación de lectura, se aplica una tensión positivo a la línea de bits, se aplica una tensión (por ejemplo, 0 V) a la línea de palabra seleccionada, la tensión de paso Vpass (por ejemplo, 4,5 V) se aplica a las líneas de palabra que no están seleccionadas, se aplica una tensión positivo (p. ej., 4,5V) a la línea de puerta de selección SGD y la línea de puerta de selección SGS para activar el transistor de selección de lado de línea de bits TD y el transistor de selección de lado de línea de fuente TS, y se aplica 0 V a la línea de fuente común. En una operación de programación (escritura), la tensión de programación Vpgm a un potencial alto (15V a 20V) se aplica a la línea de palabras seleccionada, y un potencial intermedio (por ejemplo, 10 V) se aplica a las líneas de palabra que no están seleccionadas para encender el transistor de selección de lado de línea de bits TD, apagar el transistor de selección de lado de línea de fuente TS y suministrar un potencial correspondiente a los datos "0" o "1" a la línea de bits GBL. En una operación de borrado, se aplica 0 V a la línea de palabras seleccionada en el bloque y se aplica un potencial alto (p. ej., 21 V) al pozo P para extraer electrones de la puerta flotante al sustrato, para borrar datos usando el bloque como una unidad.

Tabla 1

	Borrado	Escritura	Lectura
Línea de palabra seleccionada	0	15~20V	0
Línea de palabra no seleccionada	F	10 V	4,5
SGD	F	Vcc	4,5
SGS	F	0	4,5
SL	F	Vcc	0
Pozo P	21	0	0

5

10

15

20

25

En la operación de programación, los datos Di (datos a programar) se cargan en el búfer de página/circuito de detección 170 a través del búfer de entrada/salida 120, y el circuito de ECC 130 realiza el cálculo en los datos de entrada Di transmitidos desde el búfer de página/circuito de detección 170, para generar un símbolo de corrección de errores o un bit de paridad requerido para verificación y corrección de errores en los datos que se están programando. El cálculo del circuito de ECC se puede realizar en base a procesos convencionales como los códigos Hamming o los códigos Reed-Solomon, por ejemplo, y k bits o k bytes de los datos de entrada Di se convierten en una manera $p = k + q$. En este caso, "q" es el símbolo de corrección de errores o el bit de paridad requerido para la verificación y corrección de errores en los datos de entrada Di. En una realización preferente, el circuito de ECC 130 establece el símbolo de corrección de errores en el área de respaldo del búfer de página/circuito de detección 170. De esta manera, los datos de entrada Di y el símbolo de corrección de errores establecido en el búfer de página/circuito de detección 170 se programan en la página seleccionada del conjunto de memoria 110.

30

En la operación de lectura, cuando los datos leídos de la página seleccionada de la matriz de memoria 110 son retenidos por el búfer de página/circuito de detección 170, el circuito de ECC 130 realiza verificación de errores en los datos que se leen basándose en el símbolo de corrección de errores transmitido por el buffer de página/circuito de detección 170. Cuando se detecta un error, los datos corregidos se configuran en el búfer de página/circuito de detección 170. Además, los datos contenidos en el búfer de página/circuito de detección 170 se emiten a través del búfer de entrada/salida 120.

35

Luego, la operación de programación en la realización de la invención se describe con referencia al diagrama de flujo mostrado en la Figura 5. Cuando la parte de control 150 recibe un comando de programación desde el búfer de entrada/salida 120, comienza una secuencia para la programación. Los datos de entrada Di se cargan en el búfer de página/circuito de detección 170. Luego, el circuito de ECC 130 se usa para realizar un proceso de ECC en los datos de entrada Di (S100).

40

La Figura 6 es una vista que ilustra un ejemplo del proceso de ECC. Cuando la memoria flash 100 tiene ocho terminales de entrada/salida, los datos se cargan desde las terminales de entrada/salida externos P-0 a P-7 al búfer de página/circuito de detección 170 a través de los búferes de entrada/salida 120-0 a 120-7, respectivamente. El búfer de página/circuito de detección 170 incluye un área normal 300 dividida en ocho sectores, a saber, sectores 0 al sector 7, y un área de respaldo 310 dividida en cuatro sectores, a saber, copia de seguridad 0 a copia de seguridad 3, por ejemplo.

45

50

Un sector en el área normal 300 está formado por 256 bytes, por ejemplo. Bajo tal circunstancia, los ocho sectores del área normal 300 pueden contener aproximadamente datos de programación de un total de 2 Kbytes. Un sector en el área de respaldo 310 está formado por 16 bytes, por ejemplo. Bajo tal circunstancia, los cuatro sectores (copia de seguridad 0 a copia de seguridad 3) pueden mantener datos de 64 bytes en total. Cada sector del área de respaldo 310 incluye, por ejemplo, un área 311 que almacena información para identificar un bloque defectuoso con una celda de memoria defectuosa, un área 312 que almacena información relacionada con datos de usuario, áreas 313 y 314 que almacenan símbolos de corrección de errores (bits de paridad) de dos sectores del área normal 300, y un área 315 que almacena un símbolo de corrección de errores (bit de paridad) para realizar el cálculo de ECC en el área de respaldo 310. Las áreas 313 y 314 en el respaldo 0 del área de copia de seguridad 310 almacenan respectivamente símbolos de corrección de errores (bit de paridad) del sector 0 y el sector 1 del área normal 300, y las áreas 313 y 314 del respaldo 1 del área de respaldo 310 almacena símbolos de corrección de errores (bits de paridad) del sector 2 y el sector 3 del área normal 300. Del mismo modo, el respaldo 2 del área de copia de seguridad 310 almacena bits de paridad de los sectores 4 y el sector 5 del área normal 300, y el respaldo 3 del área de copia de seguridad 310 almacena bits de paridad del sector 6 y el sector 7 del área normal 300.

55

60

65

En el área normal 300, se asigna un sector con los búferes de entrada/salida 120-0 a 120-7. Es decir, se asignan 256 bits en una terminal de entrada/salida externa (es decir, $256 \times 8 = 1$ sector). El circuito de selección de columna 180 decodifica la información de dirección de columna que Ay recibió en la operación de programación y,

basándose en un resultado de decodificación, elige cargar un sector con entrada de datos en las terminales de entrada/salida externas P-0 a P-7. La Figura 6 es una vista que ilustra un ejemplo de que los datos recibidos por las terminales de entrada/salida externas P-0 a P-7 se cargan en el sector 0 en función de la información de dirección de columna Ay.

5 En el ejemplo mostrado en la presente memoria, el circuito de ECC 130 incluye un circuito de escritura para escribir el símbolo de corrección de errores. Preferiblemente, el circuito de ECC 130 puede realizar el cálculo de ECC en datos con un número de bytes igual a un sector del área normal 300. Si un sector del área normal 300 tiene 256 bytes, el circuito de ECC puede realizar el cálculo ECC en 256 bytes de datos y, por ejemplo, generar un símbolo de corrección de errores que corrige un error de un bit. Bajo tal circunstancia, los ocho sectores permiten una corrección de errores de 8 bits como máximo.

10 El circuito de ECC 130 puede escribir el símbolo de corrección de errores generado en el área 313 o 314 en el sector correspondiente del área de respaldo 310. En el ejemplo de la Figura 6, los datos que se programan se cargan en el sector 0 del área normal 300. Por lo tanto, el símbolo de corrección de errores se escribe en el área 313 almacenando la paridad del respaldo 0.

La Figura 7 ilustra el proceso de ECC en los datos en el área de copia de seguridad 310. Cuando finaliza el proceso de ECC en los sectores respectivos del área normal 300, el proceso de ECC se realiza en los sectores respectivos del área de respaldo 310. Es arbitrario determinar el sector en el área de respaldo 310 cuyos datos se someten al proceso de ECC. Sin embargo, en esta realización, se establece que los datos en las áreas 312 a 314 se someten al proceso de ECC. Por lo tanto, los datos en las áreas 312 a 314 en el respaldo 0 se transmiten al circuito de ECC 130, y el símbolo de corrección de errores generado a través del proceso de ECC se escribe en el área 315 del respaldo 0 utilizando el circuito de ECC 130. Se realiza el mismo proceso para las copias de seguridad 1 a 3.

20 Con referencia a la Figura 5 nuevamente, cuando finaliza el proceso de ECC (S100), comienza la programación de la matriz de memoria 110. La línea de palabra de la matriz de memoria 110 se selecciona usando el circuito de selección de línea de palabra 160, se suministra una tensión correspondiente a los datos retenidos por el búfer de página/circuito de detección 170 a la línea de bits, y se aplica un pulso de programación a la página seleccionada (S110). Luego, se realiza un proceso de verificación de programación (S120) para verificar si el valor umbral de la celda de memoria con el dato "0" es igual o mayor que un valor fijo. Si un resultado de verificación indica que todos los bits de la página seleccionada están calificados, la programación se completa.

25 Cuando no todos los bits están calificados, la parte de control 150 determina que la página seleccionada está supuestamente calificada (S140). Un número máximo N_p de bits no calificados que se determinará como supuestamente calificado es igual o menor que un número máximo N_{cc} de bits que el circuito de ECC 130 puede reparar. Si el número de bits no calificados en la verificación, es decir, el número N_f de los bits no calificados realmente generados en la página seleccionada, es igual o menor que el número máximo N_p de bits no calificados que se determinará como supuestamente calificado ($N_f \leq N_p$), se realiza la determinación de supuestamente calificado (S140). Cuando se realiza la determinación de supuestamente calificado, se completa la programación y los bits no calificados con un "0" incorrecto se almacenan directamente en la página seleccionada.

30 Alternativamente, cuando la determinación realizada no es supuestamente calificada (S140), la parte de control 150 determina si el número de veces de aplicación del pulso de programación alcanza N_{MAX} (S150). De lo contrario, el pulso de programación se aplica a la página seleccionada en función del pulso de programa de paso incremental (ISPP) (S160). Cuando el número de veces que se aplica el pulso de programación llega a N_{MAX} , se informa a un controlador externo de un estado de falla de programación, y el bloque se trata como un bloque defectuoso para su posterior administración. Bajo tal circunstancia, la información de identificación como bloque defectuoso se almacena en el área 311 del área de respaldo. Además, cuando se leen datos que incluyen los bits no calificados considerados supuestamente calificados, el circuito de ECC 130 puede detectar los bits no calificados como errores y corregir los bits no calificados en datos correctos.

35 A continuación, se describe un circuito de determinación para realizar la determinación de supuestamente calificado que opera en la operación de programación de la realización. La Figura 8 es una vista que ilustra una relación de conexión entre el circuito de determinación para hacer la determinación de supuestamente calificado y un búfer de página/circuito de detección. En una realización preferente, cuando el proceso de ECC se realiza usando el sector como una unidad, se proporciona un circuito de determinación 200 en cada uno de los sectores. Por ejemplo, como se muestra en la Figura 6, cuando una página se divide en ocho sectores, y cada sector está formado por 256 bytes, un circuito de determinación está conectado a un sector, a saber, búfer de página 256x8 y circuitos de detección 170_1, 170_2, 170_3 a 170_256x8. Por lo tanto, se proporcionan ocho circuitos de determinación en una página.

40 Como se muestra en la Figura 8, el circuito de determinación 200 está conectado a los cables PB_UP, PB_MG y PB_DIS a través de los nodos N1, N2 y N3. Los cables PB_UP, PB_MG y PB_DIS están comúnmente conectados en una conexión paralela con el búfer de página 256x8 y los circuitos de detección 170_1 a 170_256x8. Cuando

el circuito de ECC 130 realiza el cálculo de ECC en 256 bytes de datos, si el circuito de ECC 130 puede reparar cuatro bits de errores como máximo, por ejemplo, el circuito de determinación 200 permite determinar cuatro bits de bits no calificados (programación defectuosa de datos "0") que supuestamente no están calificados.

5 En otras realizaciones preferentes, cuando el proceso de ECC no se realiza utilizando el sector como una unidad sino utilizando la página como una unidad, el circuito de determinación puede proporcionarse en cada página. Bajo tal circunstancia, el circuito de determinación puede establecer los bits no calificados permitidos para determinar si están supuestamente calificados en función del número máximo de bits de error que el circuito de ECC puede reparar.

10

Luego, los detalles del circuito de determinación se describen a continuación. La Figura 9 es una vista que ilustra una configuración del circuito de determinación y el búfer de página/circuito de detección al que está conectado el circuito de determinación. Típicamente, el búfer de página/circuito de detección 170 incluye un transistor BLPRE que precarga una tensión desde una parte de suministro de tensión V1 a la línea de bits, un transistor BLCLAMP que sujeta la línea de bits, un transistor BLCD que permite la transmisión de carga entre un nodo de detección SNS y un nodo de retención SLR, un transistor DTG que transmite un potencial del nodo de cierre SLR a un transistor VG conectado a una parte de suministro de tensión V2, y un transistor REG que combina la parte de suministro de tensión V2 en el nodo de detección SNS. Por ejemplo, cuando el nodo de detección SNS necesita pasar del potencial L al potencial H en la verificación de programación, el transistor DTG puede operar. Alternativamente, cuando el nodo de detección SNS se cambia del potencial H al potencial L, el transistor DTG también opera. El búfer de página/circuito de detección 170 puede además incluir un circuito de retención obtenido mediante acoplamiento cruzado de un par de inversores. El circuito de retención incluye un transistor EQ_EN que hace que los nodos SLR y SLS sean equivalentes, un transistor CSL que combina los nodos SLR y SLS a la línea de datos, y un transistor Q1 combinado en el nodo SLS y un transistor Q2 conectado en serie al transistor Q1.

25

El búfer de página/circuito de detección 170 incluye además un circuito que emite un resultado sobre si la verificación de programación está calificada o no. El circuito incluye el transistor NMOS Q1 y el transistor NMOS Q2 conectados en serie entre los cables PB_UP y PB_DIS. El nodo de cierre SLS se suministra a una puerta del transistor Q1, y el cableado PB_MG está conectado a una puerta del transistor Q2. El cableado PB_UP está conectado al nodo N1 del circuito de determinación 200, el cableado PB_MG está conectado al nodo N2 y el cableado PB_DIS está conectado al nodo N3. Como se explica a continuación, el transistor Q2 es un transistor que tiene un tamaño W igual al de los transistores Q5 y Q8. Cuando se activa el transistor Q1, una corriente de referencia Iref fluye a través del transistor Q2. Cuando se califica la verificación de programación, el nodo de cierre SLS se convierte en el potencial L y el transistor Q1 se desconecta. No fluye corriente desde el cableado PB_UP al cableado PB_DIS, por lo que la tensión del cableado PB_UP no cambia. Cuando la verificación de programación no está calificada, el nodo de cierre SLS se convierte en el potencial alto H, y el transistor Q1 se enciende. Bajo tal circunstancia, la corriente de referencia Iref fluye a través del transistor Q2, por lo que la tensión del cableado PB_UP cae debido a la corriente de referencia Iref.

30

35

40

El circuito de determinación 200 incluye el transistor PMOS Q3 y Q4 conectado a una fuente de suministro de tensión, una resistencia variable R1, una resistencia variable R2, un comparador CMP, el transistor NMOS Q5, un transistor NMOS Q6, un transistor NMOS Q7 y el transistor NMOS Q8. El transistor PMOS Q3 y el transistor PMOS Q4 funcionan como fuentes de corriente y ajustan respectivamente la resistencia variable R1 y la resistencia variable R2 al igualar las salidas de tensión de la resistencia variable R1 y la resistencia variable R2. Es decir, como ajuste inicial, la resistencia R1 y la resistencia R2 se ajustan igualando la tensión del cableado PB_UP y la tensión de referencia Vref. La salida de la resistencia variable R1, es decir, la tensión del cableado PB_UP, puede conectarse a una terminal de entrada (+) del comparador CMP, y la salida de la resistencia variable R2, es decir, la tensión de referencia Vref, está conectada a otra terminal de entrada (-) del comparador CMP. El comparador CMP compara los dos tensiones de entrada y la tensión de salida del potencial H o el potencial L. El potencial H indica supuestamente calificado, mientras que el potencial L indica no calificado.

45

50

55

El transistor Q5 está conectado a una fuente de corriente constante y la corriente de referencia Iref fluye a través del transistor Q5. Una puerta del transistor Q5 está conectada al nodo N2, a saber, el cableado PB_MG. El transistor Q6 está conectado en serie a la resistencia variable R2, y una puerta del transistor Q6 está conectada al nodo N2. El transistor Q7 está conectado en serie entre el transistor Q6 y GND y suministra una puerta del transistor Q7 a una señal JUDGEON. Cuando se realiza la verificación de programación, la señal JUDGEON se dirige al potencial H y el transistor Q7 se enciende. Los nodos de conexión del transistor Q6 y el transistor Q7 están conectados en el nodo N3, es decir, el cableado PB_DIS. En este caso, el tamaño (W/2) del transistor Q6 es la mitad del tamaño (W) del transistor Q5 y el transistor Q2. Por lo tanto, cuando se activa el transistor Q7, la mitad de Iref fluye a través del transistor Q6.

60

65

El transistor Q8 se establece en correspondencia con el número N de bits no calificados que el circuito de determinación 200 determina que están supuestamente calificados o no. Cuando el número de bits no calificados que el circuito de determinación 200 determina que están supuestamente calificados o no es 0, el transistor Q8 en realidad puede no ser necesario. Alternativamente, incluso si el transistor Q8 está dispuesto, el transistor Q8

5 todavía está deshabilitado ($N = 0$). Cuando se determina que un bit de bits no calificados está supuestamente calificado o no, se requiere un transistor Q8 ($N = 1$). Si se determina que dos bits de bits no calificados están supuestamente calificados o no, se requieren dos transistores Q8 ($N = 2$) conectados en paralelo. El número máximo de bits no calificados que se determinarán como supuestamente calificados o no por el circuito de determinación 200 es el número máximo de bits que el circuito de ECC 130 puede reparar.

10 La Figura 9 ilustra un transistor Q8. Como ya se señaló, el transistor Q8 se establece en correspondencia con el número N de los bits no calificados que se determina que están supuestamente calificados o no. El transistor Q8 está conectado entre la tensión de referencia V_{ref} y el cableado PB_DIS, y una puerta del transistor Q8 está conectada al cableado PB_MG. En este caso, el tamaño (W) del transistor Q8 es el mismo que el tamaño (W) del transistor Q5 y el transistor Q2. Cuando se activa el transistor Q7, la corriente de referencia I_{ref} fluye en el transistor Q8.

15 El transistor Q8 se proporciona en función del número (N) de los bits no calificados que se determina que están supuestamente calificados o no. Además, los transistores Q8 pueden conectarse en función del número N, de modo que todos los transistores Q8 sean operables. Alternativamente, el número de los transistores operables Q8 puede seleccionarse arbitrariamente de la pluralidad de transistores Q8 que están conectados. La Figura 10 es una vista que ilustra un ejemplo de selección del número de transistores operables Q8 de los transistores conectados Q8. Un transistor Q8_1 y un transistor Q10 están conectados en serie entre la tensión de referencia V_{ref} y el cableado PB_DIS, y un transistor Q8_2 y un transistor Q11 que están conectados con el transistor Q8_1 y el transistor Q10 en paralelo están conectados en serie. Se proporciona una señal de habilitación EN_1 y una señal de habilitación EN_2 a las puertas del transistor Q10 y el transistor Q11. Cuando la señal de habilitación EN_1 y la señal de habilitación EN_2 son conducidas al potencial H, el transistor Q8_1 y el transistor Q8_2 funcionan de manera que fluya la corriente de referencia I_{ref} fluya. Al conducir una de la señal de habilitación EN_1 y la señal de habilitación EN_2 al potencial L, uno de los transistores Q8 funciona de manera que fluya la corriente de referencia I_{ref} . Al conducir tanto la señal de habilitación EN_1 como la señal de habilitación EN_2 al potencial L, ninguno de los transistores Q8_1 y el transistor Q8_2 opera. La señal de habilitación EN_1 y la señal de habilitación EN_2 son accionadas en respuesta a la señal de control de la parte de control 150, por ejemplo. En este caso, si bien es posible realizar una selección en el transistor Q8_1 y el transistor Q8_2 cambiando el transistor Q10 y el transistor Q11, dicha disposición también permite fijar de forma más persistente el transistor Q8 seleccionado en comparación con una disposición donde los transistores Q10 y Q11 se reemplaza con un fusible.

30 Luego, el funcionamiento del circuito de determinación 200 se describe a continuación. La Tabla 2 proporciona valores actuales de las partes respectivas cuando el circuito de determinación determina 0 bits, 1 bit o 2 bits de bits no calificados para ser supuestamente calificados y una tabla de diferencia de los valores actuales.

Tabla 2

Supuestamente calificado	Calificado o no calificado	I_{ref} (V_{ref})	I_{ref} (PB_UP)	ΔI_{ref}
0 bits	Calificado	$I_{ref}/2$	0 (0 bits no calificados)	+ $I_{ref}/2$
	No calificado		I_{ref} (1 bit no calificado)	- $I_{ref}/2$
1 bit	Calificado	$I_{ref}/2 + I_{ref}$	I_{ref} (1 bit no calificado)	+ $I_{ref}/2$
	No calificado		$2I_{ref}$ (2 bits no calificados)	- $I_{ref}/2$
2 bits	Calificado	$I_{ref}/2 + 2I_{ref}$	$2I_{ref}$ (2 bits no calificados)	+ $I_{ref}/2$
	No calificado		$3I_{ref}$ (3 bits no calificado)	- $I_{ref}/2$

50 (1) el caso de determinar 0 bits de bits no calificados:

55 En primer lugar, el caso de determinar 0 bits de bits no calificados se describe a continuación. En este caso, se determina si la programación de todos los bits tiene éxito. En esta condición, no se requiere el transistor Q8 o el transistor Q8 está deshabilitado ($N = 0$). Además de aplicar una tensión de verificación a la línea de palabra seleccionada, la verificación de programación es similar a la operación de lectura en que, cuando la programación de todos los bits tiene éxito, la celda de memoria seleccionada no se enciende y los potenciales de todas las líneas de bit no se descargan, sino que tienen un potencial precargado. Por lo tanto, el nodo de cierre SLS está en el potencial L, el transistor Q1 está desconectado y la tensión del cableado PB_UP no cambia. Además, durante la verificación, la señal JUDGEON se dirige al potencial H, el transistor Q7 se enciende y el cableado PB_DIS está en el potencial GND. En este caso, una corriente de $1/2I_{ref}$ fluye en el transistor Q6, por lo que la tensión de referencia V_{ref} se ajusta a un valor correspondiente a una caída de tensión de $1/2I_{ref}$. Entonces, la tensión del cableado PB_UP es más alto que la tensión de referencia V_{ref} en $1/2I_{ref}$, por lo que el comparador COMP emite una señal en el potencial H que indica calificado.

Alternativamente, cuando está presente un bit de bit no calificado, el nodo de cierre SLS del búfer de página/circuito de detección de una página 170 se convierte en el potencial H, el transistor Q1 se activa y la corriente de I_{ref} fluye en el transistor Q2. Por lo tanto, la tensión del cableado PB_UP se ajustó a un valor que cae por la cantidad de I_{ref} . Por lo tanto, la tensión del cableado PB_UP es más bajo que la tensión de referencia V_{ref} en $1/2I_{ref}$, y el comparador COMP por consiguiente emite una señal en el potencial L que indica que no está calificado.

(2) el caso de determinar 1 bit de bits no calificados:

En el caso de determinar un bit de bits no calificados ($N = 1$), un transistor Q8 está configurado para ser operable. Por ejemplo, en el caso de la Figura 10, la señal de habilitación EN_1 se dirige al potencial H, y la señal de habilitación EN_2 se dirige al potencial L. En consecuencia, cuando la programación de todos los bits tiene éxito, el transistor Q1 se desconecta y la tensión del cableado PB_UP no cambia, y cuando hay un bit de bits no calificados, el transistor Q1 de un búfer de página/circuito de detección se enciende, y la tensión del cableado PB_UP cae en la cantidad de I_{ref} . Cuando la señal JUDGEON se dirige al potencial H, el transistor Q7 se enciende y el cableado PB_DIS se convierte en el potencial GND, la corriente de $1/2I_{ref}$ fluye en el transistor Q6, y luego la corriente de I_{ref} fluye en el transistor Q8. Por lo tanto, la tensión de referencia V_{ref} se ajusta a un valor que cae en la cantidad de $1/2I_{ref} + I_{ref}$. En consecuencia, la tensión del cableado PB_UP es mayor que la tensión de referencia V_{ref} , y el comparador CMP genera el potencial H.

Alternativamente, cuando hay dos bits de bits no calificados, los transistores Q1 de dos búferes de página/circuitos de detección se activan, y la tensión del cableado PB_UP cae en $2xI_{ref}$. En consecuencia, la tensión del cableado PB_UP es menor que la tensión de referencia V_{ref} , y el comparador CMP genera el potencial L.

(3) el caso de determinar 2 bits de bits no calificados:

En el caso de determinar dos bits de bits no calificados ($N = 2$), dos transistores Q8 están configurados para ser operables. Por ejemplo, en el caso de la Figura 10, la señal de habilitación EN_1 se dirige al potencial H, y la señal de habilitación EN_2 se dirige al potencial L. Además, cuando están presentes dos bits de bits no calificados, los transistores Q1 de dos búferes de página/circuitos de detección se activan, y la tensión del cableado PB_UP cae en la cantidad de $2xI_{ref}$. Cuando la señal de JUDGEON se dirige al potencial H, el transistor Q7 se enciende y el cableado PB_DIS se convierte en el potencial GND, la corriente de $1/2I_{ref}$ fluye en el transistor Q6. En consecuencia, la corriente de $2xI_{ref}$ fluye en los dos transistores Q8. Por lo tanto, la tensión de referencia V_{ref} se convierte en un valor que cae en la cantidad de $1/2I_{ref} + 2xI_{ref}$. En consecuencia, la tensión del cableado PB_UP es mayor que la tensión de referencia V_{ref} , y el comparador CMP genera el potencial H.

Alternativamente, cuando hay presentes tres bits de bits no calificados, los transistores Q1 de tres búferes de página/circuitos de detección se activan, y la tensión del cableado PB_UP cae en una cantidad de $3xI_{ref}$. En consecuencia, la tensión del cableado PB_UP es menor que la tensión de referencia V_{ref} , y el comparador CMP genera el potencial L.

En base a lo anterior, en la realización, el circuito de determinación puede determinar si los bits no calificados están supuestamente calificados comparando la tensión generada por la corriente de referencia correspondiente al número de bits no calificados y la tensión de referencia generada por la corriente de referencia correspondiente al número de bits no calificados agregados por $1/2$ de la corriente de referencia.

Luego, una segunda realización de la invención se describe a continuación. Un circuito de determinación 200A de la segunda realización se muestra en la Figura 11. En la segunda realización, en la determinación de 0 bits, 1 bit y dos bits de bits no calificados, la tensión de referencia V_{ref} es fijo. En el ejemplo del dibujo, se conectan dos transistores Q8, y la tensión de referencia V_{ref} se fija en un valor cuando $1/2I_{ref}$ fluye a través del transistor Q6 y $2xI_{ref}$ fluye a través del transistor Q8.

Luego, los transistores 2-N Q9 se conectan al cableado PB_UP. El transistor Q9 tiene el mismo tamaño W que el transistor Q8 y la corriente de I_{ref} fluye a través del transistor Q9. Cuando el circuito de determinación 200A habilita 0 bits de bits no calificados ($N = 0$), el número de los transistores Q9 es dos. Los dos transistores Q9 están conectados en paralelo entre el cableado PB_UP y el cableado PB_DIS. Cuando se enciende el transistor Q7, la corriente de $2xI_{ref}$ fluye desde el cableado PB_UP al cableado PB_DIS a través de los transistores Q9. En el caso de determinar 1 bit de bits no calificados ($N = 1$), el número del transistor Q9 es 1, y la corriente de $1xI_{ref}$ fluye, y en el caso de determinar 2 bits de bits no calificados ($N = 2$), el número del transistor Q9 es 0. Como se muestra en la Figura 10, el número de los transistores Q9 también puede seleccionarse mediante dos transistores habilitadores conectados en serie con dos transistores Q9.

La Tabla 3 proporciona valores actuales de las partes respectivas cuando el circuito de determinación de la segunda realización determina 0 bits, 1 bit o 2 bits de bits no calificados para ser supuestamente calificados o no.

Tabla 3

Supuestamente calificado	Calificado o no calificado	Iref(Vref)	Iref(PB_UP)	Δ Iref
0 bits	Calificado	$I_{ref}/2 + 2I_{ref}$	$0I_{ref} + 2I_{ref}$ (0 bits no calificados)	$+ I_{ref}/2$
	No calificado		$1I_{ref} + 2I_{ref}$ (1 bit no calificado)	$-I_{ref}/2$
1 bit	Calificado		$1I_{ref} + 1I_{ref}$ (1 bit no calificado)	$+ I_{ref}/2$
	No calificado		$2I_{ref} + 1I_{ref}$ (2 bits no calificados)	$-I_{ref}/2$
2 bits	Calificado		$2I_{ref} + 0I_{ref}$ (2 bits no calificados)	$+ I_{ref}/2$
	No calificado		$3I_{ref} + 0I_{ref}$ (3 bits no calificados)	$-I_{ref}/2$

(1) el caso de determinar 0 bits de bits no calificados:

Se determina si la programación de todos los bits tiene éxito y si la tensión de referencia Vref se fija en un valor que cae $1/2I_{ref} + 2 \times I_{ref}$. Además, al usar los dos transistores Q9, la corriente de $2 \times I_{ref}$ fluye a través del transistor Q7 hacia GND. Por lo tanto, la tensión del cableado PB_UP se ajusta a un valor que cae $2 \times I_{ref}$. En consecuencia, el comparador CMP genera el potencial H (calificado). En el caso de que esté presente un bit de bits no calificados, la tensión del cableado PB_UP puede caer en $2 \times I_{ref} + I_{ref} = 3 \times I_{ref}$ y volverse más bajo que la tensión de referencia Vref. Por lo tanto, el comparador CMP genera el potencial L (no calificado).

(2) el caso de determinar 1 bit de bits no calificados:

Similar a lo anterior, la tensión de referencia Vref se fija en el valor que cae en $1/2I_{ref} + 2 \times I_{ref}$. Además, el número del transistor Q9 es uno. Por lo tanto, cuando está presente un bit de bits no calificados, debido a la Iref del transistor Q2 y la Iref del transistor Q9, la tensión del cableado PB_UP cae $2 \times I_{ref}$ y se vuelve más alto que la tensión de referencia Vref. Por lo tanto, el comparador CMP emite el potencial H que indica calificado. Cuando los bits no calificados son 2 bits, la tensión del cableado PB_UP cae en $3 \times I_{ref}$ y se vuelve más bajo que la tensión de referencia Vref. Por lo tanto, el comparador CMP emite el potencial L que indica que no está calificado.

(3) el caso de determinar 2 bits de bits no calificados:

Similar a lo anterior, la tensión de referencia Vref se fija en el valor que cae en $1/2I_{ref} + 2 \times I_{ref}$. Además, el transistor Q9 es $2 - N = 0$. Cuando hay 2 bits de bits no calificados, debido al transistor Q2, la tensión del cableado PB_UP cae en $2 \times I_{ref}$ y se vuelve más alto que la tensión de referencia Vref. Por lo tanto, el comparador CMP emite el potencial H que indica calificado. Cuando hay 3 bits de bits no calificados, la tensión del cableado PB_UP cae por $3 \times I_{ref}$ que el transistor Q2 y se vuelve más bajo que la tensión de referencia Vref. Por lo tanto, el comparador CMP emite el potencial L que indica que no está calificado.

En base a la segunda realización, dado que la tensión de referencia Vref es fijo, el ajuste se hace más fácil ya que el ajuste al transistor variable R1 se puede hacer al cambiar el número del transistor Q9. Además, la Figura 12 es una vista que ilustra una relación entre la tensión de referencia Vref y la tensión del cableado PB_UP en la determinación de la calificación sospechosa en los casos de 0 bits, 1 bit y 2 bits. Como la corriente de $I_{ref}/2$ fluye en los transistores Q6 y Q8, la caída de tensión de la tensión de referencia Vref se vuelve más significativa que la de la primera realización. Por lo tanto, la diferencia de tensión (es decir, el margen de determinación) entre la tensión de referencia Vref y el cableado PB_UP se vuelve mayor, y una determinación errónea (ΔV_P es una diferencia de tensión para la determinación de calificado, y ΔV_F es una diferencia de tensión para la determinación de no calificado) se suprime en consecuencia.

Entonces, un ejemplo modificado de la segunda realización se muestra en la Figura 13. En el ejemplo modificado, la resistencia variable R2 genera $1/2I_{ref}$ en reemplazo del transistor Q6. Dado que el transistor Q6 tiene una estructura más sutil y tiene un tamaño $1/2$ de los tamaños del transistor Q2, el transistor Q5, el transistor Q8 y el transistor Q9, es más difícil fabricar el transistor Q6. Por lo tanto, el transistor Q6 se elimina y la resistencia variable R2 se ajusta para generar $1/2I_{ref}$. Excepto esta diferencia, la configuración del ejemplo modificado es la misma que la de la segunda realización.

Luego, una tercera realización de la invención se describe a continuación. Como se muestra en la Figura 12 que ilustra la segunda realización, en la determinación de supuestamente calificados para 1 bit y 2 bits de bits no calificados, la corriente de referencia del transistor Q9 se reduce, y la inclinación se vuelve menos significativa. Por lo tanto, el margen de determinación, es decir, la diferencia de tensión ΔV_P y la diferencia de tensión ΔV_F , se reducen, lo que hace que sea más probable que llegue a una determinación errónea. La tercera realización se describe a continuación para referirse a este problema.

La Figura 14 es una vista que ilustra una configuración de un circuito de determinación 200C de acuerdo con la tercera realización de la invención. En el circuito de determinación 200C de la tercera realización, la tensión de referencia V_{ref} se fija en el valor de $1/2I_{ref}$ del transistor Q6. Además, un circuito de alimentación 210 está conectado al cableado PB_UP. El circuito de suministro 210 suministra la corriente de referencia I_{ref} correspondiente al número de bit N para determinar los bits no calificados a ser supuestamente calificados. El circuito de suministro 210 puede ser un circuito de espejo de corriente por el que fluye la misma corriente del transistor Q5. Como ejemplo, el circuito de determinación 200C no suministra la corriente de referencia I_{ref} usando el circuito de suministro 210 en el caso de determinar 0 bits de bits no calificados, suministra $1 \times I_{ref}$ usando el circuito de suministro 210 en el caso de determinar 1 bit de bits no calificados, y suministra $2 \times I_{ref}$ utilizando el circuito de suministro 210 en el caso de determinar 2 bits de bits no calificados. La Figura 15 es una vista que ilustra un ejemplo del circuito de suministro. Un circuito de suministro 210A incluye el transistor Q5 y un transistor Q20 y un transistor Q21 formado por el espejo de corriente. El transistor Q20 y el transistor Q21 están respectivamente en conexión en serie con un transistor Q22 y un transistor Q23. El transistor Q22 y el transistor Q23 son accionados por la señal de habilitación EN_1 y la señal de habilitación EN_2. Cuando el cableado PB_UP suministra $2 \times I_{ref}$, las señales de habilitación EN_1 y EN_2 se dirigen al potencial H, cuando el cableado PB_UP suministra $1 \times I_{ref}$, una de las señales de habilitación EN_1 y EN_2 se dirige al potencial H, y cuando no se suministra I_{ref} , las señales de habilitación EN_1 y EN_2 son conducidas al potencial L.

La Tabla 4 proporciona valores actuales de las partes respectivas cuando el circuito de determinación de la segunda realización determina 0 bits, 1 bit o 2 bits de bits no calificados para ser supuestamente calificados o no.

Tabla 4

Supuestamente calificado	Calificado o no calificado	$I_{ref}(V_{ref})$	$I_{ref}(PB_UP)$	ΔI_{ref}
0 bits	Calificado	$I_{ref}/2$	$0I_{ref}-0I_{ref}$ (0 bits no calificados)	+1 ref/2
	No calificado		$1I_{ref}-0I_{ref}$ (1 bit no calificado)	-Iref/2
1 bit	Calificado		$1I_{ref}-1I_{ref}$ (1 bit no calificado)	+1 ref/2
	No calificado		$2I_{ref}-1I_{ref}$ (2 bits no calificados)	-Iref/2
2 bits	Calificado		$2I_{ref}-2I_{ref}$ (2 bits no calificados)	+1 ref/2
	No calificado		$3I_{ref}-2I_{ref}$ (3 bits no calificados)	-Iref/2

(1) el caso de determinar 0 bits de bits no calificados:

Se determina si la programación de todos los bits tiene éxito y si la tensión de referencia V_{ref} se fija en un valor de la corriente que fluye a través del transistor Q6 y cae $1/2I_{ref} + 2 \times I_{ref}$. Además, dado que el transistor Q1 está desconectado, la tensión del cableado PB_UP no cambia. En consecuencia, el comparador CMP genera el potencial H (calificado). En el caso de que esté presente un bit de bits no calificados, debido al transistor Q2, la tensión del cableado PB_UP puede caer por I_{ref} y volverse más bajo que la tensión de referencia V_{ref} . Por lo tanto, el comparador CMP genera el potencial L (no calificado).

(2) el caso de determinar 1 bit de bits no calificados:

De manera similar, dado que $1/2I_{ref}$ fluye a través del transistor Q6, la tensión de referencia V_{ref} es fijo. El circuito de suministro 210 suministra al cableado PB_UP la corriente de I_{ref} . Con respecto a la tensión del cableado PB_UP cuando está presente un bit de bits no calificados, a pesar de que I_{ref} fluye a través del transistor Q2, la corriente suministrada cancela la corriente liberada, porque el circuito de suministro 210 suministra a I_{ref} . Por lo tanto, la tensión del cableado PB_UP no cambia. Por lo tanto, la tensión del cableado PB_UP se vuelve más alto que la tensión de referencia V_{ref} , y el comparador CMP emite el potencial H que indica calificado. Con respecto a la tensión del cableado PB_UP cuando están presentes dos bits de bits no calificados, $2 \times I_{ref}$ fluye a través del transistor Q2, y el circuito de suministro 210 suministra I_{ref} . Por lo tanto, la tensión del cableado PB_UP cae por I_{ref} y se vuelve más bajo que la tensión de referencia V_{ref} . Por lo tanto, el comparador CMP emite el potencial L que indica que no está calificado.

(3) el caso de determinar 2 bits de bits no calificados:

$1/2I_{ref}$ fluye a través del transistor Q6, y la tensión de referencia V_{ref} es fijo. El circuito de suministro 210 suministra el cableado PB_UP $2 \times I_{ref}$. Con respecto a la tensión del cableado PB_UP cuando están presentes dos bits de bits no calificados, aunque $2 \times I_{ref}$ fluya a través del transistor Q2, la corriente liberada es cancelada por la corriente suministrada porque el circuito de suministro 210 suministra $2 \times I_{ref}$. Por lo tanto, la tensión del cableado PB_UP no cambia. Por lo tanto, la tensión del cableado PB_UP se vuelve más alto que la tensión de referencia V_{ref} , y el

comparador CMP emite el potencial H que indica calificado. Con respecto a la tensión del cableado PB_UP cuando están presentes tres bits de bits no calificados, $3x_{lref}$ fluye a través del transistor Q2, y el circuito de suministro 210 suministra $2x_{lref}$. Por lo tanto, la tensión del cableado PB_UP cae por I_{ref} y se vuelve más bajo que la tensión de referencia V_{ref} . Por lo tanto, el comparador CMP emite el potencial L que indica que no está calificado.

5

La Figura 16 es una vista que ilustra una relación entre la tensión de referencia V_{ref} y la tensión del cableado PB_UP cuando el circuito de determinación 200C de la tercera realización determina supuestamente calificado en el caso de 0 bit, 1 bit y 2 bits ($N = 0$, $N = 1$, $N = 2$). En la tercera realización, el cableado PB_UP se suministra con $1x_{lref}$ o $2x_{lref}$ en la determinación de 1 bit de bits no calificados o 2 bits de bits no calificados, por lo que la tensión del cableado PB_UP no cae. En consecuencia, con respecto al margen de tensión ΔV_P y el margen de tensión ΔV_F , la determinación puede proceder de la misma manera que en el caso de la determinación no calificada de 0 bits.

10

15

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Un dispositivo de almacenamiento de semiconductor no volátil (100), que comprende:

5 una matriz de memoria (110);
una pluralidad de circuitos de retención de datos (120-0~120-7), en el que en los circuitos de retención de datos (120-0~120-7), cada uno de los circuitos de retención de datos (120-0~120-7) comprende un circuito conectado a la matriz de memoria (110) a través de una línea de bits (GBL) y que retiene datos para ser programados en una página seleccionada, y un circuito de salida (170) que emite si una
10 verificación está calificada o no en una verificación de programación; y
un circuito de determinación (200), conectado al circuito de salida (170) de cada uno de los circuitos de retención de datos (120-0~120-7), y que determina si los resultados de verificación de la pluralidad de circuitos de retención de datos (120-0~120-7) coincide con un número permitido de bits no calificados, en el que el circuito de determinación (200) comprende: un primer circuito que genera una tensión de detección que corresponde a si las verificaciones de los circuitos de retención de datos (120-0~120-7) están calificadas o no en base a corrientes de referencia (Iref) correspondientes al número de bits no calificados, un segundo circuito que genera una tensión de referencia (Vref) en base a corrientes de referencia (Iref) correspondientes al número permitido de bits no calificados, y un circuito de comparación (CMP) que compara la tensión de detección con la tensión de referencia (Vref), en el que el circuito de comparación (CMP) emite una señal que indica si los resultados de verificación de los circuitos de retención de datos (120-0~120-7) son el número permitido de bits no calificados, en el que el circuito de salida (170) del circuito de retención de datos (120-0~120-7) comprende un transistor a través del cual fluye una corriente equivalente a la corriente de referencia (Iref) del segundo
15 circuito cuando el resultado de la verificación es no calificado,
20 estando el dispositivo de almacenamiento de semiconductor no volátil (100) **caracterizado porque** uno del primer circuito y el segundo circuito comprende una pluralidad de transistores a través de los cuales fluye la corriente de referencia (Iref), y **porque** el número de transistores operables de la pluralidad de transistores se selecciona en correspondencia con el número permitido de bits no calificados.

30 2. El dispositivo de almacenamiento de semiconductor no volátil (100) según la reivindicación 1, en el que el segundo circuito comprende la pluralidad de transistores a través de los cuales fluye la corriente de referencia (Iref), y el segundo circuito selecciona el número de transistores operables de los transistores en correspondencia con el número permitido de bits no calificados.

35 3. El dispositivo de almacenamiento de semiconductor no volátil (100) según la reivindicación 1, en el que el segundo circuito genera la tensión de referencia (Vref) con las corrientes de referencia (Iref) en una cantidad predeterminada, y el primer circuito genera la tensión de detección en base a las corrientes de referencia (Iref) en una cantidad menor que la cantidad predeterminada.

40 4. El dispositivo de almacenamiento de semiconductor no volátil (100) según la reivindicación 1, en el que el primer circuito comprende un circuito de suministro (210), y el circuito de suministro (210) suministra las corrientes de referencia (Iref) en una cantidad correspondiente al número permitido de bits no calificados, y la tensión de detección generada por el primer circuito está en un valor correspondiente a las corrientes de referencia (Iref) suministradas por el circuito de suministro (210).

45 5. El dispositivo de almacenamiento de semiconductor no volátil (100) según la reivindicación 4, en el que el circuito de suministro (210) comprende la pluralidad de transistores a través de los cuales fluye la corriente de referencia (Iref), y el circuito de suministro (210) selecciona el número de transistores operables de los transistores en correspondencia con el número permitido de bits no calificados.

50 6. El dispositivo de almacenamiento de semiconductor no volátil (100) según una cualquiera de las reivindicaciones 1 a 5, en el que el número permitido de bits no calificados se determina en correspondencia con el número de bits que pueden ser reparados por un miembro de verificación y corrección de errores.

55 7. El dispositivo de almacenamiento de semiconductor no volátil (100) según la reivindicación 6, en el que cuando el miembro de verificación y corrección de errores opera utilizando un sector de la página seleccionada como una unidad, el circuito de determinación (200) se conecta a los circuitos de retención de datos (120-0~120-7) usando el sector como una unidad.

60

65

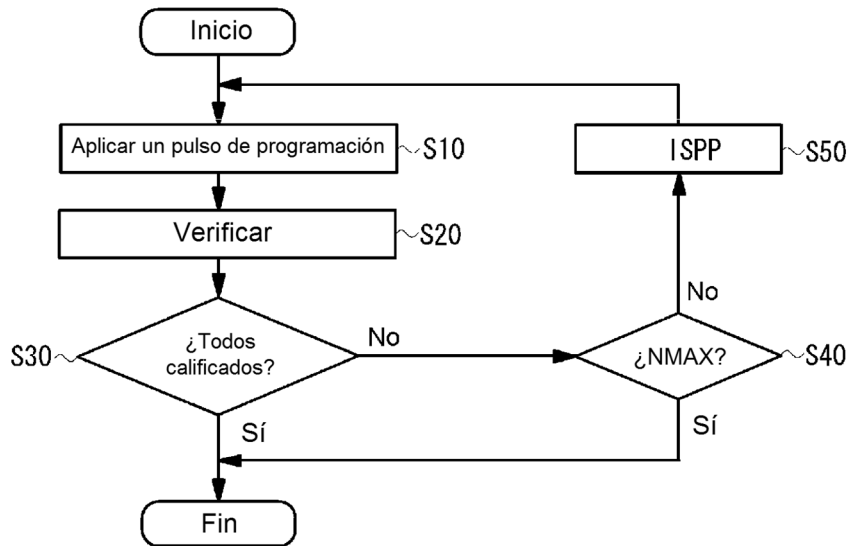


FIG. 1

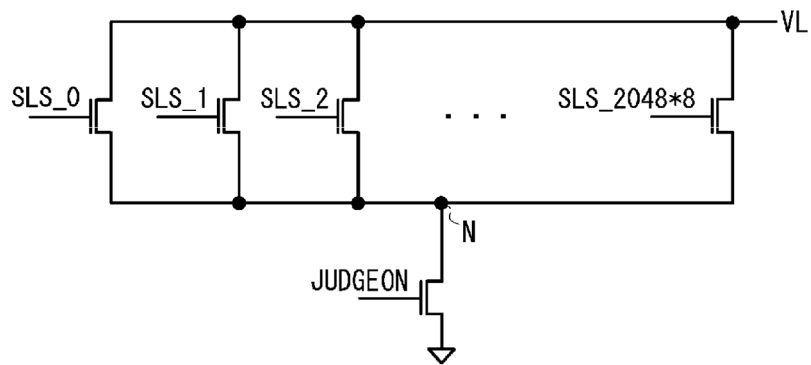


FIG. 2

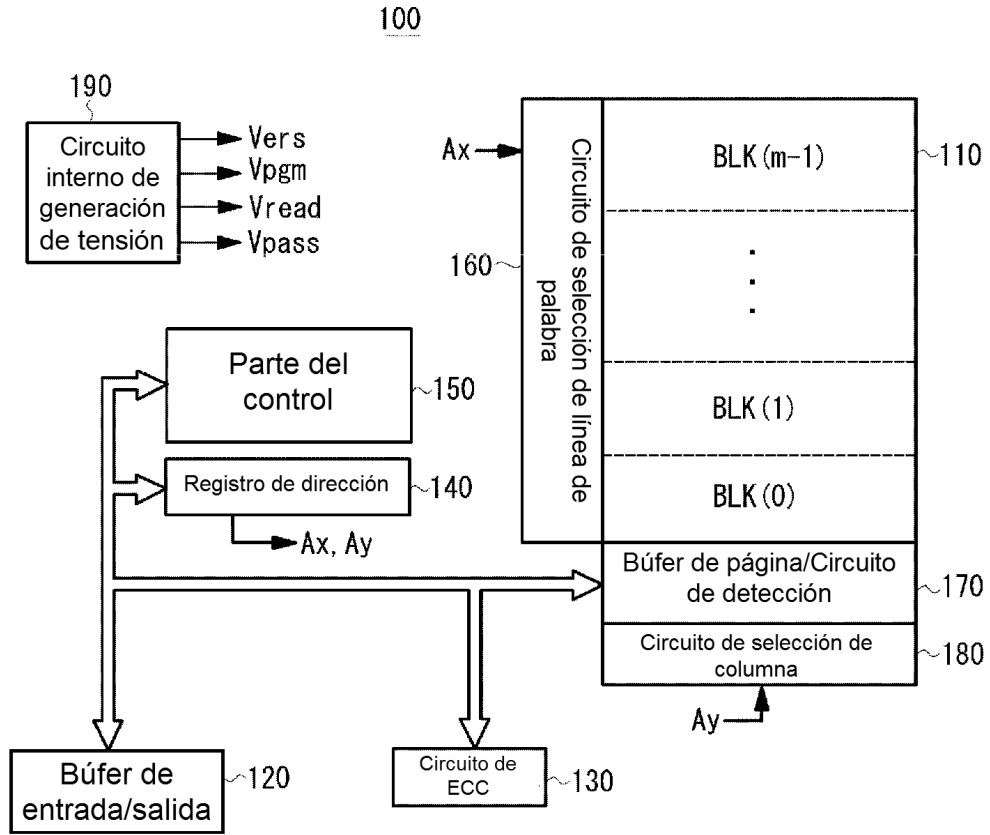


FIG. 3

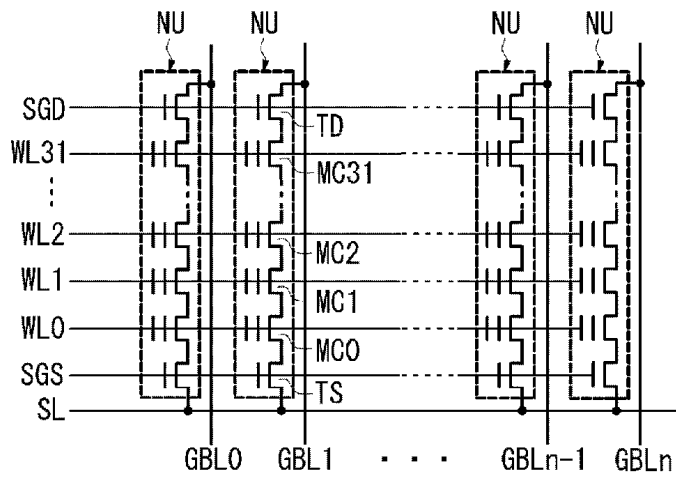


FIG. 4

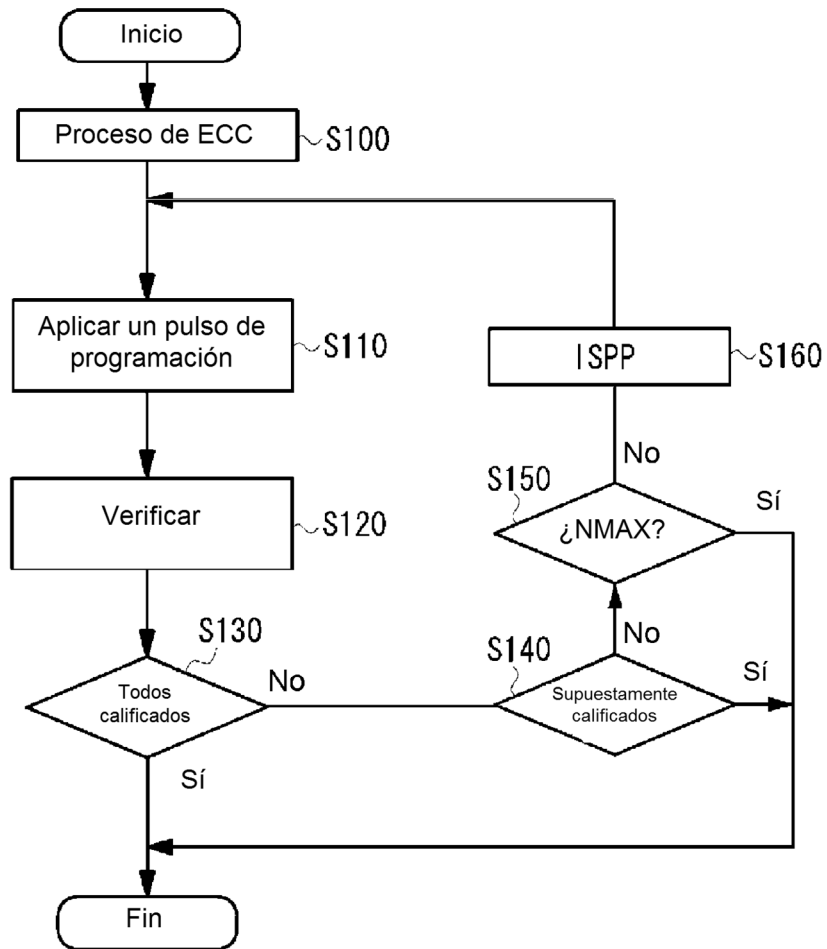


FIG. 5

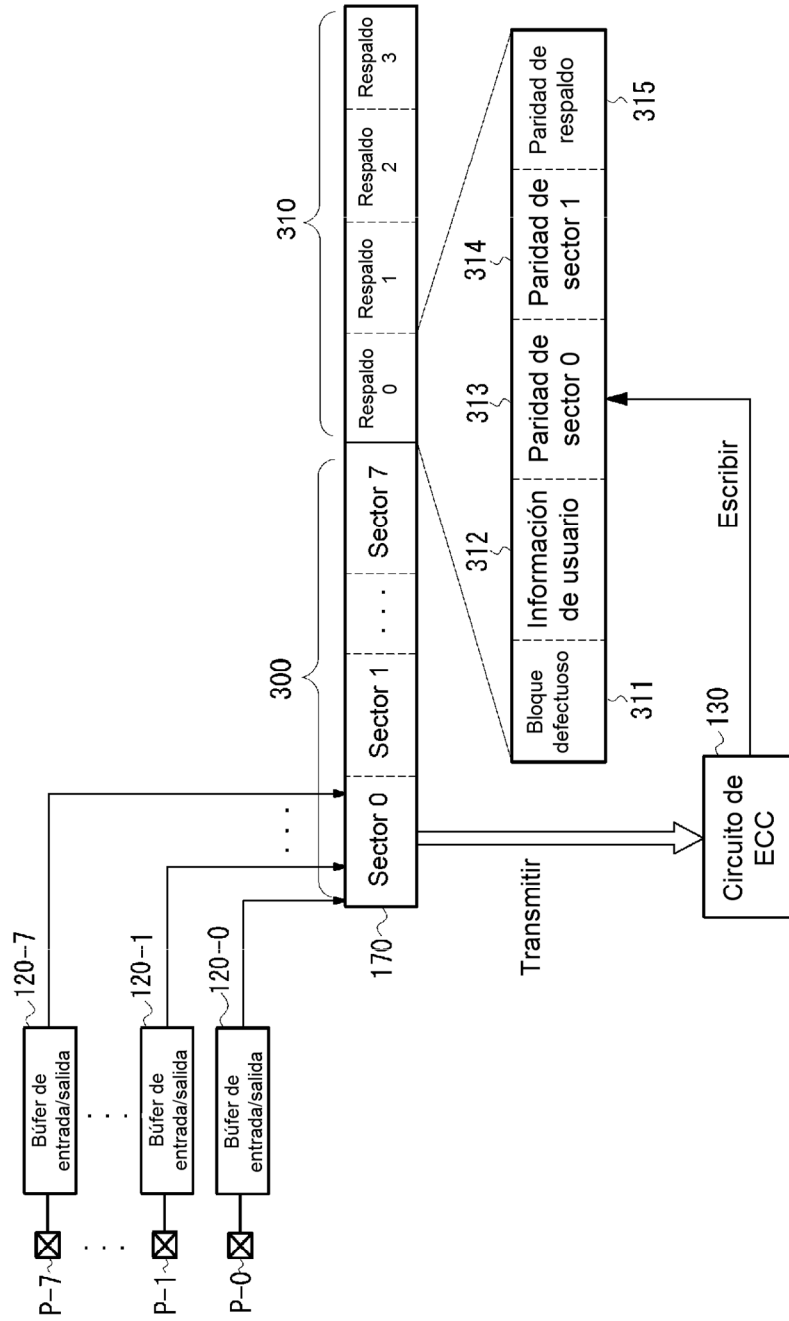


FIG. 6

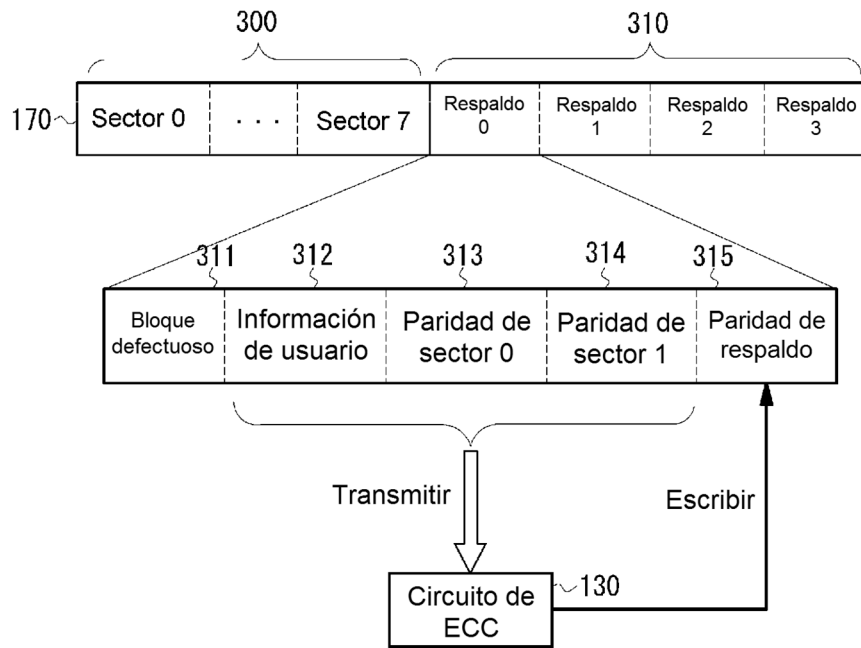


FIG. 7

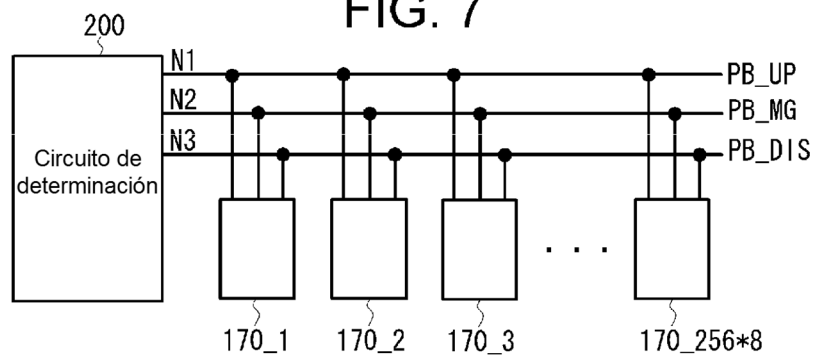


FIG. 8

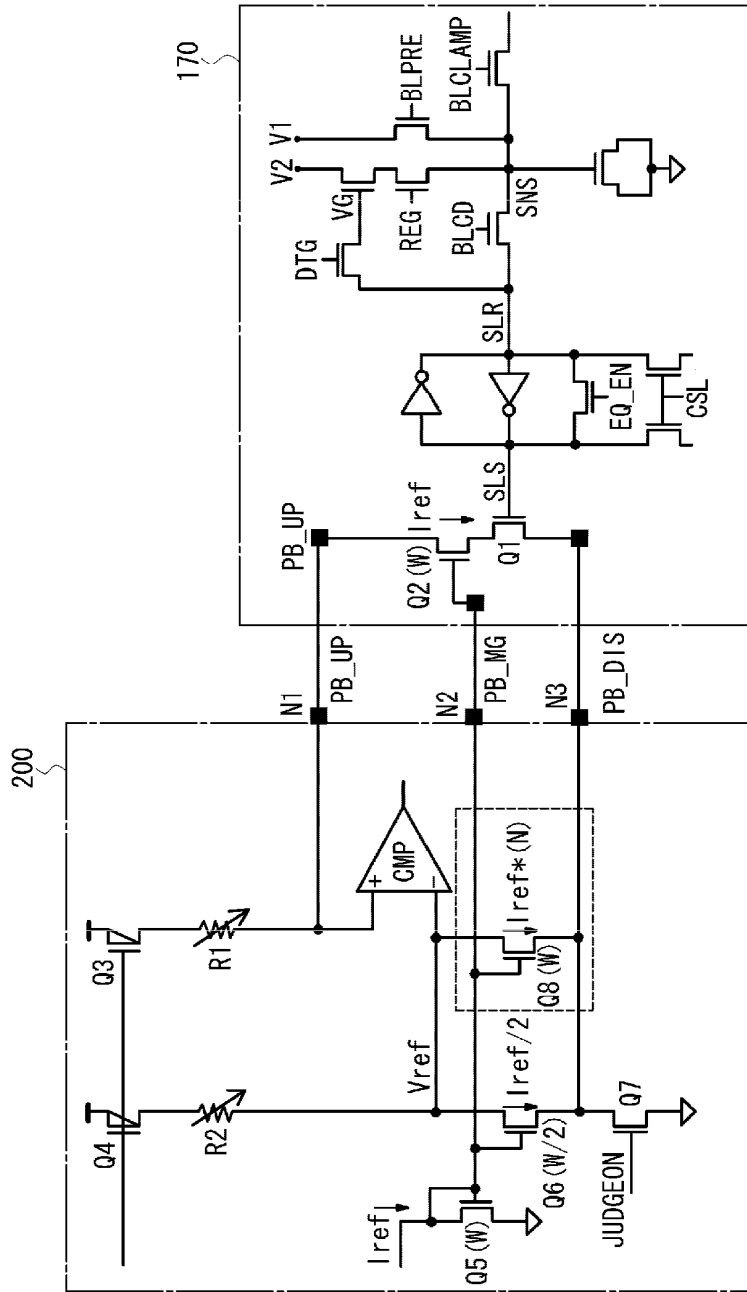


FIG. 9

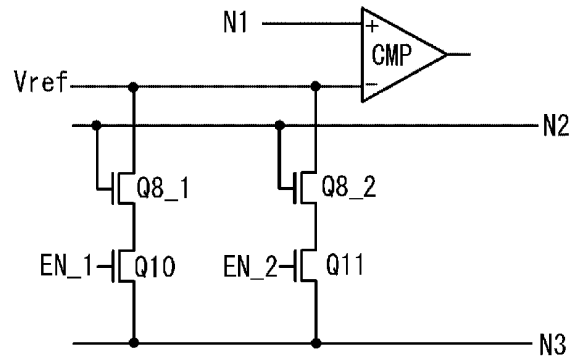


FIG. 10

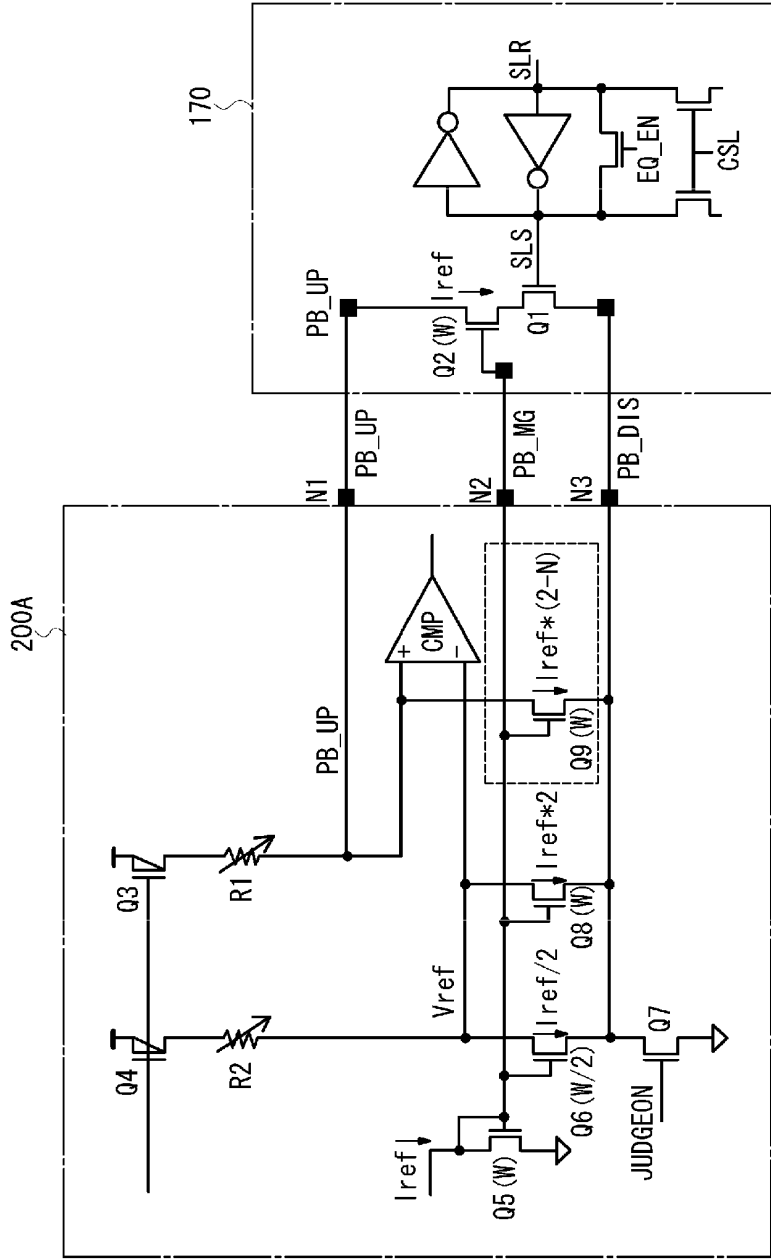


FIG. 11

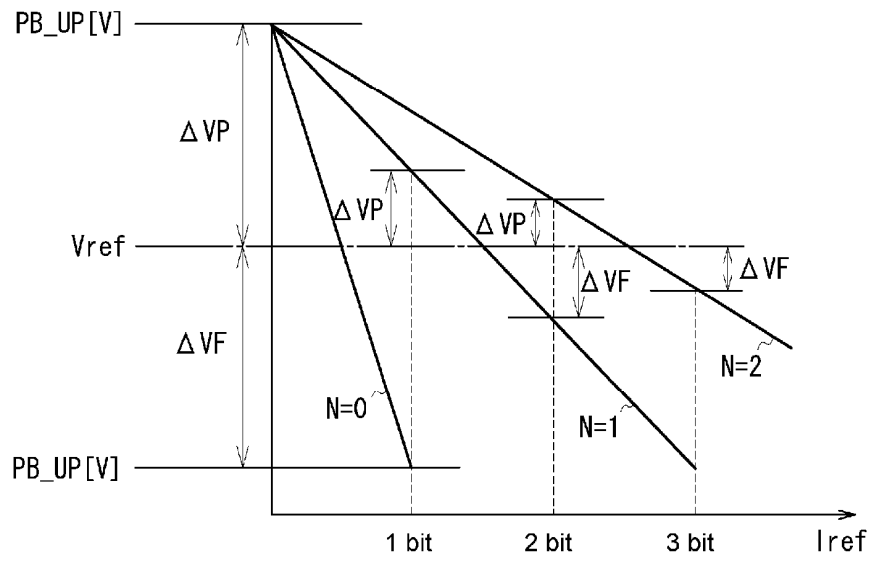


FIG. 12

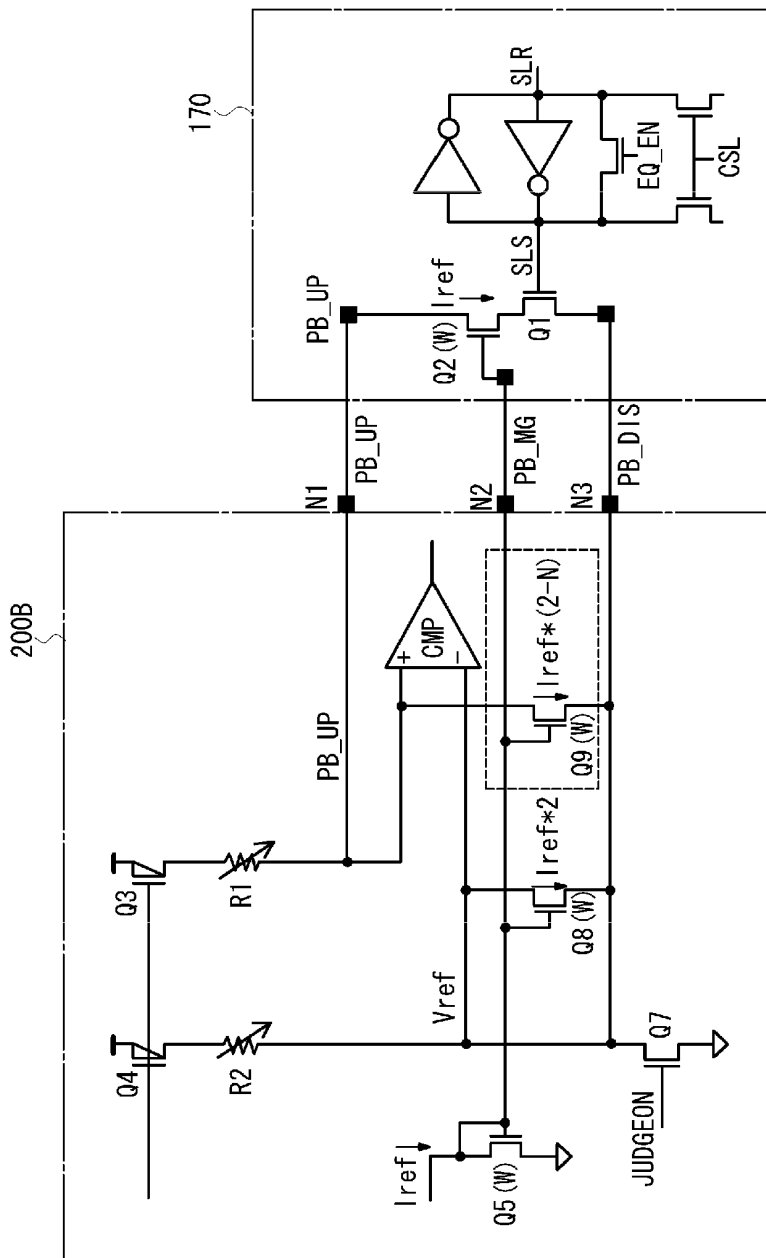


FIG. 13

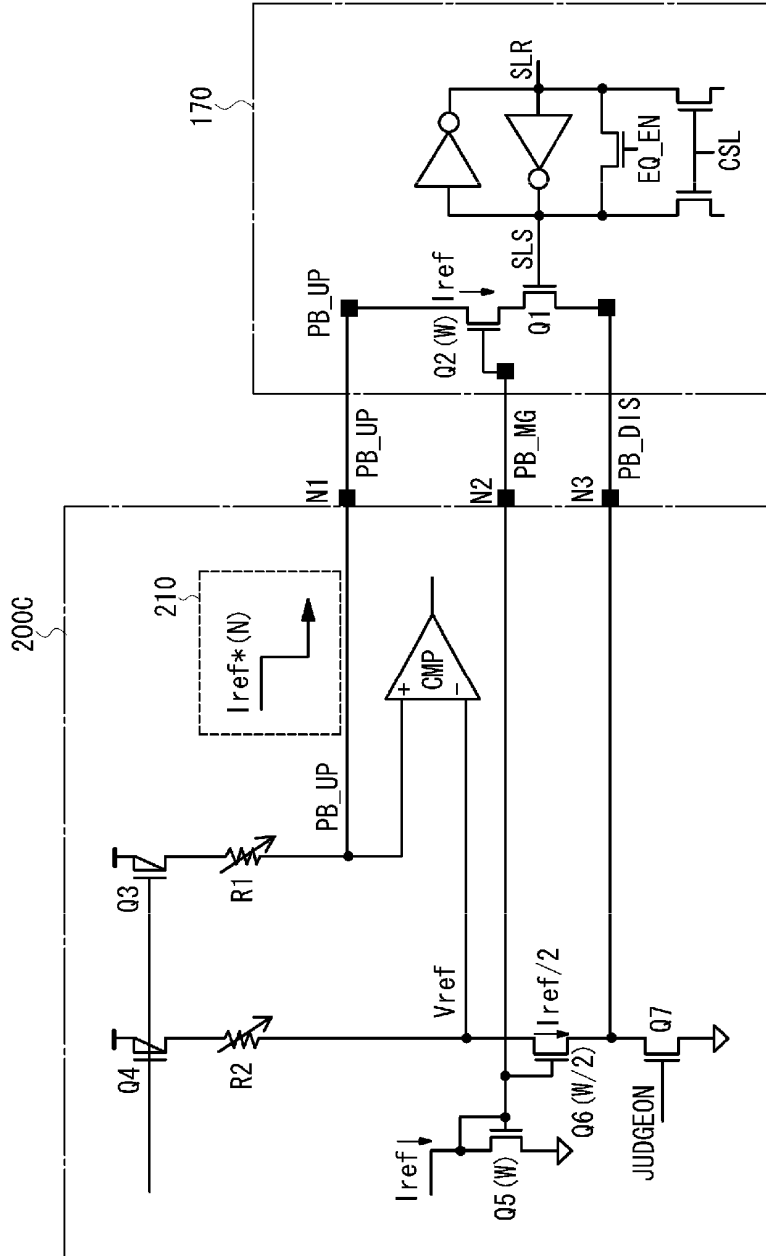


FIG. 14

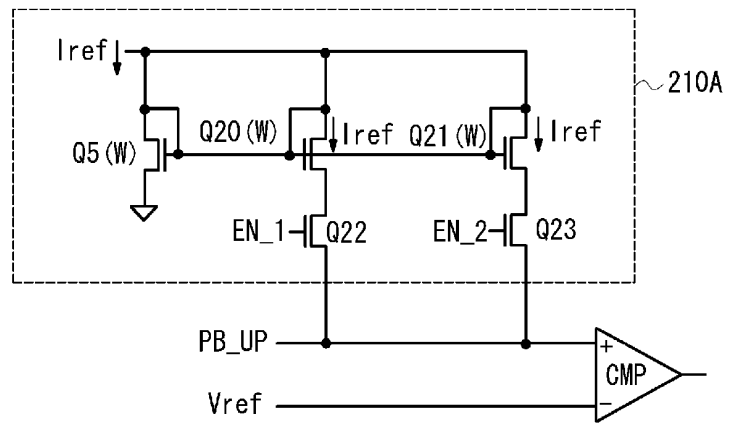


FIG. 15

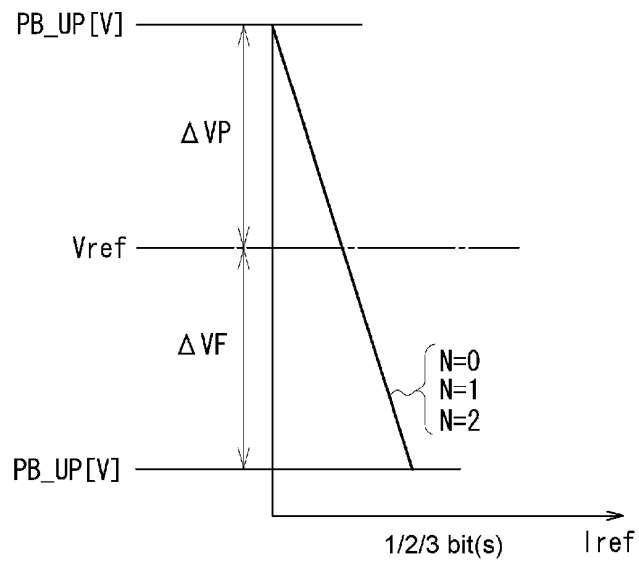


FIG. 16