

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 754 606**

51 Int. Cl.:

H01S 5/022	(2006.01)
H01S 5/40	(2006.01)
H01S 5/028	(2006.01)
H01S 5/14	(2006.01)
H01S 5/50	(2006.01)
G02B 6/42	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.09.2016 PCT/EP2016/072519**

87 Fecha y número de publicación internacional: **06.04.2017 WO17055162**

96 Fecha de presentación y número de la solicitud europea: **22.09.2016 E 16770266 (1)**

97 Fecha y número de publicación de la concesión europea: **14.08.2019 EP 3357132**

54 Título: **Fuente de luz de semiconductor y procedimiento para fabricar una fuente de luz de semiconductor**

30 Prioridad:
01.10.2015 DE 102015219056

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
20.04.2020

73 Titular/es:
**FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V. (100.0%)
Hansastraße 27c
80686 München, DE**

72 Inventor/es:
**MÖHRLE, MARTIN;
THEURER, MICHAEL;
SIGMUND, ARIANE y
TROPPEZ, UTE**

74 Agente/Representante:
SALVÀ FERRER, Joan

ES 2 754 606 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Fuente de luz de semiconductor y procedimiento para fabricar una fuente de luz de semiconductor

- 5 **[0001]** La presente invención se refiere a un procedimiento para fabricar una fuente de luz de semiconductor, y a una fuente de luz de semiconductor que puede fabricarse usando el procedimiento descrito. Las realizaciones muestran matrices láser BH (de heteroestructura enterrada) y matrices SOA (amplificador óptico de semiconductor) que tienen áreas de soporte vertical novedosas, contactos de monitor y marcas de alineación horizontal para alineación XYZ preciso en montaje de chip invertido.
- 10 **[0002]** En los últimos años, la fotónica de silicio ha abandonado la etapa de investigación y se ha establecido en el mercado. Las ventajas de la tecnología de silicio son que las funciones ópticas y electrónicas pueden integrarse monolíticamente en un procedimiento en masa de una manera compacta, energéticamente eficiente y económica. Sin embargo, esta plataforma de integración aún carece de una fuente de luz.
- 15 **[0003]** Hasta ahora, el láser o los amplificadores de semiconductor (SOA) basados en InP se han usado principalmente como chips individuales o en un conjunto de matriz que puede acoplarse a guías de ondas de Si en montaje de chip invertido usando el denominado acoplamiento de junta a tope. Alternativamente, también pueden usarse láseres de emisión vertical (VCSEL: láser de emisión superficial de cavidad vertical, HCSEL: láser de emisión superficial de cavidad horizontal) que están acoplados a guías de ondas de Si usando acopladores de rejilla de Si.
- 20 **[0004]** En ambos casos, se requiere una alineación XYZ precisa de los componentes del láser en el intervalo inferior a μm con el fin de garantizar un acoplamiento de luz eficiente.
- 25 **[0005]** Se han realizado muchas pruebas en los últimos años. En los casos bien conocidos [1] ... [7], las áreas de soporte en los componentes del láser se definieron mediante la tecnología de grabado en seco, que luego funcionan como áreas de contacto en el montaje de chip invertido. Sin embargo, la precisión de la alineación Z vertical depende directamente de la precisión de la profundidad de grabado que se realizará mediante grabado en seco. Generalmente, se usa acoplamiento a tope en la dirección del láser (X), se usan topes horizontales se usan en una dirección perpendicular a la dirección del láser, o la alineación tiene lugar usando marcas de alineación especialmente aplicadas a los componentes del láser [1] ... [7].
- 30 **[0006]** Sin embargo, los procedimientos conocidos hasta ahora presentan algunas desventajas considerables:
- 35 - las áreas de contacto vertical fabricadas por medio de grabado en seco no son lo suficientemente precisas.
 - los topes horizontales/laterales no pueden usarse con franjas láser oblicuas (como SOA), debido a la limitada precisión de huecos de los láseres.
 - la precisión de posición de las marcas de alineación realizadas en los componentes del láser depende directamente de la precisión de la litografía y no es suficiente para una alineación precisa.
- 40 **[0007]** El documento US2009/0130830A1 describe un procedimiento para fabricar un elemento óptico semiconductor. Se proporcionan marcas de alineación alrededor de un área activa en la que se genera la fuente de luz real. Estas marcas se definen modelando la secuencia de capas para generar la fuente de luz activa.
- 45 **[0008]** El documento EP0798576A2 describe el uso de marcas de alineación paralelas a áreas activas, donde las áreas activas están recubiertas con una capa de cobertura y la marca de alineación está expuesta.
- [0009]** Ejemplos adicionales de elementos ópticos se describen en los documentos JP2000/124539A, US2002/001326A1) y de LEONTIOS STAMPOULIDIS Y COL, "The BOOM project: a new generation of photonic routing subsystems using hybrid integration on silicon-on-insulator waveguide boards", OPTICAL SENSING II, 1000 20th St. Bellingham WA 98225-6705 EE. UU., (20100430), vol. 7719, doi: 10.1117/12.855958, ISSN 0277-786X, ISBN 978-1-62841-971-9.
- 50 **[0010]** En consecuencia, el objeto subyacente a la presente invención es proporcionar un concepto mejorado para alinear fuentes de luz de semiconductor usando un dispositivo para recibir la fuente de luz de semiconductor.
- 55 **[0011]** Este objeto se logra mediante el tema de las reivindicaciones independientes. Desarrollos inventivos adicionales se definen en las reivindicaciones subordinadas.
- 60 **[0012]** La presente invención se basa en la idea de proporcionar marcas de alineación sobre o en fuentes de luz de semiconductor que permiten una alineación XYZ altamente precisa de la fuente de luz de semiconductor en o usando un dispositivo para recibir la fuente de luz de semiconductor, como un sustrato de un chip semiconductor, que comprende los homólogos de las marcas de alineación en la fuente de luz de semiconductor. De esta manera, la fuente de luz de semiconductor puede comprender una hendidura o cavidad, similar a una acanaladura, mientras que el dispositivo para recibir la fuente de luz de semiconductor comprende el respectivo entrante o muesca similar a una
- 65

lengüeta que encaja en la acanaladura. La asociación de lengüeta y acanaladura, sin embargo, solo es de naturaleza ejemplar y puede reemplazarse por otras disposiciones. Para la alineación vertical o la alineación en la dirección Z, la fuente de luz de semiconductor, como un láser o un amplificador óptico (SOA), puede comprender uno o varios entrantes en la capa de cobertura que terminan en la capa límite, como una guía de ondas (de luz), en donde la guía de ondas está preferentemente inactiva en esta región de la fuente de luz de semiconductor. En otras palabras, las marcas de alineación vertical están ubicadas preferentemente en el exterior, es decir, no encima de las franjas emisoras de luz. La eliminación de las regiones mencionadas puede tener lugar selectivamente de modo que la capa límite se pueda grabar de una manera muy precisa. El resultado es un área de soporte o marca de alineación vertical definida con precisión (en su altura), que no depende de las imprecisiones en los procedimientos de grabado (en seco).

[0013] Además, pueden formarse o grabarse marcas de alineación horizontal en la secuencia de capas en la misma etapa operativa o etapa de procedimiento que las estructuras láser o las franjas emisoras de luz. Dado que las marcas de alineación horizontales y las estructuras láser se producen en paralelo o al mismo tiempo, las pequeñas imprecisiones al producir las estructuras láser también se transfieren a las marcas de alineación, en donde la alineación de la fuente de luz de semiconductor puede tener lugar sin las tolerancias de fabricación mencionadas.

[0014] Además, es ventajoso disponer las marcas de alineación verticales, es decir, las áreas de soporte en la guía de ondas de luz, lejos de los bordes de entrada de luz y de salida de luz de la fuente de luz de semiconductor. De esta manera, puede garantizarse que el recubrimiento de las facetas en los bordes de entrada y salida de luz no tenga un efecto sobre la marca de alineación vertical, mientras que el material de recubrimiento para el recubrimiento de facetas no se deposita sobre o en la marca de alineación vertical. Esto permite el posicionamiento preciso sin desplazamiento en la altura del grosor de la capa que se formará inevitablemente en caso de depositar material de recubrimiento sobre la marca de alineación.

[0015] Según realizaciones adicionales, el procedimiento comprende disponer al menos un contacto expuesto encima de la secuencia de capas, en donde el contacto forma una marca de alineación eléctrica. Para contacto eléctrico, es ventajoso disponer un contacto adicional en la fuente de luz de semiconductor, lo que permite que circule una corriente desde el dispositivo que recibe la fuente de luz de semiconductor a través de la fuente de luz de semiconductor. Una realización alternativa muestra una etapa de procedimiento para formar la marca de alineación eléctrica que comprende disponer al menos dos contactos expuestos, en donde uno (o varios) de los al menos dos contactos expuestos está/están dispuestos encima de la secuencia de capas. Una inspección puramente eléctrica y, en consecuencia, fácilmente automatizable en cuanto a si la fuente de luz de semiconductor está dispuesta en la posición prevista dentro del dispositivo semiconductor puede realizarse por medio de los contactos eléctricos. Por lo tanto, un láser de semiconductor o un amplificador óptico, por ejemplo, puede insertarse en un chip de silicio o, en general, un chip semiconductor, en donde el chip semiconductor también comprende contactos como homólogos de los contactos de la fuente de luz de semiconductor y puede comprobarse de manera ejemplar por medio de un voltaje conocido aplicado y la intensidad de corriente que resulta de esto si los contactos en la fuente de luz de semiconductor contactan con los contactos en el chip. Si la fuente de luz de semiconductor está dispuesta en el chip de manera desalineada o inclinada, por ejemplo, no se produce contacto, o al menos es flojo o deficiente, con una mayor transición o resistencia de contacto de los contactos opuestos, siendo el resultado de esto un flujo de corriente reducido con un voltaje conocido aplicado (o viceversa). Con el fin de permitir un área de contacto definida o contacto mejorado de los contactos opuestos del chip y la fuente de luz de semiconductor, por ejemplo, puede aplicarse una capa de metalización (como depositada en fase vapor) en los contactos. Los contactos pueden aplicarse sobre la capa de cobertura a una altura tan pequeña que el posicionamiento preciso de la fuente de luz de semiconductor no se ve afectado por los contactos.

[0016] Además, la adquisición de información tridimensional se hace posible formando las marcas de alineación lateral que, según las realizaciones, también son visibles en la vista de faceta, es decir, una vista desde arriba en los bordes de entrada de luz y de salida de luz. Esto es ventajoso, ya que los sistemas de manipulación (basados en cámara) que insertan de manera ejemplar la fuente de luz de semiconductor en el chip pueden reconocer una orientación de la fuente de luz de semiconductor desde cualquier posición, sin girar la fuente de luz de semiconductor a una cierta posición en relación con la cámara.

[0017] Las realizaciones preferidas de la presente invención se detallarán posteriormente por referencia a los dibujos adjuntos, en los que.

la fig. 1 muestra un diagrama de flujo de un procedimiento para fabricar una fuente de luz de semiconductor;

la fig. 2 es una ilustración esquemática de una fuente de luz de semiconductor fabricada usando el procedimiento de la fig. 1;

la fig. 3 muestra un diagrama de flujo del procedimiento para fabricar una fuente de luz de semiconductor;

la fig. 4 muestra una sección transversal esquemática de una fuente de luz de semiconductor que tiene áreas de

contacto vertical para una matriz SOA ejemplar;

la fig. 5 muestra una vista esquemática desde arriba de la fuente de luz de semiconductor que tiene áreas de contacto vertical para una matriz SOA ejemplar, en donde la cobertura de estas áreas de contacto por material de recubrimiento de facetas se previene eficazmente por medio de la etapa instalada;

la fig. 6 muestra una vista esquemática desde arriba de la fuente de luz de semiconductor que tiene áreas de contacto vertical para una matriz SOA ejemplar, en donde las áreas de contacto vertical aquí están separadas en dos áreas diferentes por lado;

la fig. 7 muestra una vista esquemática desde arriba de la fuente de luz de semiconductor que tiene marcas de alineación horizontal y áreas de contacto vertical según una realización;

la fig. 8 muestra una vista esquemática desde arriba de la fuente de luz de semiconductor que tiene marcas de alineación horizontal y áreas de contacto vertical según la fig. 7;

la fig. 9 muestra una vista esquemática desde arriba de la fuente de luz de semiconductor que tiene marcas de alineación horizontal y áreas de contacto vertical según otra realización;

la fig. 10 muestra una vista esquemática desde arriba de una matriz SOA como una fuente de luz de semiconductor que tiene áreas de contacto vertical y facetas de InP (sin ninguna capa activa en la región de las facetas) según una realización, en donde la fig. 10a muestra la disposición de las facetas de InP por toda la anchura de los bordes de salida de luz y de entrada de luz, y la fig. 10b proporciona la disposición de las facetas de InP en una región de las franjas emisoras de luz;

la fig. 11 muestra una sección transversal esquemática de un dispositivo semiconductor que comprende un sustrato que tiene una fuente de luz de semiconductor insertada en el mismo; y

la fig. 12 es una ilustración esquemática de una cascada de fuentes de luz de semiconductor.

[0018] En la siguiente descripción de las figuras, los elementos iguales o elementos de igual efecto estarán provistos de números de referencia iguales para que la descripción de los mismos en las diferentes realizaciones sea mutuamente intercambiable. Las figs. 1 a 6 describen realizaciones que sirven para facilitar la comprensión de la invención.

[0019] A continuación, se muestran un procedimiento para fabricar una fuente de luz de semiconductor y una fuente de luz de semiconductor fabricable usando el procedimiento, que comprende áreas de contacto vertical y marcas de alineación horizontal que permiten ambas la alineación precisa de los láseres o componentes SOA independientemente de las tolerancias de procesamiento, la imprecisión de huecos y el recubrimiento de facetas. Esto no ha sido posible usando áreas de contacto/marcas de alineación conocidas hasta ahora.

[0020] La fig. 1 muestra una ilustración esquemática de un procedimiento 100 para fabricar una fuente de luz de semiconductor. La fuente de luz de semiconductor comprende un sustrato y una secuencia de capas dispuesta encima del sustrato, en donde la misma comprende una capa emisora de luz y una capa límite superior dispuesta encima de la capa emisora de luz. En la etapa S102, la secuencia de capas se modela con el fin de formar una banda emisora de luz para definir la fuente de luz de semiconductor y una banda de alineación, que se extiende en paralelo a la misma, como una marca de alineación horizontal al mismo tiempo. En otra etapa S104, se aplica una capa de cobertura sobre la secuencia de capas modeladas y, en la etapa S106, se retira una parte de la capa de cobertura con el fin de exponer la franja de alineación y exponer una región de la secuencia de capas fuera de las franjas emisoras de luz y separada de un borde de entrada de luz o un borde de salida de luz de la franja emisora de luz como una marca de alineación vertical.

[0021] Modelar la secuencia de capas y las franjas emisoras de luz al mismo tiempo es ventajoso porque las marcas de alineación horizontal se graban, o forman, en la secuencia de capas con la misma precisión o imprecisión de modo que una posición de las regiones de salida de luz de la fuente de luz de semiconductor permanece igual con respecto a la marca de alineación horizontal y, en consecuencia, se define con precisión. En la alineación horizontal o X-Y, esto permite el posicionamiento preciso de las regiones de salida de luz o la faceta de salida de luz en una unidad óptica, como una guía de ondas (óptica o de luz), en un dispositivo para recibir la fuente de luz de semiconductor, como un sustrato semiconductor o chip semiconductor. La secuencia de capas puede comprender una capa emisora de luz y una guía de ondas (de luz) para agrupar los fotones que salen de la capa emisora de luz.

[0022] Esto significa que las estructuras para generación de luz y las marcas de alineación horizontal se han grabado en la capa (o capas) activa o emisora de luz y en la capa límite dispuesta encima de ella o, en general, en la secuencia de capas. La capa de cobertura se aplica entonces encima de ella, que comprende de manera ejemplar una capa de revestimiento y previene que la luz salga de la guía de ondas de luz en una posición diferente del borde

de entrada de luz o de salida de luz o las facetas. En las ilustraciones mostradas según las realizaciones, la capa de revestimiento tiene dopaje tipo p y también puede comprender una capa de contacto en una región de superficie. Después se metalizan la capa de contacto y el sustrato n-InP. Un modo óptico es guiado en las capas de guía de ondas opcionalmente presentes en la capa emisora de luz y la capa de cobertura. Sin embargo, parte del modo
5 también puede posicionarse en las capas circundantes.

[0023] En otra etapa, las marcas de alineación horizontal recién formadas y marcas de alineación vertical adicionales quedan expuestas, por ejemplo, por medio de un procedimiento de grabado en húmedo. Las regiones que deben ser grabadas pueden definirse con precisión por medio de máscaras en la capa de cobertura. Además, el
10 procedimiento de grabado en húmedo permite grabar selectivamente la capa de cobertura, en donde la capa de cobertura puede grabarse selectivamente hasta la capa límite. El hecho de que las marcas de alineación vertical o las áreas de contacto vertical estén dispuestas para que estén separadas de los bordes de entrada de luz y de salida de luz permite recubrir los bordes o facetas de entrada de luz y de salida de luz posteriormente, sin que se deposite material de recubrimiento sobre las áreas de contacto vertical recién expuestas. En consecuencia, la precisión de
15 alineación de la fuente de luz de semiconductor no se ve afectada depositando la cobertura.

[0024] La fig. 2 muestra una ilustración esquemática de una fuente de luz de semiconductor que puede fabricarse mediante el procedimiento de la fig. 1. La fuente de luz de semiconductor 2 comprende un sustrato 4, una secuencia de capas modelada 6 dispuesta encima del sustrato y una capa de cobertura 8. La secuencia de capas
20 modelada 6 comprende una capa emisora de luz 6a y una capa límite 6b dispuesta encima de la capa emisora de luz 6a. La capa emisora de luz comprende, de manera ejemplar, múltiples pozos cuánticos, en donde la capa emisora de luz está dispuesta para estar adyacente o al lado de la capa de guía de ondas 6b. La capa de guía de ondas puede tener dopaje tipo p o dopaje tipo n. La secuencia de capas modelada comprende una franja emisora de luz 10 para definir la fuente de luz de semiconductor y una franja de alineación 12 que se extiende en paralelo a la misma. La
25 franja de alineación puede realizarse por medio de una simple entrante en la secuencia de capas (como una acanaladura) o por medio de dos zanjas paralelas en la secuencia de capas (como una lengüeta).

[0025] Además, la capa de cobertura 8 está dispuesta sobre la secuencia de capas modelada, que se abre en una parte de la secuencia de capas modelada 6 con el fin de exponer la franja de alineación 12 y una región de la
30 secuencia de capas fuera de las franjas emisoras de luz 10. En un perfil de la capa de cobertura, puede verse una zanja o agujero donde se ha abierto la capa de cobertura. La parte abierta de la capa de cobertura que expone la marca de alineación vertical 14 está dispuesta para estar separada de un borde de entrada de luz o un borde de salida de luz ubicado en una o ambas caras frontales o delanteras de la franja emisora de luz. Sin embargo, esto no se ilustra en la sección transversal de la fuente de luz de semiconductor mostrada, sino que se mostrará en la vista desde arriba
35 de la fig. 5 o la fig. 6, por ejemplo. Según las realizaciones, la región por encima de la marca de alineación vertical 14 se elimina selectivamente en relación con la capa límite de modo que el resultado será un área de contacto vertical o marca de alineación definida, independientemente de la imprecisión en el procedimiento de eliminación, como un procedimiento de grabado, sobre la superficie de la capa límite. La capa de revestimiento puede comprender un índice de refracción más pequeño que la capa emisora de luz.
40

[0026] La fig. 3 muestra un diagrama de flujo del procedimiento 100 que comprende etapas opcionales adicionales para fabricar la fuente de luz de semiconductor. Debe mencionarse aquí que, como en la fig. 1 y, en general, la descripción de las etapas de procedimiento, un orden de etapas o flujo del procedimiento no se limita al orden ilustrado y descrito en la fig. 1 o la fig. 3. Más bien, estas figuras muestran una posible realización, en donde
45 realizaciones adicionales pueden, por ejemplo, diferir en el uso de las etapas opcionales y en la aplicación del orden de las etapas. Cada orden de etapas técnicamente realizable puede considerarse que es una posible realización.

[0027] Además de la fig. 1, la fig. 3 muestra una etapa S108 donde una matriz de amplificadores ópticos de semiconductor (SOA o amplificadores ópticos reflectantes, RSOA), láseres de realimentación distribuida (DFB),
50 láseres de rejilla pasiva (láseres de reflector de Bragg distribuido, DBR), láseres DFB que tienen un espejo integrado de modo que la emisión será en una dirección vertical (láseres de emisión superficial de cavidad horizontal, HCSEL) o láseres individuales correspondientes se forman para formar la fuente de luz de semiconductor. Sin embargo, no debe considerarse que la lista es exclusiva y, además, solo es para mostrar realizaciones típicas de la fuente de luz de semiconductor. Además, puede considerarse que la etapa S108 es una instrucción de acción para que un experto
55 en la materia genere cualquier fuente de luz de semiconductor que comprenda las fuentes de luz de semiconductor mencionadas anteriormente y, además, cualquier otra posible fuente de luz de semiconductor, e integre las etapas de procedimiento específicas para el procedimiento 100 en el procedimiento conocido.

[0028] Por lo tanto, la etapa S102 comprende modelar la secuencia de capas. Modelar S102 la franja emisora
60 de luz 10 puede formar las franjas de alineación 12 en un ángulo 32 mayor o menor que 90° en relación con el borde de entrada de luz o de salida de luz 22, 24. Según las realizaciones, la etapa S102 comprende opcionalmente las subetapas S102a, S102b o S102c. En la etapa S102a, puede formarse una marca de alineación adicional, en donde la marca de alineación adicional permite la alineación horizontal de la fuente de luz de semiconductor a lo largo de la franja de alineación. Una posible implementación de estas marcas de alineación adicionales se describirá con mayor
65 detalle con referencia a las figs. 9 y 10. Independientemente de la etapa S102a, la etapa S102b puede ejecutarse

- formando una franja emisora de luz adicional que está dispuesta en paralelo a la franja emisora de luz y está espacialmente separada de ella. Por lo tanto, se puede formar una estructura de matriz que comprende de manera ejemplar las tres franjas emisoras de luz mostradas en las siguientes figuras, como láseres individuales, amplificadores ópticos de semiconductor o diodos emisores de luz (LED). Cuando la fuente de luz de semiconductor se forma en la estructura de la matriz, es decir, el procedimiento 100 se realiza incluyendo la etapa opcional S102b, en la etapa 102c se puede formar una marca de alineación adicional como una marca de alineación horizontal adicional entre la franja emisora de luz y la franja emisora de luz adicional. Franjas de alineación adicionales entre las estructuras de la matriz pueden aumentar la precisión de posicionamiento de la fuente de luz de semiconductor en el dispositivo semiconductor. Análogamente, la etapa S106 también se puede adaptar disponiendo una marca de alineación vertical adicional entre las estructuras de la matriz o entre la franja de alineación y la franja de alineación adicional. Esto puede, por ejemplo, prevenir la flexión de la fuente de luz de semiconductor en su centro, de modo que la fuente de luz de semiconductor no solo se posiciona con precisión en una dirección vertical en una región exterior de la fuente de luz de semiconductor, sino que presenta posicionamiento preciso continuamente en toda el área.
- 15 **[0029]** Además, el procedimiento 100 puede comprender la etapa S110 de disponer una transición gradual activa o pasiva en el borde de entrada de luz o de salida de luz. La transición gradual activa o pasiva puede realizar dispersión de luz o conformación de luz de la luz que sale por el borde de salida de luz, de modo que guías de ondas de luz de diferentes diámetros, por ejemplo, pueden conectarse entre sí por medio de la transición gradual. Además, en la etapa S112, el borde de entrada de luz o de salida de luz se puede grabar o se puede formar una faceta plana aplicando una capa de fosforo de indio en el borde de entrada de luz o de salida de luz. Las facetas son importantes en particular en los láseres y en los amplificadores ópticos con el fin de emitir solo luz de una cierta longitud de onda resonante con los láseres, por ejemplo, y minimizar la reflexión en las facetas con amplificadores ópticos (SOA), con el fin de evitar efectos de realimentación. Por lo tanto, en la etapa S114, la faceta en el borde de entrada de luz o el borde de salida de luz de la franja emisora de luz puede ser recubierta, en donde el recubrimiento se dispone en una región de la secuencia de capas donde no existe superposición con las marcas de alineación. En otras palabras, el recubrimiento puede influir en la alineación vertical de la fuente de luz de semiconductor en el dispositivo semiconductor aplicando también el recubrimiento sobre las áreas de contacto para la alineación vertical y, en donde no será posible el posicionamiento preciso en este caso.
- 30 **[0030]** Según realizaciones adicionales, el procedimiento 100 puede comprender la etapa S11 que a su vez puede comprender las etapas S116a y S116b. En la etapa S116a, un contacto expuesto puede estar dispuesto encima de la secuencia de capas, en donde el contacto forma una marca de alineación eléctrica. Con el fin de proporcionar un área de contacto definida y/o permitir contacto eléctrico mejorado del contacto, por ejemplo, en la etapa S116b, se puede aplicar una capa de metalización sobre el contacto. Según realizaciones adicionales, en la etapa S118, se puede formar un contacto p expuesto y/o un contacto n expuesto encima de la pila de capas con el fin de contactar eléctricamente con la franja emisora de luz. Esto es ventajoso ya que el dispositivo semiconductor puede proporcionar contacto eléctrico completo de la fuente de luz de semiconductor sin que el mismo requiera un suministro de voltaje externo.
- 40 **[0031]** La fig. 4 muestra una ilustración esquemática de una fuente de luz de semiconductor según una realización que puede fabricarse usando el procedimiento 100. La fuente de luz de semiconductor comprende las características ya descritas en la fig. 2: el sustrato 4, la secuencia de capas 6 que comprende una capa emisora de luz 6a y la capa límite 6b, la capa de cobertura 8 y la marca de alineación vertical 14 en una región donde la secuencia de capas 6 ha sido expuesta de la capa de cobertura 8. La secuencia de capas 6 puede comprender capas adicionales, como la capa de fosforo de indio con dopaje tipo n 6c y una guía de ondas de luz adicional 6d debajo de la capa de emisión de luz. Por lo tanto, la capa emisora de luz puede estar incrustada en las capas de guía de ondas 6b y 6d. En otras palabras, las capas de guía de ondas 6b y 6d encierran la capa emisora de luz 6a. La capa de cobertura 8 puede comprender además fosforo de indio con dopaje tipo p (p-InP) y capas o contactos protectores superpuestos. Además, en la capa de cobertura, se pueden implementar uniones p-n que forman las capas de bloqueo 17 con el fin de prevenir que los portadores de carga fluyan por la franja emisora de luz, que también se denomina zona activa. También se debe mencionar que, en general, en lugar de o además del fosforo de indio (InP) mencionado de manera ejemplar, se pueden usar diferentes materiales, como diferentes semiconductores III-IV, como arseniuro de galio (GaAs), por ejemplo, en todas las regiones de la fuente de luz de semiconductor.
- 55 **[0032]** La fig. 4 muestra una sección transversal de las marcas de alineación vertical 14 que se generan eliminando, como grabando (químicamente en húmedo) selectivamente, la capa de cobertura 8 hasta la capa límite 6. Según la realización mostrada en la fig. 4, las regiones 18a, 18b y 18c forman tres amplificadores ópticos de semiconductor (SOA1, SOA2 y SOA3) de una matriz de amplificadores ópticos de semiconductor. Las regiones 18a, 18b y 18c comprenden cada una al menos una franja emisora de luz 10.
- 60 **[0033]** La fig. 5 muestra una vista desde arriba, que corresponde a la vista de sección transversal de la fig. 4, de la fuente de luz de semiconductor según una realización. Además, la fig. 5 muestra que las marcas de alineación vertical 14 están dispuestas para que estén separadas de los bordes de entrada de luz y de salida de luz 22, 24 a una distancia 20a, 20b. Las flechas 17 que ya se ilustran en la fig. 4 muestran las marcas de alineación vertical comunes, en vista desde arriba y en sección transversal.

[0034] Los bordes de entrada de luz y de salida de luz 22, 24 se refieren a todo el borde de la fuente de luz de semiconductor donde la luz entra en la fuente de luz de semiconductor y donde la luz sale de la fuente de luz de semiconductor. Por lo tanto, la eliminación S106 puede exponer la franja de alineación para que esté separada de un plano donde se posiciona el borde de entrada de luz o el borde de salida de luz, como una marca de alineación vertical. En otras palabras, la eliminación S106 puede exponer la franja de alineación para que esté separada de una faceta de la franja emisora de luz, como una marca de alineación vertical. El borde de entrada de luz y/o el borde o faceta de salida de luz pueden estar recubiertos por un material de recubrimiento. El recubrimiento del borde de entrada de luz o del borde de salida de luz con el material de recubrimiento se puede realizar después de exponer la marca de alineación vertical ya que, debido al espaciado entre la marca de alineación vertical y el que deber ser recubierta, es decir, el borde de entrada de luz y/o el borde o faceta de salida de luz, se previene el depósito del material de recubrimiento en la marca de alineación vertical. Por lo tanto, se puede mantener el posicionamiento preciso de las marcas de alineación vertical. La faceta puede estar recubierta en todo el borde de la fuente de luz de semiconductor (véase la fig. 10a) o solo en una región limitada de la franja emisora de luz (véase la fig. 10b). Además, la marca de alineación vertical también puede estar dispuesta para que esté separada de la marca de alineación horizontal.

[0035] Las fuentes de luz de semiconductor mostradas, como matrices SOA de heteroestructura enterrada y láser, difieren considerablemente de las variaciones conocidas hasta ahora.

[0036] Las áreas de contacto vertical 14 se graban de manera precisa por medio de grabado químico en húmedo sobre la guía de ondas del lado superior 6a de la capa láser activa. Se realizan áreas correspondientes a la izquierda y la derecha de las franjas láser 10 de una matriz o, tal vez, de una franja láser individual (compárense las figs. 4 y 5).

[0037] A diferencia de las variaciones conocidas, estas áreas no se deben realizar en las esquinas del chip, sino solo en el centro respectivo del chip.

[0038] Por medio del grabado químico en húmedo, el grabado se puede realizar selectivamente hasta la capa de guía de onda del lado superior de modo que puede lograrse una precisión vertical de unos pocos nm. Disponiendo estas áreas solo en el centro del chip, puede evitarse eficazmente la cobertura no deseada de las áreas al recubrir las facetas (desbordamiento). Tal recubrimiento de facetas se requiere en todas las matrices SOA y láser. Los grosores de capa depositados son de 0,5 ... 2 μm , de modo que ya no será posible una alineación vertical precisa.

[0039] Estas áreas de contacto vertical también pueden, por ejemplo, estar separadas en dos áreas de contacto separadas cada una (fig. 6).

[0040] La fig. 6 muestra una vista desde arriba de la fuente de luz de semiconductor 2 según una realización, que difiere de la realización de la fig. 5 en dos características. Una característica es la separación de las marcas de alineación vertical dispuestas lateralmente en la fig. 5, para formar dos marcas de alineación, por ejemplo, por cada lado. También son posibles marcas de alineación adicionales, como en forma de ranuras paralelas o una retícula.

[0041] Además, la fig. 6 muestra la disposición de los contactos de supervisión 26 en el lado superior de la fuente de luz de semiconductor. Como se ilustra, los contactos de supervisión pueden estar dispuestos entre las estructuras de matriz de las estructuras emisoras de luz individuales, pero no se limitan a estas posiciones. Cuando la fuente de luz de semiconductor que tiene las marcas de alineación eléctrica se inserta en el dispositivo que recibe la fuente de luz de semiconductor, puede generarse un flujo de corriente por medio de un contacto correspondiente en el dispositivo que contacta con el contacto expuesto encima de la secuencia de capas, a través de otro par de contactos dispuestos en cualquier posición de la fuente de luz de semiconductor y opuestos al dispositivo semiconductor, permitiendo el flujo de corriente sacar conclusiones en cuanto a la correcta alineación de la fuente de luz de semiconductor. En otras palabras, aquí son ventajosos al menos dos contactos expuestos en la fuente de luz de semiconductor, en donde al menos uno de los dos contactos expuestos está dispuesto encima de la secuencia de capas y forma una marca de alineación eléctrica. Por lo tanto, cuando los contactos en la fuente de luz de semiconductor no son congruentes con los contactos respectivos del dispositivo semiconductor, se genera una resistencia más elevada que, con un voltaje aplicado conocido, da lugar a una reducción del flujo de corriente a través de la fuente de luz de semiconductor y, en consecuencia, es una medida de la calidad de la precisión de posicionamiento.

[0042] La alineación vertical normalmente supone un desafío para dimensiones de chip más grandes, ya que los efectos de "sonrisa", inclinación, etc., hacen que la posición Z coincida con la posición objetivo solo en los puntos seleccionados. Con el fin de verificar la posición vertical de cada elemento de la matriz, se sugiere complementar el contacto mecánico mediante contacto eléctrico. En el caso de un sustrato conductor (como n-InP, por ejemplo), el flujo de corriente puede, por ejemplo, medirse usando un contacto eléctrico en el punto de contacto del homólogo y comprobarse la calidad del montaje. También puede proporcionarse una disposición de tales contactos de supervisión 26 entre los SOA/estructuras láser 10, 18a, 18b, 18c. Esto significa que los contactos de supervisión representan un procedimiento puramente eléctrico de alineación activa y control de procesos. Esto no es posible con los

procedimientos conocidos hasta ahora. Una capa de metalización que tiene un grosor de solo unos pocos nm que asegura un buen contacto eléctrico puede, por ejemplo, depositarse en fase vapor.

5 **[0043]** Las figs. 7 a 12 describen realizaciones de la invención. En las figs. 4 a 6, solo se muestran marcas de alineación lateral y eléctrica. La fig. 7 muestra una sección transversal esquemática de la fuente de luz de semiconductor 2 según una realización que difiere de la realización de la fig. 4 en la disposición de las marcas de alineación horizontal 12. La fig. 8 muestra la fuente de luz de semiconductor de la fig. 7 en una vista desde arriba.

10 **[0044]** Se usan marcas de alineación horizontal precisa para alineación XY, que se fabrican en la misma etapa de fabricación que las franjas láser de modo que, por principio, pueden prevenirse las imprecisiones de litografía.

15 **[0045]** Se realizan franjas adicionales a la izquierda y a la derecha en paralelo a la franja láser. Estas franjas se exponen de manera química en húmedo en una de las últimas etapas de procedimiento al fabricar el láser y después pueden usarse como marcas de alineación (visibles desde la parte superior) (compárense las figs. 7 y 8).

[0046] Otra ventaja considerable de estas marcas de alineación es el hecho de que también pueden emplearse en el caso de matrices SOA y láser divididas en diferentes posiciones en la dirección longitudinal y cada una permite la alineación pasiva precisa en el intervalo inferior al μm .

20 **[0047]** Las imprecisiones de huecos, que no pueden evitarse tecnológicamente, en el orden de magnitud de $\pm 5 \dots 10 \mu\text{m}$, pueden menospreciarse aquí ya que las marcas de alineación correspondientes también se ven afectadas por esto. La posición precisa de las facetas de salida del láser en este caso se define con precisión, lo que garantiza la alineación precisa. Esto se aplica para ambas facetas.

25 **[0048]** Además, es ventajoso que estas marcas de alineación lateral y, por lo tanto, la posición precisa de la capa activa, no solo puede adquirirse en la vista desde arriba, sino también en la vista de faceta. Esto no ha sido posible usando marcas de alineación conocidas hasta ahora y permite la adquisición de información tridimensional.

30 **[0049]** El área de chip adicional requerida para las marcas de alineación puede menospreciarse en matrices SOA o láser, de modo que los costes de fabricación de estos chips no cambian o, al menos, no esencialmente.

35 **[0050]** La fig. 9 muestra la realización de la fig. 8 que comprende marcas de alineación adicionales 30 que permiten la alineación de la fuente de luz de semiconductor a lo largo de la franja de alineación 12. Las marcas de alineación adicionales 30 pueden, como se ilustra en la fig. 9, estar conectadas mecánicamente a las franjas de alineación 12, consumiendo así una cantidad de espacio comparativamente pequeña. Además, las marcas de alineación adicionales 30 también pueden estar dispuestas en otra región de la fuente de luz de semiconductor aparte de las franjas de alineación. Dado que las franjas de alineación 12 o las marcas de alineación horizontal y las marcas de alineación adicionales 30 son grabadas hasta la guía de ondas, es decir, la capa límite 6a, y comprenden en consecuencia la misma altura que las marcas de alineación vertical 14, también pueden usarse como marcas de alineación vertical adicionales. En otras palabras, las áreas de contacto vertical 12 también pueden realizarse a lo largo de toda la estructura y pueden contener estructuras adicionales 30 para orientación en la dirección X (véase la fig. 9).

45 **[0051]** Estas áreas de contacto vertical en las marcas de alineación horizontal 12, 30 también puede emplearse para matrices SOA y láser que comprenden facetas de InP (sin ninguna capa activa en la región de las facetas), en donde las figs. 10a y 10b muestran dos posibles realizaciones. La fig. 10a y la fig. 10b muestran ambas la realización de la fuente de luz de semiconductor de la fig. 9 que comprende facetas de InP en los bordes de entrada de luz y de salida de luz. En la fig. 10a, la faceta de InP 35 se extiende por toda la anchura de la fuente de luz de semiconductor, mientras que en la fig. 10b, la faceta de InP 35 está restringida a la región de las capas activas, es decir, las franjas 50 emisoras de luz.

55 **[0052]** La fig. 11 muestra un dispositivo semiconductor 34 que comprende un sustrato 36 y una unidad óptica 38, en donde el sustrato 36 comprende un entrante 40 configurado para recibir la fuente de luz de semiconductor 2 o una cascada de fuentes de luz de semiconductor, mostrada en la fig. 12, de modo que la fuente de luz de semiconductor 2 está alineada con/en relación con la unidad óptica 38. La unidad óptica puede, por ejemplo, ser una guía de ondas modelada en silicio u otro material (semiconductor), o un dispositivo óptico. En la realización mostrada en la fig. 11, la fuente de luz de semiconductor 2 es preferentemente un láser o un LED ya que solo se proporciona una unidad óptica 38 para recibir la luz emitida. Si la fuente de luz de semiconductor 2 es un amplificador óptico de semiconductor (SOA), es ventajoso disponer una unidad óptica adicional opuesta a la unidad óptica 38 con el fin de 60 acoplar la luz al amplificador de semiconductor óptico que se amplifica en el mismo y se acopla en la unidad óptica 38.

65 **[0053]** La fig. 12 muestra una ilustración esquemática de una sección transversal de una cascada de fuentes de luz de semiconductor. Comprende una pluralidad de, en este caso dos, fuentes de luz de semiconductor. La luz de un láser emitido puede, por ejemplo, acoplarse directamente a uno o varios amplificadores ópticos de semiconductor

conectados en serie o uno detrás del otro con el fin de amplificar la señal de salida del láser. Aquí, el borde de salida de luz de una fuente de luz de semiconductor está acoplado al borde de entrada de luz de una fuente de luz de semiconductor subsiguiente.

5 **[0054]** Realizaciones adicionales de la invención se refieren a los siguientes ejemplos.

- 1) pueden usarse facetas grabadas en lugar de facetas de InP
- 2) pueden usarse matrices RSOA, matrices DFB, matrices DBR o matrices HCSEL en lugar de matrices SOA
- 3) son posibles combinaciones de SOA y láseres DFB para formar matrices
- 10 4) son posibles disposiciones DFB-SOA en una dirección longitudinal
- 5) son posibles variaciones que tienen una transición gradual activa o pasiva integrada en un lado o en ambos lados
- 6) son posibles variaciones que tienen contactos eléctricos separados en la dirección longitudinal
- 7) son posibles variaciones que tienen un contacto p y n en el lado superior para los láseres DFB o SOA individuales
- 8) si es necesario, pueden montarse áreas de contacto vertical y marcas de alineación horizontal adicionales en el
- 15 centro de la matriz
- 9) también pueden fabricarse chips individuales que tienen tales áreas de contacto vertical y marcas de alineación horizontal
- 10) también pueden usarse matrices SOA o láser basadas en guías de ondas con resalte.

20 **[0055]** Aunque se han descrito algunos aspectos en relación con un dispositivo, se entiende que estos aspectos también representan una descripción del procedimiento correspondiente de modo que un bloque o elemento de un dispositivo debe entenderse que también es una etapa de procedimiento o una característica correspondiente de una etapa de procedimiento. Análogamente, los aspectos que se han descrito en relación con o como una etapa de procedimiento también representan una descripción de un bloque o detalle o característica correspondiente de un

25 dispositivo correspondiente.

[0056] Las realizaciones descritas anteriormente representan simplemente una ilustración de los principios de la presente invención. Debe entenderse que, para otros expertos en la materia, resultarán obvias modificaciones y variaciones de las disposiciones y los detalles aquí descritos. Por lo tanto, se pretende que la invención esté limitada

30 únicamente por el alcance de las siguientes reivindicaciones, pero no por los detalles específicos que se han presentado en este documento usando la descripción y la discusión de las realizaciones.

Bibliografía

35 **[0057]**

- [1] T. Mitze, M. Schnarrenberger, L. Zimmermann, J. Bruns, F. Fidorra, J. Kreissl, K. Janiak, S. Fidorra, H. Heidrich, y K. Petermann, "Hybrid integration of III/V lasers on a silicon-on-insulator (SOI) optical board," en 2nd IEEE International Conference on Group IV Photonics, 2005, 2005, pp. 210–212.
- 40 [2] T. Mitze, M. Schnarrenberger, L. Zimmermann, J. Bruns, F. Fidorra, K. Janiak, J. Kreissl, S. Fidorra, H. Heidrich, y K. Petermann, "CWDM Transmitter Module Based on Hybrid Integration," IEEE Journal of Selected Topics in Quantum Electronics, vol. 12, no. 5, pp. 983–987, Sep. 2006.
- 45 [3] L. Stampoulidis, K. Vysokinos, C. Stamatiadis, H. Avramopoulos, L. Zimmermann, K. Voigt, Z. Sheng, D. Van Thourhout, J. Kreissl, L. Mörl, J. Bolten, T. Wahlbrink, F. Gomez-Agis, E. Tangdiongga, H. J. S. Dorren, A. Pagano, y E. Riccardi, "The BOOM project: a new generation of photonic routing subsystems using hybrid integration on silicon-on-insulator waveguide boards," 2010, vol. 7719, pp. 771909–771909–8.
- 50 [4] J. Kreissl, C. Bornholdt, T. Gaertner, L. Moerl, G. Przyrembel, y W. Rehbein, "1550 nm flip-chip compatible electroabsorption-modulated laser with 40 Gb/s modulation capability," en Compound Semiconductor Week (CSW/IPRM), 2011 and 23rd International Conference on Indium Phosphide and Related Materials, 2011, pp. 1–4.
- [5] L. Zimmermann, G. B. Preve, T. Tekin, T. Rosin, y K. Landles, "Packaging and Assembly for Integrated Photonics #x2014; A Review of the ePIXpack Photonics Packaging Platform," IEEE Journal of Selected Topics in Quantum
- 55 Electronics, vol. 17, no. 3, pp. 645–651, mayo 2011.
- [6] L. Zimmermann, G. B. Preve, K. Voigt, G. Winzer, J. Kreissl, L. Moerl, C. Stamatiadis, L. Stampoulidis, y H. Avramopoulos, "High-precision flip-chip technology for alloptical wavelength conversion using SOI photonic circuit," en
- 60 2011 8th IEEE International Conference on Group IV Photonics (GFP), 2011, pp. 237–239.
- [7] C. Stamatiadis, L. Stampoulidis, K. Vysokinos, I. Lazarou, D. Kalavrouziotis, L. Zimmermann, K. Voigt, G. B. Preve, L. Moerl, J. Kreissl, y H. Avramopoulos, "A hybrid photonic integrated wavelength converter on a silicon-on-insulator substrate," en Optical Fiber Communication Conference and Exposition (OFC/NFOEC), 2012 and the National Fiber
- 65 Optic Engineers Conference, 2012, pp.1-3.

REIVINDICACIONES

1. Un procedimiento (100) para fabricar una fuente de luz de semiconductor (2) que comprende un sustrato (4), una secuencia de capas (6) dispuesta encima del sustrato (4) que comprenden una capa emisora de luz (6a) y una capa límite superior (6b) dispuesta encima de la capa emisora de luz, una marca de alineación horizontal (12) y áreas de contacto vertical (14) que comprende:
- 5 modelar (S102) la secuencia de capas (6) con el fin de formar simultáneamente una franja emisora de luz (10) para definir la fuente de luz de semiconductor, y una franja de alineación (12) que se extiende en paralelo a la misma;
- 10 aplicar (S104) una capa de cobertura (8) sobre la secuencia de capas modelada (6);
- caracterizado por:**
- 15 eliminar simultáneamente (S106) una primera parte de la capa de cobertura (8) con el fin de exponer la franja de alineación como marca de alineación horizontal (12), y segundas partes de la capa de cobertura (8) para exponer, en ambos lados de la franja emisora de luz (10), regiones de la secuencia de capas (6) que están separadas de un borde de entrada de luz (22) o un borde de salida de luz (24) de la fuente de luz de semiconductor, como áreas de contacto vertical (14).
- 20 2. El procedimiento (100) según la reivindicación 1, que comprende recubrir el borde de entrada de luz o el borde de salida de luz mediante un material de recubrimiento después de exponer las áreas de contacto vertical.
3. El procedimiento (100) según la reivindicación 1 o 2, en donde eliminar (S106) la parte de la capa de cobertura (8) expone la capa límite (6b).
- 25 4. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, que comprende:
- disponer (S116a) un contacto expuesto encima de la secuencia de capas, en donde el contacto forma una marca de alineación eléctrica, y
- 30 aplicar (S116b) una capa de metalización sobre el contacto (26) con el fin de permitir contacto eléctrico mejorado del contacto (26).
- 35 5. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, en donde modelar (S102) la secuencia de capas (6) para formar las franjas de alineación (12) comprende formar una marca de alineación adicional (30), permitiendo la marca de alineación adicional (30) la alineación de la fuente de luz de semiconductor a lo largo de la franja de alineación.
- 40 6. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, que comprende grabar (S112) el borde de entrada de luz o de salida de luz (22, 24) o aplicar (S114) una capa de fosforo de indio sobre el borde de entrada de luz o de salida de luz (22, 24) con el fin de formar una faceta plana (35).
7. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, que comprende formar (S108) una matriz de amplificadores ópticos de semiconductor, láseres de realimentación distribuida, láseres de rejilla pasiva, láseres DFB que comprenden un espejo integrado de modo que habrá emisión en la dirección vertical o láseres individuales correspondientes con el fin de formar la fuente de luz de semiconductor.
- 45 8. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, en donde modelar (S102) la franja emisora de luz (10) y la franja de alineación (12) forma el mismo en un ángulo (32) mayor o menor de 90° en relación con el borde de entrada de luz o de salida de luz (22, 24).
9. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, que comprende disponer (S110) una transición gradual activa o pasiva en el borde de entrada de luz o de salida de luz (22, 24).
- 50 10. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, que comprende formar (S118) un contacto p expuesto y/o n expuesto encima de la pila de capas (6) con el fin de contactar eléctricamente con la franja emisora de luz (10).
- 60 11. El procedimiento (100) según cualquiera de las reivindicaciones anteriores, en donde modelar (S102) forma una franja emisora de luz adicional dispuesta en paralelo a la franja emisora de luz (10) y separada espacialmente de la misma, y
- el procedimiento (100) comprende disponer áreas de contacto vertical o marcas de alineación horizontal adicionales entre la franja emisora de luz (10) y la franja emisora de luz adicional.
- 65

12. Una fuente de luz de semiconductor (2) que comprende:

5 un sustrato (4), una secuencia de capas modelada (6) dispuesta encima del sustrato (4) que comprende una capa emisora de luz (6a) y una capa límite superior (6b) dispuesta encima de la capa emisora de luz, una marca de alineación horizontal (12) y áreas de contacto vertical (14),

en donde la secuencia de capas modelada (6) comprende una franja emisora de luz (10) que define la fuente de luz de semiconductor (2), y una franja de alineación, que se extiende en paralelo a la misma;

10

una capa de cobertura (8) sobre la secuencia de capas modelada (6);

en donde la capa de cobertura (8) está abierta sobre una primera parte de la secuencia de capas modelada (6) de modo que la franja de alineación está expuesta como una marca de alineación horizontal (12),

15

caracterizada porque

la capa de cobertura (8) está abierta sobre segundas partes de la secuencia de capas modelada (6) de modo que, en ambos lados de la franja emisora de luz (10), las regiones de la secuencia de capas (6) dispuestas para que estén separadas de un borde de entrada de luz (22) o un borde de salida de luz (24) de la fuente de luz de semiconductor, están expuestas como áreas de contacto vertical (14).

20

13. Una cascada (42) de fuentes de luz de semiconductor (2) que comprende una pluralidad de fuentes de luz de semiconductor según la reivindicación 12, en donde el borde de salida de luz de una fuente de luz de semiconductor está acoplado al borde de entrada de luz de una fuente de luz de semiconductor subsiguiente.

25

14. La cascada (42) según la reivindicación 13, en donde un láser de semiconductor forma una primera de fuente de luz de semiconductor (2) de la cascada (42) y al menos un amplificador de semiconductor adicional forma una fuente de luz de semiconductor adicional (2) de la cascada (42).

30

15. Un dispositivo semiconductor (34) que comprende:

una fuente de luz de semiconductor (2) según la reivindicación 12 o una cascada de fuentes de luz de semiconductor (2) según las reivindicaciones 13 o 14,

35

un sustrato (36), y

una unidad óptica (38),

40 comprendiendo el sustrato (36) un entrante (40) configurado para recibir la fuente de luz de semiconductor (2) o la cascada de fuentes de luz de semiconductor (2) de modo que la fuente de luz de semiconductor (2) esté alineada con la unidad óptica (38).

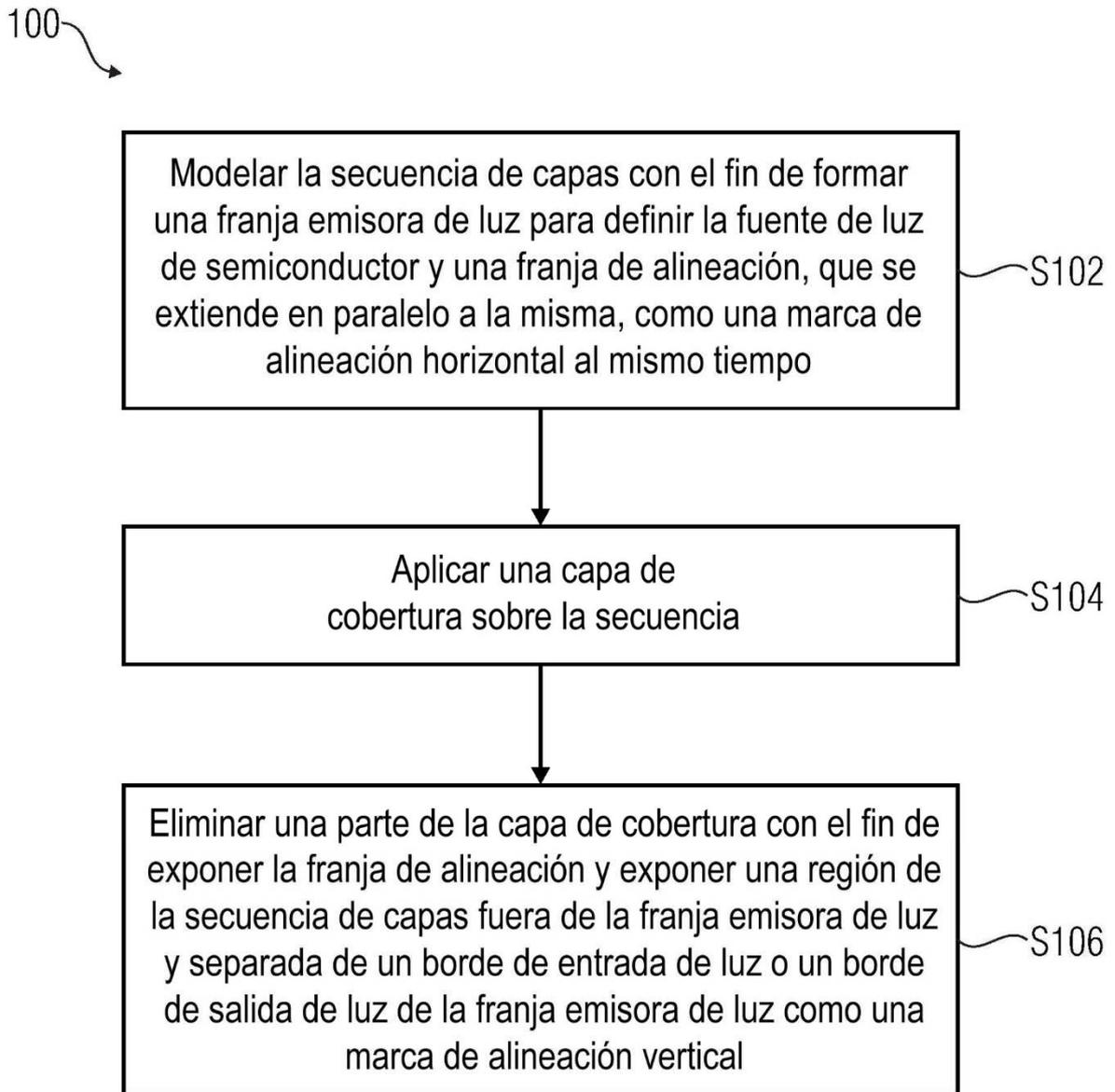


Fig. 1

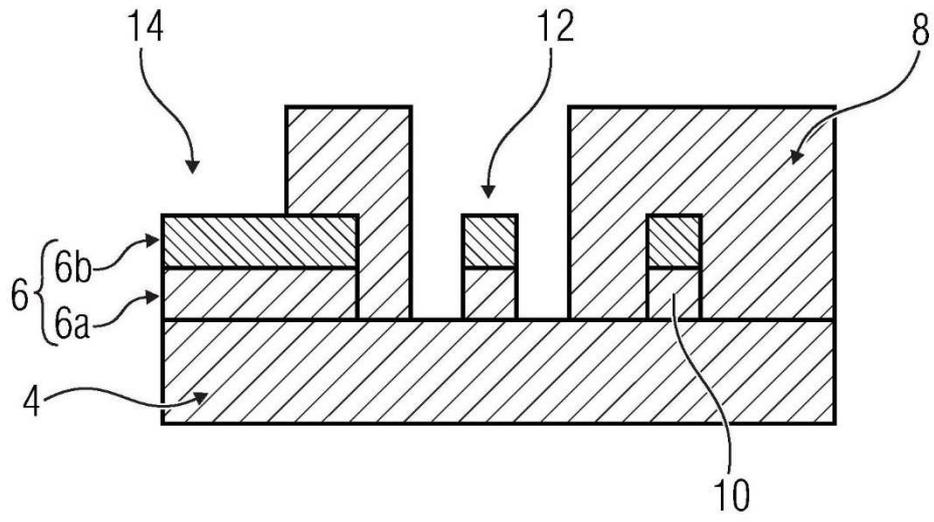


Fig. 2

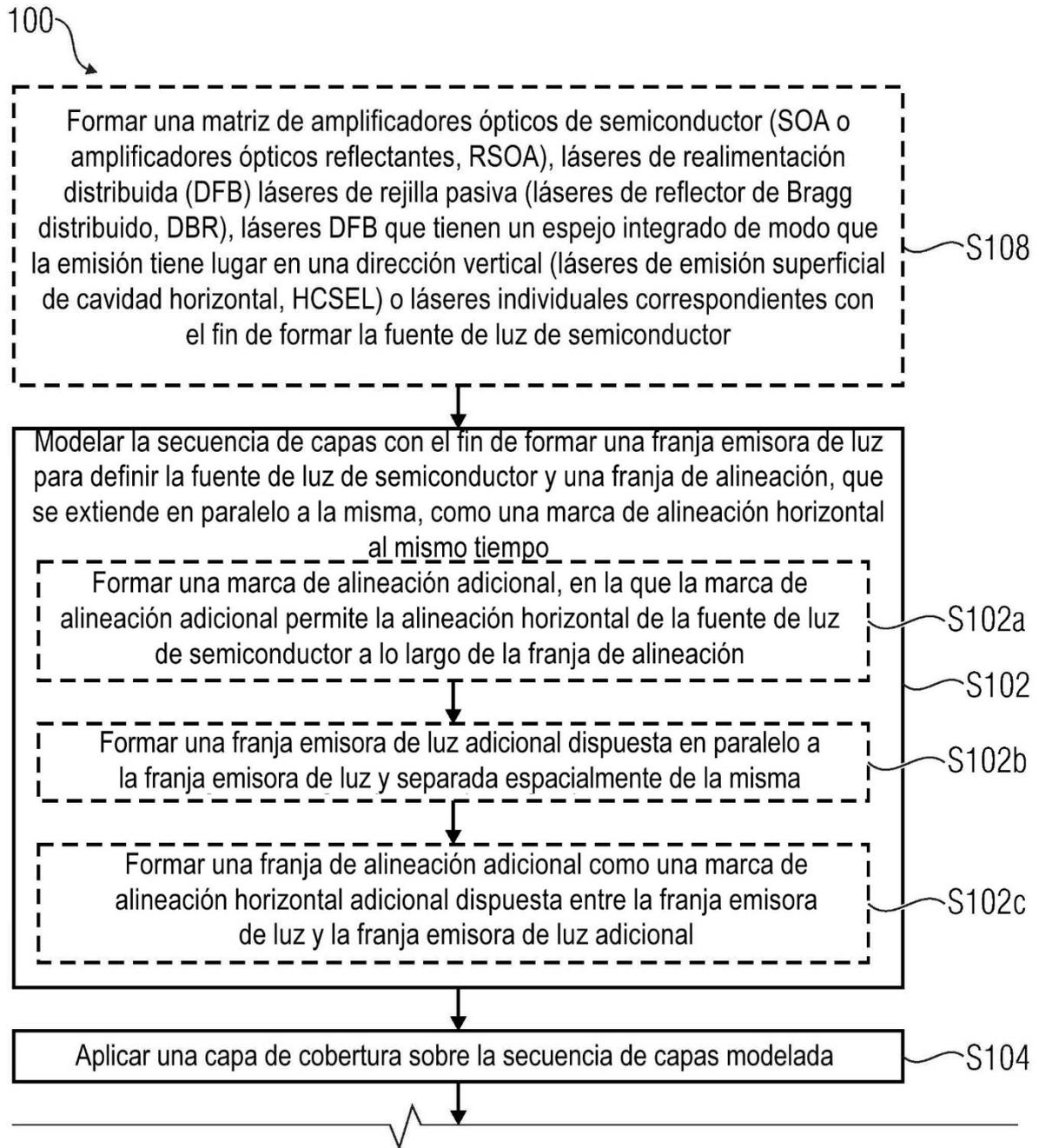


Fig. 3A

Fig. 3	Fig. 3A
	Fig. 3B

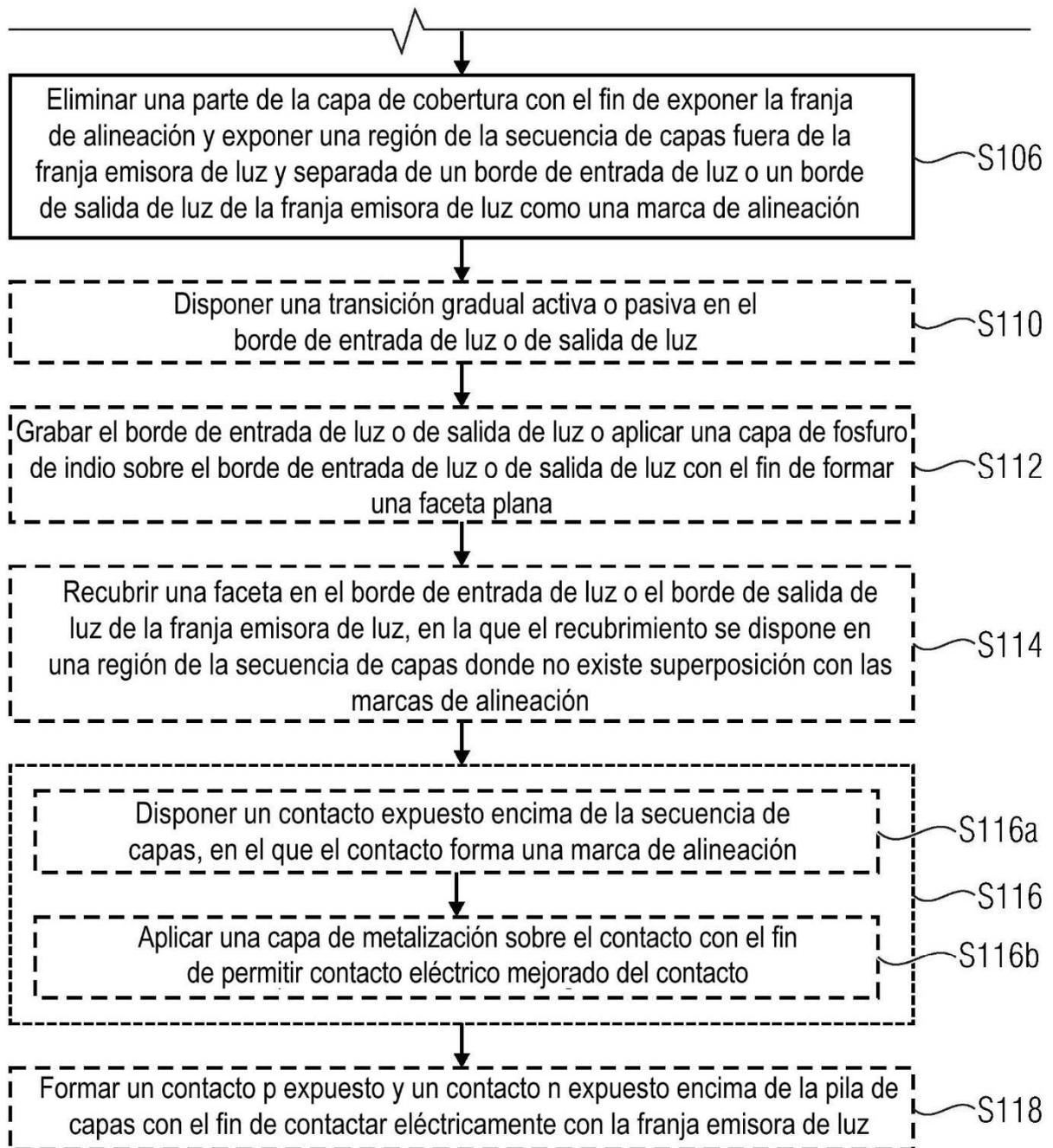


Fig. 3B

Fig. 3	Fig. 3A
	Fig. 3B

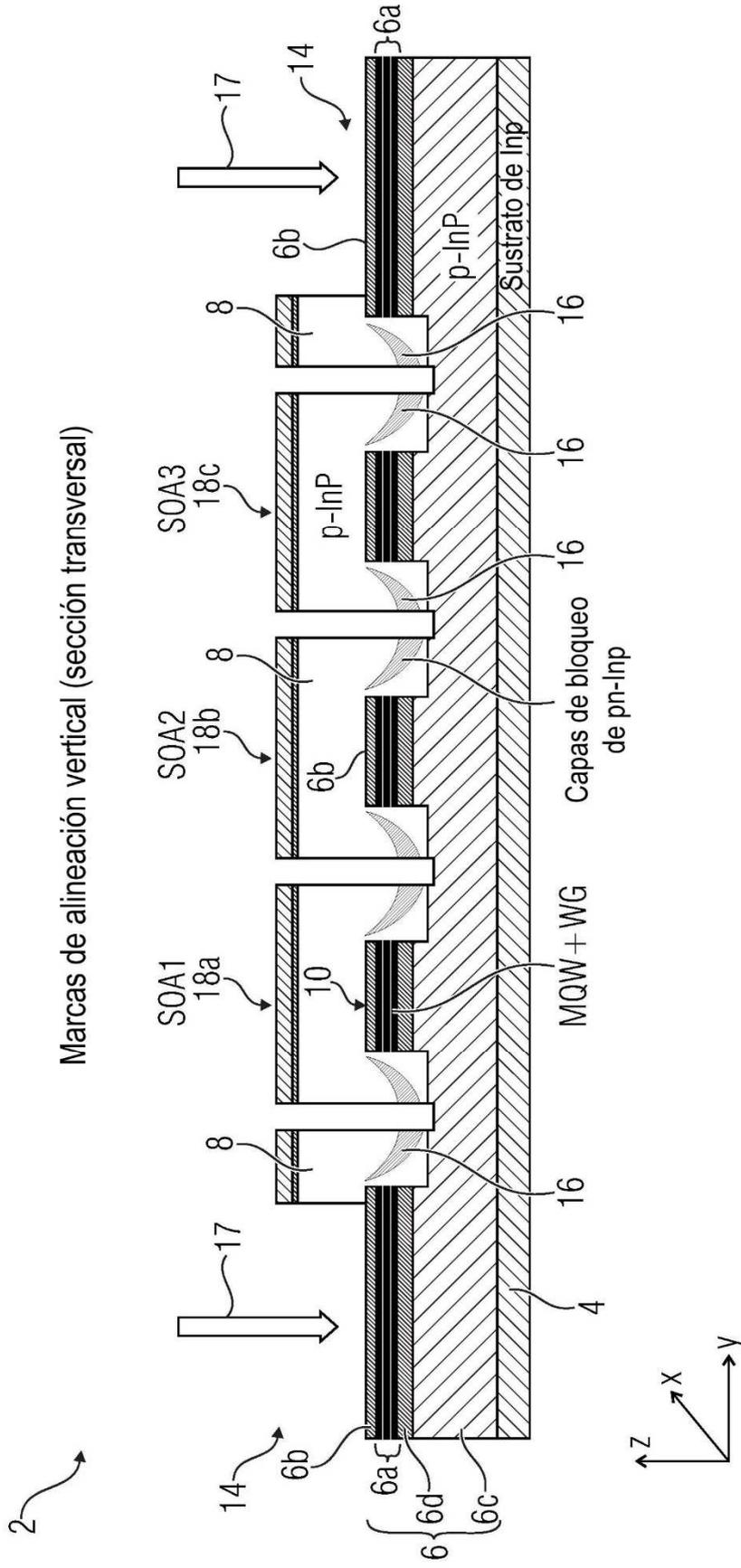


Fig. 4

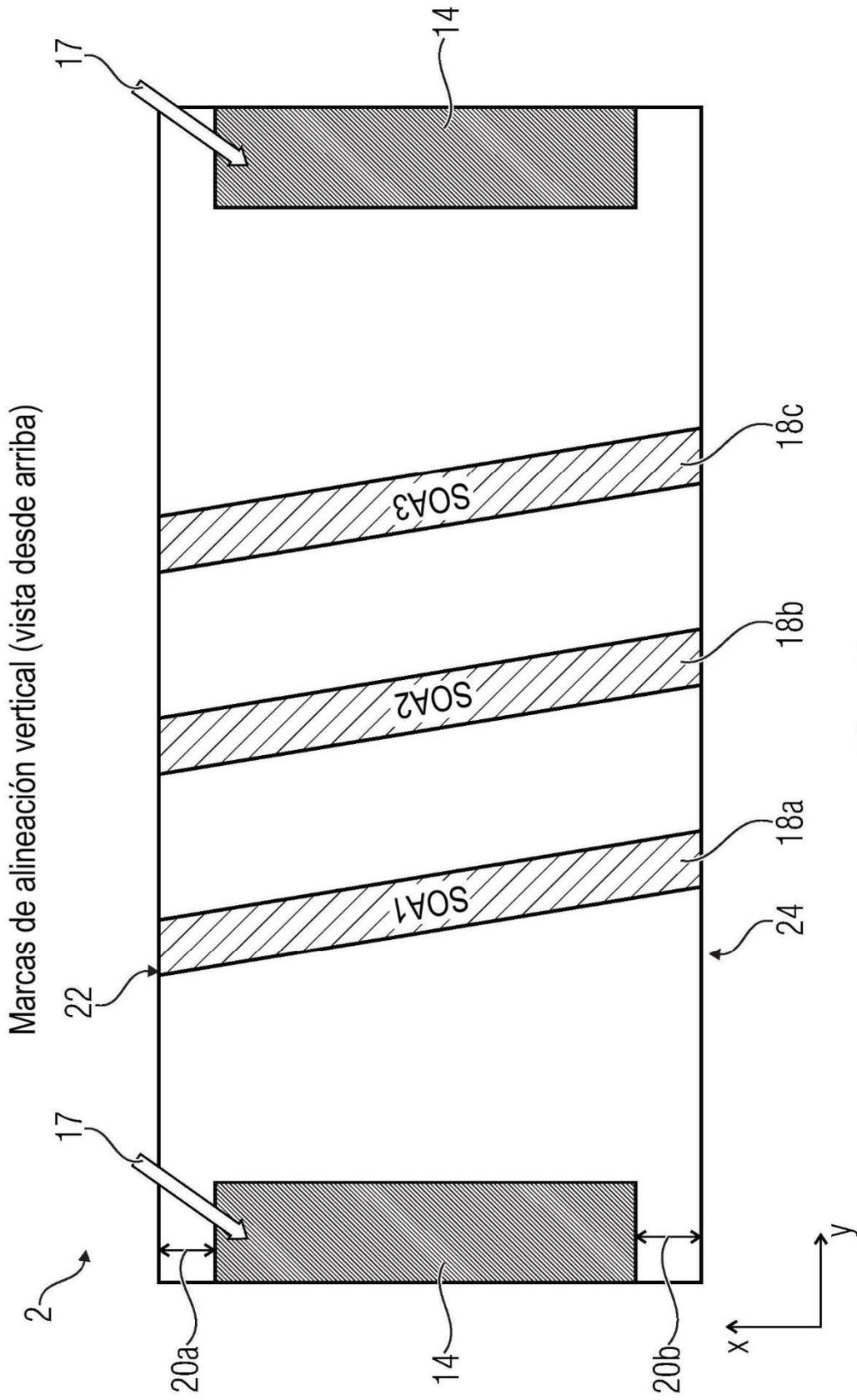


Fig. 5

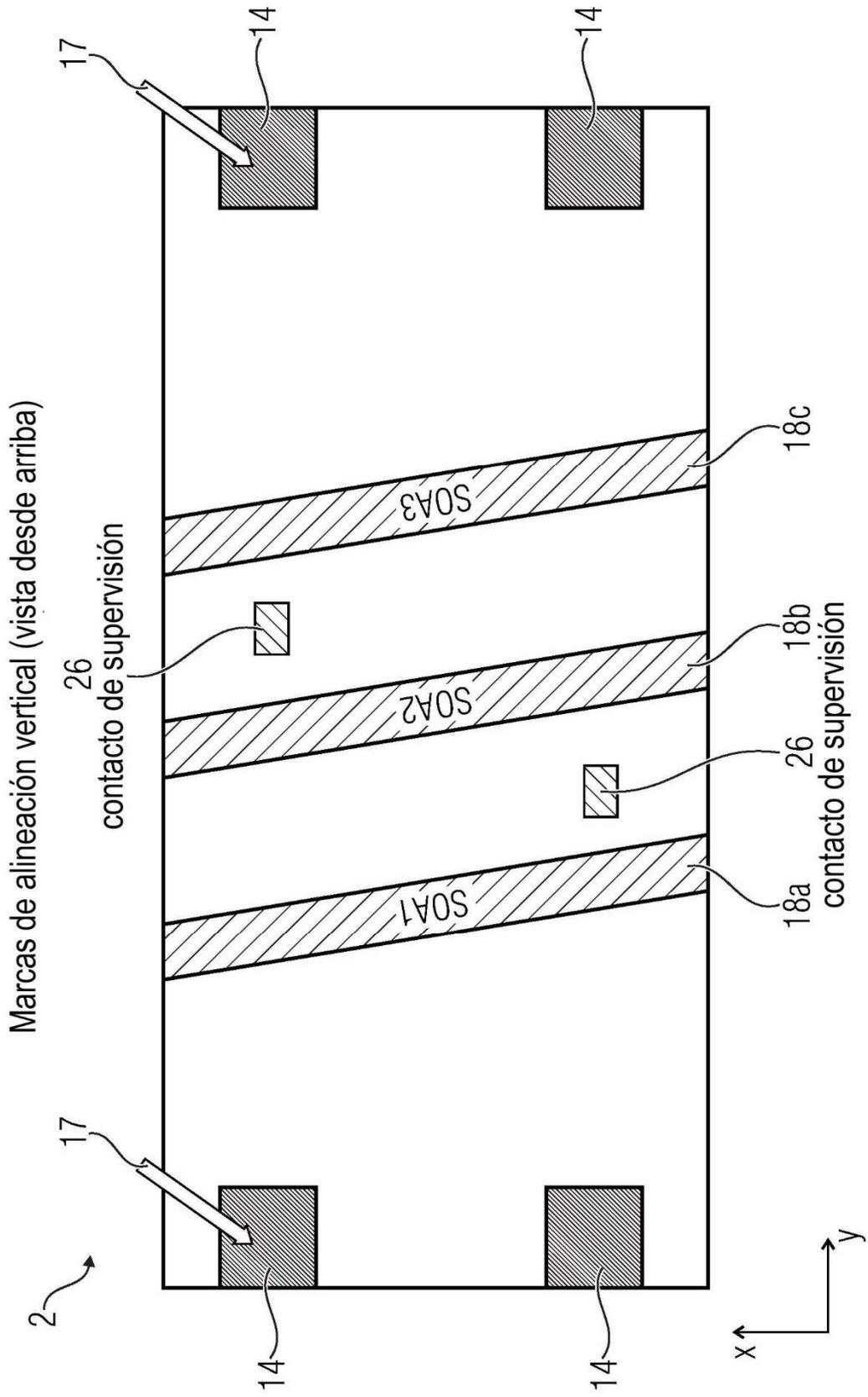


Fig. 6

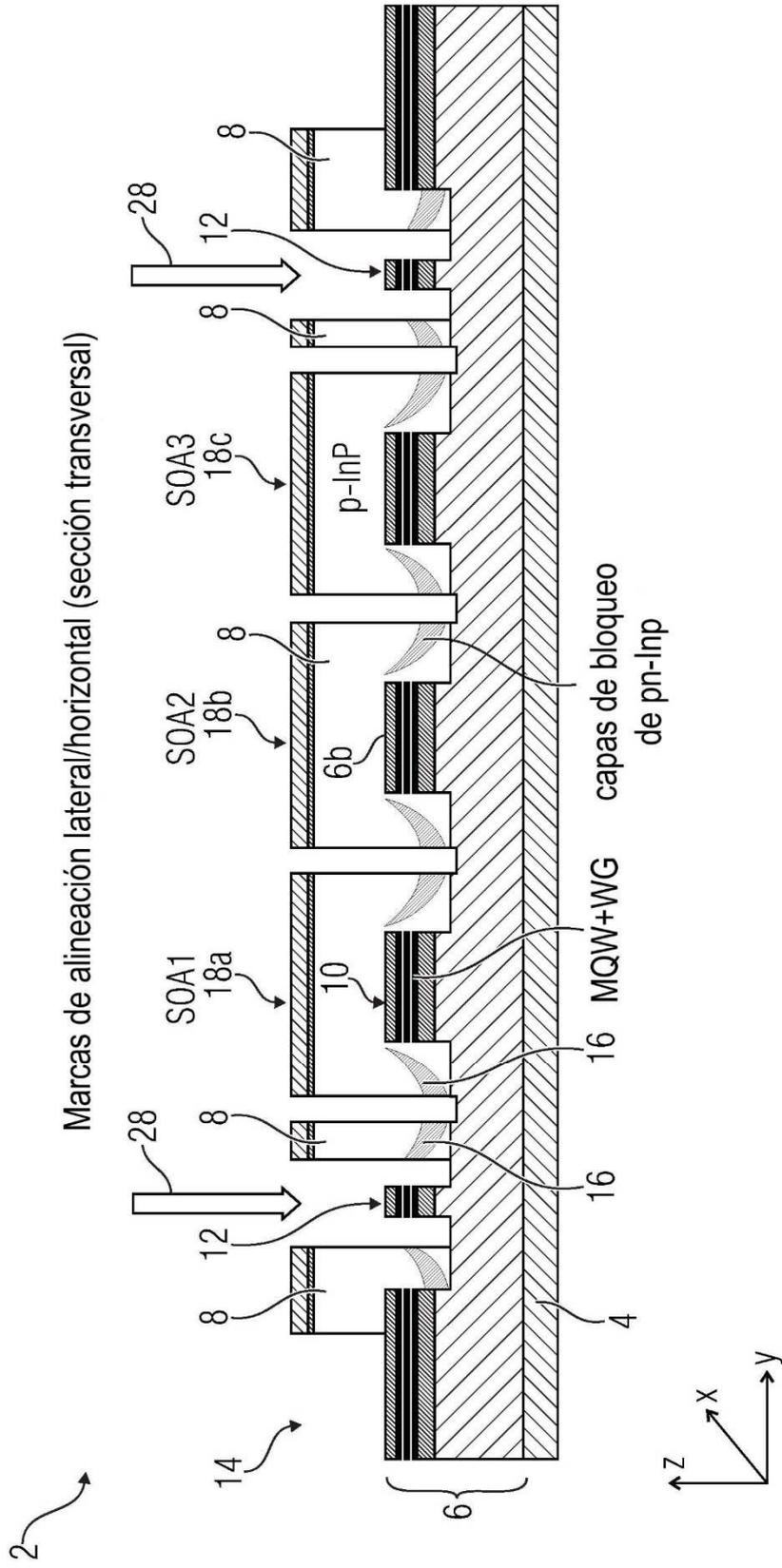


Fig. 7

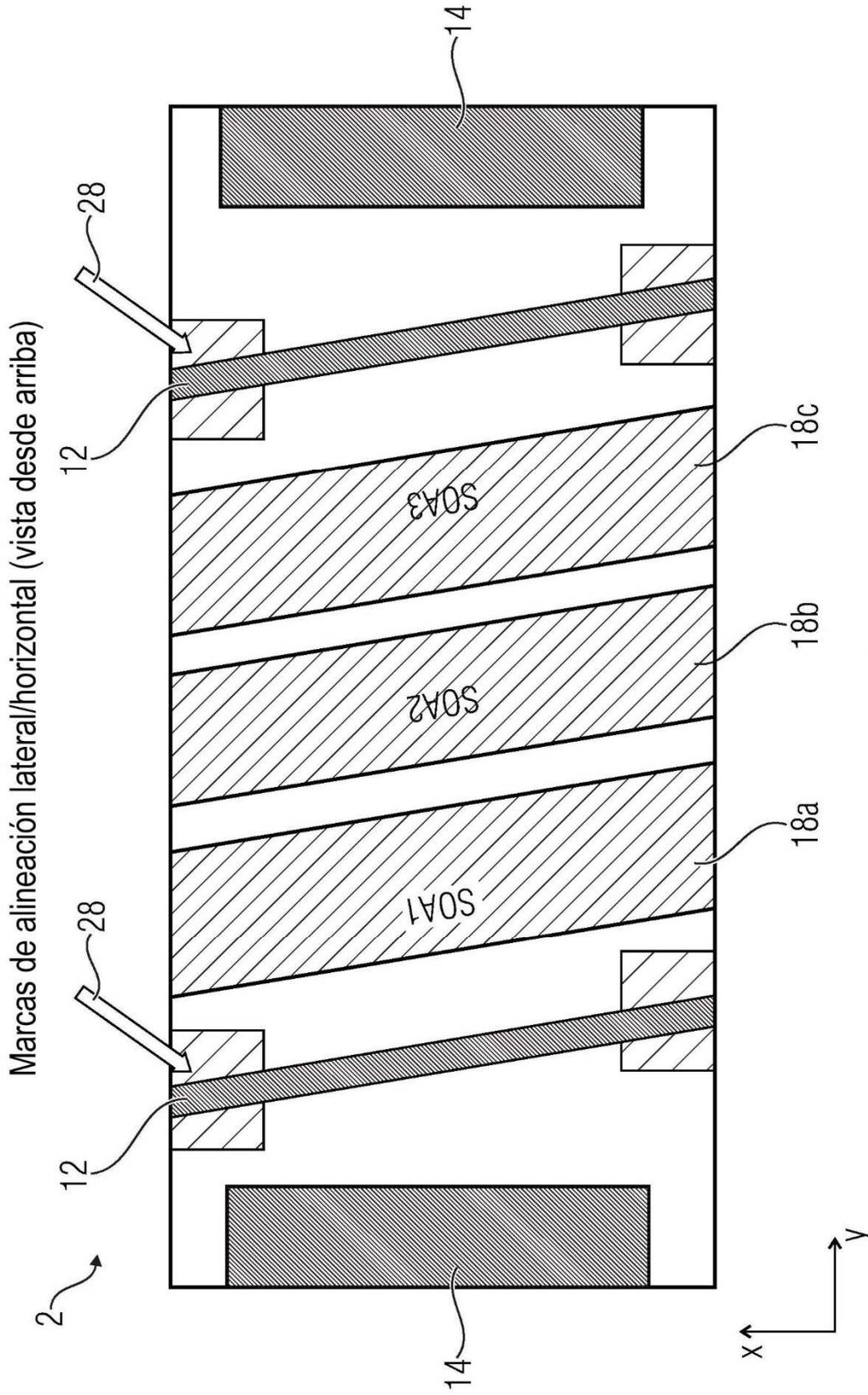


Fig. 8

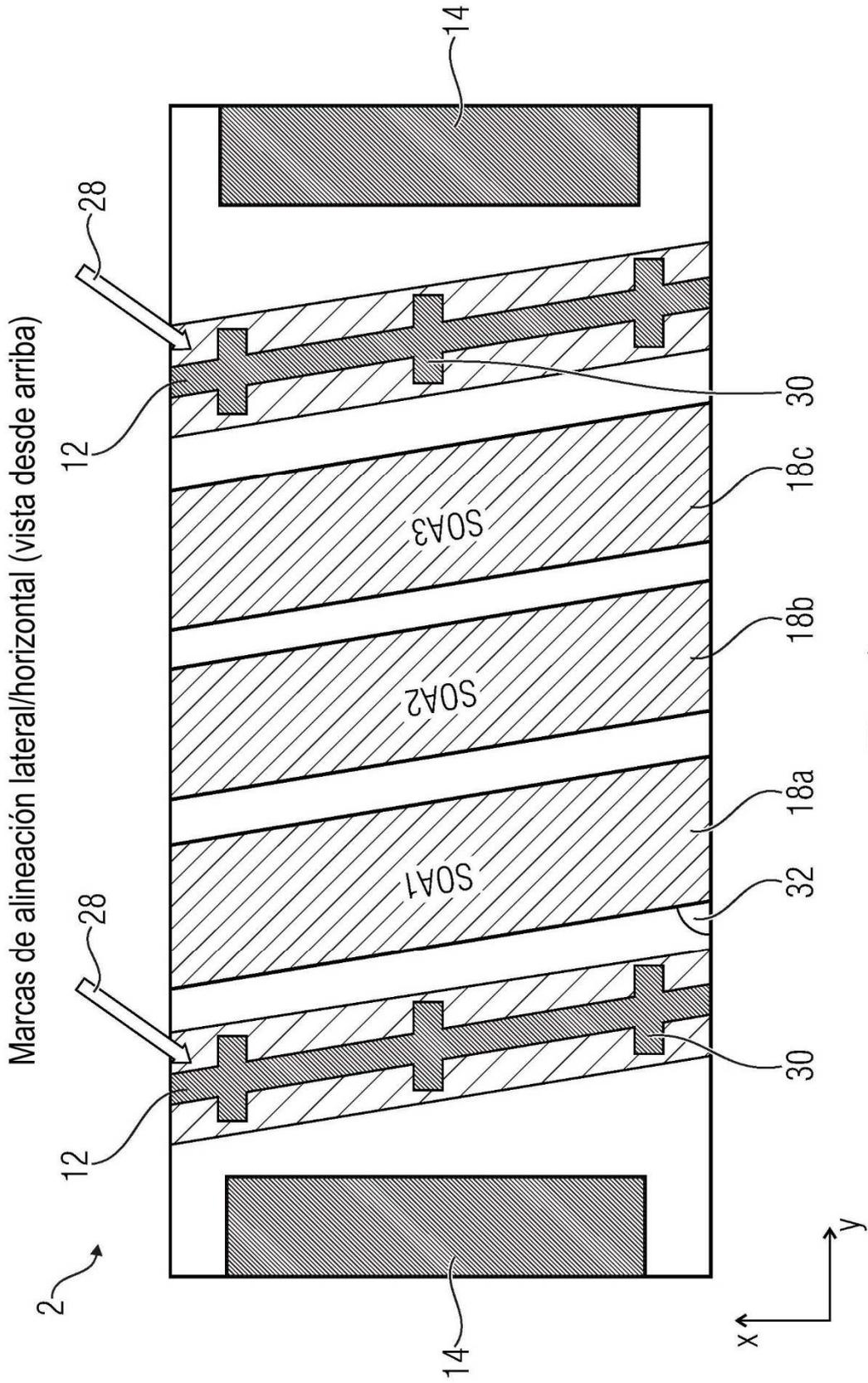


Fig. 9

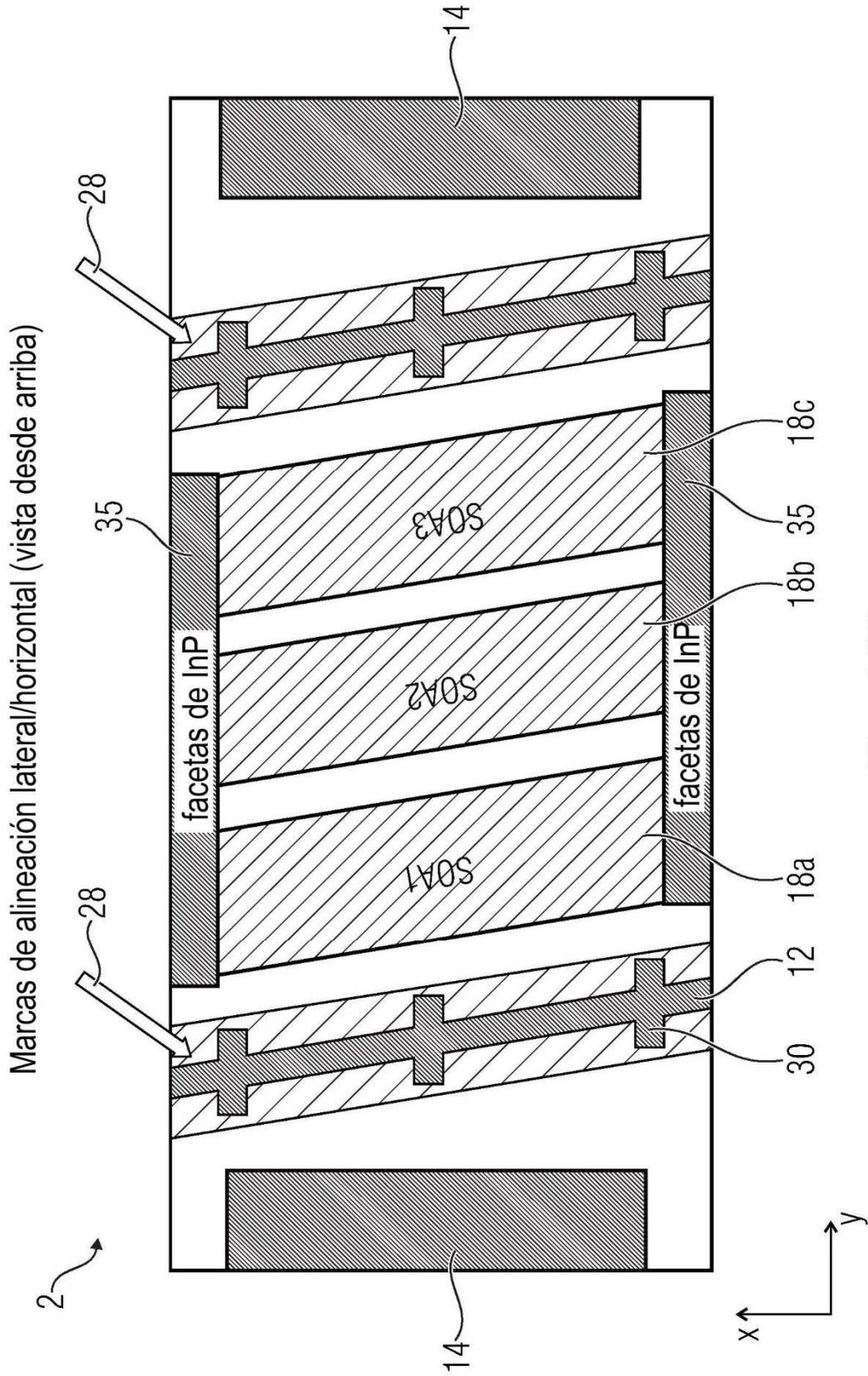


Fig. 10B

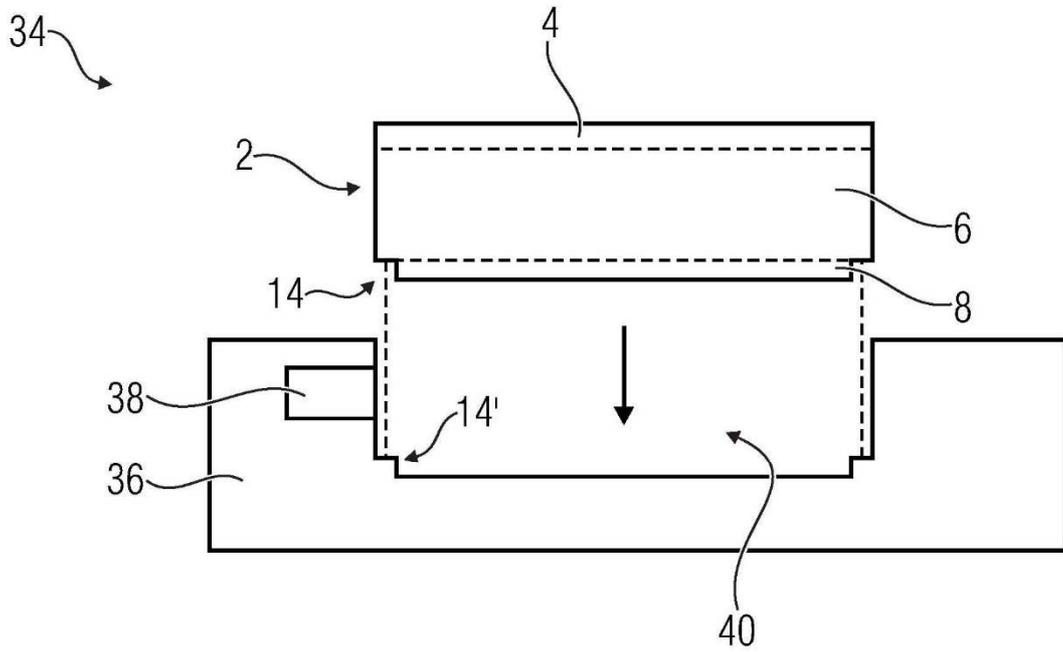


Fig. 11

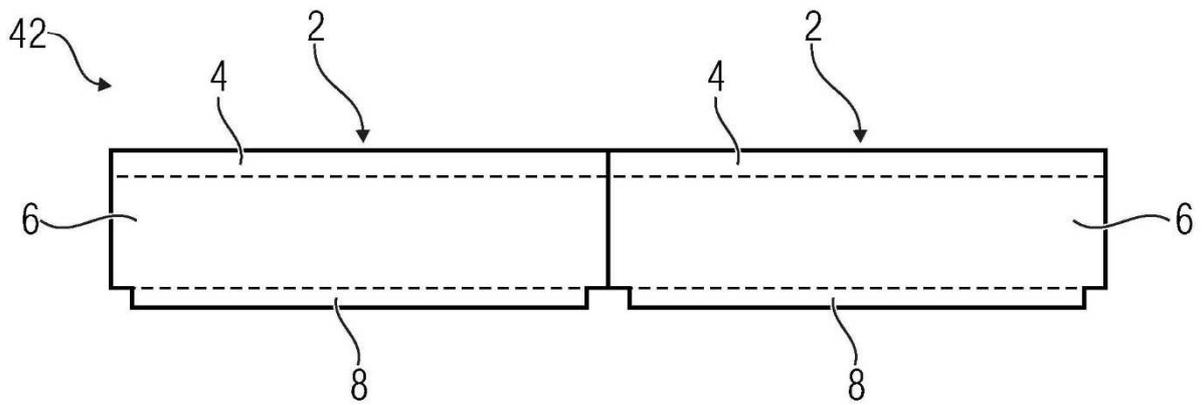


Fig. 12