

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 754 698**

51 Int. Cl.:

H03K 17/082 (2006.01)

H03K 17/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.09.2017** E 17192721 (3)

97 Fecha y número de publicación de la concesión europea: **14.08.2019** EP 3300253

54 Título: **Procedimiento de control de un transistor del tipo IGBT y dispositivo de control asociado**

30 Prioridad:

23.09.2016 FR 1658986

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

20.04.2020

73 Titular/es:

**ALSTOM TRANSPORT TECHNOLOGIES (100.0%)
48, rue Albert Dhalenne
93400 Saint-Ouen, FR**

72 Inventor/es:

**ANDRIANOELISON, FLORENT;
RABASSE, ERIC y
BOISTEAU, STEPHANE**

74 Agente/Representante:

SALVÀ FERRER, Joan

ES 2 754 698 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento de control de un transistor del tipo IGBT y dispositivo de control asociado

- 5 **[0001]** La presente invención se refiere a un procedimiento de control de un transistor del tipo IGBT y un dispositivo de control asociado.
- [0002]** De manera conocida en sí misma, un transistor del tipo IGBT (del inglés «*Insulated Gate Bipolar Transistor*»), llamado también transistor bipolar con rejilla aislada, comprende tres bornes o contactos eléctricos, a
10 saber una rejilla, un colector y un emisor.
- [0003]** Un transistor del tipo IGBT es particularmente utilizable como interruptor eléctrico. En efecto, dicho transistor define un estado conductor en el que el colector está conectado eléctricamente al emisor y un estado bloqueado en el que estos están aislados eléctricamente entre sí.
15
- [0004]** La conmutación entre los dos estados está controlada por una tensión de referencia aplicada sobre la rejilla por medios de mando adaptados.
- [0005]** En particular, la conmutación entre el estado bloqueado y el estado conductor comprende una fase de
20 conmutación a activación que consiste en conmutar el transistor del estado bloqueado al estado conductor, y una fase de conmutación a bloqueo que consiste en conmutar el transistor del estado conductor al estado bloqueado.
- [0006]** Cada una de estas fases comprende varias etapas intermedias que corresponden a diferentes estados intermedios del transistor entre el estado bloqueado y el estado conductor.
25
- [0007]** Generalmente, el control del transistor está adaptado para asegurar un correcto desarrollo de estas etapas intermedias y garantizar una velocidad constante de la conmutación.
- [0008]** Para ello, los medios de mando asociados al transistor aplican diferentes corrientes a la rejilla en función
30 de cada etapa intermedia en curso.
- [0009]** Es importante, por lo tanto, poder detectar cada una de estas etapas intermedias para asegurar el control de un transistor.
- 35 **[0010]** Según procedimientos conocidos en el estado de la técnica, la detección de las etapas intermedias se efectúa midiendo la tensión entre el colector y el emisor, y la intensidad de la corriente eléctrica que pasa a través del colector.
- [0011]** Sin embargo, para determinar con precisión los momentos de transición entre las etapas intermedias,
40 es necesario suministrar a los medios de mando mediciones de tensión y de intensidad de la corriente que pasa por el transistor de manera particularmente precisa.
- [0012]** Se concibe entonces que esto hace a la estructura del circuito eléctrico asociado al transistor más compleja. Este problema se vuelve particularmente pertinente para transistores utilizados en el ámbito ferroviario y
45 que funcionan entonces en alta tensión.
- [0013]** En particular, se conocen del documento WO 2014/009668 A1 y del artículo de TAKIZAWA S Y COL: «A new di/dt control gate circuit fo IGBTs to reduce EMI noise and switching losses» procedimientos de control de un transistor del tipo IGBT.
50
- [0014]** La presente invención tiene como objetivo proponer un procedimiento de control de un transistor del tipo IGBT que permita controlar eficazmente las etapas intermedias durante la conmutación del transistor entre el estado bloqueado y el estado conductor sin hacer compleja la estructura del circuito eléctrico asociado al transistor.
- 55 **[0015]** A tal efecto, la invención tiene por objeto un procedimiento de control de un transistor del tipo IGBT según la reivindicación 1.
- [0016]** Según otros aspectos ventajosos de la invención, el procedimiento comprende una o varias de las características de las reivindicaciones 2 a 9.
60
- [0017]** La invención también tiene por objeto un dispositivo de control de un transistor del tipo IGBT según la reivindicación 10.
- [0018]** El dispositivo es capaz de generar una corriente de referencia cuya intensidad en la rejilla del transistor
65 asume valores de referencia diferentes, eligiéndose al menos ciertos de los valores de referencia en función del signo

de la derivada temporal de la corriente principal, eligiéndose cada valor de referencia en un conjunto de valores de referencia predeterminados.

- [0019]** Estas características y ventajas de la invención se mostrarán con la lectura de la descripción que aparece a continuación, dada únicamente a título de ejemplo no limitativo y realizada en referencia a los dibujos anexos, en los que:
- la figura 1 es una vista esquemática de un circuito eléctrico que integra en concreto un transistor del tipo IGBT y un dispositivo de control de ce transistor según la invención;
 - 10 - la figura 2 es un organigrama de una fase de conmutación a activación de un procedimiento de control según la invención implementado por el dispositivo de control de la figura 1;
 - la figura 3 es una vista esquemática que ilustra diferentes etapas de la fase de conmutación a activación de la figura 2;
 - la figura 4 es un organigrama de una fase de conmutación a bloqueo del procedimiento de control;
 - 15 - la figura 5 es una vista esquemática que ilustra diferentes etapas de la fase de conmutación a bloqueo de la figura 4;
 - la figura 6 es un organigrama de una etapa de detección de un cortocircuito implementada durante la fase de conmutación a activación de la figura 2; y
 - la figura 7 es una vista esquemática que ilustra la etapa de detección de un cortocircuito de la figura 6.
- 20 **[0020]** El circuito eléctrico 10 de la figura 1 es utilizable para gobernar al menos en parte el funcionamiento de un componente de potencia 12 que consta en concreto de dos bornes E_{aux} y E_p .
- [0021]** El circuito eléctrico 10 y el componente de potencia 12 son en concreto utilizables en el ámbito ferroviario y están, por ejemplo, incorporados en un vehículo ferroviario.
- 25 **[0022]** En referencia a la figura 1, el circuito eléctrico 10 comprende un transistor 14 conectado al componente de potencia 12 y asociado a un diodo 15, un módulo de medida de tensión 16, un módulo de detección de cambio de corriente 18 y un dispositivo de control 20 del transistor 14 según la invención.
- 30 **[0023]** El transistor 14 es un transistor del tipo IGBT (del inglés «*Insulated Gate Bipolar Transistor*») llamado también transistor bipolar con rejilla aislada.
- [0024]** El transistor 14 es conocido en sí mismo y consta en particular de tres bornes o contactos eléctricos, a saber, una rejilla G, un colector C y un emisor E.
- 35 **[0025]** El emisor E está conectado en concreto al borne E_{aux} del componente de potencia 12.
- [0026]** El transistor 14 define un estado conductor en el que una corriente eléctrica I_c , llamada en lo sucesivo corriente principal, fluye entre el colector C y el emisor E y un estado bloqueado en el que el colector C está aislado eléctricamente del emisor E.
- 40 **[0027]** Por otro lado, el diodo 15 permite el paso de una corriente eléctrica del emisor E hacia el colector C sea cual sea el estado del transistor 14.
- 45 **[0028]** El módulo de medida de tensión 16 está conectado por un lado a la rejilla G y por otro lado al emisor E del transistor 14 y permite medir una tensión V_{GE} entre la rejilla G y el emisor E.
- [0029]** El módulo de medida de tensión 16 presenta por ejemplo un voltímetro de tipo adaptado.
- 50 **[0030]** El módulo de medida de cambio de corriente 18 está conectado a los bornes E_{aux} y E_p del componente de potencia 12 y permite detectar cualquier cambio de la intensidad de la corriente principal I_c que pasa por el componente eléctrico 12.
- [0031]** Dicho de otro modo, el módulo 18 permite detectar cualquier crecimiento o cualquier decrecimiento de valores de intensidad de la corriente principal I_c en el tiempo.
- 55 **[0032]** Dicho de aún otro modo, el módulo 18 permite detectar el signo de la derivada temporal dI_c/dt de la corriente principal I_c .
- 60 **[0033]** Para ello, el módulo 18 es capaz de medir la tensión U entre los bornes E_{aux} y E_p del componente de potencia 12. El signo de la derivada temporal dI_c/dt de la corriente principal I_c se determina mediante el signo de la tensión U ya que la derivada temporal dI_c/dt y la tensión U son linealmente dependientes. En efecto, la tensión U es igual al producto de la derivada temporal dI_c/dt y de la inductancia del componente de potencia 12.
- 65 **[0034]** El dispositivo de control 20 está conectado a la rejilla G del transistor 14 y permite controlar el

funcionamiento de este transistor 14 aplicando una tensión de referencia y una corriente de referencia sobre la rejilla G según un procedimiento de control 100 descrito con más detalle en lo sucesivo.

- 5 **[0035]** El dispositivo de control 20 está conectado además a los módulos 16 y 18 para recuperar medidas respectivamente de la tensión V_{GE} y del signo de di_C/dt y a una fuente de alimentación (no ilustrada) que suministra una tensión de referencia positiva y una tensión de referencia negativa.
- [0036]** La tensión de referencia positiva es, por ejemplo, sustancialmente igual a +15 V.
- 10 **[0037]** La tensión de referencia negativa es, por ejemplo, sustancialmente igual a -15 V.
- [0038]** El dispositivo de control 20 comprende por ejemplo un circuito de mando y un ordenador conectado al circuito de mando y que permite procesar digitalmente medidas provenientes de los módulos 16 y 18 para implementar al menos ciertas etapas del procedimiento de control 100.
- 15 **[0039]** Finalmente, el dispositivo de control 20 es capaz de recibir una orden de activación y una orden de bloqueo del transistor 14 provenientes, por ejemplo, de un ordenador central (no ilustrado).
- [0040]** El procedimiento de control 100 del transistor 14 se explicará en adelante expliqué en detalle.
- 20 **[0041]** El procedimiento de control 100 comprende una fase de conmutación a activación, una fase de activación, una fase de conmutación a bloqueo y una fase de bloqueo.
- [0042]** Durante la fase de activación, el dispositivo de control 20 mantiene el transistor 14 en el estado conductor
25 aplicando la tensión de referencia positiva sobre la rejilla G.
- [0043]** Durante la fase de bloqueo, el dispositivo de control 20 mantiene el transistor 14 en el estado bloqueado aplicando la tensión de referencia negativa sobre la rejilla G.
- 30 **[0044]** La fase de conmutación a activación es una fase transitoria entre la fase de bloqueo y la fase de activación y permite en concreto hacer pasar el transistor 14 del estado bloqueado al estado conductor.
- [0045]** Un organigrama de esta fase de conmutación a activación se ilustra en la figura 2.
- 35 **[0046]** De este modo, en referencia a esta figura 2, la fase de conmutación a activación comprende una etapa inicial 101 durante la cual el dispositivo de control 20 recibe una orden de activación.
- [0047]** En este caso, el dispositivo de control 20 implementa las etapas 110 a 135.
- 40 **[0048]** Durante una primera etapa de conmutación 110, el dispositivo de control 20 aplica a la rejilla G del transistor 14 la tensión de referencia positiva con una corriente de referencia de intensidad igual a un primer valor de referencia I_{c1} .
- 45 **[0049]** Durante una etapa 115 implementada en paralelo con la primera etapa de conmutación 110, el dispositivo de control 20 recibe medidas provenientes de los módulos 16 y 18, y utilizando estas medidas, verifica condiciones de parada de la primera etapa de conmutación 110.
- [0050]** En particular, durante esta etapa 115, el dispositivo de control 20 continúa ejecutando la etapa 110 hasta que una de las condiciones de parada siguientes se cumpla:
50
- la tensión de la corriente eléctrica entre la rejilla y el emisor V_{GE} alcanza un umbral de tensión de activación V_{ON} predeterminado;
- la derivada temporal di_C/dt de la corriente principal I_C se vuelve positiva;
- el tiempo transcurrido desde el comienzo de la primera etapa de conmutación 110 alcanza un primer umbral temporal
55 T_1 predeterminado.
- [0051]** El umbral de tensión de activación V_{ON} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 1 V y 20 V. Este umbral V_{ON} es preferentemente igual a 5 V.
- 60 **[0052]** El primer umbral temporal T_1 es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 1 μ s y 8 μ s.
- [0053]** El primer valor de referencia I_{c1} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,2 A y 20 A.

- [0054]** A continuación, el dispositivo de control 20 ejecuta una segunda etapa de conmutación 120 durante la cual aplica a la rejilla G del transistor 14 la tensión de referencia positiva con una corriente de referencia de intensidad igual a un segundo valor de referencia I_{c2} .
- 5 **[0055]** Durante una etapa 125 implementada en paralelo con la segunda etapa de conmutación 120, el dispositivo de control 20 recibe medidas provenientes del módulo 18, y utilizando estas medidas, verifica condiciones de parada de la segunda etapa 120.
- 10 **[0056]** En particular, durante esta etapa 125, el dispositivo de control 20 continúa ejecutando la etapa 120 hasta que una de las condiciones de parada siguientes se cumpla:
- la derivada temporal di_C/dt de la corriente principal I_C se vuelve negativa;
 - el tiempo transcurrido desde el comienzo de la segunda etapa de conmutación 120 alcanza un segundo umbral
- 15 temporal T_2 predeterminado.
- [0057]** El segundo umbral temporal T_2 es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 1 μ s y 4 μ s.
- 20 **[0058]** El segundo valor de referencia I_{c2} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,2 A y 20 A.
- [0059]** A continuación, el dispositivo de control 20 ejecuta una tercera etapa de conmutación 130 durante la cual aplica a la rejilla G del transistor 14 la tensión de referencia positiva con una corriente de referencia de intensidad
- 25 igual a un tercer valor de referencia I_{c3} .
- [0060]** Durante una etapa 135 implementada en paralelo con la segunda etapa 130, el dispositivo de control 20 verifica una condición de parada de la tercera etapa de conmutación 130.
- 30 **[0061]** En particular, durante esta etapa 135, el dispositivo de control 20 continúa ejecutando la etapa 130 hasta que el tiempo transcurrido desde el comienzo de la primera etapa de conmutación 110 alcanza un umbral temporal de activación T_{ON} predeterminado.
- [0062]** El umbral temporal de activación T_{ON} es configurable por el dispositivo de control 20 y ajustable
- 35 previamente a la implementación del procedimiento 100, por ejemplo entre 3 μ s y 20 μ s.
- [0063]** El tercer valor de referencia I_{c3} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,2 A y 20 A.
- 40 **[0064]** Se concibe entonces que durante la implementación de la fase de conmutación a activación, cada valor de referencia I_{c1} a I_{c3} se elige en un conjunto de valores de referencia predeterminados. Estos valores se predeterminan antes de la implementación del procedimiento de control.
- [0065]** Por otro lado, los valores de referencia I_{c1} a I_{c3} son diferentes entre sí.
- 45 **[0066]** En el ejemplo descrito, los valores de referencia I_{c1} a I_{c3} son positivos de modo que el tercer valor de referencia I_{c3} es inferior al primer valor de referencia I_{c1} y superior al segundo valor de referencia I_{c2} .
- [0067]** La figura 3 ilustra el comportamiento de la corriente principal I_C , de la tensión V_{GE} entre la rejilla G y el emisor E, de la derivada temporal di_C/dt de la corriente principal I_C y de la corriente de referencia I_G a la rejilla G en un ejemplo de la implementación de las etapas 110 a 130 de la fase de conmutación a activación.
- 50 **[0068]** La fase de conmutación a bloqueo es una fase transitoria entre la fase de activación y la fase de bloqueo y permite, en concreto, hacer pasar el transistor 14 del estado conductor al estado bloqueado.
- 55 **[0069]** Un organigrama de esta fase de conmutación a bloqueo se ilustra en la figura 4.
- [0070]** De este modo, en referencia a esta figura 4, la fase de conmutación a bloqueo comprende una etapa inicial 139 durante la cual el dispositivo de control 20 recibe una orden de bloqueo.
- 60 **[0071]** En este caso, el dispositivo de control 20 implementa las etapas 140 a 165.
- [0072]** Durante una cuarta etapa de conmutación 140, el dispositivo de control 20 aplica a la rejilla G del transistor 14 la tensión de referencia negativa con una corriente de referencia de intensidad igual a un cuarto valor de
- 65 referencia I_{c4} .

[0073] Durante una etapa 145 implementada en paralelo con la cuarta etapa de conmutación 140, el dispositivo de control 20 recibe medidas provenientes de los módulos 16 y 18, y utilizando estas medidas, verifica condiciones de parada de la cuarta etapa de conmutación 140.

5

[0074] En particular, durante esta etapa 145, el dispositivo de control 20 continúa ejecutando la etapa 140 hasta que una de las condiciones de parada siguientes se cumpla:

- la tensión de la corriente eléctrica V_{GE} entre la rejilla G y el emisor E alcanza un umbral de tensión de bloqueo V_{OFF} predeterminado;
- la derivada temporal di_c/dt de la corriente principal i_c se vuelve negativa;
- el tiempo transcurrido desde el comienzo de la cuarta etapa de conmutación 140 alcanza un cuarto umbral temporal T_4 predeterminado.

15 **[0075]** El umbral de tensión de bloqueo V_{OFF} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,5 V y 20 V. Este umbral V_{OFF} es preferentemente igual a 2 V.

20 **[0076]** El cuarto umbral temporal T_4 es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 1 μ s y 10 μ s.

[0077] El valor absoluto del cuarto valor de referencia I_{c4} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,2 A y 20 A.

25 **[0078]** A continuación, el dispositivo de control 20 ejecuta una quinta etapa de conmutación 150 durante la cual aplica a la rejilla G del transistor 14 la tensión de referencia negativa con una corriente de referencia de intensidad igual a un quinto valor de referencia I_{c5} .

30 **[0079]** Durante una etapa 155 implementada en paralelo con la quinta etapa 150, el dispositivo de control 20 verifica una condición de parada de la quinta etapa de conmutación 150.

[0080] En particular, durante esta etapa 155, el dispositivo de control 20 continúa ejecutando la etapa 150 hasta que el tiempo transcurrido desde el comienzo de la quinta etapa de conmutación 150 alcanza un quinto umbral temporal T_5 predeterminado.

35

[0081] El quinto umbral temporal T_5 es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,5 μ s y 2 μ s.

40 **[0082]** El valor absoluto del quinto valor de referencia I_{c5} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,2 A y 20 A.

[0083] A continuación, el dispositivo de control 20 ejecuta una sexta etapa de conmutación 160 durante la cual aplica a la rejilla G del transistor 14 la tensión de referencia negativa con una corriente de referencia de intensidad igual a un sexto valor de referencia I_{c6} .

45

[0084] Durante una etapa 165 implementada en paralelo con la sexta etapa de conmutación 160, el dispositivo de control 20 verifica una condición de parada de la sexta etapa de conmutación 160.

50 **[0085]** En particular, durante esta etapa 165, el dispositivo de control 20 continúa ejecutando la etapa 160 hasta que el tiempo transcurrido desde el comienzo de la cuarta etapa 140 alcanza un umbral temporal de bloqueo T_{OFF} predeterminado.

[0086] El umbral temporal de bloqueo T_{OFF} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 3 μ s y 20 μ s.

55

[0087] El valor absoluto del sexto valor de referencia I_{c6} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre 0,2 A y 20 A.

60 **[0088]** Se concibe entonces que, durante la implementación de la fase de conmutación a bloqueo, cada valor de referencia I_{c4} a I_{c6} se elige en un conjunto de valores de referencia predeterminados. Estos valores se predeterminan antes de la implementación del procedimiento de control 100.

[0089] Por otro lado, los valores de referencia I_{c4} a I_{c6} son diferentes entre sí.

65 **[0090]** En el ejemplo descrito, los valores de referencia I_{c4} a I_{c6} son negativos de modo que el sexto valor de

referencia I_{c6} es inferior al quinto valor de referencia I_{c5} y superior al cuarto valor de referencia I_{c4} .

- [0091]** La figura 5 ilustra el comportamiento de la corriente principal I_c , de la tensión V_{GE} entre la rejilla G y el emisor E, de la derivada temporal dI_c/dt de la corriente principal I_c y de la corriente de referencia I_G a la rejilla G en un ejemplo de la implementación de las etapas 140 a 160 de la fase de conmutación a bloqueo.
- [0092]** Como complemento, la fase de conmutación a activación comprende una etapa de detección 170 de un cortocircuito en el circuito eléctrico 10. Esta etapa 170 se implementa en paralelo a las etapas 110 a 135.
- 10 **[0093]** En particular, esta etapa de detección 170 comprende varias subetapas cuyo organigrama se ilustra en la figura 6.
- [0094]** Durante una subetapa 171, el dispositivo de control 20 observa el signo de la derivada temporal dI_c/dt de la corriente principal I_c en una ventana temporal de observación T_{obs} .
- 15 **[0095]** El comienzo de la ventana temporal de observación T_{obs} corresponde al comienzo de la fase de conmutación a activación.
- [0096]** Si la derivada temporal dI_c/dt de la corriente principal I_c es positiva durante un periodo de prueba T_t predeterminado, el dispositivo 20 detecta la presencia de un cortocircuito durante una subetapa 172. En caso contrario, el dispositivo de control 20 deduce que un cortocircuito no puede tener lugar.
- 20 **[0097]** Ventajosamente, la etapa 170 comprende además una subetapa 173 durante la cual el dispositivo 20 confirma la presencia del cortocircuito detectado.
- 25 **[0098]** En particular, durante esta subetapa 173, el dispositivo de control 20 confirma la presencia del cortocircuito cuando la derivada temporal dI_c/dt de la corriente principal I_c sigue siendo superior o igual a cero durante un periodo complementario que sigue al periodo de prueba T_t . En caso contrario, el dispositivo de control 20 deduce que el cortocircuito no ha tenido lugar.
- 30 **[0099]** El periodo complementario comienza al final del periodo de prueba T_t y termina por ejemplo con la ventana temporal de observación T_{obs} .
- [0100]** Cuando un cortocircuito ha sido detectado, el dispositivo de control 20 indica entonces un cortocircuito y mantiene el transistor 14 en el estado bloqueado al menos durante un periodo de bloqueo predeterminado.
- 35 **[0101]** El periodo de prueba T_t es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100 por ejemplo entre $1 \mu s$ y $10 \mu s$.
- 40 **[0102]** La longitud de la ventana de observación T_{obs} es configurable por el dispositivo de control 20 y ajustable previamente a la implementación del procedimiento 100, por ejemplo entre $1 \mu s$ y $20 \mu s$.
- [0103]** El periodo de prueba T_t y el periodo complementario están comprendidos en la ventana de observación T_{obs} .
- 45 **[0104]** La figura 7 ilustra el comportamiento de la corriente principal I_c y de la derivada temporal dI_c/dt de la corriente principal I_c en dos ejemplos de la implementación de la fase de conmutación a activación.
- [0105]** En el primer ejemplo que corresponde a las líneas continuas de las curvas I_c y dI_c/dt , no se produce ningún cortocircuito. En este caso, la derivada dI_c/dt ha cambiado el signo durante el periodo de prueba T_t y el dispositivo de control 20 no ha detectado, por lo tanto, ningún cortocircuito.
- 50 **[0106]** En el segundo ejemplo que corresponde a las líneas discontinuas de las curvas I_c y dI_c/dt , ha aparecido un cortocircuito. En este caso, la derivada dI_c/dt ha sido positiva durante el periodo de prueba T_t e igual a cero fuera de este periodo. El dispositivo de control 20 ha detectado, por lo tanto, un cortocircuito.
- 55 **[0107]** Se concibe entonces que la presente invención presenta cierto número de ventajas.
- [0108]** El procedimiento de control según la invención utiliza únicamente medidas de la tensión V_{GE} entre la rejilla G y el emisor E, y el signo de la derivada dI_c/dt de la corriente principal I_c para controlar las diferentes etapas intermedias durante la conmutación del transistor entre el estado bloqueado y el estado conductor.
- 60 **[0109]** Cabe destacar que ninguna medida del valor de la corriente principal I_c ni el de su derivada dI_c/dt es necesaria para implementar el procedimiento. De este modo, solamente el signo de la derivada dI_c/dt es importante para el control del transistor, lo que permite simplificar las exigencias impuestas a diferentes medios de medida en el
- 65

circuito eléctrico.

[0110] Esto simplifica entonces considerablemente la estructura del circuito eléctrico que integra el transistor.

5 **[0111]** Además, el signo de la derivada di_c/dt de la corriente principal I_C se utiliza como medio de ajuste para limitar la sobretensión en el bloqueo del componente de potencia.

[0112] De este modo, no es necesario ningún circuito de contrarreacción y en particular, ningún circuito vinculado a la tensión en los bornes del componente de potencia para limitar la sobretensión en el bloqueo. Esto
10 constituye entonces una ventaja particular de la invención.

REIVINDICACIONES

1. Procedimiento de control (100) de un transistor (14) del tipo IGBT, constando el transistor (14) de una rejilla (G), un colector (C) y un emisor (E), y que define un estado conductor en el que una corriente principal (I_c) fluye entre el colector (C) y el emisor (E) y un estado bloqueado en el que el colector (C) está aislado eléctricamente del emisor (E);
 5 constando el procedimiento (100) de una fase de conmutación entre el estado conductor y el estado bloqueado que comprende la generación de una corriente de referencia cuya intensidad en la rejilla del transistor (14) asume valores de referencia (I_{c1}, \dots, I_{c6}) diferentes, eligiéndose al menos ciertos de los valores de referencia (I_{c1}, \dots, I_{c6}) en función del
 10 signo de la derivada temporal (dI_c/dt) de la corriente principal (I_c), eligiéndose cada valor de referencia (I_{c1}, \dots, I_{c6}) en un conjunto de valores de referencia (I_{c1}, \dots, I_{c6}) predeterminados.
2. Procedimiento (100) según la reivindicación 1, en el que la fase de conmutación comprende además la medida de la tensión (V_{GE}) de la corriente eléctrica entre la rejilla (G) y el emisor (E) y la comparación de esta tensión
 15 con al menos un umbral de tensión (V_{ON}, V_{OFF}) predeterminado.
3. Procedimiento (100) según la reivindicación 2, en el que al menos un valor de referencia (I_{c1}, \dots, I_{c6}) se elige cuando dicha tensión (V_{GE}) entre la rejilla (G) y el emisor (E) alcanza el umbral de tensión (V_{ON}, V_{OFF})
 20 predeterminado.
4. Procedimiento (100) según cualquiera de las reivindicaciones anteriores, en el que al menos un valor de referencia (I_{c1}, \dots, I_{c6}) se elige en función del tiempo transcurrido a partir del momento en que se ha elegido un valor de referencia (I_{c1}, \dots, I_{c6}) anterior.
- 25 5. Procedimiento (100) según cualquiera de las reivindicaciones anteriores, en el que la fase de conmutación es una fase de conmutación a activación que consiste en conmutar el transistor (14) del estado bloqueado al estado conductor o es una fase de conmutación a bloqueo que consiste en conmutar el transistor (14) del estado conductor al estado bloqueado.
- 30 6. Procedimiento (100) según la reivindicación 5, en el que la fase de conmutación a activación comprende las etapas siguientes implementadas de manera consecutiva:
- etapa preliminar (101) de activación que consiste en recibir una orden de conmutación del transistor (14) del estado bloqueado al estado conductor;
 - 35 - primera etapa de conmutación (110) que consiste en generar la corriente de referencia de intensidad igual a un primer valor de referencia (I_{c1}) hasta que la tensión de la corriente eléctrica (V_{GE}) entre la rejilla (G) y el emisor (E) alcanza un umbral de tensión de activación (V_{ON}) predeterminado, o la derivada temporal (dI_c/dt) de la corriente principal (I_c) se vuelve positiva, o el tiempo transcurrido desde el comienzo de la primera etapa de conmutación (110) alcanza un primer umbral temporal (T_1) predeterminado;
 - 40 - segunda etapa de conmutación (120) que consiste en generar la corriente de referencia de intensidad igual a un segundo valor de referencia (I_{c2}) hasta que la derivada temporal (dI_c/dt) de la corriente principal (I_c) se vuelve negativa, o el tiempo transcurrido desde el comienzo de la segunda etapa de conmutación (120) alcanza un segundo umbral temporal (T_2) predeterminado; y
 - tercera etapa de conmutación (130) que consiste en generar la corriente de referencia de intensidad igual a un tercer
 45 valor de referencia (I_{c3}) hasta que el tiempo transcurrido desde el comienzo de la primera etapa de conmutación (110) alcanza un umbral temporal de activación (T_{ON}) predeterminado.
7. Procedimiento (100) según la reivindicación 5 o 6, en el que la fase de conmutación a bloqueo comprende las etapas siguientes implementadas de manera consecutiva:
 50
- etapa preliminar (139) de bloqueo que consiste en recibir una orden de conmutación del transistor del estado conductor al estado bloqueado;
 - cuarta etapa de conmutación (140) que consiste en generar la corriente de referencia de intensidad igual a un cuarto valor de referencia (I_{c4}) hasta que la tensión (V_{GE}) de la corriente eléctrica entre la rejilla (G) y el emisor (E) alcanza un
 55 umbral de tensión de bloqueo (V_{OFF}) predeterminado, o la derivada temporal (dI_c/dt) de la corriente principal (I_c) se vuelve negativa, o el tiempo transcurrido desde el comienzo de la cuarta etapa de conmutación (140) alcanza un cuarto umbral temporal (T_4) predeterminado;
 - quinta etapa de conmutación (150) que consiste en generar la corriente de referencia de intensidad igual a un quinto valor de referencia (I_{c5}) hasta que el tiempo transcurrido desde el comienzo de la quinta etapa de conmutación (150)
 60 alcanza un quinto umbral temporal (T_5) predeterminado; y
 - sexta etapa de conmutación (160) que consiste en generar la corriente de referencia de intensidad igual a un sexto valor de referencia (I_{c6}) hasta que el tiempo transcurrido desde el comienzo de la cuarta etapa de conmutación (140) alcanza un umbral temporal de bloqueo (T_{OFF}) predeterminado.
- 65 8. Procedimiento (100) según cualquiera de las reivindicaciones 5 a 7, en el que la fase de conmutación a

activación comprende además una etapa (170) de detección de un cortocircuito que comprende la detección de un cortocircuito en función del signo de la derivada temporal (di_c/dt) de la corriente principal (I_c) en una ventana temporal de observación de longitud (T_{obs}) predeterminada.

- 5 9. Procedimiento según cualquiera de las reivindicaciones 5 a 8, en el que el procedimiento consta al menos de dos fases de conmutación entre el estado conductor y el estado bloqueado, que son la fase de conmutación a activación y la fase de conmutación a bloqueo.
10. Dispositivo de control (20) de un transistor (14) del tipo IGBT, constanding el transistor (14) de una rejilla (G), un colector (C) y un emisor (E), y definiendo un estado conductor en el que una corriente principal (I_c) fluye entre el colector (C) y el emisor (E) y un estado bloqueado en el que el colector (C) está aislado eléctricamente del emisor (E);
siendo el dispositivo capaz de generar una corriente de referencia cuya intensidad en la rejilla del transistor (14) asume valores de referencia (I_{c1}, \dots, I_{c6}) diferentes, eligiéndose al menos ciertos de los valores de referencia (I_{c1}, \dots, I_{c6}) en función del signo de la derivada temporal (di_c/dt) de la corriente principal (I_c), eligiéndose cada valor de referencia (I_{c1}, \dots, I_{c6}) en un conjunto de valores de referencia (I_{c1}, \dots, I_{c6}) predeterminados.
- 15

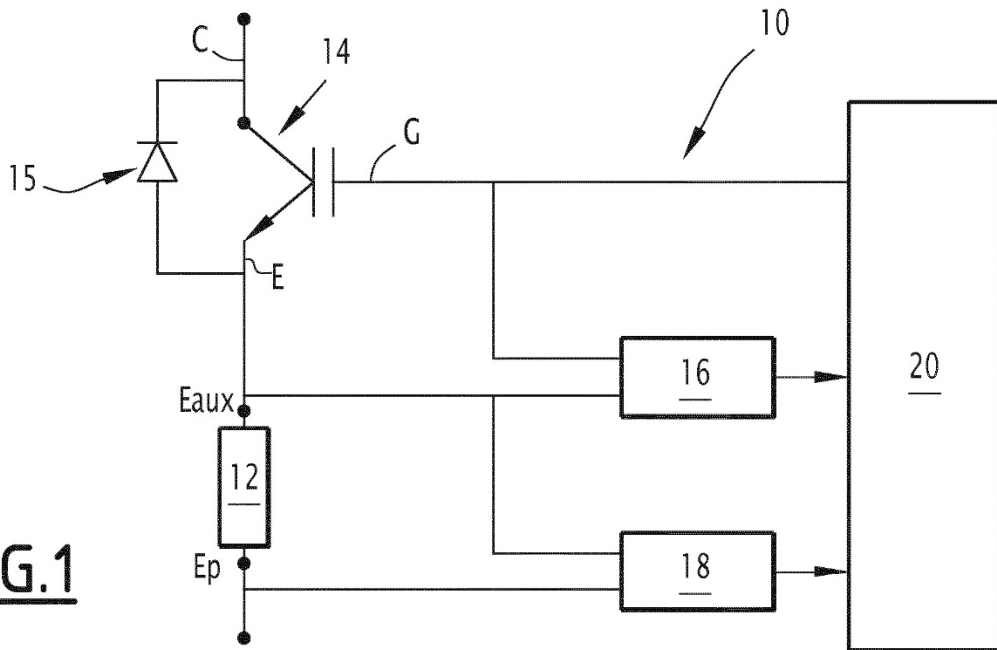


FIG.1

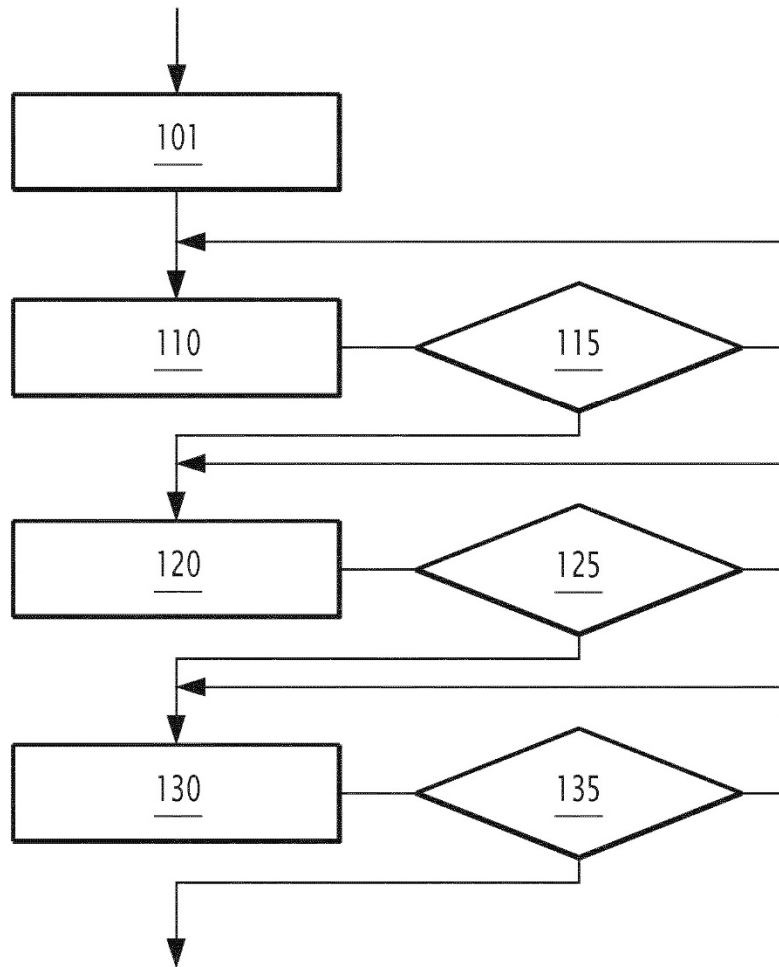


FIG.2

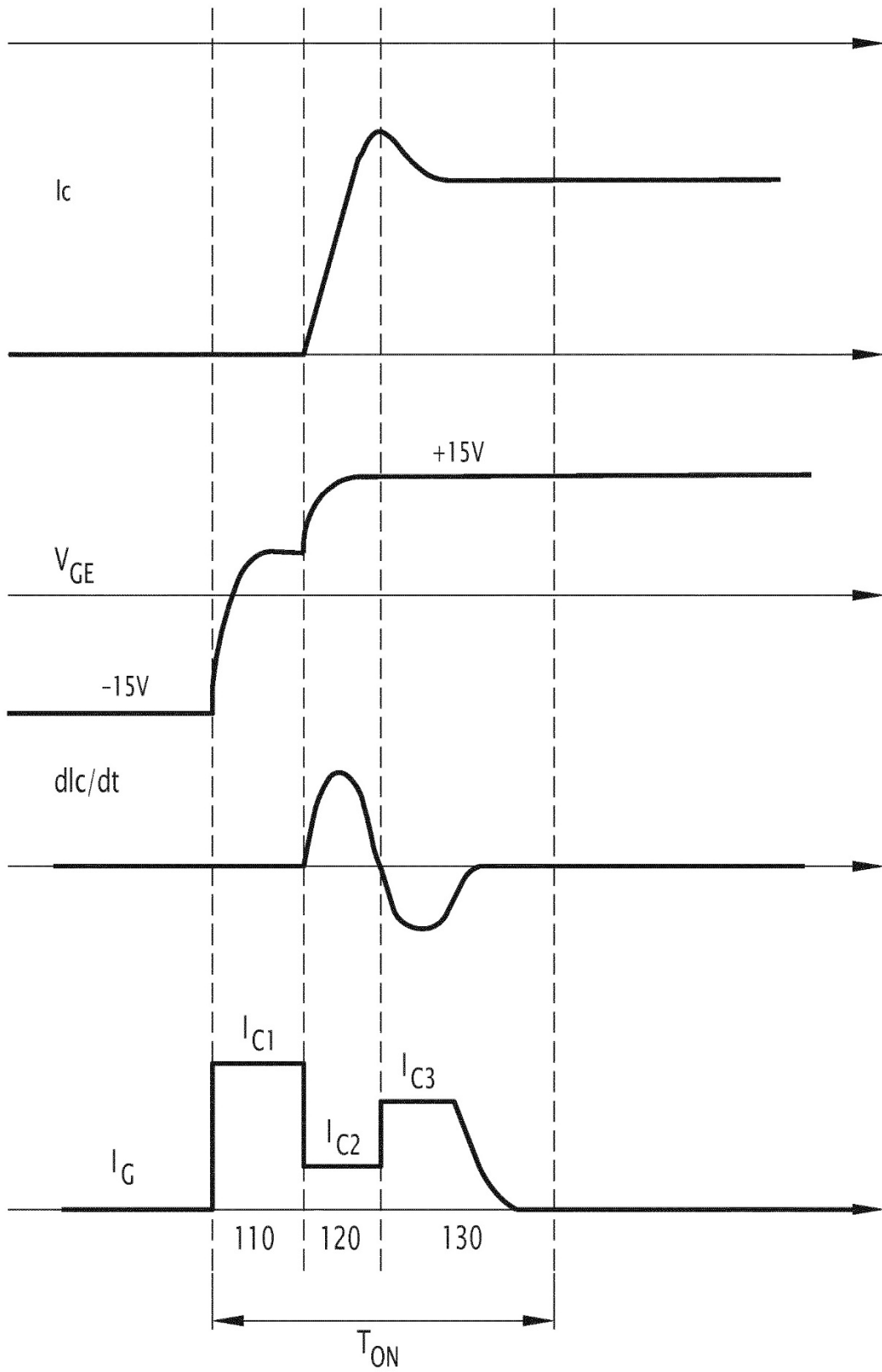


FIG.3

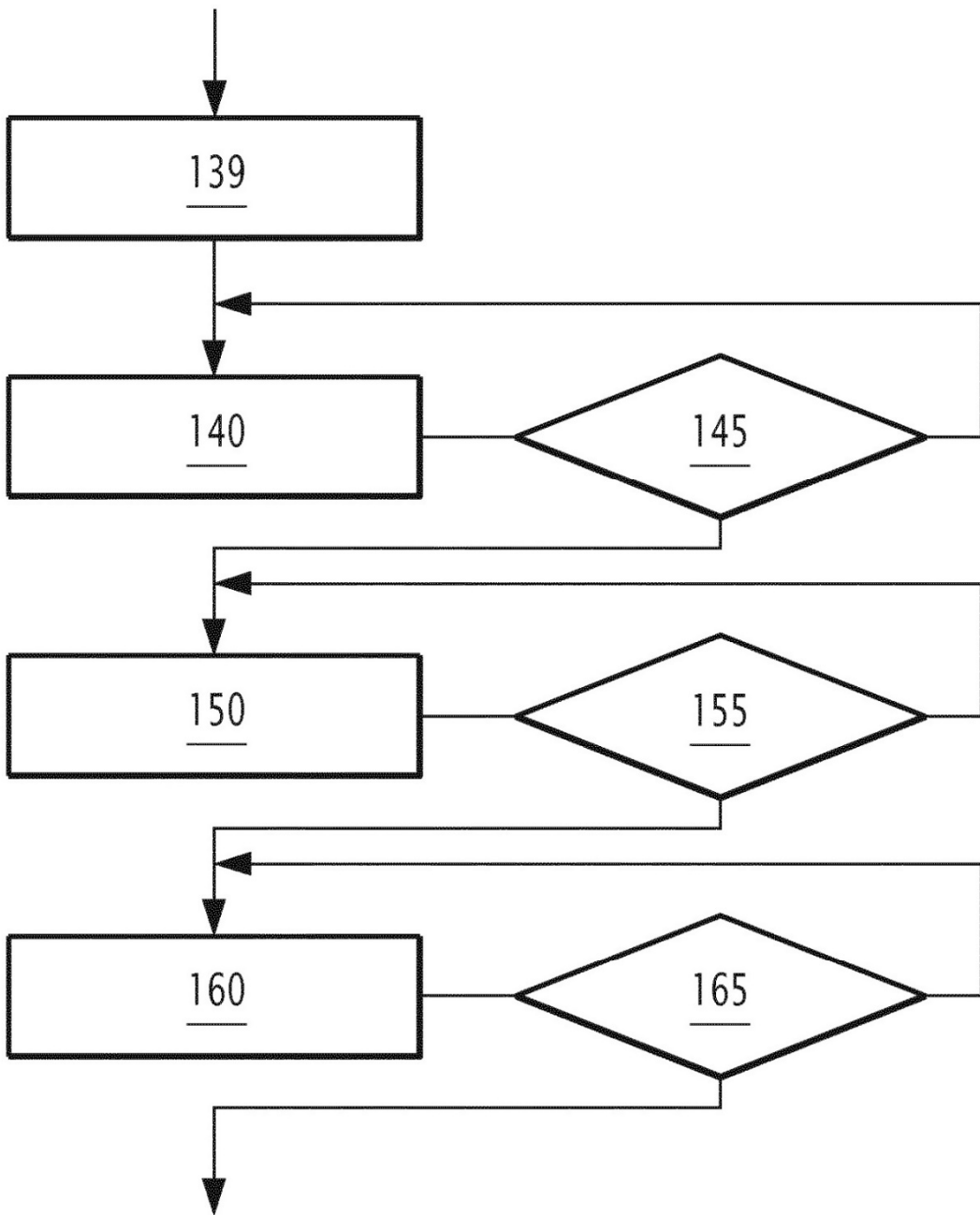


FIG.4

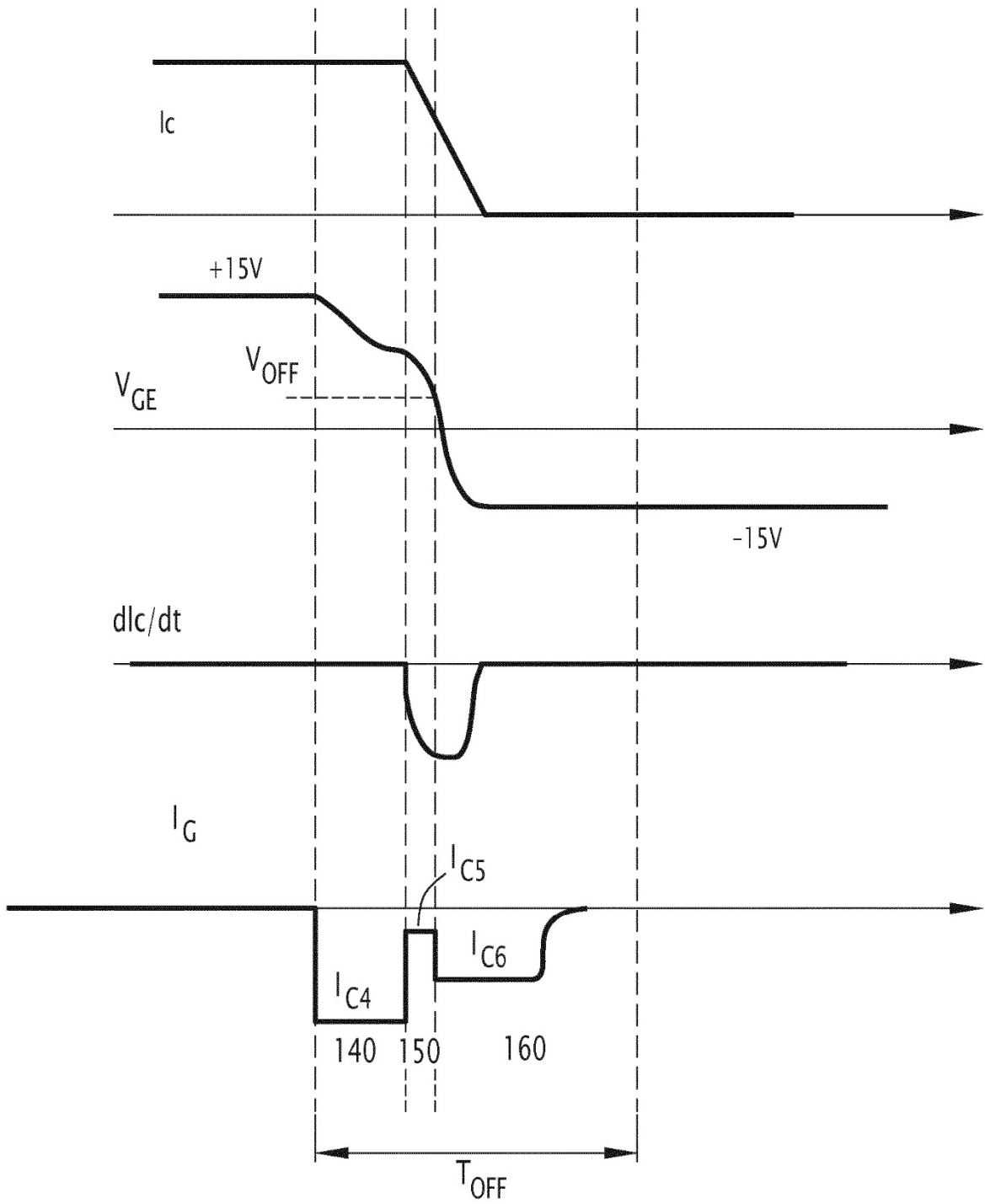


FIG.5

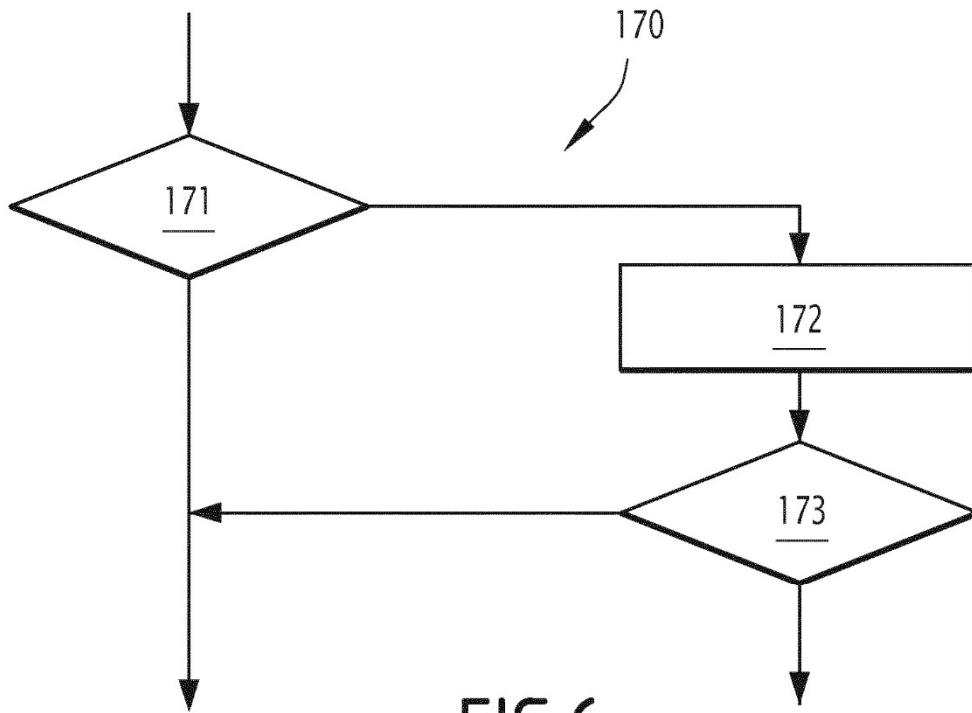


FIG.6

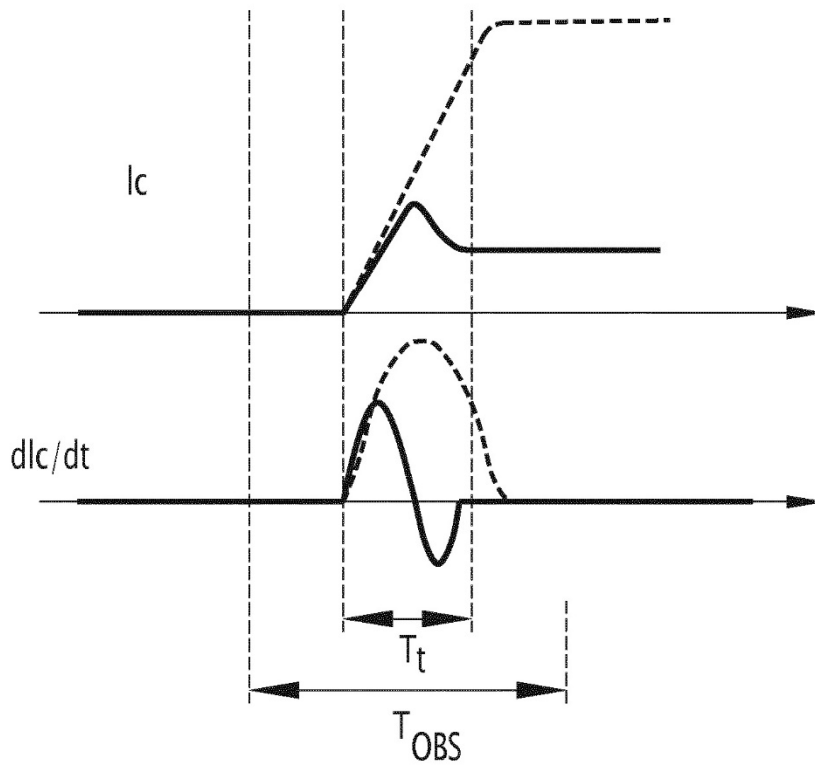


FIG.7