

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 755 030**

51 Int. Cl.:

H03F 1/22	(2006.01)
H03F 3/193	(2006.01)
H03F 3/68	(2006.01)
H03F 3/72	(2006.01)
H03G 3/20	(2006.01)
H04L 27/26	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **24.05.2013 PCT/US2013/042726**

87 Fecha y número de publicación internacional: **28.11.2013 WO13177555**

96 Fecha de presentación y número de la solicitud europea: **24.05.2013 E 13728878 (3)**

97 Fecha y número de publicación de la concesión europea: **11.09.2019 EP 2856639**

54 Título: **Amplificadores de bajo ruido para agregación de portadoras**

30 Prioridad:

25.05.2012 US 201261652064 P
21.08.2012 US 201213590423

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
21.04.2020

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US

72 Inventor/es:

TASIC, ALEKSANDAR MIODRAG y
DAVIERWALLA, ANOSH BOMI

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 755 030 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Amplificadores de bajo ruido para agregación de portadoras

5 **ANTECEDENTES**

I. Campo

10 **[0001]** La presente divulgación se refiere en general a electrónica, y más específicamente, a amplificadores de bajo ruido (LNA).

II. Antecedentes

15 **[0002]** Un dispositivo inalámbrico (por ejemplo, un teléfono celular o un teléfono inteligente) en un sistema de comunicación inalámbrica puede transmitir y recibir datos para la comunicación bidireccional. El dispositivo inalámbrico puede incluir un transmisor para la transmisión de datos y un receptor para la recepción de datos. Para la transmisión de datos, el transmisor puede modular una señal portadora de radiofrecuencia (RF) con datos para obtener una señal de RF modulada, amplificar la señal de RF modulada para obtener una señal de RF amplificada que tenga el nivel de potencia de salida adecuado y transmitir la señal RF amplificada a través de una antena a una estación base. Para la recepción de datos, el receptor puede obtener una señal de RF recibida a través de la antena y puede amplificar y procesar la señal de RF recibida para recuperar los datos enviados por la estación base.

20 **[0003]** Un dispositivo inalámbrico puede soportar agregación de portadoras, que es el funcionamiento simultáneo en múltiples portadoras. Una portadora se puede referir a un intervalo de frecuencias usadas para la comunicación y se puede asociar a ciertas características. Por ejemplo, una portadora puede estar asociada a información del sistema que describe el funcionamiento en la portadora. También se puede hacer referencia a una portadora como una portadora de componentes (CC), un canal de frecuencia, una célula, etc. Es deseable soportar de forma eficiente agregación de portadoras mediante el dispositivo inalámbrico. Los extremos frontales del receptor de RF de la técnica anterior son conocidos por los documentos US2012/056681, US2011/217945, US2005/265084 y US2008/116976.

30 **BREVE DESCRIPCIÓN DE LOS DIBUJOS**

[0004]

35 La FIG. 1 muestra un dispositivo inalámbrico que se comunica con un sistema inalámbrico.
 Las FIGS. 2A a 2D muestran cuatro ejemplos de agregación de portadoras (CA).
 La FIG. 3 muestra un diagrama de bloques del dispositivo inalámbrico en la FIG. 1.
 40 Las FIGS. 4A y 4B muestran un receptor que soporta CA dentro de banda.
 Las FIGS. 5A y 5B muestran un receptor que soporta CA dentro de banda y CA entre bandas.
 45 Las FIGS. 6A a 6C muestran un LNA con degeneración inductiva y apagado de cascode.
 La FIG. 7 muestra un LNA con degeneración inductiva, apagado de cascode y retroalimentación resistiva.
 La FIG. 8A muestra un LNA con un circuito de atenuación de entrada separado para cada etapa del amplificador.
 50 La FIG. 8B muestra un LNA con un circuito de atenuación de entrada compartido para dos etapas de amplificador.
 La FIG. 9 muestra un LNA con un circuito de coincidencia de entrada sintonizable.
 55 Las FIGS. 10 a 11C muestran varios diseños a modo de ejemplo de un LNA de entradas múltiples y salidas múltiples (MIMO).
 Las FIGS. 12A a 12F muestran seis diseños a modo de ejemplo de un circuito de coincidencia de entrada sintonizable.
 60 La FIG. 13 muestra un proceso para recibir señales en un sistema inalámbrico.

DESCRIPCIÓN DETALLADA

65 **[0005]** La descripción detallada que se expone a continuación está concebida como una descripción de diseños a modo de ejemplo de la presente divulgación y no está concebida para representar los únicos diseños en los que se

puede poner en práctica la presente divulgación. El término "a modo de ejemplo" se usa en el presente documento en el sentido de "que sirve de ejemplo, caso o ilustración". No ha de interpretarse necesariamente que cualquier diseño "a modo de ejemplo" descrito en el presente documento es preferente o ventajoso con respecto a otros diseños. La descripción detallada incluye detalles específicos a fin de proporcionar una plena comprensión de los diseños a modo de ejemplo de la presente divulgación. Resultará evidente para los expertos en la técnica que los diseños a modo de ejemplo descritos en el presente documento pueden llevarse a la práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y dispositivos bien conocidos en forma de diagrama de bloques a fin de evitar oscurecer la novedad de los diseños a modo de ejemplo presentados en el presente documento.

[0006] Los LNA que soportan la agregación de portadoras se describen en el presente documento. Estos LNA pueden tener un mejor rendimiento y pueden usarse para varios tipos de dispositivos electrónicos, como dispositivos de comunicación inalámbrica.

[0007] La FIG. 1 muestra un dispositivo inalámbrico 110 que se comunica con un sistema de comunicación inalámbrica 120. El sistema inalámbrico 120 puede ser un sistema de Evolución a Largo Plazo (LTE), un sistema de Acceso Múltiple por División de Código (CDMA), un Sistema global para comunicaciones móviles (GSM), un sistema de Red inalámbrica de área local (WLAN), o algún otro sistema inalámbrico. Un sistema CDMA puede implementar CDMA de banda amplia (WCDMA), cdma2000 o alguna otra versión de CDMA. Para simplificar, la FIG. 1 muestra un sistema inalámbrico 120 que incluye dos estaciones base 130 y 132 y un controlador de sistema 140. En general, un sistema inalámbrico puede incluir cualquier número de estaciones base y cualquier conjunto de entidades de red.

[0008] El dispositivo inalámbrico 110 también puede denominarse un equipo de usuario (UE), una estación móvil, un terminal, un terminal de acceso, una unidad de abonado, una estación, etc. El dispositivo inalámbrico 110 puede ser un teléfono móvil, un teléfono inteligente, una tablet, un módem inalámbrico, un asistente digital personal (PDA), un dispositivo portátil, un ordenador portátil, un smartbook, un netbook, un teléfono inalámbrico, una estación de bucle local inalámbrico (WLL), un dispositivo Bluetooth, etc. El dispositivo 110 puede ser capaz de comunicarse con el sistema inalámbrico 120. El dispositivo inalámbrico 110 también puede ser capaz de recibir señales de estaciones de radiodifusión (por ejemplo, una estación de radiodifusión 134), señales de satélites (por ejemplo, un satélite 150) en uno o más sistemas globales de navegación por satélite (GNSS), etc. El dispositivo inalámbrico 110 puede soportar una o más tecnologías de radio para la comunicación inalámbrica tales como LTE, cdma2000, WCDMA, GSM, 802.11, etc.

[0009] El dispositivo inalámbrico 110 puede soportar agregación de portadoras, que es el funcionamiento en múltiples portadoras. La agregación de portadoras también se puede denominar funcionamiento en múltiples portadoras. El dispositivo inalámbrico 110 puede funcionar en banda baja de 698 a 960 megahercios (MHz), banda media de 1475 a 2170 MHz y/o banda alta de 2300 a 2690 y 3400 a 3800 MHz. La banda baja, la banda media y la banda alta se refieren a tres grupos de bandas, incluyendo cada grupo de bandas varias bandas de frecuencias (o simplemente "bandas"). Cada banda puede cubrir hasta 200 MHz y puede incluir una o más portadoras. Cada portadora puede cubrir hasta 20 MHz en LTE. La versión 11 de LTE soporta 35 bandas, que se denominan bandas LTE/UMTS y se enumeran en 3GPP TS 36.101. El dispositivo inalámbrico 110 puede estar configurado con hasta 5 portadoras en una o dos bandas en la versión 11 de LTE.

[0010] En general, la agregación de portadoras (CA) puede clasificarse en dos tipos: CA dentro de banda y CA entre bandas. La CA dentro de banda se refiere al funcionamiento en múltiples portadoras dentro de la misma banda. La CA entre bandas se refiere al funcionamiento en múltiples portadoras en bandas diferentes.

[0011] La FIG. 2A muestra un ejemplo de CA dentro de banda contigua. En el ejemplo mostrado en la FIG. 2A, el dispositivo inalámbrico 110 está configurado con cuatro portadoras contiguas en la misma banda, que es una banda en banda baja. El dispositivo inalámbrico 110 puede recibir transmisiones en múltiples portadoras contiguas en la misma banda.

[0012] La FIG. 2B muestra un ejemplo de CA dentro de banda no contigua. En el ejemplo mostrado en la FIG. 2B, el dispositivo inalámbrico 110 está configurado con cuatro portadoras no contiguas en la misma banda, que es una banda en banda baja. Las portadoras pueden estar separadas 5 MHz, 10 MHz, o alguna otra cantidad. El dispositivo inalámbrico 110 puede recibir transmisiones en múltiples portadoras no contiguas en la misma banda.

[0013] La FIG. 2C muestra un ejemplo de CA entre bandas en el mismo grupo de bandas. En el ejemplo mostrado en la FIG. 2C, el dispositivo inalámbrico 110 está configurado con cuatro portadoras en dos bandas en el mismo grupo de bandas, que es de banda baja. El dispositivo inalámbrico 110 puede recibir transmisiones en múltiples portadoras en diferentes bandas en el mismo grupo de bandas (por ejemplo, banda baja en la FIG. 2C).

[0014] La FIG. 2D muestra un ejemplo de CA entre bandas en diferentes grupos de bandas. En el ejemplo mostrado en la FIG. 2D, el dispositivo inalámbrico 110 está configurado con cuatro portadoras en dos bandas en diferentes grupos de bandas, que incluyen dos portadoras en una banda en la banda baja y dos portadoras adicionales en otra banda en la banda media. El dispositivo inalámbrico 110 puede recibir transmisiones en múltiples portadoras en diferentes bandas en diferentes grupos de bandas (por ejemplo, banda baja y banda media en la FIG. 2D).

[0015] Las FIGS. 2A a 2D muestran cuatro ejemplos de agregación de portadoras. La agregación de portadoras también se puede soportar para otras combinaciones de bandas y grupos de bandas. Por ejemplo, la agregación de portadoras puede soportarse para banda baja y banda alta, banda media y banda alta, banda alta y banda alta, etc.

[0016] La FIG. 3 muestra un diagrama de bloques de un diseño a modo de ejemplo del dispositivo inalámbrico 110 en la FIG. 1. En este diseño a modo de ejemplo, el dispositivo inalámbrico 110 incluye un transceptor 320 acoplado a una antena principal 310, receptores 322 acoplados a una antena secundaria 312, y un procesador/controlador de datos 380. El transceptor 320 incluye múltiples (K) receptores 330aa a 330ak y múltiples (K) transmisores 360a a 360k para soportar múltiples bandas, agregación de portadoras, múltiples tecnologías de radio, etc. Los receptores 322 incluyen múltiples (M) receptores 330ba a 330bm para soportar múltiples bandas, agregación de portadoras, múltiples tecnologías de radio, diversidad de recepción, transmisión MIMO, etc.

[0017] En el diseño a modo de ejemplo mostrado en la FIG. 3, cada receptor 330 incluye circuitos de entrada 332, un LNA 340 y circuitos de recepción 342. Para la recepción de datos, la antena 310 recibe señales de estaciones base y/u otras estaciones transmisoras y proporciona una señal RF recibida, que se enruta a través de conmutadores/duplexores 324 y se proporciona a un receptor seleccionado. La siguiente descripción supone que el receptor 330aa es el receptor seleccionado. Dentro del receptor 330aa, la señal de RF recibida se pasa a través de los circuitos de entrada 332aa, lo cual proporciona una señal RF de entrada a un LNA 340aa. Los circuitos de entrada 332aa pueden incluir un circuito de coincidencia, un filtro de recepción, etc. El LNA 340aa amplifica la señal de RF de entrada y proporciona una señal de RF de salida. Los circuitos de recepción 342aa amplifican, filtran y convierten de forma descendente la señal de RF de salida desde RF a banda base y proporcionan una señal de entrada analógica al procesador de datos 380. Los circuitos de recepción 332aa pueden incluir mezcladores, un filtro, un amplificador, un circuito de coincidencia, un oscilador, un generador de oscilador local (LO), un bucle de fase bloqueada (PLL), etc. Cada receptor 330 restante en el transceptor 320 y cada receptor 330 en los receptores 322 puede operar de manera similar que el receptor 330aa en el transceptor 320.

[0018] En el diseño a modo de ejemplo mostrado en la FIG. 3, cada transmisor 360 incluye circuitos de transmisión 362, un amplificador de potencia (PA) 364 y circuitos de salida 366. Para la transmisión de datos, el procesador de datos 380 procesa (por ejemplo, codifica y modula) los datos a transmitir y proporciona una señal de salida analógica a un transmisor seleccionado. La siguiente descripción asume que el transmisor 360a es el transmisor seleccionado. Dentro del transmisor 360a, los circuitos de transmisión 362a amplifican, filtran y convierten de forma ascendente la señal de salida analógica de la banda base a RF y proporcionan una señal de RF modulada. Los circuitos de transmisión 362a pueden incluir mezcladores, un amplificador, un filtro, un circuito de coincidencia, un oscilador, un generador de LO, un PLL, etc. Un PA 364a recibe y amplifica la señal de RF modulada y proporciona una señal de RF amplificada que tiene el nivel de potencia de salida adecuado. La señal de RF amplificada se pasa a través de los circuitos de salida 366a, se enruta a través de los conmutadores/duplexores 324 y se transmite a través de la antena 310. Los circuitos de salida 366a pueden incluir un circuito de coincidencia, un filtro de transmisión, un acoplador direccional, etc.

[0019] La FIG. 3 muestra un diseño a modo de ejemplo de receptores 330 y transmisores 360. Un receptor y un transmisor también pueden incluir otros circuitos no mostrados en la FIG. 3, tales como filtros, circuitos de coincidencia, etc. Todo o parte del transceptor 320 y los receptores 322 pueden implementarse en uno o más circuitos integrados (CI) analógicos, CI de RF (RFIC), CI de señal mixta, etc. Por ejemplo, los LNA 340, los circuitos de recepción 342, y los circuitos de transmisión 362 pueden implementarse en un módulo, que puede ser un RFIC, etc. Los conmutadores/duplexores 324, los conmutadores/filtros 326, los circuitos de entrada 332, los circuitos de salida 366 y los PA 364 pueden implementarse en otro módulo, que puede ser un módulo híbrido, etc. Los circuitos en los receptores 330 y los transmisores 360 también pueden implementarse de otras maneras.

[0020] El procesador/controlador de datos 380 puede realizar diversas funciones para el dispositivo inalámbrico 110. Por ejemplo, el procesador de datos 380 puede realizar el procesamiento de los datos recibidos a través de los receptores 330 y los datos transmitidos a través de los transmisores 360. El controlador 380 puede controlar la operación de los conmutadores/duplexores 324, los conmutadores/filtros 326, los circuitos de entrada 332, los LNA 340, los circuitos de recepción 342, los circuitos de transmisión 362, los PA 364, los circuitos de salida 366, o una combinación de los mismos. Una memoria 382 puede almacenar códigos de programa y datos para el procesador/controlador de datos 380. El procesador/controlador de datos 380 se puede implementar en uno o más circuitos integrados específicos de la aplicación (ASIC) y/u otros CI.

[0021] El dispositivo inalámbrico 110 puede recibir múltiples transmisiones desde una o más células/estaciones base en múltiples portadoras a diferentes frecuencias para la agregación de portadoras. Para CA dentro de banda, las transmisiones múltiples se envían en múltiples portadoras en la misma banda. Para CA entre bandas, las transmisiones múltiples se envían en múltiples portadoras en diferentes bandas.

[0022] La FIG. 4A muestra un diagrama de bloques de un diseño a modo de ejemplo de un receptor 400 que incluye un CA LNA 440 que no soporta CA y CA dentro de banda. CA LNA 440 puede usarse para uno o más LNAs 340 dentro del dispositivo inalámbrico 110 en la FIG. 3.

- 5 **[0023]** En el receptor 400, una antena 410 recibe transmisiones en múltiples portadoras en la misma banda y proporciona una señal de RF recibida. La señal de RF recibida se encamina a través de conmutadores/duplexores 424 y se proporciona como una señal de entrada del receptor, RXin, a un circuito de coincidencia de entrada 432. El circuito de coincidencia 432 realiza la coincidencia de potencia y/o coincidencia de impedancia entre CA LNA 440 y los conmutadores/duplexores 424 o la antena 410 para una o más bandas de interés. El circuito de coincidencia 432, que puede ser parte de uno de los circuitos de entrada 332 en la FIG. 3, proporciona una señal de entrada de RF, RFin, a CA LNA 440.
- 10 **[0024]** CA LNA 440 recibe la señal de RF de entrada del circuito de coincidencia 432, amplifica la señal de RF de entrada y proporciona hasta M señales de RF de salida, RFout1 a RF out M, a través de hasta M LNA salidas, donde $M > 1$. M circuitos de carga 490a a 490m están acoplados a las salidas M LNA. Cada circuito de carga 490 puede incluir uno o más inductores, condensadores, transistores, mezcladores, etc. Cada circuito de carga 490 puede ser parte de uno de los circuitos de recepción 342 en la FIG. 3. Cada señal de RF de salida puede proporcionarse a uno o más mezcladores dentro de un circuito de carga 490 y puede ser convertida a la baja por el (los) mezclador(es) asociado(s) de modo que las transmisiones en uno o más portadoras de interés se conviertan de forma descendente en frecuencia de RF a banda base.
- 15 **[0025]** Un CA LNA, tal como CA LNA 440 en la FIG. 4A, puede funcionar en un modo que no sea CA o un modo CA en cualquier momento dado. En el modo sin CA, el CA LNA opera en una configuración de 1 entrada y 1 salida (1x1), recibe una señal de RF de entrada que comprende una o más transmisiones en un conjunto de portadoras y proporciona una señal de RF de salida a un circuito de carga. En el modo CA, el CA LNA funciona en una configuración 1 x M, recibe una señal de RF de entrada que comprende múltiples transmisiones en M conjuntos de portadoras, y proporciona M señales de RF de salida a M circuitos de carga, una señal de RF de salida para cada conjunto de portadoras, donde $M > 1$. Cada conjunto de portadoras puede incluir una o más portadoras en una banda.
- 20 **[0026]** La FIG. 4B muestra un diagrama esquemático de un diseño a modo de ejemplo de un CA LNA 440x que no soporta CA ni CA dentro de banda en dos conjuntos de portadoras en la misma banda. CA LNA 440x es un diseño a modo de ejemplo de CA LNA 440 en la FIG. 4A. En el diseño a modo de ejemplo mostrado en la FIG. 4B, CA LNA 440x recibe una señal de RF de entrada del circuito de coincidencia de entrada 432 y proporciona hasta dos señales de RF de salida, RFout1 y RFout2, para hasta dos conjuntos de portadoras. La primera señal de RF de salida se proporciona a un circuito de carga 490x, y la segunda señal de RF de salida se proporciona a un circuito de carga 490y.
- 25 **[0027]** En el diseño a modo de ejemplo mostrado en la FIG. 4B, el circuito de carga 490x incluye dos mezcladores 492a y 492b acoplados a dos filtros de banda base 494a y 494b, respectivamente. Los mezcladores 492a y 492b implementan un convertidor descendente en cuadratura para un primer conjunto de portadoras. El mezclador 492a recibe la primera señal de RF de salida de CA LNA 440x y una señal de LO en fase, ILO1, a una primera frecuencia de mezcla para el primer conjunto de portadoras. El mezclador 492a convierte de manera descendente la primera señal de RF de salida con la señal ILO1 y proporciona una señal de conversión descendente de fase (I). El mezclador 492b recibe la primera señal de RF de salida de CA LNA 440x y una señal de LO en cuadratura, QLO1, en la primera frecuencia de mezcla para el primer conjunto de portadoras. El mezclador 492b convierte la señal de RF de primera salida con la señal QLO1 y proporciona una señal convertida en cuadratura (Q). Los filtros 494a y 494b reciben y filtran las señales de conversión descendente I y Q de los mezcladores 492a y 492b, respectivamente, y proporcionan señales de banda base I y Q, Vout1, para el primer conjunto de portadoras.
- 30 **[0028]** Los mezcladores 492c y 492d y los filtros 494c y 494d dentro del circuito de carga 490y procesan de manera similar la segunda señal de RF de salida de CA LNA 440x y proporcionan señales de banda base I y Q para un segundo conjunto de portadoras. Los mezcladores 492c y 492d reciben la segunda señal de RF y las señales I y Q LO, respectivamente, a una segunda frecuencia de mezcla para el segundo conjunto de portadoras. Los mezcladores 492c y 492d reducen la señal de RF de la segunda salida con las señales I y Q LO y proporcionan las señales de conversión descendente I y Q, respectivamente. Los filtros 494c y 494d reciben y filtran las señales de conversión descendente I y Q de los mezcladores 492c y 492d, respectivamente, y proporcionan señales de banda base I y Q, Vout2, para el segundo conjunto de portadoras.
- 35 **[0029]** La FIG. 4B muestra un diseño a modo de ejemplo de los circuitos de carga 490x y 490y. Un circuito de carga también puede comprender circuitos diferentes y/o adicionales. Por ejemplo, un circuito de carga puede incluir un amplificador acoplado antes de los mezcladores, o entre los mezcladores y los filtros, o después de los filtros.
- 40 **[0030]** La FIG. 5A muestra un diagrama de bloques de un diseño a modo de ejemplo de un receptor 500 que incluye un MIMO LNA 540 que no soporta CA, CA dentro de banda ni CA entre bandas. MIMO LNA 540 puede usarse para uno o más LNA 340 dentro del dispositivo inalámbrico 110 en la FIG. 3.
- 45 **[0031]** En el receptor 500, una antena 510 recibe transmisiones en una o más portadoras en la misma banda o en diferentes bandas y proporciona una señal de RF recibida a los conmutadores/duplexores 524. Los conmutadores/duplexores 524 proporcionan hasta N señales de entrada del receptor, RXin1 a RXinN, hasta N circuitos

de coincidencia de entrada 532a a 532n, respectivamente, donde $N > 1$. Los circuitos de coincidencia 532a a 532n pueden ser parte de uno o más circuitos de entrada 332 en la FIG. 3. Cada circuito de coincidencia 532 realiza la coincidencia de potencia y/o impedancia entre MIMO LNA 540 y conmutadores/duplexores 524 o antena 510 para una o más bandas de interés. Los N circuitos de coincidencia 532a a 532n pueden estar diseñados para diferentes bandas y pueden proporcionar hasta N señales de entrada de RF, RFin1 a RFinN.

[0032] MIMO LNA 540 recibe hasta N señales de RF de entrada y amplifica (i) una señal de RF de entrada para ninguna CA o CA dentro de banda o (ii) múltiples señales de RF de entrada para CA entre bandas. MIMO LNA 540 proporciona hasta M señales de salida de RF, RFout1 a RFoutM, a través de hasta M LNA salidas. M circuitos de carga 590a a 590m están acoplados a las salidas M LNA. Cada circuito de carga 590 puede incluir uno o más inductores, condensadores, transistores, mezcladores, etc. Cada señal de RF de salida puede proporcionarse a uno o más mezcladores dentro de un circuito de carga 590 y puede ser convertida de forma descendente por los mezcladores asociados de tal manera que uno o más transmisiones en una o más portadoras de interés se conviertan de forma descendente de RF a banda base.

[0033] Un MIMO LNA, tal como MIMO LNA 540 en la FIG. 5A, puede funcionar en un modo que no sea CA, un modo CA dentro de banda o un modo CA entre bandas en cualquier momento dado. En el modo sin CA, el MIMO LNA funciona en una configuración 1×1 , recibe una señal de RF de entrada que comprende una o más transmisiones en un conjunto de portadoras y proporciona una señal de RF de salida a un circuito de carga. En el modo CA dentro de banda, el MIMO LNA funciona en una configuración $1 \times M$, recibe una señal de RF de entrada que comprende múltiples transmisiones en M conjuntos de portadoras en la misma banda, y proporciona señales de RF de salida M a M circuitos de carga, una señal de RF de salida para cada conjunto de portadoras, donde $M > 1$. En el modo CA entre bandas, el MIMO LNA funciona en una configuración $N \times M$, recibe N señales de RF de entrada que comprenden múltiples transmisiones en M conjuntos de portadoras en hasta N bandas diferentes y proporciona M señales de RF de salida a M circuitos de carga, donde $M > 1$ y $N > 1$. Las N señales de RF de entrada pueden corresponder a hasta N bandas diferentes.

[0034] Un MIMO LNA, tal como MIMO LNA 540 en la FIG. 5A, puede usarse para recibir transmisiones en múltiples portadoras en diferentes frecuencias. Un MIMO LNA puede incluir múltiples salidas que proporcionan múltiples señales de RF de salida para diferentes portadoras o diferentes conjuntos de portadoras de interés. Un MIMO LNA es diferente de los LNA utilizados para recibir una transmisión MIMO enviada desde múltiples antenas de transmisión a múltiples antenas de recepción. Un LNA para una transmisión MIMO tiene típicamente (i) una entrada que recibe una señal de RF de entrada desde una antena de recepción y (ii) una salida que proporciona una señal de RF de salida. Las salidas múltiples de un LNA MIMO cubren así la dimensión de frecuencia, mientras que las salidas de los LNA utilizados para una transmisión MIMO cubren la dimensión espacial.

[0035] La FIG. 5B muestra un diagrama esquemático de un diseño a modo de ejemplo de un MIMO LNA 540x que no soporta CA, CA dentro de banda ni CA entre bandas en dos conjuntos de portadoras en diferentes bandas. Cada conjunto de portadoras puede incluir una o más portadoras en una banda. El MIMO LNA 540x es un diseño a modo de ejemplo de MIMO LNA 540 en la FIG. 5A. Los circuitos de coincidencia 532a y 532b pueden recibir (i) la misma señal de entrada del receptor de una antena o (ii) diferentes señales de entrada del receptor de una o más antenas. Por lo tanto, la señal RXin2 puede o no ser igual a la señal RXin1 en la FIG. 5B. Cada circuito de coincidencia 532 realiza una coincidencia de potencia y/o impedancia para una o más bandas de interés.

[0036] En el diseño a modo de ejemplo mostrado en la FIG. 5B, MIMO LNA 540x incluye dos etapas de amplificador 550a y 550b para dos conjuntos de portadoras. La etapa de amplificador 550a recibe y amplifica la primera señal de RF de entrada del circuito de coincidencia 532a y proporciona una primera señal de RF de salida, RFout1, para un primer conjunto de portadoras. La etapa de amplificador 550b recibe y amplifica la segunda señal de RF de entrada del circuito de coincidencia 532b y proporciona una segunda señal de RF de salida, RFout2, para un segundo conjunto de portadoras. Aunque no se muestra en la FIG. 5B por simplicidad, MIMO LNA 540x puede incluir circuitos para enrutar una señal de RF de salida desde cada etapa de amplificador 550 a cualquiera de los circuitos de carga 590x y 590y.

[0037] En el diseño a modo de ejemplo mostrado en la FIG. 5B, el circuito de carga 590x incluye dos mezcladores 592a y 592b acoplados a dos filtros de banda base 594a y 594b, respectivamente. El mezclador 592a recibe la primera señal de RF de salida de la etapa de amplificador 550a y una señal LO en fase, ILO1, a una primera frecuencia de mezcla para el primer conjunto de portadoras. El mezclador 592a convierte la primera señal de RF de salida con la señal ILO1 y proporciona una señal de conversión descendente. El mezclador 592b recibe la primera señal de RF de salida de la etapa de amplificador 550b y una señal LO de cuadratura, QLO1, en la primera frecuencia de mezcla para el primer conjunto de portadoras. El mezclador 592b convierte la primera señal de RF de salida con la señal QLO1 y proporciona una señal Q convertida. Los filtros 594a y 594b reciben y filtran las señales convertidas de forma descendente I y Q de los mezcladores 592a y 592b, respectivamente, y proporcionan señales de banda base I y Q, Vout1, para el primer conjunto de portadoras.

[0038] Los mezcladores 592c y 592d y los filtros 594c y 594d dentro del circuito de carga 590y procesan de manera similar la segunda señal de RF de salida desde la etapa del amplificador 550b y proporcionan señales de banda base I y Q, Vout2, para un segundo conjunto de portadoras.

5 **[0039]** CA LNA 440 en la FIG. 4A puede implementarse de varias maneras. A continuación se describen algunos diseños a modo de ejemplo de CA LNA 440. CA LNA 440 también se puede implementar con transistores de varios tipos. A continuación se describen algunos diseños a modo de ejemplo de CA LNA 440 que utilizan transistores de semiconductores de óxido de metal de canal N (NMOS).

10 **[0040]** La FIG. 6A muestra un diagrama esquemático de un diseño a modo de ejemplo de un CA LNA 640a con degeneración inductiva y apagado de cascode. CA LNA 640a es un diseño a modo de ejemplo de CA LNA 440 en la FIG. 4A. CA LNA 640a incluye dos etapas de amplificador 650a y 650b acopladas a un circuito de coincidencia de entrada común 632 y a dos circuitos de carga 690a y 690b. El circuito de coincidencia 632 recibe una señal de entrada del receptor, RXin, realiza la coincidencia de entrada para CA LNA 640a, y proporciona una señal de entrada de RF, RFin. El circuito de coincidencia 632 puede corresponder al circuito de coincidencia 432 en la FIG. 4A. Los circuitos de carga 690a y 690b pueden corresponder a los circuitos de carga 490a y 490m en la FIG. 4A. CA LNA 640a recibe la señal de entrada de RF, que puede incluir transmisiones en dos conjuntos de portadoras, con cada conjunto incluyendo una o más portadoras.

20 **[0041]** En el diseño a modo de ejemplo mostrado en la FIG. 6A, la etapa de amplificador 650a incluye un inductor de degeneración de fuente 652a, un transistor de ganancia 654a y un transistor cascode 656a. El transistor de ganancia 654a y el transistor cascode 656a pueden implementarse con transistores NMOS (como se muestra en la FIG. 6A) o con transistores de otros tipos. El transistor de ganancia 654a tiene su puerta acoplada al circuito de coincidencia 632 y su fuente acoplada a un extremo de un inductor 652a. El otro extremo del inductor 652a está acoplado a tierra del circuito. El transistor cascode 656a tiene su fuente acoplada al drenaje del transistor de ganancia 654a y su drenaje acoplado al circuito de carga 690a. Un conmutador 658a tiene su puerto de entrada acoplado a la puerta del transistor cascode 656a, su primer puerto de salida acoplado a un voltaje de polarización, Vcasc, y su segundo puerto de salida acoplado a tierra del circuito. La etapa de amplificador 650b incluye un inductor de degeneración de fuente 652b, un transistor de ganancia 654b, un transistor cascode 656b y un conmutador 658b, que están acoplados de manera similar al inductor 652a, el transistor de ganancia 654a, el transistor cascode 656a y el conmutador 658a en la etapa de amplificador 650a.

25 **[0042]** Por simplicidad, la FIG. 6A muestra CA LNA 640a que incluye dos etapas de amplificador 650a y 650b para dos conjuntos de portadoras. Las etapas del amplificador 650a y 650b pueden habilitarse o deshabilitarse independientemente a través de los conmutadores 658a y 658b, respectivamente. CA LNA 640a puede incluir más de dos etapas de amplificador 650 para más de dos conjuntos de portadoras.

30 **[0043]** Una señal de RF de entrada puede incluir transmisiones en múltiples conjuntos de portadoras en la misma banda y puede denominarse una señal de RF agregada de portadora. La señal de RF agregada por la portadora puede convertirse a la baja usando señales LO a diferentes frecuencias correspondientes a las frecuencias centrales de los múltiples conjuntos de portadoras en los que se envían las transmisiones. La señal de RF agregada por la portadora puede dividirse en la entrada LNA para lograr un buen aislamiento LO-LO entre las señales LO para los múltiples conjuntos de portadoras. CA LNA 640a incluye dos etapas de amplificador 650a y 650b para amplificar la señal de RF agregada por la portadora y proporcionar dos señales de RF de salida a dos convertidores descendentes separados en los dos circuitos de carga 690a y 690b.

35 **[0044]** CA LNA 640a puede funcionar en un modo que no sea CA o un modo CA en cualquier momento dado. En el modo sin CA, CA LNA 640a recibe transmisiones en un conjunto de portadoras y proporciona una señal de RF de salida a un circuito de carga. En el modo CA, CA LNA 640a recibe transmisiones en dos conjuntos de portadoras y proporciona dos señales de RF de salida a dos circuitos de carga, una señal de RF de salida para cada conjunto de portadoras.

40 **[0045]** La FIG. 6B muestra el funcionamiento de CA LNA 640a en el modo CA. En el modo CA, ambas etapas del amplificador 650a y 650b se habilitan conectando la puerta del transistor cascode 656a al voltaje Vcasc a través del conmutador 658a y acoplado la puerta del transistor cascode 656b al voltaje Vcasc a través del conmutador 658b. La etapa amplificadora 650a amplifica la señal de RF de entrada y proporciona la primera señal de RF de salida al circuito de carga 690a. La etapa de amplificador 650b amplifica la señal de RF de entrada y proporciona la segunda señal de RF de salida al circuito de carga 690b.

45 **[0046]** La FIG. 6C muestra el funcionamiento de CA LNA 640a en el modo no CA. En el modo sin CA, solo una etapa del amplificador está habilitada y la otra etapa del amplificador está deshabilitada. En el ejemplo mostrado en la FIG. 6C, la etapa del amplificador 650a se habilita conectando la puerta del transistor cascode 656a al voltaje Vcasc a través del conmutador 658a, y la etapa del amplificador 650b se desactiva acortando la puerta del transistor cascode 656b a la tierra del circuito a través del conmutador 658b. La etapa amplificadora 650a amplifica la señal de RF de entrada y proporciona una señal de RF de salida para el circuito de carga 690a.

[0047] En otra configuración del modo no CA, la etapa del amplificador 650b está habilitada y la etapa del amplificador 650a está deshabilitada (no se muestra en la FIG. 6C). En esta configuración, la etapa de amplificador 650b amplifica la señal de RF de entrada y proporciona una señal de RF de salida para el circuito de carga 690b.

5 **[0048]** En el diseño a modo de ejemplo mostrado en la FIG. 6A, se usan inductores de degeneración de fuente separados 652a y 652b para las etapas del amplificador 650a y 650b para reducir la interacción entre las dos etapas del amplificador y ayudar a reducir la degradación de la FIG. de ruido (NF). Los inductores de degeneración de fuente 652a y 652b también pueden mejorar la linealidad de las etapas de amplificador 650a y 650b y ayudar a la coincidencia de impedancia de entrada de CA LNA 640a. Los inductores 652a y 652b pueden tener el mismo valor o valores diferentes. Los valores de los inductores 652a y 652b pueden seleccionarse (por ejemplo, independientemente) basándose en una compensación entre ganancia de voltaje y linealidad en el modo CA y el modo no CA.

10 **[0049]** Como se muestra en la FIG. 6A, un condensador variable 668a puede estar presente a través de la puerta y la fuente del transistor de ganancia 654a. El condensador 668a puede incluir el transistor parásito de ganancia 654a. El condensador 668a también puede incluir un banco de condensadores conmutables, que pueden acoplarse entre la ganancia y la fuente del transistor de ganancia 654a y pueden usarse para ajustar la impedancia de entrada de CA LNA 640a. Cada condensador conmutable puede implementarse con un condensador acoplado en serie con un conmutador. De manera similar, un condensador variable 668b puede estar presente a través de la puerta y la fuente del transistor de ganancia 654b. El condensador 668b puede incluir un banco de condensadores conmutables, que pueden estar acoplados entre la ganancia y la fuente del transistor de ganancia 654b y pueden usarse para ajustar la impedancia de entrada.

15 **[0050]** El circuito de coincidencia de entrada 632 es común a ambas etapas del amplificador 650a y 650b y se usa tanto en el modo CA como en el modo no CA. En el modo CA, ambas etapas del amplificador 650a y 650b están habilitadas, y los transistores de ganancia 654a y 654b funcionan en una región de saturación, como se muestra en la FIG. 6B. En el modo sin CA, una etapa del amplificador (por ejemplo, la etapa del amplificador 650a) está habilitada, y la otra etapa del amplificador (por ejemplo, la etapa del amplificador 650b) está deshabilitada. Sin embargo, el transistor de ganancia en la etapa de amplificador deshabilitada (por ejemplo, el transistor de ganancia 654b en la etapa de amplificador 650b) se activa mediante la señal de RF de entrada que se aplica a ambos transistores de ganancia 654a y 654b. Dado que el transistor cascode en la etapa del amplificador deshabilitada (por ejemplo, el transistor cascode 656b) está apagado, el transistor de ganancia en la etapa del amplificador deshabilitada opera en una región lineal. Por lo tanto, un transistor de ganancia puede operar en la región de saturación cuando una etapa del amplificador está habilitada y puede operar en la región lineal cuando la etapa del amplificador está deshabilitada. Operar el transistor de ganancia de la etapa del amplificador deshabilitada en la región lineal puede ayudar a reducir los cambios en la impedancia de entrada de CA LNA 640a entre el modo CA y el modo sin CA, sin una penalización de corriente en la etapa del amplificador deshabilitada. En particular, la capacitancia de entrada, C_{IN} , de un transistor de ganancia dado (por ejemplo, el transistor de ganancia 654b) en una etapa de amplificador habilitada y en una etapa de amplificador deshabilitada puede expresarse como:

$$C_{IN} = \frac{2}{3} \cdot W \cdot L \cdot C_{OX} \quad \text{la etapa de amplificador está habilitada, y} \quad \text{Ec. (1)}$$

$$C_{IN} = \frac{1}{2} \cdot W \cdot L \cdot C_{OX} \quad \text{la etapa de amplificador está deshabilitada,} \quad \text{Ec. (2)}$$

donde

45 W es el ancho y L es la longitud del transistor de ganancia 654b, y

Cox es una capacitancia de óxido de puerta del transistor de ganancia 654b.

50 **[0051]** Como se muestra en las ecuaciones (1) y (2), puede haber un cambio finito en la impedancia de entrada de un transistor de ganancia dependiendo de si una etapa del amplificador está habilitada o deshabilitada. Sin embargo, la impedancia de entrada de CA LNA 640a puede mantenerse dentro de límites tolerables incluso con el cambio en la impedancia de entrada del transistor de ganancia.

55 **[0052]** CA LNA 640a divide la señal de RF agregada por la portadora en el nivel de "puerta" al aplicar la señal de RF agregada por la portadora a dos transistores de ganancia 654a y 654b. La señal de RF agregada por la portadora también se puede dividir en el nivel de "cascode" haciendo que la señal de RF agregada por la portadora se aplique a un solo transistor de ganancia que conduce dos transistores cascode. La división de la señal de RF agregada por la portadora a nivel de puerta (como se muestra en la FIG. 6A) puede proporcionar un mejor rendimiento (por ejemplo, mejor ganancia, FIG. de ruido, linealidad y aislamiento) que la división de la señal de RF agregada por la portadora a nivel de cascode. Por ejemplo, dividir la señal de RF agregada a la portadora en el nivel de puerta puede proporcionar

un buen aislamiento LO-LO de aproximadamente 35 dB, mientras que dividir la señal de RF agregada a la portadora en el nivel de cascode puede proporcionar un aislamiento de LO-LO de solo aproximadamente 15 dB.

[0053] La FIG. 7 muestra un diagrama esquemático de un diseño a modo de ejemplo de un CA LNA 640b con degeneración inductiva, apagado de cascode y retroalimentación resistiva. CA LNA 640b es otro diseño a modo de ejemplo de CA LNA 440 en la FIG. 4A. CA LNA 640b incluye dos etapas de amplificador 650a y 650b acopladas a un circuito de coincidencia de entrada común 632 y a dos circuitos de carga 690a y 690b, similares a CA LNA 640a en la FIG. 6A. CA LNA 640b incluye además un circuito de retroalimentación 660 acoplado entre los drenajes de los transistores cascode 656a y 656b y las puertas de los transistores de ganancia 654a y 654b, es decir, entre la entrada y la salida de las etapas de amplificador 650a y 650b.

[0054] En el diseño a modo de ejemplo mostrado en la FIG. 7, el circuito de retroalimentación 660 incluye conmutadores 662a y 662b, una resistencia 664 y un condensador 666. La resistencia 664 y el condensador 666 están acoplados en serie, con el terminal inferior del condensador 666 acoplado a las puertas de los transistores de ganancia 654a y 654b. El conmutador 662a está acoplado entre el drenaje del transistor cascode 656a y el terminal superior de la resistencia 664. El conmutador 662b está acoplado entre el drenaje del transistor cascode 656b y el terminal superior de la resistencia 664. Cada uno de los conmutadores 662a y 662b puede cerrarse para conectar el circuito de retroalimentación 660 a su transistor cascode asociado 656 y pueden abrirse para desconectar el circuito de retroalimentación 660 del transistor cascode asociado 656. Se puede formar una ruta de retroalimentación desde RFout1 al circuito de retroalimentación 660 cerrando el conmutador 662a. Una ruta de retroalimentación desde RFout2 al circuito de retroalimentación 660 puede formarse cerrando el conmutador 662b. El circuito de retroalimentación 660 también puede incluir uno o más circuitos activos tales como un transistor. En un diseño a modo de ejemplo, el circuito de retroalimentación 660 puede usarse/habilitarse para banda baja para proporcionar coincidencia de potencia de entrada. Para la banda media y alta, el circuito de retroalimentación 660 puede desactivarse, y los inductores de degeneración de fuente 652a y 652b pueden usarse con el circuito de coincidencia 632 para la coincidencia de potencia de entrada. El circuito de retroalimentación 660 también puede usarse de otras maneras.

[0055] El circuito de coincidencia de entrada 632 es común a ambas etapas del amplificador 650a y 650b y se usa tanto en el modo CA como en el modo no CA. En el modo CA, la coincidencia de entrada para CA LNA 640b se puede lograr con el circuito de retroalimentación 660 alrededor de las etapas del amplificador 650a y 650b, así como con los inductores de degeneración de fuente 652a y 652b. En el modo sin CA, la coincidencia de entrada para CA LNA 640b se puede lograr con el circuito de retroalimentación 660 y los inductores de degeneración de fuente 652a y 652b. El circuito de retroalimentación 660 puede ayudar con la coincidencia de entrada para todo el LNA 640b tanto en modo CA como en modo no CA. La coincidencia de entrada para CA LNA 640b se puede lograr (i) con el circuito de retroalimentación 660 y el inductor de degeneración de fuente 652a para RFout1 y (ii) con el circuito de retroalimentación 660 y el inductor degenerado de fuente 652b para RFout2.

[0056] La etapa del amplificador 650a puede linealizarse mediante (i) el inductor de degeneración de fuente 652a y el circuito de retroalimentación 660 cuando se selecciona el circuito de retroalimentación 660 o (ii) solo el inductor de degeneración de fuente 652a cuando no se selecciona el circuito de retroalimentación 660. El circuito de retroalimentación 660 puede mejorar la linealidad de la etapa de amplificador 650a tanto en el modo CA como en el modo no CA. Esto puede permitir que se use un inductor más pequeño 652a para la etapa de amplificador 650a para obtener la linealidad deseada. De manera similar, la etapa del amplificador 650b puede linealizarse mediante (i) el inductor de degeneración de fuente 652b y el circuito de retroalimentación 660 cuando se selecciona el circuito de retroalimentación 660 o (ii) solo el inductor de degeneración de fuente 652b cuando no se selecciona el circuito de retroalimentación 660. Se puede usar un inductor más pequeño para el inductor 652a y/o 652b para obtener la linealidad deseada para la etapa de amplificador 650b con el circuito de retroalimentación 660 habilitado.

[0057] La FIG. 8A muestra un diagrama esquemático de un diseño a modo de ejemplo de un CA LNA 840a con un circuito de atenuación de entrada separado para cada etapa del amplificador. CA LNA 840a es otro diseño a modo de ejemplo más de CA LNA 440 en la FIG. 4A. CA LNA 840a incluye dos etapas de amplificador 850a y 850b acopladas a dos circuitos de atenuación de entrada 860a y 860b y a dos circuitos de carga 890a y 890b.

[0058] Se proporciona una señal de RF de entrada a la entrada de CA LNA 840a, que es el nodo X. La etapa del amplificador 850a está acoplada al nodo X a través de un transistor NMOS 842a que funciona como un conmutador, circuitos de atenuación 860a y un condensador de acoplamiento de CA 844a. El transistor NMOS 842a tiene su fuente acoplada al nodo X, con su puerta que recibe una primera señal de control, Enb1, y su drenaje acoplado a la entrada del circuito de atenuación 860a. El circuito de atenuación 860a incluye (i) una resistencia 862a acoplada entre la entrada y la salida del circuito de atenuación 860a y (ii) una resistencia variable 864a acoplada entre la salida del circuito de atenuación 860a y la tierra del circuito. El condensador de acoplamiento de CA 844a está acoplado entre la salida del circuito de atenuación 860a y la entrada de la etapa de amplificador 850a. La etapa del amplificador 850b está acoplada al nodo X a través de un transistor NMOS 842b, un circuito de atenuación 860b y un condensador de acoplamiento de CA 844b, que están acoplados de manera similar al transistor NMOS 842a, el circuito de atenuación 860a y el condensador de acoplamiento de CA 844a.

- 5 [0059] La etapa de amplificador 850a incluye un transistor de ganancia 854a y un transistor cascode 856a. El transistor de ganancia 854a tiene su puerta acoplada al condensador de acoplamiento de CA 844a y su fuente acoplada a tierra del circuito (como se muestra en la FIG. 8A) o a un inductor de degeneración de fuente (no se muestra en la FIG. 8A). El transistor cascode 856a tiene su puerta que recibe un primer voltaje de polarización, V_{casc1} , su fuente acoplada al drenaje del transistor de ganancia 854a, y su drenaje acoplado al circuito de carga 890a. La etapa de amplificador 850b incluye un transistor de ganancia 854b y un transistor cascode 856b, que están acoplados de manera similar al transistor de ganancia 854a y al transistor cascode 856a. Las etapas del amplificador 850a y 850b pueden seleccionarse independientemente a través del transistor NMOS 842a y 842b, respectivamente, y habilitarse o deshabilitarse independientemente a través de los voltajes V_{casc1} y V_{casc2} , respectivamente.
- 10 [0060] La FIG. 8A muestra un diseño a modo de ejemplo en el que una ruta de señal desde la entrada de LNA (nodo X) a cada etapa del amplificador 850 incluye el transistor NMOS 842, el circuito de atenuación 860 y el condensador de acoplamiento de CA 844. Una ruta de señal también puede incluir menos circuitos diferentes y/o adicionales. Además, la ruta de señal para la etapa de amplificador 850a puede o no coincidir con la ruta de señal para la etapa de amplificador 850b. Por ejemplo, el transistor NMOS 842a puede omitirse mientras que el transistor NMOS 842b puede retenerse. Los circuitos de atenuación 860a y 860b para las dos rutas de señal pueden ser idénticos, o pueden tener el mismo diseño de circuito pero valores diferentes, o pueden tener diseños de circuito diferentes con topologías de circuito diferentes.
- 15 [0061] El transistor NMOS 842a funciona como un conmutador que puede pasar la señal de RF de entrada a la etapa del amplificador 850a cuando el transistor NMOS 842a está habilitado por la señal $Enb1$. De manera similar, el transistor NMOS 842b funciona como un conmutador que puede pasar la señal de RF de entrada a la etapa del amplificador 850b en el modo CA cuando el transistor NMOS 842b está habilitado por la señal $Enb2$. En un diseño, los transistores NMOS 842a pueden habilitarse tanto en el modo CA como en el modo sin CA, y los transistores NMOS 842b pueden habilitarse solo en el modo CA. Los transistores NMOS separados 842a y 842b y los circuitos de atenuación separados 860a y 860b se pueden usar para permitir que la señal de RF de entrada encuentre solo un conmutador en serie antes de llegar al transistor de ganancia 854a o 854b.
- 20 [0062] En el modo CA, ambos transistores NMOS 842a y 842b están encendidos, y la señal de RF de entrada se proporciona a los circuitos de atenuación 860a y 860b y a las etapas del amplificador 850a y 850b. Cada etapa de amplificador 850 amplifica la señal de RF de entrada y proporciona una señal de RF de salida respectiva a su circuito de carga 890. En el modo sin CA, se puede seleccionar una etapa de amplificador 850a o 850b. El transistor NMOS 842 para la etapa 850 del amplificador seleccionado se enciende, y la señal de RF de entrada se proporciona al circuito de atenuación 860 y la etapa 850 del amplificador seleccionado. El transistor NMOS 842 para la etapa 850 del amplificador no seleccionado se apaga, y el circuito de atenuación 860 y la etapa 850 del amplificador no seleccionado se desconectan del nodo X, reduciendo así la carga en la ruta de señal para la etapa 850 del amplificador seleccionado. La etapa 850 del amplificador seleccionado amplifica la señal de RF de entrada y proporciona una señal de RF de salida al circuito de carga asociado 890.
- 25 [0063] CA LNA 840a puede usarse ventajosamente en un escenario en el que la señal de RF de entrada incluye bloqueadores, que son señales no deseadas de gran amplitud y de frecuencia cercana a las señales deseadas. Los circuitos de atenuación de entrada 860a y 860b pueden ser programables (por ejemplo, como se muestra en la FIG. 8A) o pueden ser fijos (no se muestran en la FIG. 8A) y pueden tener un doble propósito de atenuar los bloqueadores en la señal de RF de entrada y proporcionar una buena coincidencia de impedancia de entrada para CA LNA 840a. Los circuitos de atenuación 860a y 860b pueden estar diseñados de manera diferente y/o pueden tener diferentes configuraciones/valores para el modo CA y el modo no CA para obtener una buena coincidencia de impedancia de entrada en ambos modos.
- 30 [0064] Por simplicidad, la FIG. 8A muestra CA LNA 840a que incluye dos etapas de amplificador 850a y 850b para dos conjuntos de portadoras. CA LNA 840a puede incluir más de dos etapas de amplificador para más de dos conjuntos de portadoras.
- 35 [0065] La FIG. 8B muestra un diagrama esquemático de un diseño a modo de ejemplo de un CA LNA 840b con un circuito de atenuación de entrada compartida para ambas etapas del amplificador 850a y 850b. CA LNA 840b es otro diseño a modo de ejemplo de CA LNA 440 en la FIG. 4A. CA LNA 840b incluye dos etapas de amplificador 850a y 850b acopladas a un circuito de atenuación de entrada compartido 860a y a dos circuitos de carga 890a y 890b. Compartir el circuito de atenuación de entrada 860a entre las etapas del amplificador 850a y 850b puede reducir el área del circuito y también puede proporcionar otras ventajas.
- 40 [0066] CA LNA 840b incluye todos los componentes del circuito en CA LNA 840a en la FIG. 8A, excepto para el circuito de atenuación de entrada 860b y el condensador de acoplamiento de CA 844b. Todos los componentes del circuito dentro de CA LNA 840b están acoplados como se describió anteriormente para CA LNA 840a en la FIG. 8A excepto para el transistor NMOS 842b. El transistor NMOS 842b tiene su fuente acoplada a la entrada de la etapa del amplificador 850a, su puerta recibe una señal de control $Enb2$ y su drenaje está acoplado a la entrada de la etapa del amplificador 850b. Las etapas del amplificador 850a y 850b pueden seleccionarse independientemente a través del
- 45 [0067] CA LNA 840b puede incluir un transistor cascode 856b en la etapa de amplificador 850b. El transistor cascode 856b puede tener su puerta acoplada a la entrada de la etapa del amplificador 850b y su drenaje acoplado al drenaje del transistor de ganancia 854b. El transistor cascode 856b puede tener su fuente acoplada a tierra del circuito o a un inductor de degeneración de fuente. El transistor cascode 856b puede tener su puerta acoplada al condensador de acoplamiento de CA 844b y su fuente acoplada a tierra del circuito (como se muestra en la FIG. 8A) o a un inductor de degeneración de fuente (no se muestra en la FIG. 8A). El transistor cascode 856b puede tener su puerta que recibe un primer voltaje de polarización, V_{casc1} , su fuente acoplada al drenaje del transistor de ganancia 854b, y su drenaje acoplado al circuito de carga 890b. La etapa de amplificador 850a incluye un transistor de ganancia 854a y un transistor cascode 856a, que están acoplados de manera similar al transistor de ganancia 854b y al transistor cascode 856b. Las etapas del amplificador 850a y 850b pueden seleccionarse independientemente a través del transistor NMOS 842a y 842b, respectivamente, y habilitarse o deshabilitarse independientemente a través de los voltajes V_{casc1} y V_{casc2} , respectivamente.
- 50 [0068] La FIG. 8A muestra un diseño a modo de ejemplo en el que una ruta de señal desde la entrada de LNA (nodo X) a cada etapa del amplificador 850 incluye el transistor NMOS 842, el circuito de atenuación 860 y el condensador de acoplamiento de CA 844. Una ruta de señal también puede incluir menos circuitos diferentes y/o adicionales. Además, la ruta de señal para la etapa de amplificador 850a puede o no coincidir con la ruta de señal para la etapa de amplificador 850b. Por ejemplo, el transistor NMOS 842a puede omitirse mientras que el transistor NMOS 842b puede retenerse. Los circuitos de atenuación 860a y 860b para las dos rutas de señal pueden ser idénticos, o pueden tener el mismo diseño de circuito pero valores diferentes, o pueden tener diseños de circuito diferentes con topologías de circuito diferentes.
- 55 [0069] El transistor NMOS 842a funciona como un conmutador que puede pasar la señal de RF de entrada a la etapa del amplificador 850a cuando el transistor NMOS 842a está habilitado por la señal $Enb1$. De manera similar, el transistor NMOS 842b funciona como un conmutador que puede pasar la señal de RF de entrada a la etapa del amplificador 850b en el modo CA cuando el transistor NMOS 842b está habilitado por la señal $Enb2$. En un diseño, los transistores NMOS 842a pueden habilitarse tanto en el modo CA como en el modo sin CA, y los transistores NMOS 842b pueden habilitarse solo en el modo CA. Los transistores NMOS separados 842a y 842b y los circuitos de atenuación separados 860a y 860b se pueden usar para permitir que la señal de RF de entrada encuentre solo un conmutador en serie antes de llegar al transistor de ganancia 854a o 854b.
- 60 [0070] En el modo CA, ambos transistores NMOS 842a y 842b están encendidos, y la señal de RF de entrada se proporciona a los circuitos de atenuación 860a y 860b y a las etapas del amplificador 850a y 850b. Cada etapa de amplificador 850 amplifica la señal de RF de entrada y proporciona una señal de RF de salida respectiva a su circuito de carga 890. En el modo sin CA, se puede seleccionar una etapa de amplificador 850a o 850b. El transistor NMOS 842 para la etapa 850 del amplificador seleccionado se enciende, y la señal de RF de entrada se proporciona al circuito de atenuación 860 y la etapa 850 del amplificador seleccionado. El transistor NMOS 842 para la etapa 850 del amplificador no seleccionado se apaga, y el circuito de atenuación 860 y la etapa 850 del amplificador no seleccionado se desconectan del nodo X, reduciendo así la carga en la ruta de señal para la etapa 850 del amplificador seleccionado. La etapa 850 del amplificador seleccionado amplifica la señal de RF de entrada y proporciona una señal de RF de salida al circuito de carga asociado 890.
- 65 [0071] CA LNA 840a puede usarse ventajosamente en un escenario en el que la señal de RF de entrada incluye bloqueadores, que son señales no deseadas de gran amplitud y de frecuencia cercana a las señales deseadas. Los circuitos de atenuación de entrada 860a y 860b pueden ser programables (por ejemplo, como se muestra en la FIG. 8A) o pueden ser fijos (no se muestran en la FIG. 8A) y pueden tener un doble propósito de atenuar los bloqueadores en la señal de RF de entrada y proporcionar una buena coincidencia de impedancia de entrada para CA LNA 840a. Los circuitos de atenuación 860a y 860b pueden estar diseñados de manera diferente y/o pueden tener diferentes configuraciones/valores para el modo CA y el modo no CA para obtener una buena coincidencia de impedancia de entrada en ambos modos.
- [0072] Por simplicidad, la FIG. 8A muestra CA LNA 840a que incluye dos etapas de amplificador 850a y 850b para dos conjuntos de portadoras. CA LNA 840a puede incluir más de dos etapas de amplificador para más de dos conjuntos de portadoras.
- [0073] La FIG. 8B muestra un diagrama esquemático de un diseño a modo de ejemplo de un CA LNA 840b con un circuito de atenuación de entrada compartida para ambas etapas del amplificador 850a y 850b. CA LNA 840b es otro diseño a modo de ejemplo de CA LNA 440 en la FIG. 4A. CA LNA 840b incluye dos etapas de amplificador 850a y 850b acopladas a un circuito de atenuación de entrada compartido 860a y a dos circuitos de carga 890a y 890b. Compartir el circuito de atenuación de entrada 860a entre las etapas del amplificador 850a y 850b puede reducir el área del circuito y también puede proporcionar otras ventajas.
- [0074] CA LNA 840b incluye todos los componentes del circuito en CA LNA 840a en la FIG. 8A, excepto para el circuito de atenuación de entrada 860b y el condensador de acoplamiento de CA 844b. Todos los componentes del circuito dentro de CA LNA 840b están acoplados como se describió anteriormente para CA LNA 840a en la FIG. 8A excepto para el transistor NMOS 842b. El transistor NMOS 842b tiene su fuente acoplada a la entrada de la etapa del amplificador 850a, su puerta recibe una señal de control $Enb2$ y su drenaje está acoplado a la entrada de la etapa del amplificador 850b. Las etapas del amplificador 850a y 850b pueden seleccionarse independientemente a través del

transistor NMOS 842a y 842b, respectivamente, y pueden habilitarse o deshabilitarse independientemente a través de los voltajes V_{casc1} y V_{casc2} , respectivamente.

[0067] En el diseño a modo de ejemplo mostrado en la FIG. 8B, las etapas del amplificador 850a y 850b comparten un conmutador de entrada común implementado con el transistor NMOS 842a y un circuito de atenuación de entrada común 860a. El circuito de atenuación de entrada 860a puede ser programable (por ejemplo, como se muestra en la FIG. 8B) o puede ser fijo (no se muestra en la FIG. 8B) y puede tener un doble propósito de atenuar los bloqueadores entrantes en la señal de RF de entrada y proporcionar una buena impedancia de entrada partido para CA LNA 840b. El circuito de atenuación 860a puede tener diferentes configuraciones para el modo CA y el modo no CA para obtener una buena coincidencia de impedancia de entrada en ambos modos.

[0068] En el modo CA, ambos transistores NMOS 842a y 842b se activan, y la señal de RF de entrada se proporciona a través del circuito de atenuación 860a a ambas etapas del amplificador 850a y 850b. La señal de RF de entrada pasa a través de un conmutador de serie única antes de llegar al transistor de ganancia 854a. La señal de RF de entrada pasa a través de dos conmutadores en serie antes de llegar al transistor de ganancia 854b, lo cual puede provocar una pequeña degradación en el rendimiento de la etapa del amplificador 850b. En el modo sin CA, el transistor NMOS 842a se enciende y la señal de RF de entrada se proporciona al circuito de atenuación 860a y a la etapa de amplificador 850a. El transistor NMOS 842b se apaga y la etapa del amplificador 850b se desconecta del nodo Y, reduciendo así la carga capacitiva en la ruta de señal para la etapa del amplificador 850a. La señal de RF de entrada pasa a través de un conmutador de una sola serie implementado con el transistor NMOS 842a antes de llegar al transistor de ganancia 854a en el modo sin CA.

[0069] La FIG. 9 muestra un diagrama esquemático de un diseño a modo de ejemplo de un CA LNA 940 con un circuito de coincidencia sintonizable. CA LNA 940 es otro diseño a modo de ejemplo de CA LNA 440 en la FIG. 4A. CA LNA 940 incluye dos etapas de amplificador 950a y 950b acopladas a un circuito de coincidencia sintonizable compartido 932 y a dos circuitos de carga 990a y 990b. La etapa de amplificador 950a incluye un inductor de degeneración de fuente 952a, un transistor de ganancia 954a y un transistor cascode 956a, que están acoplados de manera similar al inductor 652a, el transistor de ganancia 654a y el transistor cascode 656a en la FIG. 6A. La etapa de amplificador 950b incluye un inductor de degeneración de fuente 952b, un transistor de ganancia 954b y un transistor cascode 956b, que también están acoplados de manera similar al inductor 652a, el transistor de ganancia 654a y el transistor cascode 656a en la FIG. 6A. El transistor cascode 956a tiene su puerta que recibe un primer voltaje de control, V_{casc1} . El transistor cascode 956b tiene su puerta que recibe un segundo voltaje de control, V_{casc2} . Cada etapa del amplificador 950 puede habilitarse o deshabilitarse independientemente basándose en su voltaje de control V_{casc} . Las etapas de amplificador 950a y 950b pueden habilitarse o deshabilitarse independientemente a través de los voltajes V_{casc1} y V_{casc2} , respectivamente.

[0070] El circuito de coincidencia 932 recibe una señal de RF de entrada y realiza la coincidencia de entrada para CA LNA 940. Un condensador de acoplamiento de CA 944a tiene un extremo acoplado a la salida del circuito correspondiente 932 y el otro extremo acoplado a la puerta del transistor de ganancia 954a. Un condensador de acoplamiento de CA 944b tiene un extremo acoplado a la salida del circuito correspondiente 932b y el otro extremo acoplado a la puerta del transistor de ganancia 954b.

[0071] CA LNA 940 soporta el modo CA y el modo no CA. En el modo CA, ambas etapas del amplificador 950a y 950b están habilitadas con los voltajes V_{casc1} y V_{casc2} aplicados a los transistores cascode 956a y 956b, respectivamente. En el modo sin CA, solo una de las dos etapas del amplificador 950a y 950b está habilitada, dependiendo del circuito de carga particular al que se enrutará la señal de RF de entrada. El circuito de coincidencia 932 puede ajustarse basándose en el número de etapas de amplificador habilitadas y/o qué etapa(s) de amplificador están habilitadas para obtener una buena coincidencia de ruido/potencia tanto en los modos CA como en el modo no CA.

[0072] MIMO LNA 540 en la FIG. 5A puede implementarse con varias arquitecturas de circuito. A continuación se describen algunos diseños a modo de ejemplo de MIMO LNA 540. MIMO LNA 540 también se puede implementar con transistores de varios tipos. A continuación se describen algunos diseños a modo de ejemplo de MIMO LNA 540 usando transistores NMOS.

[0073] La FIG. 10 muestra un diagrama esquemático de un diseño a modo de ejemplo de un MIMO LNA 1040 2x2 basado en una arquitectura de apagado de cascode. MIMO LNA 1040 es un diseño a modo de ejemplo de MIMO LNA 540 en la FIG. 5A e incluye (i) dos entradas LNA que reciben dos señales RF de entrada, R_{Fin1} y R_{Fin2} , y (ii) dos salidas LNA que proporcionan dos señales RF de salida, R_{Fout1} y R_{Fout2} .

[0074] MIMO LNA 1040 incluye cuatro etapas de amplificador 1050a a 1050d acopladas a dos circuitos de carga 1090a y 1090b. Cada etapa de amplificador 1050a incluye un inductor de degeneración de fuente 1052, un transistor de ganancia 1054 y un transistor cascode 1056, que están acoplados de manera similar al inductor 652a, el transistor de ganancia 654a y el transistor cascode 656a en la FIG. 6A. Los transistores de ganancia 1054a y 1054b dentro de las etapas de amplificador 1050a y 1050b tienen sus puertas que reciben la primera señal de RF de entrada. Los transistores de ganancia 1054c y 1054d dentro de las etapas de amplificador 1050c y 1050d tienen sus puertas que

reciben la segunda señal de RF de entrada. Los transistores cascode 1056a y 1056c dentro de las etapas de amplificador 1050a y 1050c tienen sus drenajes acoplados al circuito de carga 1090a y proporcionan la primera señal de RF de salida. Los transistores cascode 1056b y 1056d dentro de las etapas de amplificador 1050b y 1050d tienen sus drenajes acoplados al circuito de carga 1090b y proporcionan la segunda señal de RF de salida.

[0075] Las etapas de amplificador 1050a y 1050b pueden diseñarse para proporcionar un buen rendimiento para un primer conjunto de una o más bandas, por ejemplo, como se describe anteriormente para CA LNA 640a en la FIG. 6A. Del mismo modo, las etapas de amplificador 1050c y 1050d pueden diseñarse para proporcionar un buen rendimiento para un segundo conjunto de una o más bandas.

[0076] MIMO LNA 1040 puede funcionar en una configuración 1×2 para CA dentro de banda. En la configuración 1×2 , se puede proporcionar una señal de entrada de RF, RFin1 o RFin2, a través de una entrada de LNA a dos transistores de ganancia 1054 en dos etapas de amplificador 1050. La señal de RF de entrada es amplificada por los dos transistores de ganancia, almacenada en memoria intermedia por los dos transistores cascode acoplados a los dos transistores de ganancia, y se proporciona a los circuitos de carga 1090a y 1090b. MIMO LNA 1040 puede soportar CA dentro de banda con la señal de RF de entrada proporcionada a cualquiera de las dos entradas de LNA.

[0077] MIMO LNA 1040 puede funcionar en una configuración 2×2 para CA entre bandas. En la configuración 2×2 , una primera señal de RF de entrada puede amplificarse mediante un primer transistor de ganancia seleccionado 1054 en una etapa de amplificador 1050, almacenada en memoria intermedia por el transistor cascode 1056 acoplado al primer transistor de ganancia seleccionado 1054, y proporcionarse al circuito de carga 1090a. Una segunda señal de RF de entrada puede ser amplificada por un segundo transistor de ganancia seleccionado 1054 en otra etapa de amplificador 1050, almacenada en memoria intermedia por el transistor cascode 1056 acoplado al segundo transistor de ganancia seleccionado 1054, y proporcionada al circuito de carga 1090b.

[0078] La FIG. 11A muestra un diagrama esquemático de un diseño a modo de ejemplo de un MIMO LNA 1140a 2×2 basado en la arquitectura de apagado de cascode. MIMO LNA 1140a es otro diseño a modo de ejemplo de MIMO LNA 540 en la FIG. 5A e incluye (i) dos entradas LNA que reciben dos señales RF de entrada, RFin1 y RFin2, y (ii) dos salidas LNA que proporcionan dos señales RF de salida, RFout1 y RFout2.

[0079] MIMO LNA 1140a incluye dos etapas de amplificador 1150a y 1150b acopladas a dos circuitos de carga 1190a y 1190b, respectivamente. La etapa de amplificador 1150a incluye un inductor de degeneración de fuente 1152a, un transistor de ganancia 1154a y un transistor cascode 1156a, que están acoplados de manera similar al inductor 652a, el transistor de ganancia 654a y el transistor cascode 656a en la FIG. 6A. El transistor de ganancia 1154a tiene su puerta que recibe la primera señal de RF de entrada. El transistor cascode 1156a tiene su puerta que recibe un voltaje Vcasc1a y su drenaje está acoplado al circuito de carga 1190a. La etapa de amplificador 1150a incluye además un transistor de ganancia 1164a y un transistor cascode 1166a. El transistor de ganancia 1164a tiene su fuente acoplada al inductor 1152a y su puerta recibe la segunda señal de RF de entrada. El transistor cascode 1166a tiene su puerta que recibe un voltaje Vcasc2a y su drenaje está acoplado al circuito de carga 1190a.

[0080] La etapa de amplificador 1150b incluye un inductor de degeneración de fuente 1152b, dos transistores de ganancia 1154b y 1164b, y dos transistores cascode 1156b y 1166b, que están acoplados de manera similar al inductor 1152a, los transistores de ganancia 1154a y 1164a, y los transistores cascode 1156a y 1166a en la etapa de amplificador 1150a. Los transistores de ganancia 1154b y 1164b tienen sus puertas que reciben las señales RF de entrada primera y segunda, respectivamente. Los transistores cascode 1156b y 1166b tienen sus puertas que reciben voltajes Vcasc1b y Vcasc2b, respectivamente, y sus drenajes se acoplan al circuito de carga 1190b.

[0081] MIMO LNA 1140a puede funcionar en una configuración 1×2 para CA dentro de banda. En la configuración 1×2 , se puede proporcionar una señal de entrada de RF, RFin1 o RFin2, a través de una entrada de LNA a dos transistores de ganancia 1154a y 1154b (o para los transistores de ganancia 1164a y 1164b) en las dos etapas de amplificador 1150a y 1150b. La señal de RF de entrada es amplificada por los dos transistores de ganancia, almacenada en memoria intermedia por los dos transistores cascode acoplados a los dos transistores de ganancia, y se proporciona a los circuitos de carga 1190a y 1190b. MIMO LNA 1140a puede soportar CA dentro de banda con la señal de RF de entrada aplicada a cualquiera de las dos entradas de LNA.

[0082] MIMO LNA 1140a puede funcionar en una configuración 2×2 para CA entre bandas. En la configuración 2×2 , una primera señal de RF de entrada (por ejemplo, RFin1) puede ser recibida por la etapa del amplificador 1150a o 1150b y puede ser amplificada por el transistor de ganancia 1154a o 1154b, almacenada en memoria intermedia por el transistor cascode 1156a o 1156b, y proporcionada al circuito de carga 1190a o 1190b. Una segunda señal de entrada de RF (por ejemplo, RFin2) puede ser recibida por la etapa del amplificador 1150a o 1150b, amplificada por el transistor de ganancia 1164a o 1164b, almacenada en memoria intermedia por el transistor cascode 1166a o 1166b, y proporcionada al circuito de carga 1190a o 1190b. Cada etapa de amplificador 1150 recibiría solo una de las dos señales de RF de entrada y proporcionaría su señal de RF de salida al circuito de carga 1190 acoplado a esa etapa de amplificador 1150.

[0083] La FIG. 11B muestra un diagrama esquemático de un diseño a modo de ejemplo de un MIMO LNA 1140b 4x2 basado en la arquitectura de apagado de cascode. MIMO LNA 1140b es otro diseño a modo de ejemplo más de MIMO LNA 540 en la FIG. 5A e incluye (i) cuatro entradas LNA que reciben cuatro señales RF de entrada, RFin1 a RFin4, y (ii) dos salidas LNA que proporcionan dos señales RF de salida, RFout1 y RFout2. MIMO LNA 1140b incluye cuatro etapas de amplificador 1150a a 1150d acopladas a dos circuitos de carga 1190a y 1190b. Las etapas de amplificador 1150a y 1150b incluyen inductores de degeneración de fuente, transistores de ganancia y transistores cascode que están acoplados como se describe anteriormente para la FIG. 11A.

[0084] La etapa de amplificador 1150c incluye un inductor de degeneración de fuente 1152c, dos transistores de ganancia 1154c y 1164c, y dos transistores cascode 1156c y 1166c, que están acoplados de manera similar al inductor 1152a, los transistores de ganancia 1154a y 1164a, y los transistores cascode 1156a y 1166a en la etapa de amplificador 1150a. Los transistores de ganancia 1154c y 1164c tienen sus puertas que reciben las señales de RF de entrada tercera y cuarta, respectivamente. Los transistores cascode 1156c y 1166c tienen sus puertas que reciben voltajes Vcasc3a y Vcasc4a, respectivamente, y sus drenajes se acoplan al circuito de carga 1190a.

[0085] La etapa de amplificador 1150d incluye un inductor de degeneración de fuente 1152d, dos transistores de ganancia 1154d y 1164d, y dos transistores cascode 1156d y 1166d, que están acoplados de manera similar al inductor 1152a, los transistores de ganancia 1154a y 1164a, y los transistores cascode 1156a y 1166a en la etapa de amplificador 1150a. Los transistores de ganancia 1154d y 1164d tienen sus puertas que reciben las señales de RF de entrada tercera y cuarta, respectivamente. Los transistores cascode 1156d y 1166d tienen sus puertas que reciben voltajes Vcasc3b y Vcasc4b, respectivamente, y sus drenajes acoplados al circuito de carga 1190b.

[0086] MIMO LNA 1140b puede funcionar en una configuración 1x2 para CA dentro de banda. En la configuración 1x2, se puede proporcionar una señal de entrada de RF (RFin1, RFin2, RFin3 o RFin4) a través de una entrada LNA a dos transistores de ganancia en dos etapas de amplificador 1150. La señal de RF de entrada es amplificada por los dos transistores de ganancia, almacenada en memoria intermedia por los dos transistores cascode acoplados a los dos transistores de ganancia, y se proporciona a los circuitos de carga 1190a y 1190b. MIMO LNA 1140b puede soportar CA dentro de banda con la señal de RF de entrada aplicada a cualquiera de las cuatro entradas de LNA.

[0087] MIMO LNA 1140b puede funcionar en una configuración de 2 entradas y 2 salidas (2x2) para CA entre bandas. En la configuración 2x2, una primera señal de RF de entrada (por ejemplo, RFin1 o RFin2) puede ser recibida por la etapa de amplificador 1150a o 1150b, amplificada por un primer transistor de ganancia seleccionado en una etapa de amplificador 1150a o 1150b, almacenada en memoria intermedia por el transistor cascode acoplado al primer transistor de ganancia seleccionado, y proporcionada al circuito de carga 1190a o 1190b. Una segunda señal de RF de entrada (por ejemplo, RFin3 o RFin4) puede ser recibida por la etapa de amplificador 1150c o 1150d, amplificada por un segundo transistor de ganancia seleccionado en la etapa de amplificador 1150c o 1150d, almacenada en memoria intermedia por el transistor cascode acoplado al segundo transistor de ganancia seleccionado, y proporcionada al circuito de carga 1190a o 1190b. Solo dos etapas del amplificador 1150 están habilitadas para amplificar las dos señales de RF de entrada. Cada etapa de amplificador habilitada 1150 recibiría solo una de las dos señales de RF de entrada y proporcionaría su señal de RF de salida al circuito de carga 1190 acoplado a esa etapa de amplificador 1150.

[0088] La FIG. 11C muestra un diagrama esquemático de otra vista de 4x2 MIMO LNA 1140b en la FIG. 11B. MIMO LNA 1140b en la FIG. 11C incluyen todos los inductores de degeneración, transistores de ganancia y transistores cascode que se muestran en la FIG. 11B, que están dispuestos de manera diferente en la FIG. 11C. La FIG. 11C muestra que MIMO LNA 1140b puede recibir una señal de RF de entrada única proporcionada a cualquier entrada de LNA (por ejemplo, RFin1, RFin2, RFin3 o RFin4) y puede proporcionar dos señales de RF de salida a dos circuitos de carga 1190a y 1190b para CA dentro de banda. La FIG. 11C también muestra que MIMO LNA 1140b puede recibir dos señales de RF de entrada proporcionadas a dos entradas de LNA (por ejemplo, RFin1 y RFin3, o RFin1 y RFin4, o RFin2 y RFin3, o RFin2 y RFin4) y puede proporcionar dos señales de RF de salida a dos circuitos de carga 1190a y 1190b para CA entre bandas. Si se usa un inductor de degeneración de fuente separado para cada transistor de ganancia (para un total de ocho inductores de degeneración de fuente), entonces se pueden aplicar dos señales de RF de entrada a cualquiera de las dos entradas de LNA.

[0089] Las FIGS. 10 y 11A muestran dos diseños a modo de ejemplo de un LNA MIMO 2x2. La FIG. 11B muestra un diseño a modo de ejemplo de un 4x2 MIMO LNA. Un MIMO LNA también se puede implementar de otras maneras. Por ejemplo, un MIMO LNA puede incluir uno o más circuitos de retroalimentación, con cada circuito de retroalimentación acoplado entre la entrada y la salida de una o más etapas del amplificador, por ejemplo, como se muestra en la FIG. 7.

[0090] En general, un MIMO LNA con cualquier número de entradas y cualquier número de salidas puede implementarse basándose en la arquitectura de apagado de cascode. Se pueden soportar más entradas de LNA para más bandas con más etapas de amplificador y/o más transistores de ganancia y cascode en cada etapa de amplificador. También se pueden soportar más salidas LNA para más conjuntos de portadoras con más etapas de amplificador y/o más transistores de ganancia y cascode en cada etapa de amplificador.

[0091] Un circuito de coincidencia y un circuito de coincidencia sintonizable pueden implementarse de varias maneras. A continuación se describen algunos diseños a modo de ejemplo de un circuito de coincidencia sintonizable.

[0092] La FIG. 12A muestra un diseño a modo de ejemplo de un circuito de coincidencia sintonizable 1210 basado en una topología L. La topología L incluye un componente de circuito en serie acoplado a un componente de circuito de derivación. Un componente de circuito en serie es un componente de circuito conectado entre dos nodos. Un componente de circuito de derivación es un componente de circuito conectado entre un nodo y la tierra del circuito. Un componente del circuito puede ser un inductor, un condensador, una resistencia, etc. El circuito de coincidencia 1210 incluye (i) un inductor en serie 1212 acoplado entre la entrada y la salida del circuito de coincidencia 1210 y (ii) un condensador de derivación sintonizable 1214 acoplado entre la salida del circuito correspondiente 1210 y la tierra del circuito.

[0093] La FIG. 12B muestra un diseño a modo de ejemplo de un circuito de coincidencia sintonizable 1220 basado en la topología L. El circuito de coincidencia 1220 incluye (i) un condensador en serie sintonizable 1222 acoplado entre la entrada y la salida del circuito de coincidencia 1220 y (ii) un inductor de derivación 1224 acoplado entre la salida del circuito de coincidencia 1220 y la tierra del circuito.

[0094] La FIG. 12C muestra un diseño a modo de ejemplo de un circuito de coincidencia sintonizable 1230 basado en una topología R. La topología R incluye un componente de circuito de derivación acoplado a un componente de circuito en serie. El circuito de coincidencia 1230 incluye (i) un condensador de derivación sintonizable 1232 acoplado entre la entrada del circuito de coincidencia 1230 y la tierra del circuito y (ii) un inductor en serie 1234 acoplado entre la entrada y la salida del circuito de coincidencia 1230.

[0095] La FIG. 12D muestra un diseño a modo de ejemplo de un circuito de coincidencia sintonizable 1240 basado en una topología Pi. La topología Pi incluye un componente de circuito de derivación acoplado a un componente de circuito en serie, que está acoplado a otro componente de circuito de derivación. El circuito de coincidencia 1240 incluye (i) un condensador de derivación 1242 acoplado entre la entrada del circuito de coincidencia 1240 y la tierra del circuito, (ii) un inductor en serie 1244 acoplado entre la entrada y la salida del circuito de coincidencia 1240 y (iii) un condensador de derivación sintonizable 1246 acoplado entre la salida del circuito de coincidencia 1240 y la tierra del circuito.

[0096] La FIG. 12E muestra un diseño a modo de ejemplo de un circuito de coincidencia sintonizable 1250 con dos secciones R. El circuito de coincidencia 1250 incluye (i) un inductor de derivación 1252 acoplado entre la entrada del circuito de coincidencia 1250 y una fuente de alimentación, Vdd, (ii) un condensador en serie 1254 acoplado entre la entrada del circuito de coincidencia 1250 y el nodo E, (iii) un condensador de derivación sintonizable 1256 acoplado entre el nodo E y la tierra del circuito, y (iv) un inductor en serie 1258 acoplado entre el nodo E y la salida del circuito de coincidencia 1250.

[0097] La FIG. 12F muestra un diseño a modo de ejemplo de un circuito de coincidencia ajustable 1260 basado en la topología de Pi. El circuito de coincidencia 1260 incluye (i) un inductor de derivación 1262 acoplado entre la entrada del circuito de coincidencia 1260 y el suministro Vdd, (ii) un condensador en serie 1264 acoplado entre la entrada y la salida del circuito de coincidencia 1260, (iii) un condensador de derivación sintonizable 1266 acoplado entre la salida del circuito de coincidencia 1260 y la tierra del circuito, y (iv) un inductor de derivación 1268 acoplado entre la salida del circuito de coincidencia 1260 y la tierra del circuito.

[0098] También se puede implementar un circuito de coincidencia fijo basado en cualquiera de los diseños a modo de ejemplo mostrados en las FIGS. 12A a 12F. En este caso, cada componente de circuito ajustable (por ejemplo, cada condensador ajustable) puede reemplazarse con un componente de circuito fijo (por ejemplo, un condensador fijo).

[0099] En un diseño a modo de ejemplo, un aparato (por ejemplo, un dispositivo inalámbrico, un CI, un módulo de circuito, etc.) puede incluir una primera y una segunda etapa de amplificador (por ejemplo, para un CA LNA o un MIMO LNA). La primera etapa del amplificador (por ejemplo, la etapa del amplificador 650a en la FIG. 6A) puede recibir y amplificar una señal de RF de entrada y proporcionar una primera señal de RF de salida a un primer circuito de carga (por ejemplo, el circuito de carga 690a) cuando la primera etapa del amplificador está habilitada. La señal de RF de entrada puede comprender transmisiones enviadas en múltiples portadoras a diferentes frecuencias a un dispositivo inalámbrico. La segunda etapa del amplificador (por ejemplo, la etapa del amplificador 650b en la FIG. 6A) puede recibir y amplificar la señal de RF de entrada y proporcionar una segunda señal de RF de salida a un segundo circuito de carga (por ejemplo, el circuito de carga 690b) cuando la segunda etapa del amplificador está habilitada. Cada circuito de carga puede comprender al menos un mezclador (por ejemplo, como se muestra en la FIG. 4B o 5B) y/u otros circuitos. La primera señal de RF de salida puede ser procesada (por ejemplo, convertirse de forma descendente) para transmisiones en un primer conjunto de al menos una portadora. La segunda señal de RF de salida puede procesarse para transmisiones en un segundo conjunto de al menos una portadora.

[0100] En un diseño a modo de ejemplo, la primera etapa del amplificador puede comprender un primer transistor de ganancia (por ejemplo, el transistor de ganancia 654a en la FIG. 6A) acoplado a un primer transistor cascode (por

ejemplo, el transistor cascode 656a). La segunda etapa del amplificador puede comprender un segundo transistor de ganancia (por ejemplo, el transistor de ganancia 654b) acoplado a un segundo transistor cascode (por ejemplo, el transistor cascode 656b). La señal de RF de entrada puede proporcionarse tanto al primer como al segundo transistor de ganancia. En un diseño a modo de ejemplo, la primera etapa del amplificador puede comprender además un primer inductor (por ejemplo, el inductor 652a) acoplado al primer transistor de ganancia. La segunda etapa del amplificador puede comprender además un segundo inductor (por ejemplo, el inductor 652b) acoplado al segundo transistor de ganancia. En otro diseño a modo de ejemplo, los transistores de ganancia primero y segundo pueden tener sus fuentes acopladas a tierra del circuito (por ejemplo, como se muestra en las FIGS. 8A y 8B).

[0101] En un diseño a modo de ejemplo, la primera y la segunda etapa del amplificador pueden (i) proporcionar la primera y segunda señales de RF de salida en un modo primero/CA y (ii) proporcionar la primera señal de RF de salida pero no la segunda señal de RF de salida en un modo segundo/no CA. El primer y el segundo transistor cascode pueden estar habilitados en el modo primero/CA. Solo uno de los transistores cascode primero y segundo puede habilitarse en el modo segundo/no CA. Los transistores de ganancia primero y segundo pueden aplicar la señal de RF de entrada tanto en el modo primero/CA como en el modo segundo/no CA. Uno de los transistores de ganancia primero y segundo puede operar en una región de saturación y el otro de los transistores de ganancia primero y segundo puede operar en una región lineal en el modo segundo/no CA. Cada etapa del amplificador puede habilitarse o deshabilitarse proporcionando uno o más voltajes apropiados a uno o más transistores cascode en la etapa del amplificador.

[0102] En un diseño a modo de ejemplo, un circuito de retroalimentación (por ejemplo, circuito de retroalimentación 660 en la FIG. 7) puede estar acoplado entre una salida y una entrada de al menos una de las etapas de amplificador primera y segunda. El circuito de retroalimentación puede comprender una resistencia, o un condensador, o un circuito activo tal como un transistor, o algún otro circuito, o cualquier combinación de los mismos.

[0103] En un diseño a modo de ejemplo, se pueden usar circuitos de atenuación separados para las etapas del amplificador, por ejemplo, como se muestra en la FIG. 8A. Un primer circuito de atenuación (por ejemplo, el circuito de atenuación 860a en la FIG. 8A) puede estar acoplado a la primera etapa del amplificador y puede recibir la señal de RF de entrada y proporcionar una primera señal de RF de entrada atenuada a la primera etapa del amplificador. Un segundo circuito de atenuación (por ejemplo, el circuito de atenuación 860b en la FIG. 8A) puede estar acoplado a la segunda etapa del amplificador y puede recibir la señal de RF de entrada y proporcionar una segunda señal de RF de entrada atenuada a la primera etapa del amplificador.

[0104] En otro diseño a modo de ejemplo, se puede usar un circuito de atenuación común/compartido para todas las etapas del amplificador, por ejemplo, como se muestra en la FIG. 8B. El circuito de atenuación compartido (por ejemplo, el circuito de atenuación 860a en la FIG. 8B) puede estar acoplado a la primera y segunda etapas del amplificador y puede recibir la señal de RF de entrada y proporcionar una señal de RF de entrada atenuada a ambas etapas del amplificador.

[0105] En un diseño a modo de ejemplo, se puede usar un circuito de coincidencia de entrada para las etapas del amplificador. El circuito de coincidencia de entrada (por ejemplo, el circuito de coincidencia de entrada 632 en la FIG. 6A) puede estar acoplado a la primera y segunda etapas del amplificador y puede recibir una señal de entrada del receptor y proporcionar la señal de RF de entrada. El circuito de coincidencia de entrada puede ser fijo (por ejemplo, como se muestra en la FIG. 6A) y puede comprender uno o más componentes de circuito fijo. De forma alternativa, el circuito de coincidencia de entrada puede ser sintonizable (por ejemplo, como se muestra en la FIG. 9) y puede comprender al menos un componente de circuito ajustable.

[0106] En un diseño a modo de ejemplo, el aparato puede componer además etapas de amplificador tercera y cuarta (por ejemplo, etapas de amplificador 1050c y 1050d en la FIG. 10 para un MIMO LNA). La tercera etapa del amplificador (por ejemplo, la etapa del amplificador 1050c) puede recibir y amplificar una segunda señal de RF de entrada y proporcionar la primera señal de RF de salida al primer circuito de carga cuando la tercera etapa del amplificador está habilitada. La cuarta etapa del amplificador (por ejemplo, la etapa del amplificador 1050d) puede recibir y amplificar la segunda señal de RF de entrada y proporcionar la segunda señal de RF de salida al segundo circuito de carga cuando la cuarta etapa del amplificador está habilitada.

[0107] En otro diseño a modo de ejemplo, la primera etapa de amplificador (por ejemplo, la etapa de amplificador 1150a en la FIG. 11A) puede recibir y amplificar la señal de RF de entrada o una segunda señal de RF de entrada y puede proporcionar la primera señal de RF de salida al primer circuito de carga cuando la primera etapa del amplificador está habilitada. La segunda etapa del amplificador (por ejemplo, la etapa del amplificador 1150b) puede recibir y amplificar la señal de RF de entrada o la segunda señal de RF de entrada y puede proporcionar la segunda señal de RF de salida al segundo circuito de carga cuando la segunda etapa del amplificador está habilitada. La primera etapa del amplificador puede comprender además un tercer transistor de ganancia (por ejemplo, el transistor de ganancia 1164a) acoplado a un tercer transistor cascode (por ejemplo, el transistor cascode 1166a). La segunda etapa del amplificador puede comprender además un cuarto transistor de ganancia (por ejemplo, el transistor de ganancia 1164b) acoplado a un cuarto transistor cascode (por ejemplo, el transistor cascode 1166b). La segunda señal de RF de entrada puede proporcionarse a los transistores de ganancia tercero y cuarto.

[0108] En otro diseño a modo de ejemplo, el aparato puede incluir además etapas de amplificador tercera y cuarta (por ejemplo, etapas de amplificador 1150c y 1150d en la FIG. 11B para un LNA MIMO). La tercera etapa de amplificador (por ejemplo, la etapa de amplificador 1150c) puede recibir y amplificar una tercera señal de RF de entrada o una cuarta señal de RF de entrada y puede proporcionar la primera señal de RF de salida al primer circuito de carga cuando la tercera etapa de amplificador está habilitada. La cuarta etapa del amplificador (por ejemplo, la etapa del amplificador 1150d) puede recibir y amplificar la tercera señal de RF de entrada o la cuarta señal de RF de entrada y puede proporcionar la segunda señal de RF de salida al segundo circuito de carga cuando la cuarta etapa del amplificador está habilitada.

[0109] La FIG. 13 muestra un diseño a modo de ejemplo de un proceso 1300 para recibir señales en un sistema inalámbrico. El proceso 1300 puede ser realizado por un dispositivo inalámbrico (como se describe a continuación) o por alguna otra entidad. El dispositivo inalámbrico puede habilitar la primera y segunda etapa del amplificador en un modo primero/CA (bloque 1312). El dispositivo inalámbrico puede habilitar la primera etapa del amplificador y deshabilitar la segunda etapa del amplificador en un modo segundo/no CA (bloque 1314). El dispositivo inalámbrico puede amplificar una primera señal de RF de entrada con la primera etapa del amplificador para obtener una primera señal de RF de salida cuando la primera etapa del amplificador está habilitada (bloque 1316). El dispositivo inalámbrico puede amplificar la primera señal de RF de entrada o una segunda señal de RF de entrada con la segunda etapa de amplificador para obtener una segunda señal de RF de salida cuando la segunda etapa de amplificador está habilitada (bloque 1318). La primera y segunda señales de RF de entrada pueden comprender transmisiones enviadas en múltiples portadoras a diferentes frecuencias al dispositivo inalámbrico. La primera y segunda señales de RF de entrada pueden ser para diferentes bandas.

[0110] Se pueden implementar los LNA descritos en el presente documento en un CI, un CI analógico, un RFIC, un CI de señal mixta, un ASIC, una placa de circuitos impresos (PCB), un dispositivo electrónico, etc. Los LNA también pueden fabricarse con varias tecnologías de proceso de CI, como el semiconductor complementario de óxido metálico (CMOS), MOS de N canales (NMOS), MOS de P canales (PMOS), transistor de unión bipolar (BJT), CMOS bipolar (BiCMOS), germanio de silicio (SiGe), arseniuro de galio (GaAs), transistores bipolares de unión heterogénea (HBT), transistores de alta movilidad de electrones (HEMT), silicio sobre aislante (SOI), etc.

[0111] Un aparato que implementa los LNA descritos en el presente documento puede ser un dispositivo autónomo o puede formar parte de un dispositivo más grande. Un dispositivo puede ser (i) un CI autónomo, (ii) un conjunto de uno o más CI que pueden incluir CI de memoria para almacenar datos y/o instrucciones, (iii) un RFIC tal como un receptor de RF (RFR) o un transmisor/receptor de RF (RTR), (iv) un ASCII tal como un módem de estación móvil (MSM), (v) un módulo que puede estar integrado dentro de otros dispositivos, (vi) un receptor, un teléfono celular, un dispositivo inalámbrico, un microteléfono o una unidad móvil, (vii) etc.

[0112] En uno o más diseños a modo de ejemplo, las funciones descritas se pueden implementar en hardware, software, firmware o en cualquier combinación de los mismos. Si se implementan en software, las funciones se pueden almacenar en, o transmitir por, un medio legible por ordenador, como una o más instrucciones o código. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informático como medios de comunicación que incluyen cualquier medio que facilite la transferencia de un programa informático de un lugar a otro. Un medio de almacenamiento puede ser cualquier medio disponible al que se pueda acceder mediante un ordenador. A modo de ejemplo y no de limitación, dichos medios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otros dispositivos de almacenamiento en disco óptico, almacenamiento en disco magnético u otros dispositivos de almacenamiento magnético, o cualquier otro medio que se pueda usar para transportar o almacenar el código de programa deseado en forma de instrucciones o estructuras de datos y al que se pueda acceder mediante un ordenador. También, cualquier conexión recibe apropiadamente la denominación de medio legible por ordenador. Por ejemplo, si el software se transmite desde un sitio web, un servidor u otra fuente remota usando un cable coaxial, un cable de fibra óptica, un par trenzado, una línea digital de abonado (DSL) o tecnologías inalámbricas tales como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el par trenzado, la DSL o las tecnologías inalámbricas, tales como infrarrojos, radio y microondas, se incluyen en la definición de medio. Los discos, como se usan en el presente documento, incluyen un disco compacto (CD), disco láser, disco óptico, disco versátil digital (DVD), disco flexible y disco Blu-ray, donde los discos flexibles reproducen habitualmente datos de manera magnética, mientras que el resto de los discos reproducen datos de manera óptica con láseres. Las combinaciones de lo anterior se deberían incluir también dentro del alcance de los medios legibles por ordenador.

[0113] La descripción previa de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones de la divulgación resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento se pueden aplicar a otras variaciones sin apartarse del alcance de la divulgación. Por lo tanto, no se pretende limitar la divulgación a los ejemplos y diseños descritos en el presente documento, sino que se le ha de conceder el alcance más amplio conforme a los principios y las características novedosas divulgados en el presente documento.

REIVINDICACIONES

1. Un aparato, que comprende:

5 una primera etapa del amplificador (950a) configurada para habilitarse o deshabilitarse independientemente, con la primera etapa del amplificador además configurada para recibir y amplificar una señal de radiofrecuencia, RF, de entrada y proporcionar una primera señal de RF de salida a un primer circuito de carga (990a) cuando la primera etapa del amplificador está habilitada, con la señal de RF de entrada que comprende transmisiones enviadas en múltiples portadoras a diferentes frecuencias a un dispositivo inalámbrico; y

10 una segunda etapa del amplificador (950b) configurada para habilitarse o deshabilitarse independientemente, con la segunda etapa del amplificador configurada además para recibir y amplificar la señal de RF de entrada y proporcionar una segunda señal de RF de salida a un segundo circuito de carga (990b) cuando la segunda etapa del amplificador está habilitada y

15 un circuito de coincidencia de entrada (932) acoplado a la primera y segunda etapas del amplificador y configurado para recibir una señal de entrada del receptor y proporcionar la señal de RF de entrada; y

20 el circuito de coincidencia de entrada es sintonizable y comprende al menos un componente de circuito ajustable.

2. El aparato según la reivindicación 1, con la primera etapa del amplificador que comprende un primer transistor de ganancia acoplado a un primer transistor cascode, la segunda etapa del amplificador que comprende un segundo transistor de ganancia acoplado a un segundo transistor cascode, y la señal de entrada de RF proporcionada tanto al primero como al segundo transistor de ganancia.

3. El aparato según la reivindicación 2, con la primera etapa del amplificador que comprende además un primer inductor acoplado al primer transistor de ganancia, y la segunda etapa del amplificador que comprende además un segundo inductor acoplado al segundo transistor de ganancia; y/o con los transistores de ganancia primero y segundo que tienen fuentes acopladas a tierra del circuito.

4. El aparato según la reivindicación 2, con las etapas de amplificador primera y segunda que proporcionan las señales de RF de salida primera y segunda en un primer modo y proporcionan la primera señal de RF de salida pero no la segunda señal de RF de salida en un segundo modo, estando los transistores cascode primero y segundo habilitados en el primer modo, y solo uno de los transistores cascode primero y segundo habilitado en el segundo modo; y

40 con el primer y segundo transistores de ganancia que aplican la señal de RF de entrada tanto en el primer modo como en el segundo modo, y uno de los transistores de ganancia primero y segundo que operan en una región de saturación y el otro de los transistores de ganancia primero y segundo que operan en una región lineal en el segundo modo.

5. El aparato de acuerdo con la reivindicación 1, que comprende, además:

45 un circuito de retroalimentación acoplado entre una salida y una entrada de al menos una de las etapas primera y segunda del amplificador; y el circuito de retroalimentación que comprende una resistencia, o un condensador, o tanto una resistencia como un condensador.

50 6. El aparato de acuerdo con la reivindicación 1, que comprende, además:

un primer circuito de atenuación acoplado a la primera etapa del amplificador y configurado para recibir la señal de RF de entrada; y

55 un segundo circuito de atenuación acoplado a la segunda etapa del amplificador y configurado para recibir la señal de RF de entrada; o

que comprende además:

60 un circuito de atenuación acoplado a la primera y segunda etapa del amplificador y configurado para recibir la señal de entrada de RF.

7. El aparato de acuerdo con la reivindicación 1, que comprende, además:

65 una tercera etapa de amplificador configurada para recibir y amplificar una segunda señal de RF de entrada y proporcionar la primera señal de RF de salida al primer circuito de carga cuando se habilita la tercera

etapa de amplificador; y

una cuarta etapa del amplificador configurada para recibir y amplificar la segunda señal de RF de entrada y proporcionar la segunda señal de RF de salida al segundo circuito de carga cuando la cuarta etapa del amplificador está habilitada.

5

8. El aparato según la reivindicación 1,

con la primera etapa del amplificador configurada para recibir y amplificar la señal de RF de entrada o una segunda señal de RF de entrada y proporcionar la primera señal de RF de salida al primer circuito de carga cuando la primera etapa del amplificador está habilitada, y

10

la segunda etapa del amplificador configurada para recibir y amplificar la señal de RF de entrada o la segunda señal de RF de entrada y proporcionar la segunda señal de RF de salida al segundo circuito de carga cuando la segunda etapa del amplificador está habilitada.

15

9. El aparato según la reivindicación 2, con la primera etapa del amplificador que comprende además un tercer transistor de ganancia acoplado a un tercer transistor cascode, con la segunda etapa del amplificador que comprende además un cuarto transistor de ganancia acoplado a un cuarto transistor cascode, y donde se proporciona una segunda señal de RF de entrada tanto al tercer como al cuarto transistor de ganancia.

20

10. El aparato de acuerdo con la reivindicación 8, que comprende, además:

una tercera etapa de amplificador configurada para recibir y amplificar una tercera señal de RF de entrada o una cuarta señal de RF de entrada y proporcionar la primera señal de RF de salida al primer circuito de carga cuando se habilita la tercera etapa de amplificador; y

25

una cuarta etapa de amplificador configurada para recibir y amplificar la tercera señal de RF de entrada o la cuarta señal de RF de entrada y proporcionar la segunda señal de RF de salida al segundo circuito de carga cuando la cuarta etapa de amplificador está habilitada.

30

11. Un procedimiento (1300) que comprende:

amplificar (1316) una primera señal de radiofrecuencia de entrada, RF, con una primera etapa de amplificador (950a) para obtener una primera señal de RF de salida cuando se habilita la primera etapa de amplificador, con la primera etapa de amplificador configurada para habilitarse o deshabilitarse independientemente, con la primera señal de RF de entrada que comprende transmisiones enviadas en múltiples portadoras a diferentes frecuencias a un dispositivo inalámbrico;

35

amplificar la primera señal de RF de entrada o una segunda señal de RF de entrada con una segunda etapa de amplificador (950b) para obtener una segunda señal de RF de salida cuando la segunda etapa de amplificador está habilitada, con la segunda etapa de amplificador configurada para habilitarse o deshabilitarse independientemente; y

40

recibir una señal de entrada del receptor y proporcionar la señal de RF de entrada con un circuito de coincidencia de entrada (932) acoplado a la primera y segunda etapas del amplificador, siendo el circuito de coincidencia de entrada sintonizable y que comprende al menos un componente de circuito ajustable.

45

12. El procedimiento según la reivindicación 11, que comprende además:

habilitar las etapas de amplificador primera y segunda en un primer modo para obtener las señales de RF de salida primera y segunda; y

50

habilitar la primera etapa del amplificador y deshabilitar la segunda etapa del amplificador en un segundo modo para obtener la primera señal de RF de salida pero no la segunda señal de RF de salida.

55

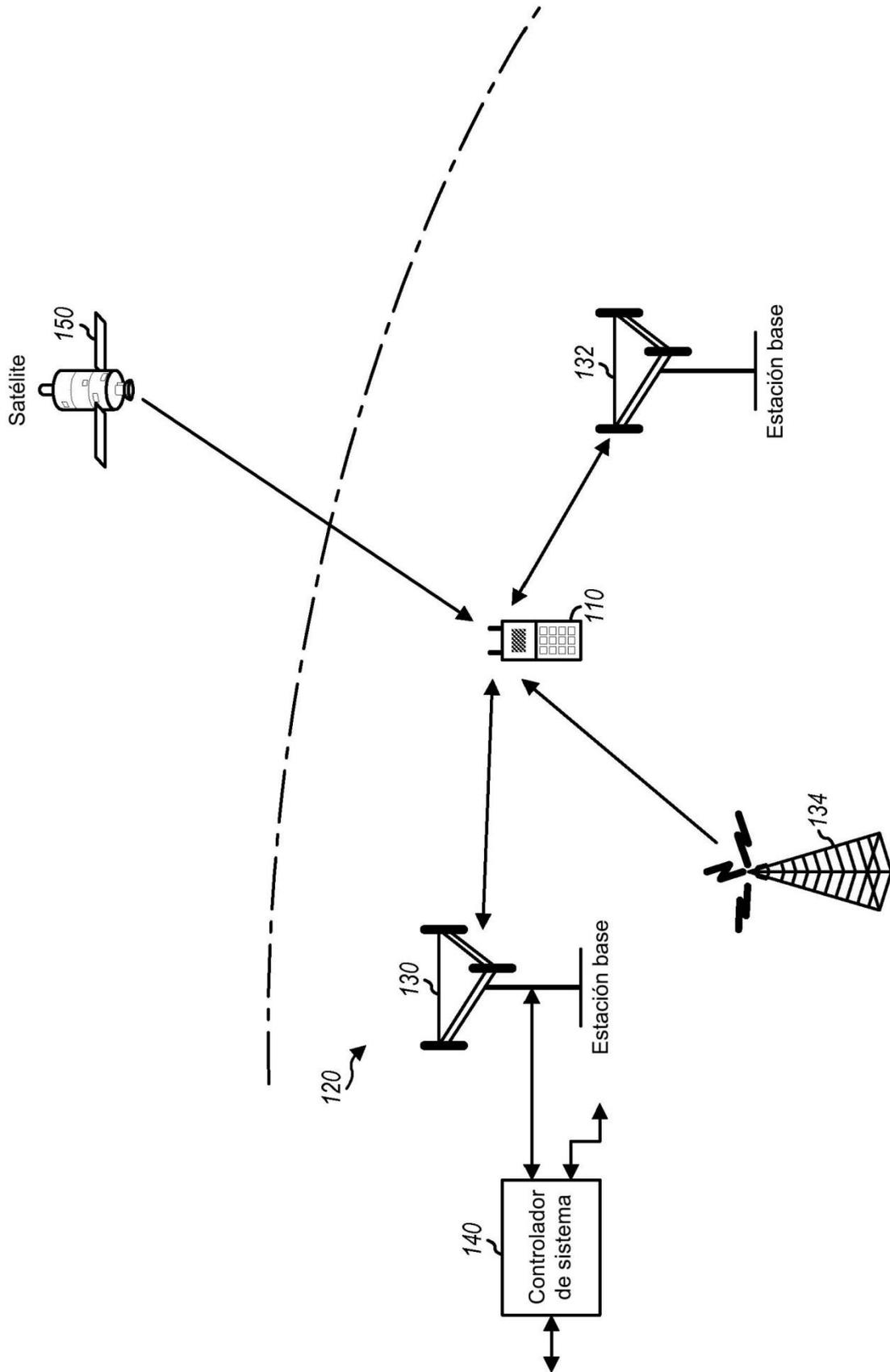


FIG. 1



FIG. 2A

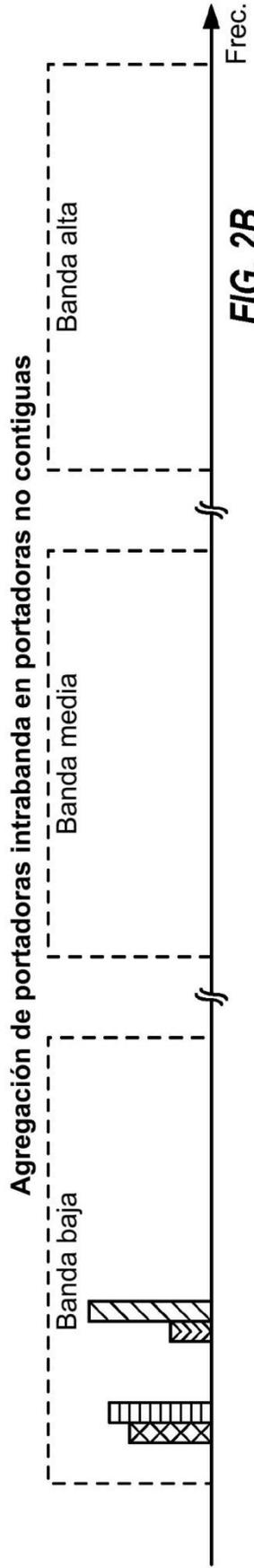


FIG. 2B

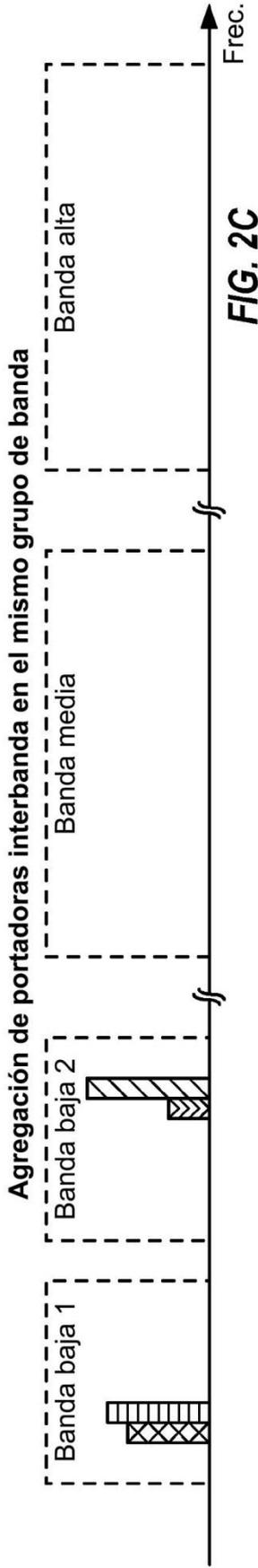


FIG. 2C

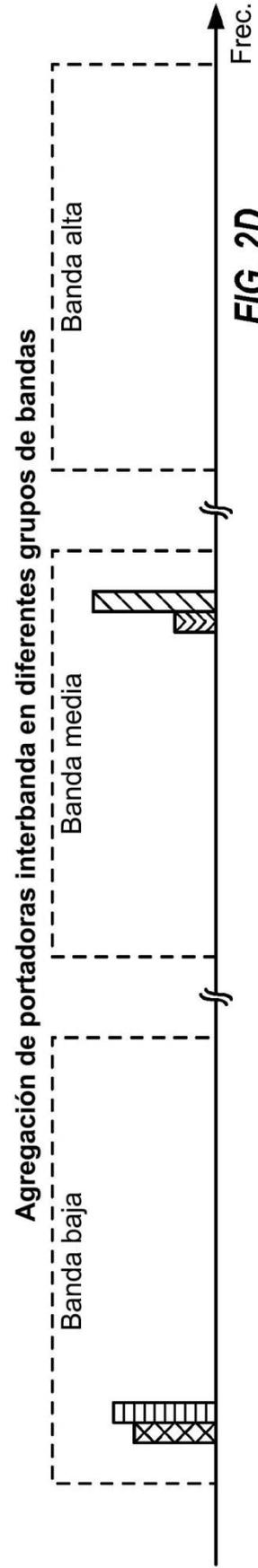


FIG. 2D

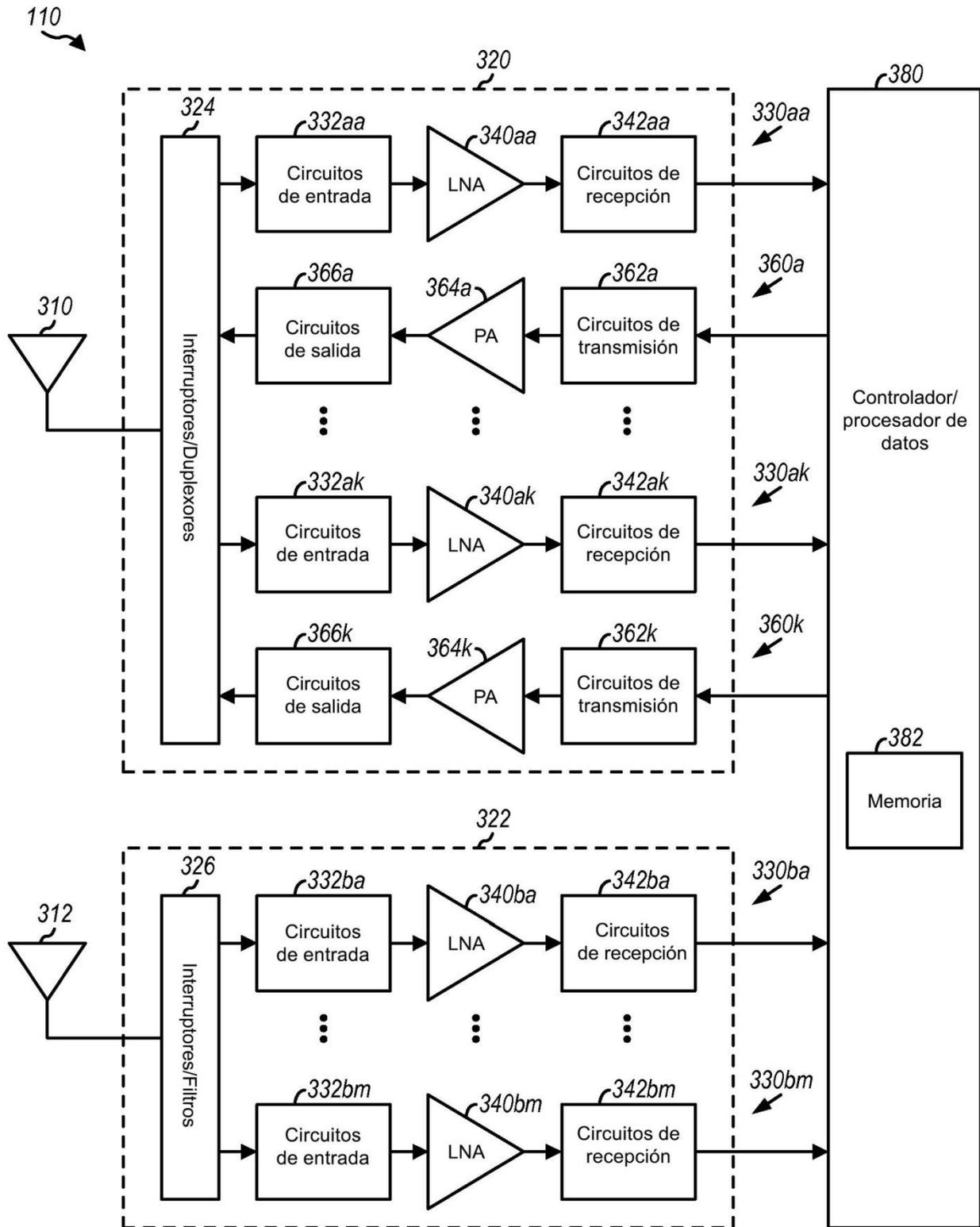
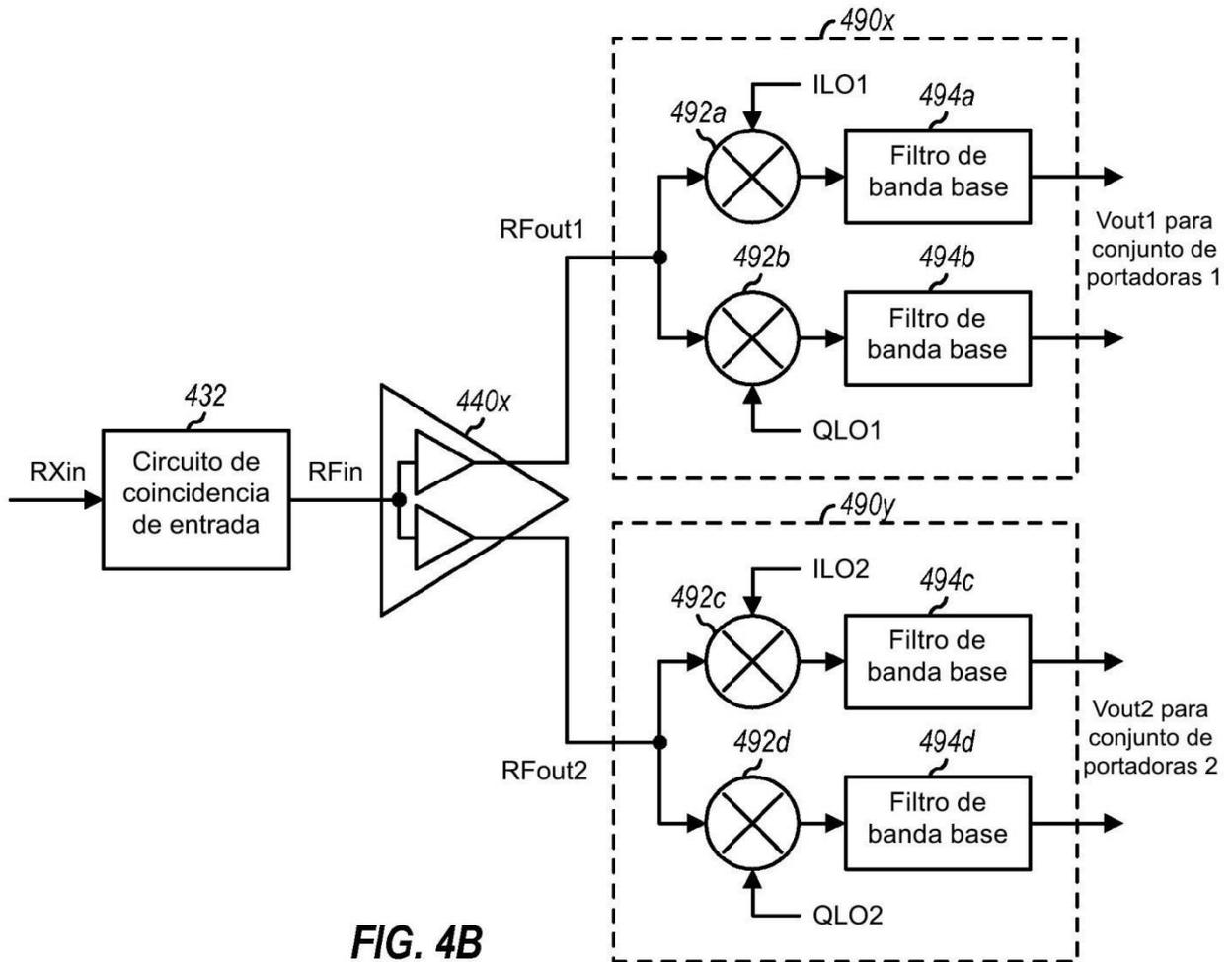
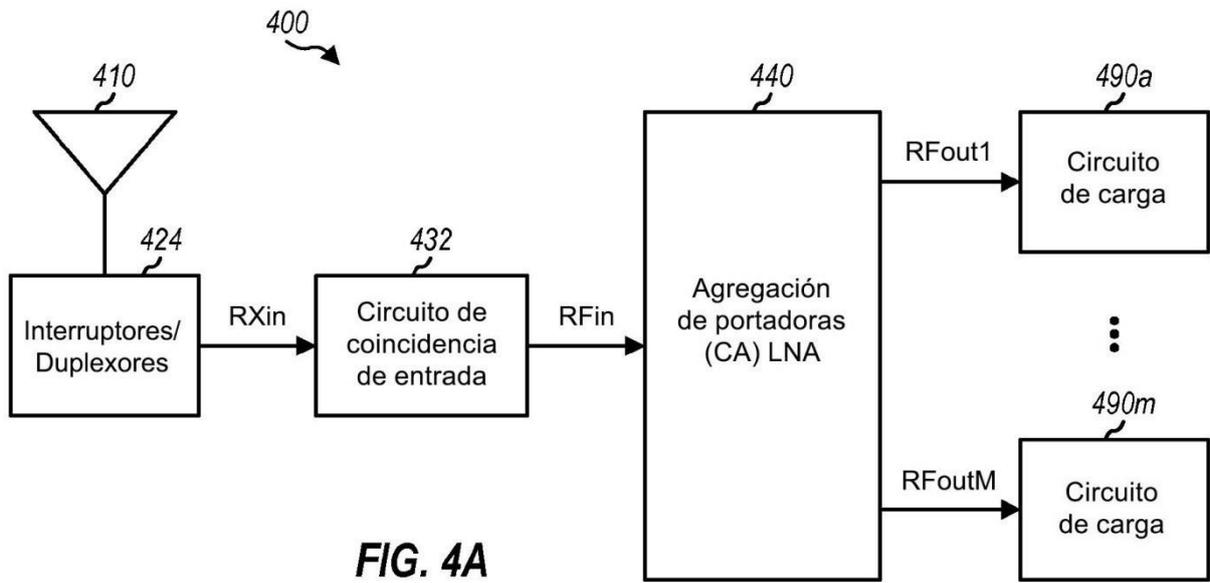


FIG. 3



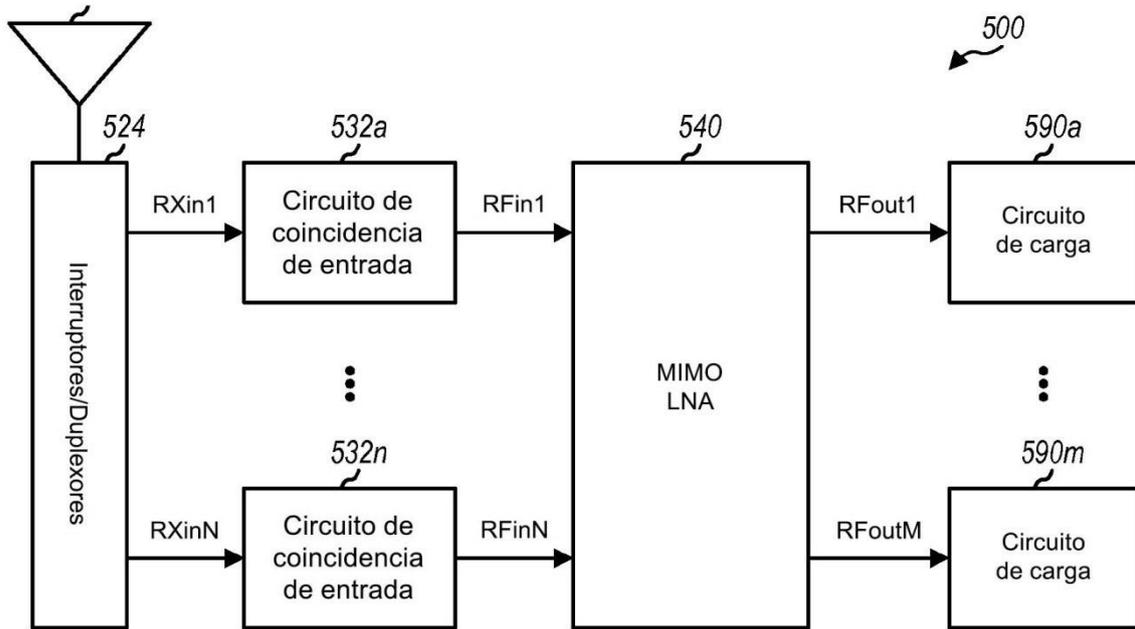


FIG. 5A

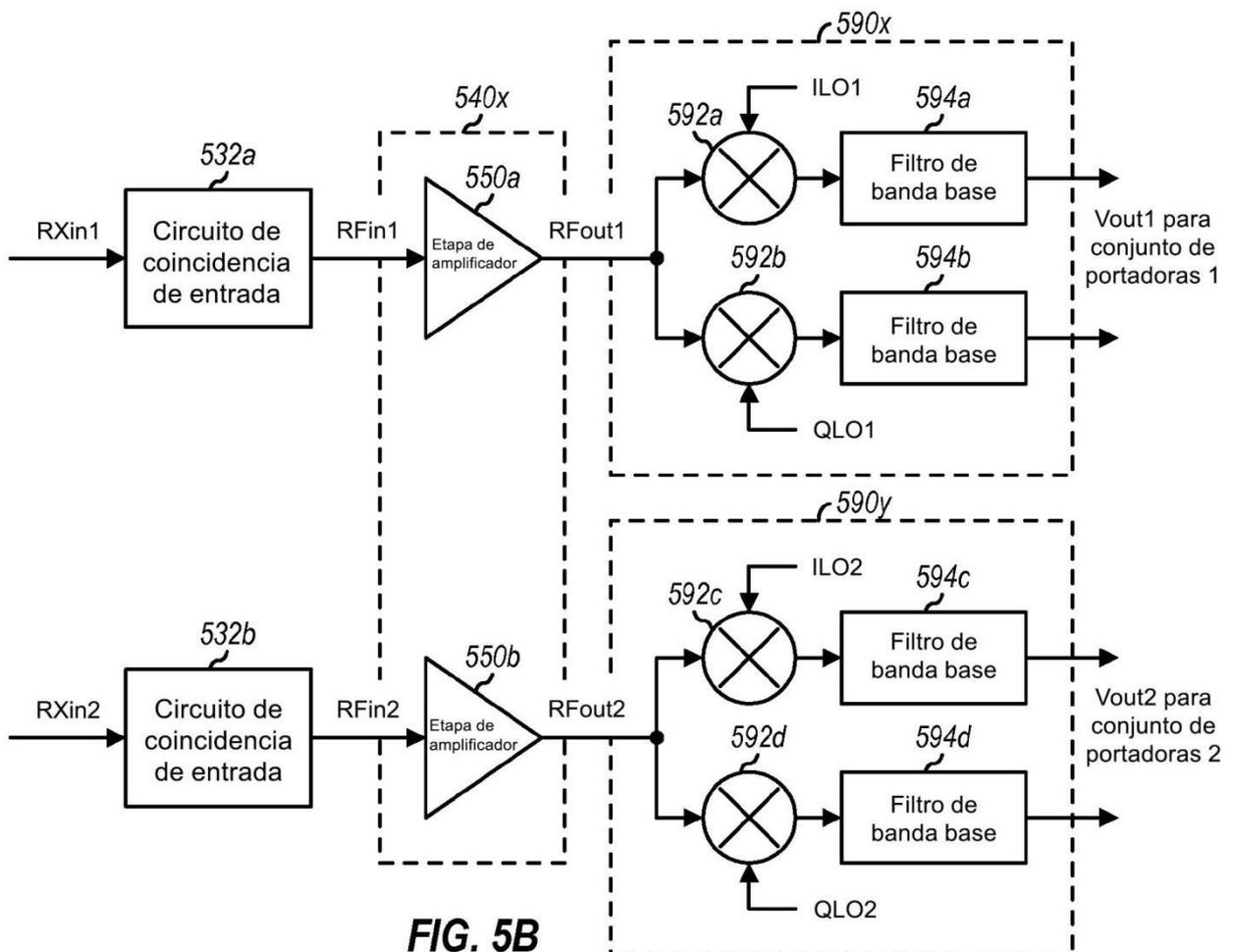


FIG. 5B

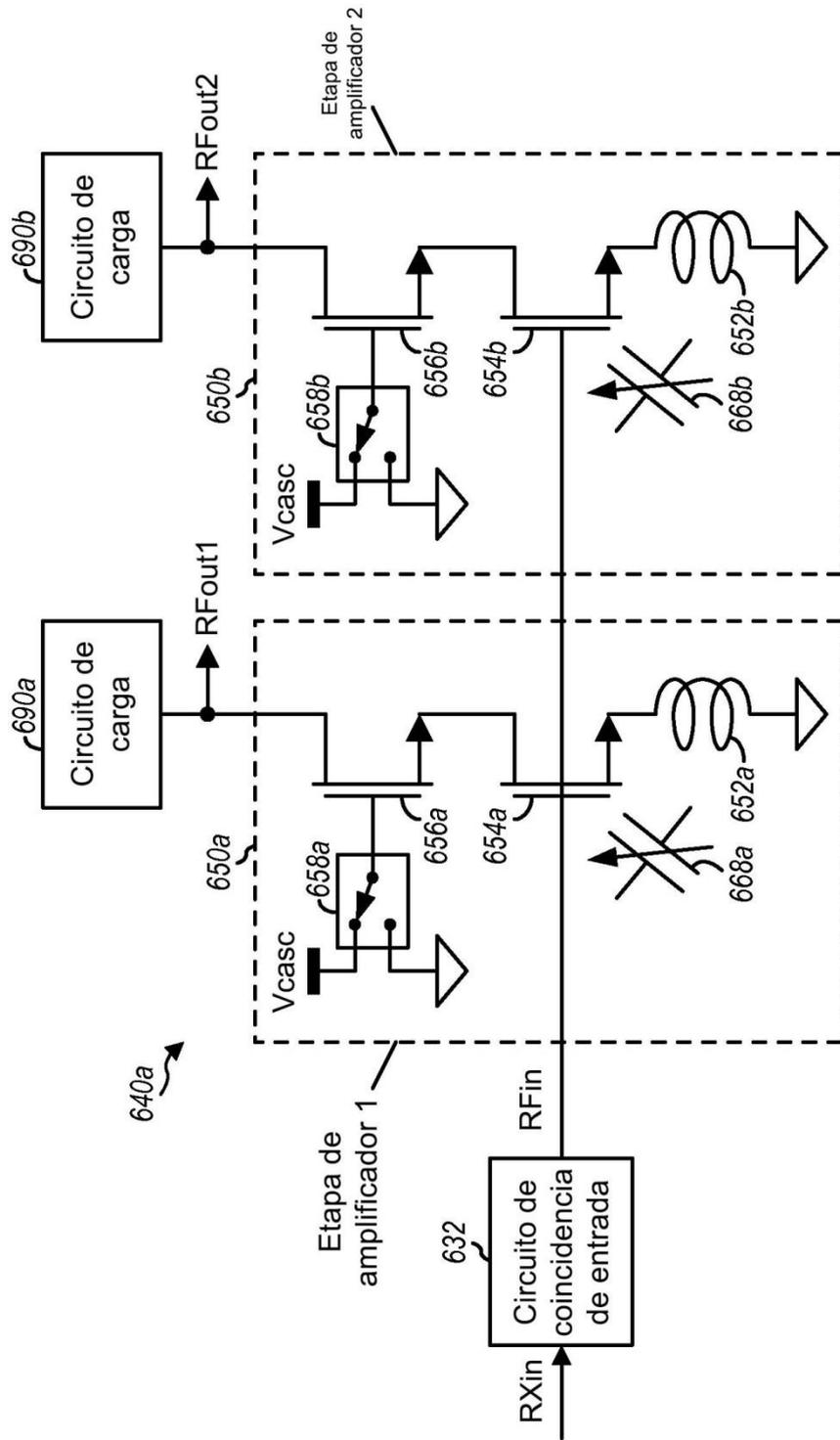


FIG. 6A

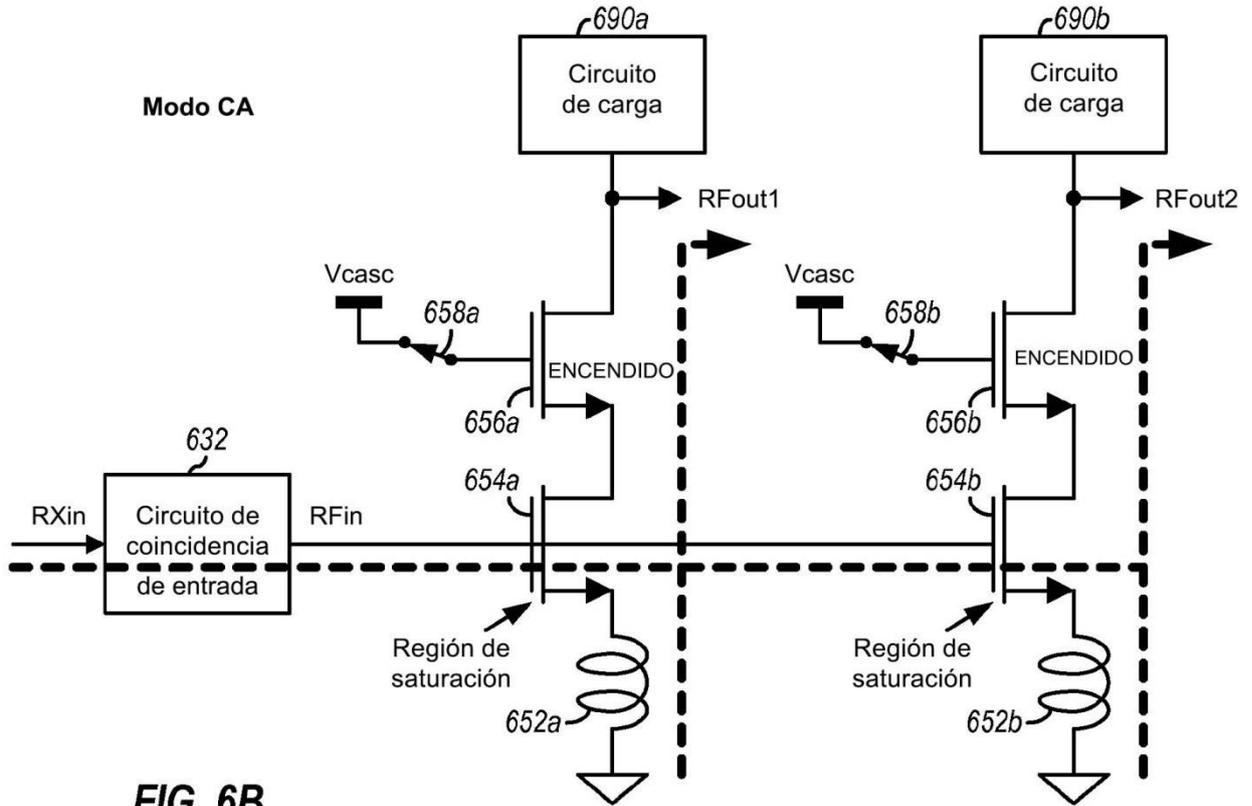


FIG. 6B

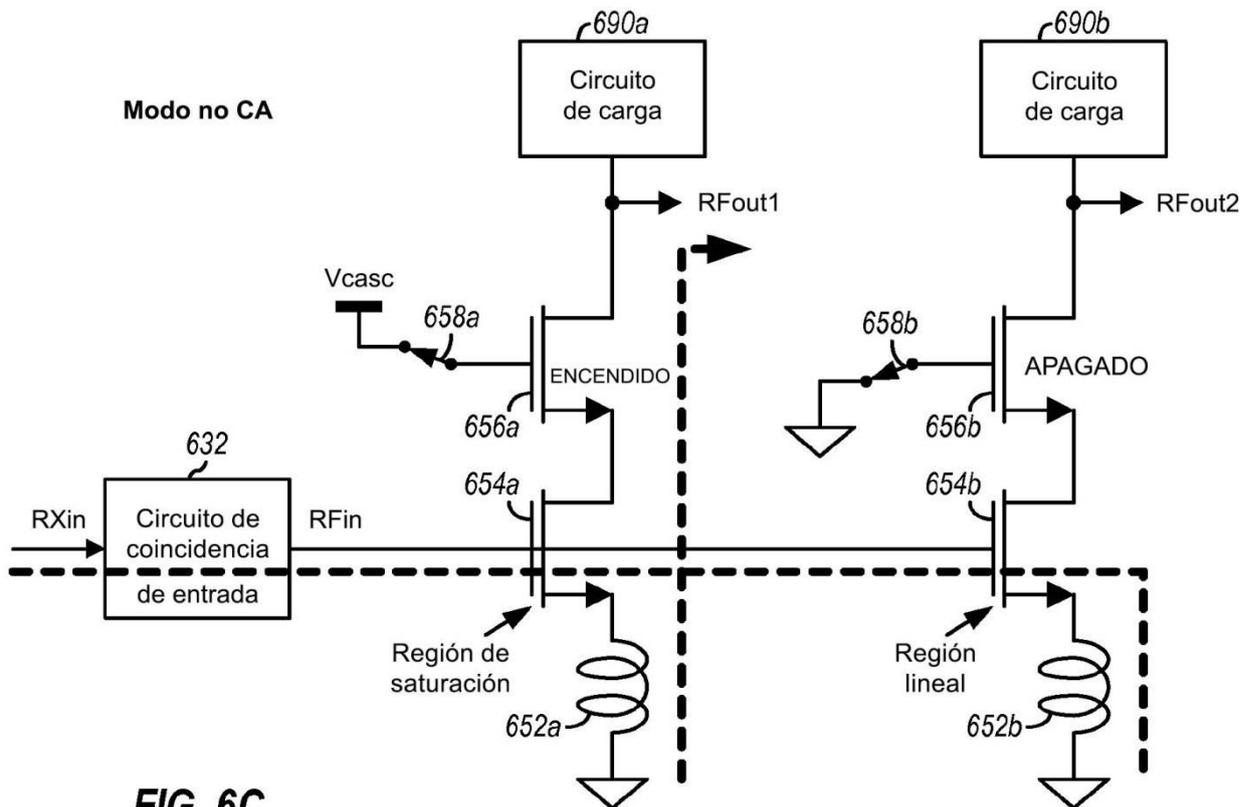


FIG. 6C

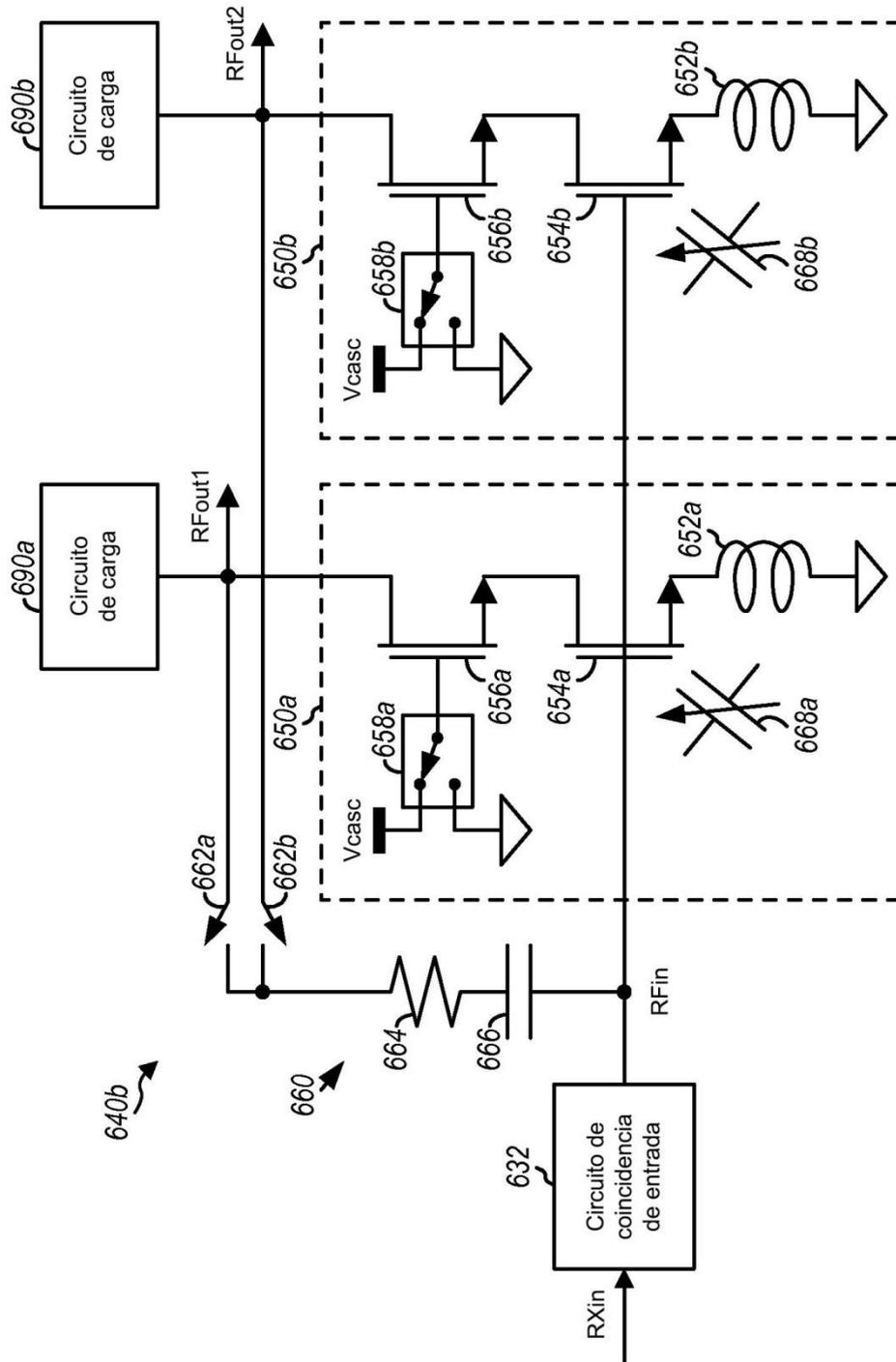


FIG. 7

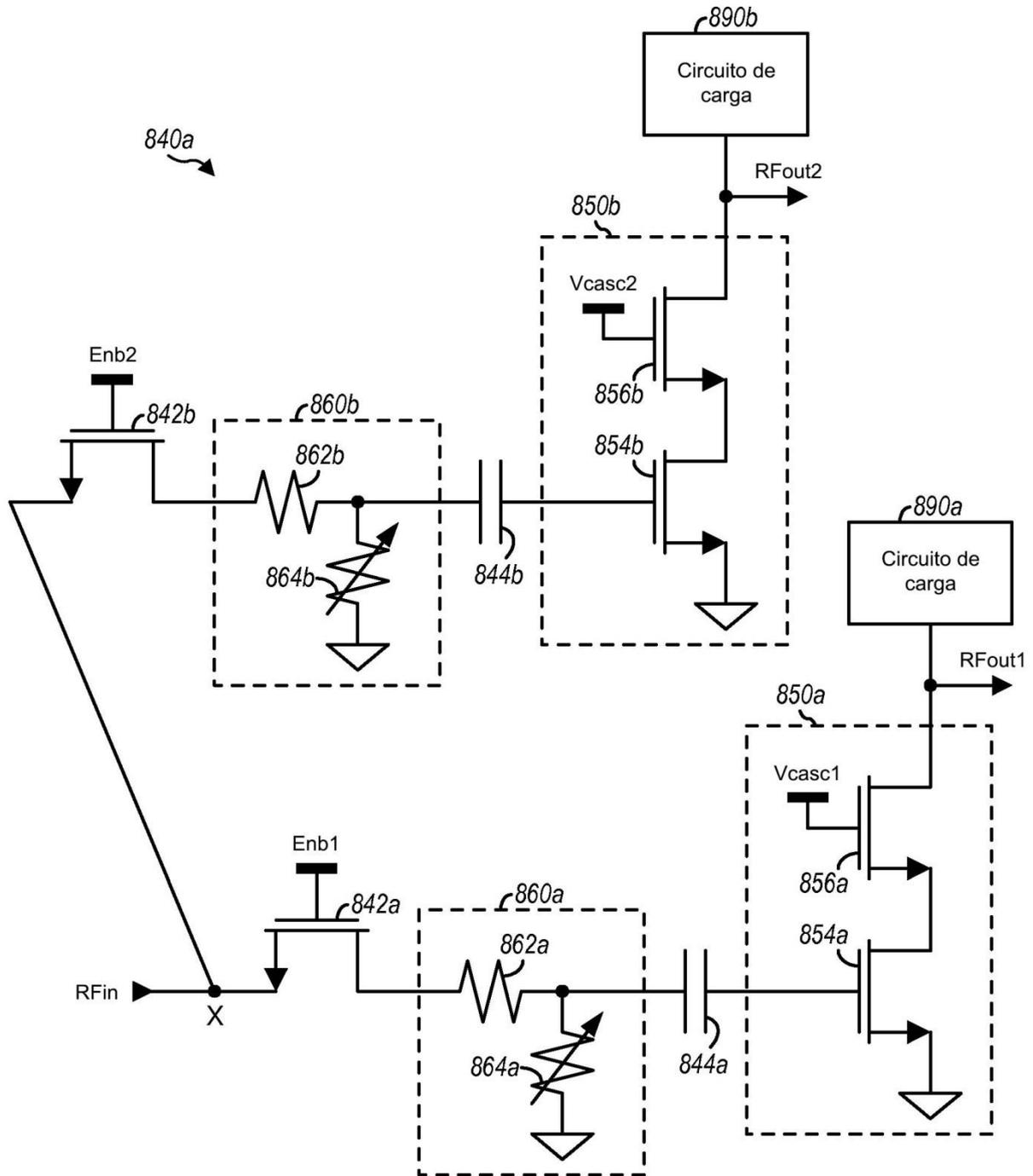


FIG. 8A

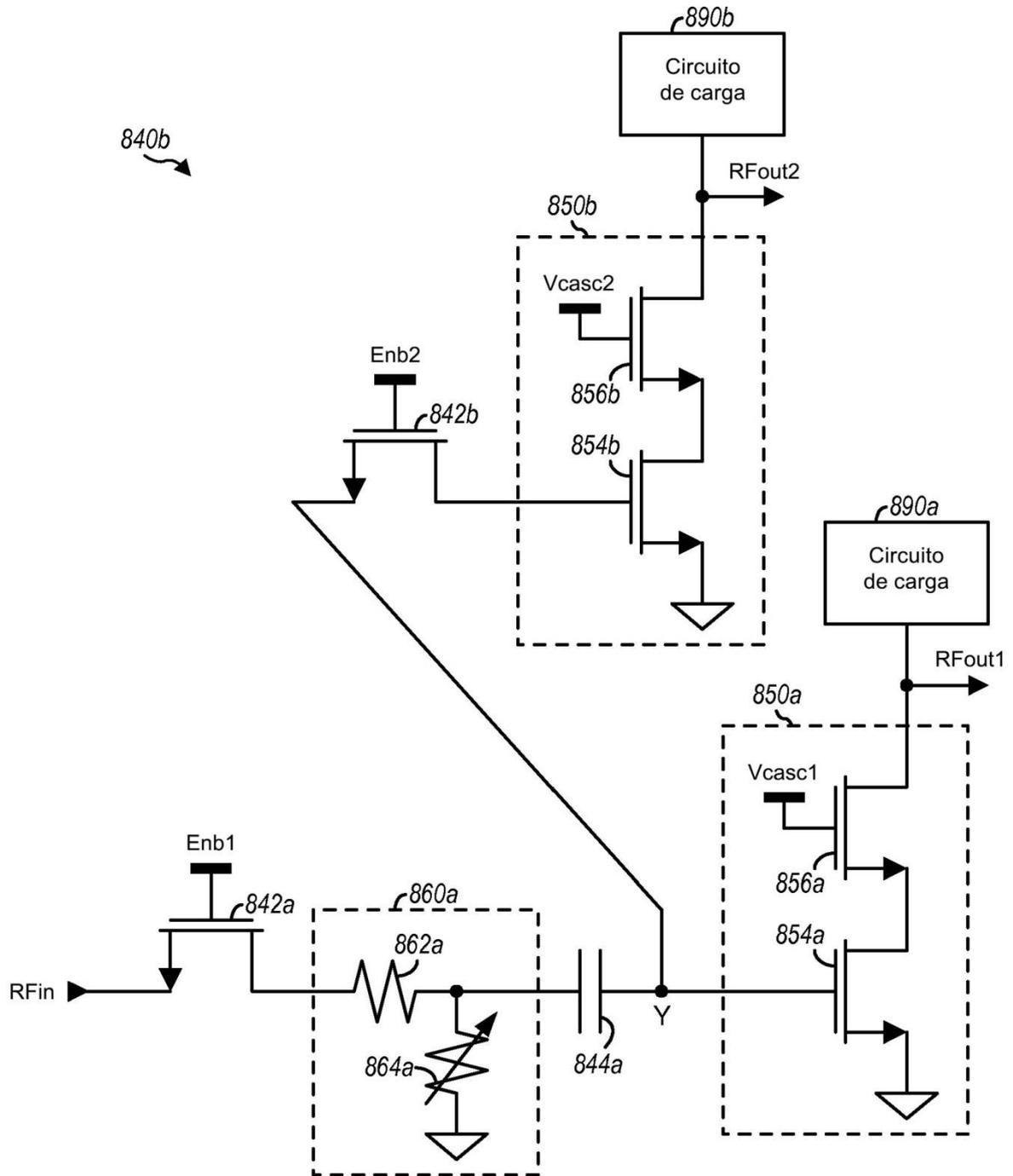


FIG. 8B

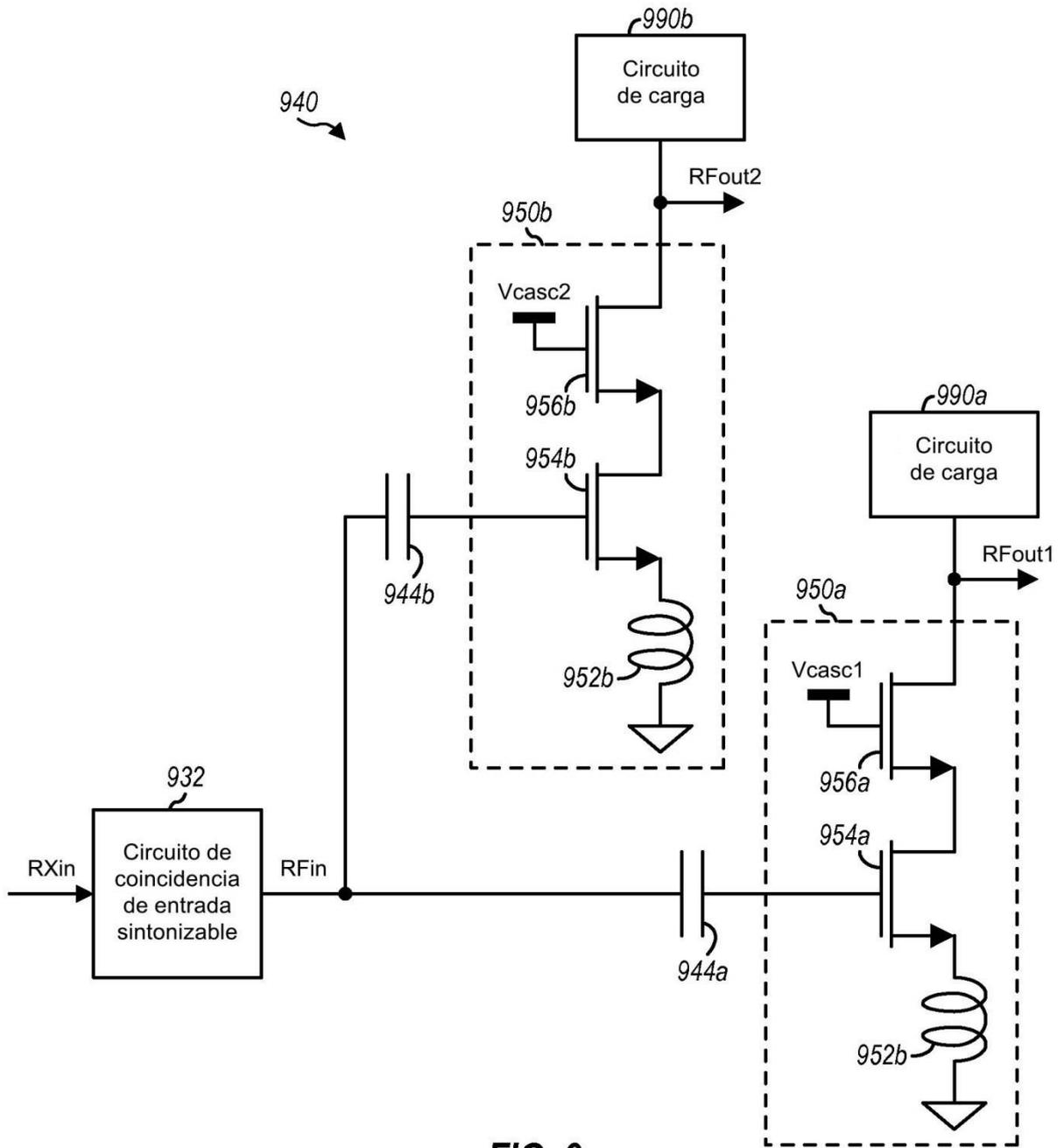


FIG. 9

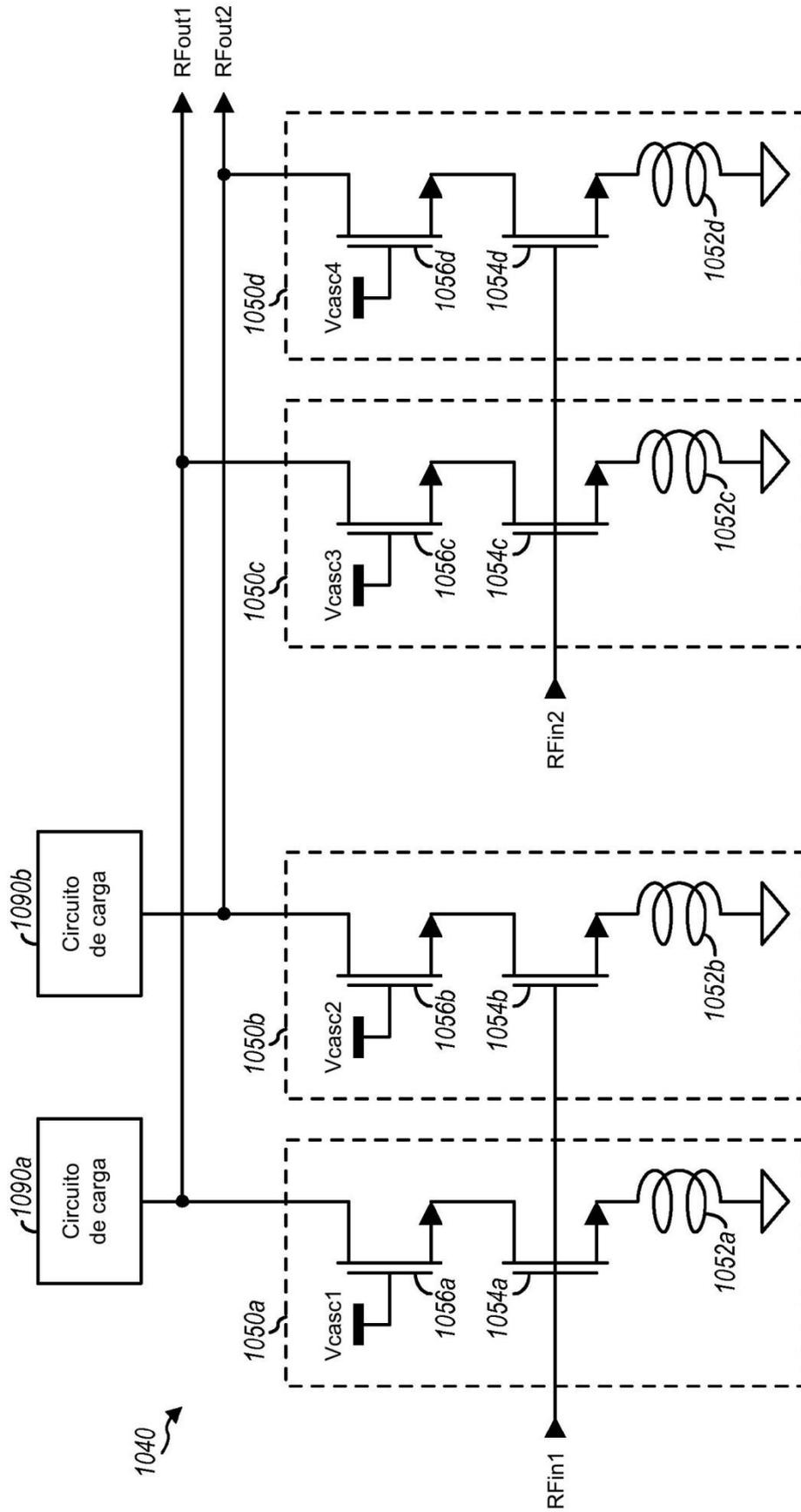


FIG. 10

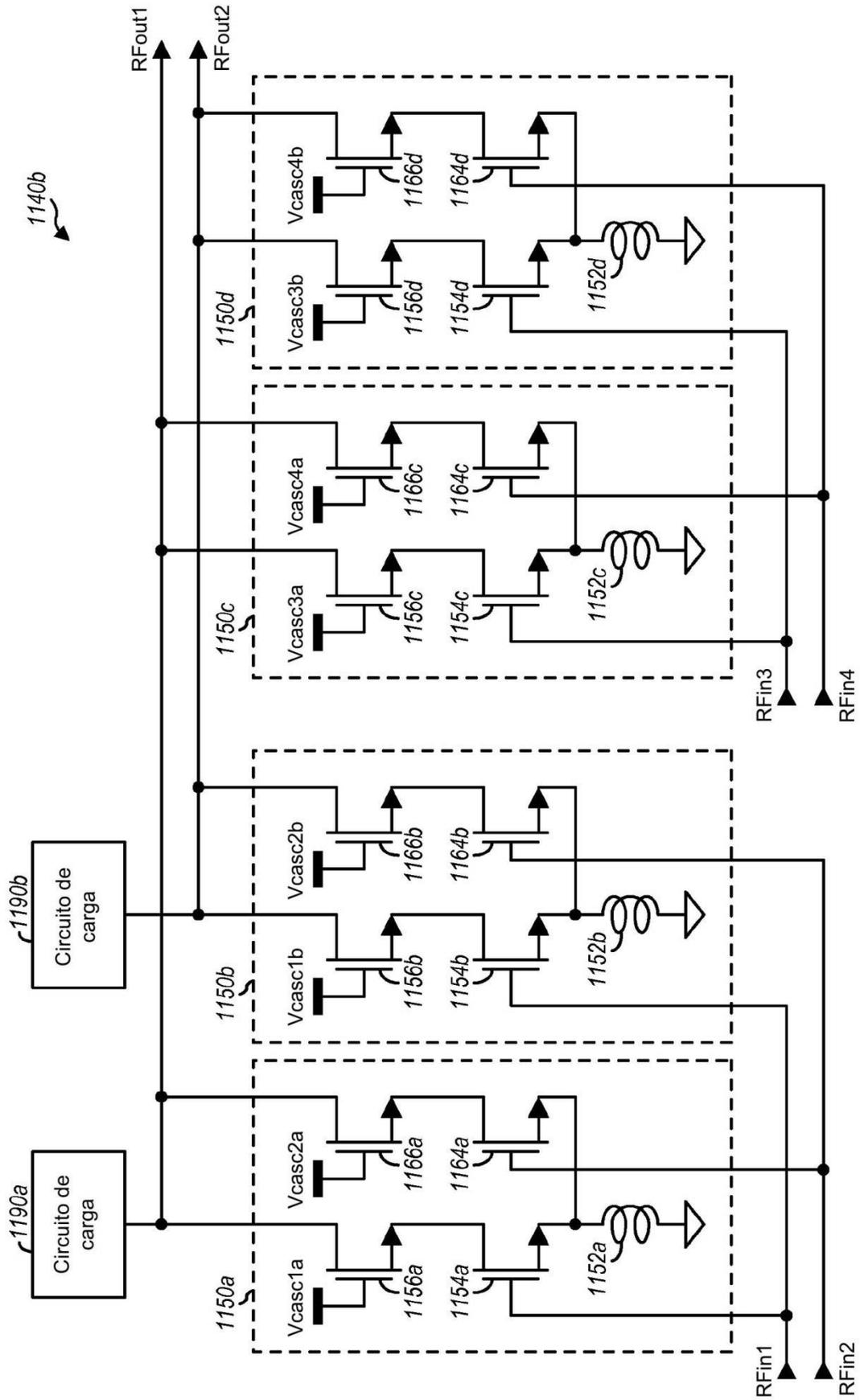


FIG. 11B

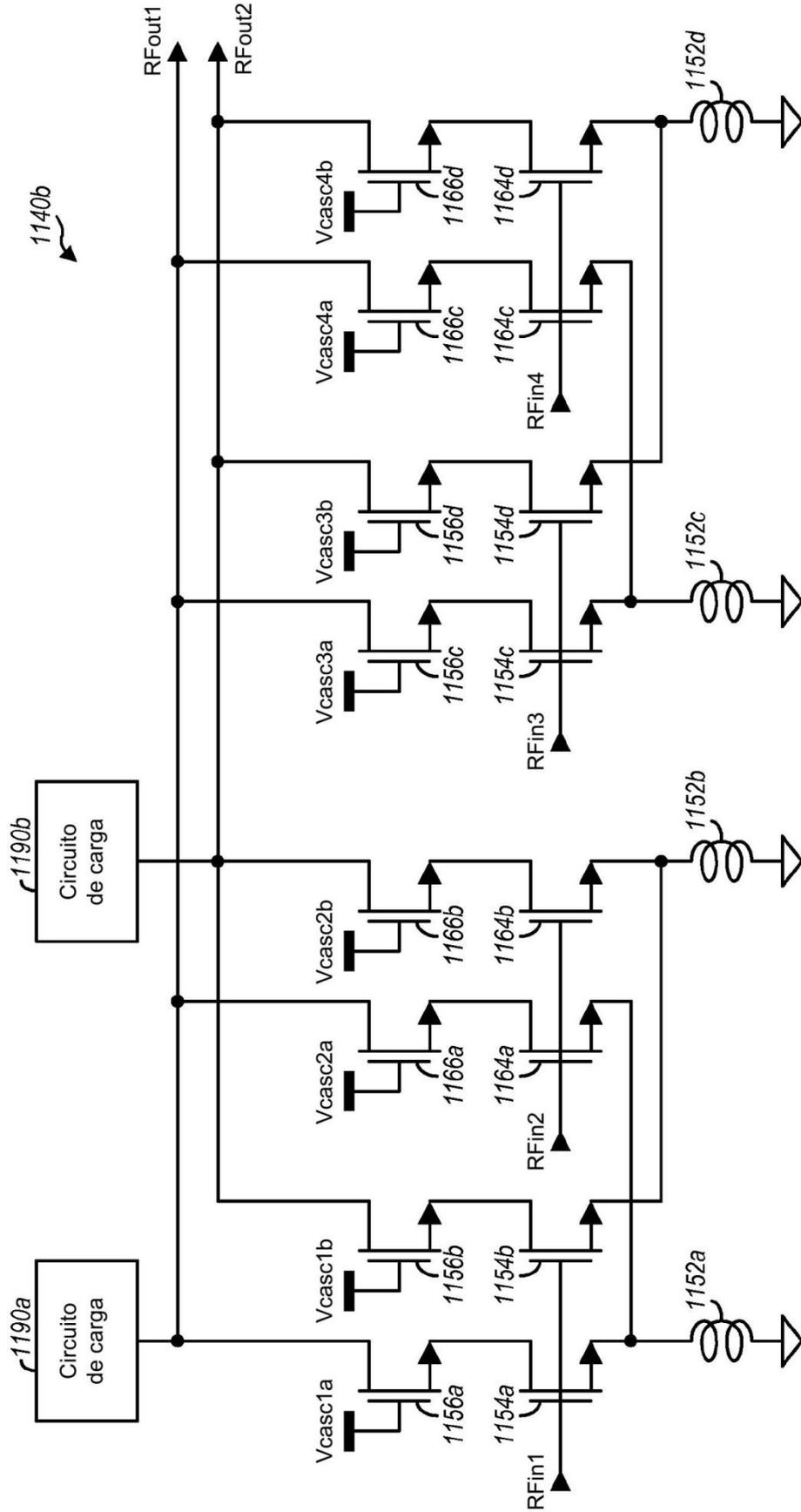


FIG. 11C

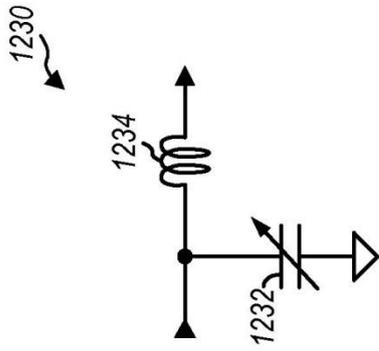


FIG. 12C

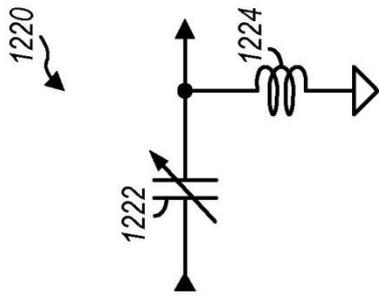


FIG. 12B

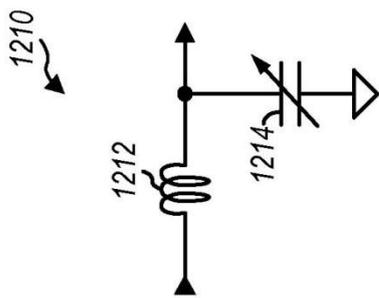


FIG. 12A

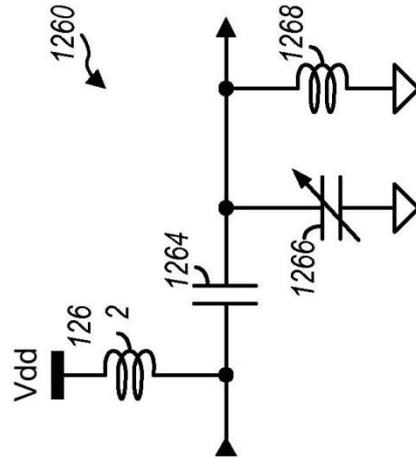


FIG. 12F

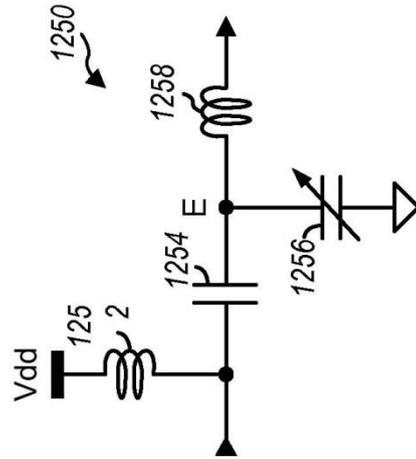


FIG. 12E

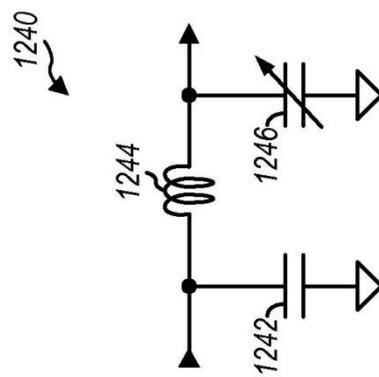


FIG. 12D

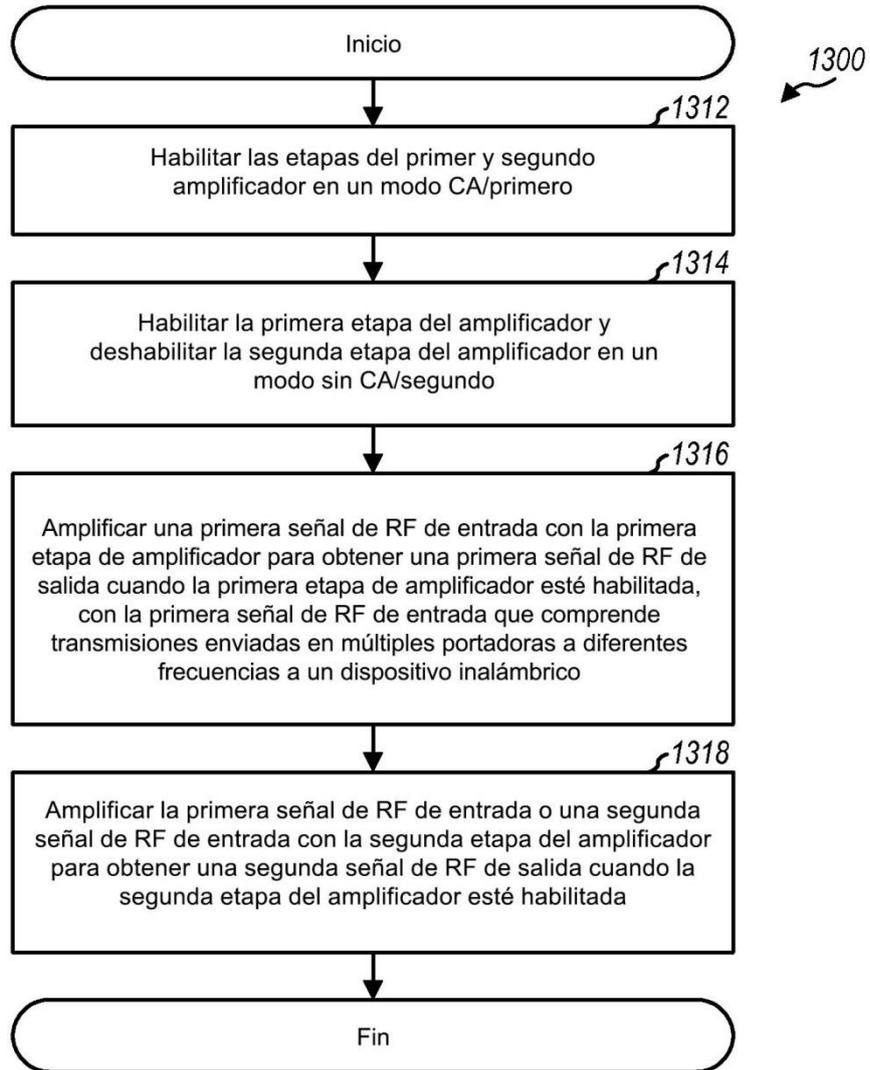


FIG. 13