

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 755 814**

51 Int. Cl.:

H04N 5/3745 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **04.04.2017 PCT/EP2017/057985**

87 Fecha y número de publicación internacional: **12.10.2017 WO17174579**

96 Fecha de presentación y número de la solicitud europea: **04.04.2017 E 17715701 (3)**

97 Fecha y número de publicación de la concesión europea: **21.08.2019 EP 3440833**

54 Título: **Sensor de visión de contraste temporal basado en muestreos y retenciones**

30 Prioridad:

04.04.2016 EP 16305391
05.10.2016 EP 16306310

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
23.04.2020

73 Titular/es:

PROPHESSEE (50.0%)
74, rue du Faubourg Saint-Antoine
75012 Paris, FR y
CONSEJO SUPERIOR DE INVESTIGACIONES
CIENTÍFICAS (50.0%)

72 Inventor/es:

FINATEU, THOMAS;
LINARES BARRANCO, BERNABÉ;
SERRANO GOTARREDONA, TERESA y
POSCH, CHRISTOPH

74 Agente/Representante:

CURELL SUÑOL, S.L.P.

ES 2 755 814 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sensor de visión de contraste temporal basado en muestreos y retenciones.

5 Contexto y antecedentes de la invención

La invención se refiere a un circuito de píxel para un sensor de imágenes para sistemas de fotocaptación de diferenciación temporal (es decir, sensores de contraste temporal), especialmente para circuitos integrados analógicos de área reducida y bajo consumo para aplicaciones de fotocaptación.

10 En las cámaras de vídeo convencionales, el aparato registra un fotograma tras otro. En los sensores de contraste temporal, no existen fotogramas. Como en las cámaras de vídeo, el circuito integrado contiene una matriz de fotosensores. No obstante, en las cámaras de vídeo convencionales, cada fotosensor se muestrea a una frecuencia fija, mientras que, en los sensores de contraste temporal, los píxeles no se muestrean: cada píxel calcula la derivada temporal de la luz que capta, aplica opcionalmente cierto procesado sobre esta derivada, y, cuando la cantidad calculada supera un nivel o umbral definido, el píxel genera un “evento” y transmite información relacionada con este evento.

15 Habitualmente, la información transmitida consiste en la coordenada x,y del píxel dentro de la matriz de fotosensores bidimensional, junto con un bit de signo “s” para indicar si la intensidad de la luz ha aumentado o se ha reducido. De esta manera, la salida del sensor de contraste temporal consiste en un flujo de coordenadas (x,y,s) con bit de signo de los diversos píxeles que detectan un cambio relativo de la intensidad de la luz que captan.

20 Este concepto se dio a conocer por primera vez en “Visual sensor with resolution enhancement by mechanical vibrations”, de Landolt et al., en *Proc. 19th Conf. Advanced Research in VLSI*, Salt Lake City, UT, págs. 249 a 264, 2001, y en “An integrated optical transient sensor”, de J. Kramer, en *IEEE Transactions on Circuits and Systems, Part-II: Analog and Digital Signal Processing*, vol. 49, nº 9, págs. 612 a 628, septiembre de 2002.

25 No obstante, estas implementaciones padecían una alta discordancia entre píxeles, dando como resultado una baja sensibilidad del contraste temporal. Posteriormente, se dio a conocer un sensor de sensibilidad mejorada en “A 128 x 128 120dB 30mW Asynchronous vision sensor that responds to relative intensity change”, de Lichsteiner, Posch y Delbruck, en *Solid-State Circuits, 2006 IEEE International Conference ISSCC, Dig of Tech Paper*, págs. 2060 a 2069, febrero de 2006 y, posteriormente, de manera más detallada, en “A 128 x 128 120dB 15µs latency asynchronous temporal contrast vision sensor”, de P. Lichsteiner et al., en *IEEE J. Solid-State Circuits*, vol. 43, nº 2, págs. 566 a 576, febrero de 2008 y en la patente US nº 7.728.269.

30 En 2010, Posch et al. “A QGVA 143dB dynamic range asynchronous address event PWM dynamic image sensor with lossless pixel level video compression”, en *Solid-State Circuits, 2010 IEEE International Conference ISSCC, Dig of Tech Paper*, págs. 400 a 401, febrero de 2010, y el documento US 2010/0182468, dieron a conocer un prototipo nuevo.

35 En 2011, J.A. Leñero-Bardallo et al. “A 3,6µs Asynchronous frame free event-driven dynamic vision sensor” en *IEEE J. of Solid-State Circuits*, vol. 46, nº 6, págs. 1443 a 1455, febrero de 2010, dieron a conocer un intento de elevar la sensibilidad del contraste temporal por medio de la adición de un preamplificador de voltaje, pero esto deterioraba las discordancias e introducía un consumo de energía muy alto.

40 En 2013, T. Serrano-Gotarredona et al., “A 128x128 1.5% Contrast Sensitivity 0,9% FPN 3µs Latency 4mW Asynchronous Frame-Free Dynamic Vision Sensor Using Transimpedance Amplifiers”, en *IEEE J. Solid-State Circuits*, vol. 48, nº 3, págs. 827 a 838, marzo de 2013, y en el documento EP 2 717 466, dieron a conocer una técnica alternativa de baja potencia y baja discordancia para elevar la sensibilidad del contraste temporal por medio de amplificadores de transimpedancia y transistores conectados como diodos.

45 En estos sensores de contraste temporal, la fotocorriente I_{ph} captada por un fotosensor se transforma en primer lugar en voltaje por medio de una conversión logarítmica con amplificación de voltaje. Posteriormente, se calcula su derivada en el tiempo, y puede llevarse a cabo algún procesado adicional. La figura 1 ilustra un diagrama completo que ejemplifica fases dedicadas que llevan a cabo estas etapas. Un fotodiodo 1 proporciona una fotocorriente, típicamente del orden de fracciones de picoamperios (pA) hasta aproximadamente cientos de pA. Esta fotocorriente se alimenta a una fase de conversión 2 constituida por un conversor logarítmico de corriente-a-voltaje que proporciona un voltaje proporcional al logaritmo de la fotocorriente I_{ph} . Típicamente, una fase 3 de amplificación de voltaje de ganancia A_v amplifica el voltaje convertido, dando como resultado un voltaje de señal V_{ph} de acuerdo con la siguiente fórmula:

$$V_{ph} = A_v V_o \log(I_{ph}/I_o) \quad (\text{ec. 1})$$

50 Se ha revelado que los parámetros A_v e I_o padecen discordancia entre píxeles cuando este circuito se usa en una matriz de píxeles para producir un sensor de una cámara. Típicamente, el parámetro V_o depende de constantes

físicas que son iguales para todos los píxeles. A continuación, el voltaje de señal V_{ph} se alimenta típicamente a un circuito 4 de derivada temporal el cual proporciona una salida proporcional a la derivada del voltaje de señal V_{ph} :

$$\frac{dV_{ph}}{dt} = A_v V_o \frac{1}{I_{ph}} \frac{dI_{ph}}{dt} \quad (\text{ec. 2})$$

5 En este caso, se ha anulado el parámetro cargado de discordancias I_o , aunque sigue existiendo el parámetro de ganancia A_v . En cámaras de contraste temporal del estado de la técnica dadas a conocer, este parámetro sensible a la discordancia entre píxeles es o bien (i) de ganancia unidad, tal como se muestra en la patente US nº 7.728.269 y el documento US 2010/0182468, o bien (ii) de una ganancia superior (ver, de J. A. Leñero-Bardallo, et al., 2011, *supra* y de T. Serrano-Gotarredona et al., 2013, *supra*).

10 La figura 2 representa una forma de realización ejemplificativa de un circuito de derivada temporal 4 del tipo mencionado. La derivada temporal del voltaje de señal V_{ph} se puede obtener fácilmente captando la corriente a través de un condensador 6 cuya diferencia de voltaje en el terminal se fija al voltaje de señal V_{ph} . El condensador está conectado a la entrada inversora de un amplificador diferencial 8. Un elemento de realimentación 7 conecta dicha entrada inversora del amplificador diferencia 8 y la salida de dicho amplificador diferencial 8. La entrada no inversora del amplificador diferencial 8 está conectada a tierra.

15 La corriente I_D que fluye a través del condensador 6 viene dada por $I_D = C dV_{ph}/dt$. En función de la naturaleza del elemento de realimentación 7, puede hacerse uso de la derivada temporal del voltaje de señal V_{ph} de diferentes maneras. Por ejemplo, en caso de que el elemento de realimentación 7 sea un resistor, el voltaje de salida V_D sería proporcional a la corriente I_D , y, por lo tanto, proporcional a la derivada temporal del voltaje de señal V_{ph} . La derivada temporal del voltaje de señal V_{ph} se puede usar directamente para determinar el cambio relativo de luz en un píxel, ya que dicha derivada temporal del voltaje de señal V_{ph} está normalizada con respecto a la luz, proporcionando así una medición del contraste temporal.

25 Asimismo es posible posprocesar esta derivada temporal del voltaje de señal V_{ph} con un circuito de posprocesado 5, por ejemplo con el fin de obtener un cálculo acumulado de esta derivada temporal del voltaje de señal V_{ph} . Esto se cumple, por ejemplo, en la patente US nº 7.728.269, el documento US 2010/0182468, de J. A. Leñero-Bardallo, et al., 2011, *supra*, o en el documento de T. Serrano-Gotarredona et al., 2013, *supra*, donde el circuito de posprocesado 5 consiste en un circuito de integración-y-reinicialización, tal como se muestra en la figura 3.

30 En el circuito de integración-y-reinicialización de la figura 3, el condensador 7a de capacidad C_2 junto con un conmutador de reinicialización 7b es el elemento de realimentación 7 de la figura 2, y un condensador 6 de capacidad C_1 es el circuito de derivada 4 que proporciona la corriente I_D proporcional a la derivada temporal del voltaje de señal V_{ph} . La corriente I_D es integrada por el condensador 7a, y el voltaje de salida V_D en la salida del amplificador diferencial 8 proporciona una versión integrada de la corriente I_D . Una vez que el voltaje de salida V_D alcanza un umbral dado, la carga en el condensador 7a se reinicializa (es decir, se hace cero), reinicializando así el voltaje de salida V_D a un nivel de reposo. De esta manera, el circuito de integración-y-reinicialización proporciona una señal de salida que es la señal de reinicialización temporal.

35 Tal como se representa en la figura 3, el circuito completo usa dos condensadores 6, 7a los cuales es necesario que estén adaptados correctamente, con lo cual son sensibles a las discordancias. En la práctica, este circuito puede usarse para introducir una ganancia adicional para el cálculo del contraste diferencia. Esto se logra haciendo que la relación de las capacidades C_1/C_2 sea mayor que la unidad. No obstante, esto tiene un impacto negativo sobre la implementación del circuito integrado ya que la capacidad es proporcional al área del dispositivo. Por lo tanto, para obtener una relación elevada, se requieren dos condensadores, uno de ellos con un área mucho mayor que el otro. Esto da como resultado una penalización en cuanto al área total para el píxel, con un aumento del área y los costes del dispositivo sensor. Por lo tanto, la solución propuesta por la técnica anterior no es satisfactoria y sigue existiendo una necesidad de una configuración mejorada de un circuito de píxel.

50 Sumario de la invención

La presente invención proporciona soluciones que superan la mayoría de los inconvenientes anteriores. En particular, la invención utiliza un circuito de muestreo-y-retención de un solo condensador e insensible a las discordancias para llevar a cabo la diferenciación temporal, por oposición al circuito de integración-y-reinicialización de doble condensador y sensible a las discordancias usado en planteamientos de la técnica anterior.

La invención propone un circuito de píxel que comprende:

- 60
- una fase de fotosensor que comprende un fotodiodo y que presenta una salida, estando configurada dicha fase de fotosensor para entregar una corriente de fotorreceptor que depende de la intensidad de una luz de una exposición de dicho fotodiodo,
 - una fase de comparación configurada para detectar un cambio en un voltaje de señal obtenido a partir de

dicha corriente de fotorreceptor, en el que el circuito de píxel comprende un circuito de muestreo-y-retención que presenta una entrada, una salida, y un terminal de control, estando conectada la salida de dicho circuito de muestreo-y-retención a una entrada de la fase de comparación, y la fase de comparación está configurada para dar salida a una señal de entrada para la entrada del circuito de muestreo-y-retención,

5

en el que el terminal de control del circuito de muestreo-y-retención está conectado a la fase de comparación, estando configurada dicha fase de comparación para emitir una señal de muestreo hacia el terminal de control del circuito de muestreo-y-retención cuando se detecta un cambio en el voltaje de la señal.

10

Otros aspectos preferidos, aunque no limitativos, del circuito de píxel de la Invención son los siguientes, de manera aislada o en una combinación técnicamente viable:

15

- el circuito de muestreo-y-retención está configurado para muestrear la señal de entrada en la entrada de dicho circuito de muestreo-y-retención cuando la fase de comparación emite la señal de muestreo hacia el terminal de control del circuito de muestreo-y-retención, y para mantener un voltaje de retención cuando la fase de comparación no emite la señal de muestreo hacia el terminal de control del circuito de muestreo-y-retención;

20

- el circuito de muestreo-y-retención está configurado de manera que el voltaje de retención en la salida de dicho circuito de muestreo-y-retención sigue a la señal de entrada en la entrada de dicho circuito de muestreo-y-retención cuando la señal de muestreo se recibe en el terminal de control del circuito de muestreo-y-retención;

25

- la fase de comparación está configurada para comparar el voltaje de la señal con respecto a por lo menos un voltaje de umbral, y la fase de comparación está configurada para emitir la señal de muestreo hacia el terminal de control del circuito de muestreo-y-retención sobre la base de la comparación entre el voltaje de la señal y dicho por lo menos un voltaje de umbral;

30

- la fase de comparación está configurada para comparar el voltaje de la señal con respecto a un primer voltaje de umbral y un segundo voltaje de umbral, siendo dicho primer voltaje de umbral mayor que dicho segundo voltaje de umbral, y para dar salida a una primera señal de evento de señal cuando el voltaje de la señal supera el primer voltaje de umbral y para dar salida a una segunda señal de evento cuando el voltaje de la señal es inferior al segundo voltaje de umbral;

35

- la fase de comparación comprende un amplificador diferencial configurado para comparar el voltaje de la señal con un voltaje de referencia, y para dar salida a una señal de entrada para la entrada del circuito de muestreo-y-retención sobre la base de esta comparación;

40

- la fase de comparación comprende un comparador diferencial con múltiples salidas desplazadas, presentando, como entradas, dicho comparador diferencial, dos valores del voltaje de la señal amplificados de manera diferente, y estando configurado para dar salida a la señal de entrada para la entrada del circuito de muestreo-y-retención y para comparar la diferencia de las entradas con por lo menos un voltaje de umbral;

45

- un primer voltaje de señal amplificado se aplica a una entrada inversora del comparador diferencial, un segundo voltaje de señal amplificado se aplica a una entrada no inversora del comparador diferencial, y el comparador diferencial presenta por lo menos tres salidas:

50

- una primera salida que realiza una transición cuando el segundo voltaje de señal amplificado y el primer voltaje de señal amplificado difieren en un voltaje de umbral positivo,

- una segunda salida que realiza una transición cuando el segundo voltaje de señal amplificado y el primer voltaje de señal amplificado difieren en un voltaje de umbral negativo,

55

- una tercera salida es la señal de entrada para la entrada del circuito de muestreo-y-retención y realiza una transición cuando el primer voltaje de señal amplificado y el segundo voltaje de señal amplificado son iguales;

60

- la fase de comparación comprende por lo menos una serie de transistores conectados como diodos, presentando cada serie de transistores conectados como diodos una puerta de un primer transistor conectado como diodo en calidad de entrada y un drenador de dicho primer transistor conectado como diodo como una salida;

65

- la por lo menos una serie de transistores conectados como diodos está dispuesta entre un primer terminal configurado para aplicar un primer voltaje de polarización y un segundo terminal configurado para aplicar un segundo voltaje de polarización, y en el que el circuito de píxel comprende un circuito de polarización

para generar en un terminal de salida por lo menos un voltaje de polarización entre el primer voltaje de polarización y el segundo voltaje de polarización, comprendiendo dicho circuito de polarización:

- 5 - una fuente de corriente conectada al terminal de salida,
- una serie de transistores conectados como diodos, conectados a la fuente de corriente y al terminal de salida;
- 10 - la serie de transistores conectados como diodos está dispuesta entre el primer terminal y el segundo terminal, y la fuente de corriente está conectada al segundo terminal, y el circuito de polarización comprende, además, un amplificador diferencial que presenta una entrada inversora, una entrada no inversora y una salida, estando conectada dicha entrada inversora a un drenador de un transistor de dicha serie de transistores conectados como diodos, aplicándose un voltaje de referencia a dicha entrada no inversora y estando conectada la salida al primer terminal;
- 15 - la fase de comparación comprende por lo menos una primera serie de transistores conectados como diodos y una segunda serie de transistores conectados como diodos, presentando cada serie de transistores conectados como diodos una puerta de un primer transistor conectado como diodo en calidad de entrada y un drenador de dicho primer transistor conectado como diodo como una salida, y
- 20 en el que la fase de comparación comprende un comparador diferencial con múltiples salidas desplazadas, siendo una primera entrada del amplificador diferencial la salida del primer transistor de una serie de transistores conectados como diodos y siendo una segunda entrada correspondiente al amplificador diferencial la salida del primer transistor de otra serie de transistores conectados como diodos;
- 25 - la salida del circuito de muestreo-y-retención está conectada a una puerta de un transistor de la primera serie de transistores conectados como diodos;
- 30 - la salida del circuito de muestreo-y-retención está conectada a la fuente de un transistor dispuesto en un extremo de la primera serie de transistores conectados como diodos, y en el que la salida de la fase de fotosensor está conectada a la puerta de dicho transistor;
- el circuito de píxel comprende una fase de conversión que presenta por lo menos una entrada conectada a la salida de la fase de fotosensor y un primer terminal, estando configurada dicha fase de conversión para entregar en el primer terminal el voltaje de señal obtenido a partir de dicha corriente de fotorreceptor, y la fase de conversión presenta por lo menos un segundo terminal y la salida de dicho circuito de muestreo-y-retención está conectada al segundo terminal de la fase de conversión, siendo dicha fase de conversión una entrada para la fase de comparación;
- 35 - el segundo terminal de la fase de conversión está configurado para controlar un desplazamiento de voltaje en el primer terminal de la fase de conversión a través de un voltaje de retención aplicado por el circuito de muestreo-y-retención en la salida de dicho circuito de muestreo-y-retención;
- 40 - la fase de fotosensor comprende un espejo de corriente y la fase de conversión comprende por lo menos un transistor conectado como diodo, conectado a dicho espejo de corriente;
- 45 - la fase de conversión comprende una serie de transistores conectados como diodos, entre la salida de la fase de fotosensor y la salida del circuito de muestreo-y-retención.
- 50 La invención se refiere asimismo a un sensor de imágenes que comprende una pluralidad de circuitos de píxel según cualquiera de las posibles formas de realización.

Breve descripción de los dibujos

- 55 Otros aspectos, objetivos y ventajas de la presente invención se pondrán más claramente de manifiesto a partir de la siguiente descripción detallada de formas de realización preferidas de la misma, que se proporcionan a título de ejemplo no limitativo y haciendo referencia a los dibujos adjuntos, en los que:
- 60 - la figura 1, descrita anteriormente, representa un diagrama esquemático de las fases de un circuito de píxel de diferenciación temporal según la técnica anterior;
- la figura 2, descrita anteriormente, representa un diagrama esquemático de un circuito de derivada temporal;
- 65 - la figura 3, descrita anteriormente, representa un circuito de integración-y-reinicialización usado en un circuito de píxel de diferenciación temporal según la técnica anterior;

- las figuras 4 a 9 representan unos diagramas esquemáticos de circuitos de píxel según posibles formas de realización de la invención;
- 5 - las figuras 10, 11a y 11b representan unos diagramas esquemáticos para posibles circuitos de polarización para transistores conectados como diodos, apilados, tal como en la figura 9;
- las figuras 12 y 13 representan unos diagramas esquemáticos de un circuito de píxel según posibles formas de realización de la invención que usan un comparador diferencial de múltiples salidas;
- 10 - la figura 14 representa un diagrama esquemático de una posible implementación de circuito para un comparador diferencial de múltiples salidas;
- las figuras 15 a 17 son diagramas esquemáticos de posibles circuitos de muestreo-y-retención para circuitos de píxel según posibles formas de realización de la invención;
- 15 - la figura 18 representa un diagrama esquemático de un circuito de píxel según una posible forma de realización de la invención, que usa el circuito de muestreo-y-retención de la figura 17 y que implementa una polarización adaptativa;
- 20 - la figura 19 representa un diagrama esquemático de un circuito de píxel según una posible forma de realización de la invención sin una serie de transistores entre la fase de fotosensor y el circuito de muestreo-y-retención;
- 25 - la figura 20a representa un diagrama esquemático de un circuito de píxel según una posible forma de realización de la invención, tanto con la fase de fotosensor como con el circuito de muestreo-y-retención conectados directamente a la fase de comparación;
- la figura 20b representa un diagrama esquemático correspondiente a un posible circuito de polarización para transistores conectados como diodos, apilados, tal como en la figura 20a.

30

En las diferentes figuras, los números de referencia iguales se refieren a elementos similares.

Descripción detallada de la invención

35 Tal como se muestra en la figura 4, el circuito de píxel comprende una fase de fotosensor 10, una fase de conversión 20 y una fase de comparación 30. La fase de fotosensor 10 comprende un fotodiodo 1 y está configurada para entregar una corriente de fotorreceptor I_{ph} que depende de la intensidad de la luz de una exposición de dicho fotodiodo. La fase de conversión 20 presenta por lo menos una entrada 21 conectada a la salida de la fase de fotosensor 10, un primer terminal 22, y un segundo terminal 23. La fase de conversión actúa como entrada para la fase de comparación 30.

40

La fase de conversión 20 está configurada para entregar en el primer terminal 22 un voltaje de señal V_{ph} obtenido a partir de dicha corriente de fotorreceptor I_{ph} . Típicamente, la fase de conversión 20 es un circuito de conversión logarítmica de corriente a voltaje que convierte la corriente de fotorreceptor I_{ph} en un voltaje de señal V_{ph} proporcional al logaritmo de dicha corriente de fotorreceptor I_{ph} .

45

En la fase de comparación 30, el voltaje de señal V_{ph} se compara con respecto a por lo menos un voltaje de umbral con el fin de detectar un cambio de voltaje correspondiente a un cambio de la intensidad de luz de la exposición de fotodiodo 1. En la forma de realización representada, la fase de comparación 30 está configurada para comparar el voltaje de señal V_{ph} con respecto a un primer voltaje de umbral y un segundo voltaje de umbral, siendo dicho primer voltaje de umbral mayor que dicho segundo voltaje de umbral.

50

Con este fin, se proporcionan dos comparadores de voltaje 31, 32, introduciendo cada uno de ellos el voltaje de señal V_{ph} . Un primer comparador de voltaje 31 compara el voltaje de señal V_{ph} con el primer voltaje de umbral, mientras que un segundo comparador de voltaje 32 compara el voltaje de señal V_{ph} con el segundo voltaje de umbral. El primer comparador de voltaje 31 da salida a una primera señal de habilitación V^+ cuando el voltaje de señal V_{ph} se supera el primer voltaje de umbral, mientras que el segundo comparador de voltaje 32 da salida a una segunda señal de habilitación V^- cuando el voltaje de señal V_{ph} está por debajo del segundo voltaje de umbral.

55

El primer voltaje de umbral y el segundo voltaje de umbral corresponden a los límites del intervalo de variación del voltaje de señal V_{ph} . Sus valores pueden estar a la misma distancia del valor medio de dicho intervalo. Por ejemplo, si el valor medio del intervalo de variación del voltaje de señal V_{ph} es el valor de un voltaje de referencia V_{reinic} , el primer voltaje de umbral puede ser $V_{reinic} + \Delta V$, y el segundo voltaje de umbral puede ser $V_{reinic} - \square V$, siendo $\square V$ un valor de voltaje constante. No obstante, son posibles otras configuraciones, por ejemplo con un primer valor constante V_{dp} sumado al voltaje de referencia V_{reinic} para el primer umbral y un segundo valor constante $-V_{dn}$, diferente del primero, sumado al voltaje de referencia V_{reinic} para el segundo umbral.

65

Las salidas de los comparadores de voltaje 31, 32 se alimentan a una circuitería lógica 33 que da salida a una primera señal de evento de señal ev^+ cuando el primer comparador de voltaje 31 da salida a una señal de habilitación V^+ , es decir, cuando el voltaje de señal V_{ph} supera el primer voltaje de umbral, y da salida a una segunda señal de evento ev^- cuando el segundo comparador de voltaje 32 da salida a una señal de habilitación V^- , es decir, cuando el voltaje de señal V_{ph} es inferior al segundo voltaje de umbral.

La fase de comparación 30 comprende asimismo un amplificador diferencial 35 configurado para comparar el voltaje de señal V_{ph} con un voltaje de referencia V_{reinic} . El amplificador diferencial 35 toma el voltaje de señal V_{ph} en su entrada inversora y el voltaje de referencia V_{reinic} en su entrada no inversora. Tal como se explica a continuación, el valor del voltaje de referencia V_{reinic} puede corresponder al valor medio del intervalo de variación del voltaje de señal V_{ph} . Por lo tanto, el experto en la materia puede seleccionar el valor que se adecúe mejor a los voltajes operativos del circuito de píxel.

El circuito de píxel comprende asimismo un circuito de muestreo-y-retención (S&H) 50 que presenta una entrada 51, una salida 52, y un terminal de control 53. La entrada 51 del circuito de muestreo-y-retención 50 está conectada a la salida 36 del amplificador diferencial 35 de la fase de comparador 30, la salida 52 del circuito de muestreo-y-retención 50 está conectada al segundo terminal 23 de la fase de conversión 20, y el terminal de control 53 del circuito de muestreo-y-retención 50 está conectado a la fase de comparación 30, de forma más precisa a la circuitería lógica 33 de dicha fase de comparación 30.

El circuito de muestreo-y-retención 50 es un dispositivo analógico que muestrea el voltaje aplicado en su entrada 51 cuando se lo ordena la señal aplicada en el terminal de control 53, y mantiene el valor muestreado en su salida 52. Debe indicarse que no es necesario que el voltaje en la salida 52 del circuito de muestreo-y-retención 50 sea una replica precisa del voltaje en la entrada 51 durante el muestreo. Simplemente es necesario que siga de forma monótona la entrada de voltaje 51 cuando se realiza el muestreo, y puede permitir un desplazamiento de voltaje, además de una atenuación de voltaje o una amplificación de voltaje.

A continuación se explica el funcionamiento de un circuito de píxel del tipo mencionado en relación con la forma de realización ejemplificativa de la figura 5. En esta figura 5, la fase de conversión 20 comprende un transistor 24 tal como un N-MOSFET y un amplificador diferencial 25. El drenador del transistor está conectado a la salida del fotodiodo 1 y a la entrada inversora del amplificador diferencial 25. La entrada no inversora del amplificador diferencial 25 está conectada a la salida 52 del circuito de muestreo-y-retención 50, y constituye, consecuentemente, el segundo terminal 23 de la fase de conversión. La salida del amplificador diferencial 25 y la puerta del transistor 24 están conectadas, y este nodo común constituye el primer terminal 22 de la fase de conversión 20.

El segundo terminal 23 de la fase de conversión se usa para controlar un desplazamiento de voltaje en la salida de la fase de conversión 20, es decir, en el primer terminal 22 de dicha fase de conversión 20. Por lo tanto, la salida 52 del circuito de muestreo-y-retención 50 se usa para controlar el desplazamiento de voltaje en la salida de la fase de conversión 20.

La mayor parte del tiempo, el circuito de muestreo-y-retención 50 se encuentra en el modo de retención, manteniendo constante su salida en un voltaje de retención $V_{retención}$ aplicado al segundo terminal 23 de la fase de conversión 20. En estas circunstancias, el amplificador diferencial 25 de la fase de conversión 20 mantiene el voltaje de fotodiodo V_D , es decir, el voltaje en la salida de fotodiodo 1, de manera que es igual al voltaje de retención $V_{retención}$, y proporciona el voltaje de señal V_{ph} igual a:

$$V_{ph} = V_{retención} + nU_T \log(I_{ph}/I_0)$$

donde I_0 es un parámetro del transistor, cargado de discordancias, n es un parámetro de baja discordancia del transistor, denominado "factor de pendiente de subumbral" y U_T es una constante física dependiente de la temperatura, libre de discordancias, denominada "voltaje térmico".

El voltaje de señal V_{ph} es monitorizado continuamente por los dos comparadores de voltaje 31, 32 y se compara con respecto a los dos umbrales de voltaje: el primer umbral de voltaje $V_{reinic}+V_{dp}$ y el segundo umbral de voltaje $V_{reinic}-V_{dn}$. Si el voltaje de señal V_{ph} alcanza este último, la fase de comparación, es decir, la circuitería lógica 33, genera un evento de salida negativo ev^- . Si el voltaje de señal V_{ph} alcanza el primer valor, la fase de comparación, es decir, la circuitería lógica 33, genera un evento de salida positivo ev^+ .

En cualquiera de los casos, la fase de comparación 30 emite una señal de muestreo hacia el terminal de control 53 del circuito de muestreo-y-retención 50. Por lo tanto, el envío de la señal de muestreo por parte de la fase de comparación 30 hacia el circuito de muestreo-y-retención 50 se basa en el resultado de una comparación entre el voltaje de señal V_{ph} y por lo menos un voltaje de umbral. Esta señal de muestreo aplicada al terminal de control 53 del circuito de muestreo-y-retención 50 reinicializa dicho circuito de muestreo-y-retención 50: mientras la señal de muestreo (o señal de reinicialización) está activa, la salida del amplificador diferencial 35 de la fase de comparación

30 es captada por el circuito de muestreo-y-retención 50, que proporciona, como salida, un voltaje de retención $V_{\text{retención}}$ que seguirá al voltaje en la entrada 51 del circuito de muestreo-y-retención 50.

5 Durante este intervalo de muestreo activo, se forma un bucle cerrado entre la salida 52 del circuito de muestreo-y-retención 50 y la entrada 51 del circuito de muestreo-y-retención 50, a través de la fase de conversión 20 y la fase de comparación 30. Como en el caso representado, el bucle cerrado formado por el circuito de muestreo-y-retención 50 y por los dos amplificadores diferenciales, es decir, el amplificador diferencial 25 de la fase de conversión 20 y el amplificador diferencial 35 de la fase de comparación 30, se estabilizará en un estado de "reinicialización" en el cual el voltaje de señal V_{ph} es igual al voltaje de referencia V_{reinic} , mientras que la señal de retención $V_{\text{retención}}$ se actualizará de tal manera que:

$$V_{\text{retención}}|_{\text{nueva}} = V_{\text{reinic}} - nU_T \log(I_{\text{ph}}/I_0)$$

15 De esta manera, el cambio $\Delta V_{\text{retención}}$ del voltaje de retención $V_{\text{retención}}$ o el cambio ΔV_{ph} del voltaje de señal V_{ph} entre dos reinicializaciones consecutivas del circuito de muestreo-y-retención 50 es tal que:

$$\Delta V_{\text{retención}} = \Delta V_{\text{ph}} = nU_T \Delta \log\left(\frac{I_{\text{ph}}}{I_0}\right) = nU_T \log\left(\frac{I_{\text{ph}}(t + \Delta t)}{I_{\text{ph}}(t)}\right) \approx nU_T \frac{\Delta I_{\text{ph}}}{I_{\text{ph}}}$$

20 Entre dos reinicializaciones consecutivas, el voltaje de señal V_{ph} cambia entre el valor del voltaje de referencia V_{reinic} y el primer voltaje de umbral $V_{\text{reinic}} + V_{\text{dp}}$ (en caso de un evento positivo) o el segundo voltaje de umbral $V_{\text{reinic}} - V_{\text{dn}}$ (en caso de un evento negativo). Por lo tanto, en la anterior ecuación, el cambio $\Delta V_{\text{retención}}$ del voltaje de retención es igual o bien a V_{dp} o bien a $-V_{\text{dn}}$. De forma equivalente, puede establecerse que se genera un evento positivo cuando el cambio de luz con respecto al evento previo corresponde a un cambio de la fotocorriente ΔI_{ph} tal que $\Delta I_{\text{ph}}/I_{\text{ph}} = V_{\text{dp}}/nU_T$, y se genera un evento negativo cuando el cambio de luz con respecto al evento previo corresponde a un cambio de la fotocorriente ΔI_{ph} tal que $\Delta I_{\text{ph}}/I_{\text{ph}} = -V_{\text{dn}}/nU_T$.

Por lo tanto, es posible definir una sensibilidad de contraste positiva θ_p como

$$\theta_p = \frac{V_{\text{dp}}}{nU_T}$$

30 y una sensibilidad de contraste negativa θ_n como

$$\theta_n = \frac{V_{\text{dn}}}{nU_T}$$

35 Se observará que la sensibilidad de contraste positiva θ_p depende de la diferencia V_{dp} entre el voltaje de referencia V_{reinic} y el primer voltaje de umbral $V_{\text{reinic}} + V_{\text{dp}}$. De manera similar, la sensibilidad de contraste negativo θ_n depende de la diferencia V_{dn} entre el voltaje de referencia V_{reinic} y el segundo voltaje de umbral $V_{\text{reinic}} + V_{\text{dn}}$. Por lo tanto, las sensibilidades se pueden sintonizar de forma independiente a través de los respectivos voltajes de umbral de los comparadores de voltaje 31, 32.

40 La forma de realización ejemplificativa de la figura 5 funciona de tal manera que el voltaje de fotodiodo V_D cambia de una reinicialización a otra. Este voltaje V_D debe cambiar y estabilizarse durante un intervalo corto (el intervalo de reinicialización). La latencia de esta estabilización depende de la capacidad parásita en este nodo y de la corriente disponible en este nodo, que es la corriente de fotodiodo I_{ph} , típicamente en el intervalo de femtoamperios a picoamperios. Esta baja intensidad de la fotocorriente de fotodiodo I_{ph} significa un tiempo de estabilización largo.

45 La forma de realización representada en la figura 6 muestra una manera posible de evitar las limitaciones del tiempo de estabilización de la forma de realización de la figura 5. La fase de fotosensor 10 comprende un espejo de corriente 11 y la fase de conversión 20 comprende por lo menos un transistor conectado como diodo 26 conectado a dicho espejo de corriente 11 en lugar del transistor 24 y del amplificador diferencial 25 de la fase de conversión 20 de la forma de realización representada en la figura 5.

50 El espejo de corriente 11 presenta dos terminales: un primer terminal 12 conectado a fotodiodo 1, donde la fotocorriente I_{ph} viene impuesta por la exposición a la luz de fotodiodo 1, y un segundo terminal 13 donde la fotocorriente I_{ph} se repite con una ganancia de corriente A, que constituye la salida del espejo de corriente 11 y de la fase de fotosensor 10. El transistor conectado como diodo 26 es un N-MOSFET, con un terminal conectado a la salida 13 del espejo de corriente 11 constituyendo la entrada 21 de la fase de conversión 20. Conectada al mismo nodo se encuentra la puerta del transistor, y este nodo constituye asimismo la salida 22 de la fase de conversión 20, con el voltaje de señal V_{ph} . El otro terminal está conectado al terminal de salida 52 del circuito de muestreo-y-retención 50, donde aparece el voltaje de retención $V_{\text{retención}}$, y constituye, por lo tanto, el segundo terminal 23 de la fase de conversión 20. La ganancia de corriente A introducida por el espejo de corriente 11 antes de alimentar el transistor conectado como diodo 26 hace que mejore el tiempo de estabilización.

Para mejorar la sensibilidad del contraste, puede proporcionarse una amplificación de voltaje en la salida de la fase de conversión 20 con el fin de amplificar el voltaje de señal V_{ph} a través de una fase de amplificación 40. Tal como se muestra en la figura 7, entre la salida 22 de la fase de conversión 20 y el nodo 37 compartido por el amplificador diferencial 35 y los comparadores 31, 32 en la fase de comparación se dispone un amplificador de voltaje 40. El amplificador de voltaje 40 presenta una ganancia A_v tal que la señal de voltaje amplificada V_{ph}' corresponde a $A_v V_{ph}$. En este caso, las sensibilidades de contraste positiva y negativa cambian a

$$\theta_{p/n} = \frac{V_{dp/n}}{A_v n U_T}$$

Debe apreciarse que a lo largo de la memoria el voltaje de señal V_{ph} puede corresponder al voltaje de señal no amplificado en la salida 22 de la fase de conversión 20 o con la señal de voltaje amplificado V_{ph}' después de la amplificación en la salida 22 de la fase de conversión 20. En particular, el voltaje de señal alimentado al amplificador diferencial 35 y a los comparadores 31, 32 de la fase de comparación 30 puede ser el voltaje de señal amplificado V_{ph}' así como el voltaje de señal no amplificado V_{ph} , en función de la configuración. En la descripción posterior, V_{ph0} , V_{ph1} , V_{ph2} , V_{ph3} se usarán para designar el voltaje de señal V_{ph} con diferentes niveles de amplificación.

No obstante, típicamente los amplificadores de voltaje dentro de un píxel padecen discordancia entre píxeles. Una forma de introducir una amplificación discreta libre de discordancias es apilando transistores MOS conectados como diodos, según se ilustra en la figura 8. La fase de conversión 20 comprende una serie 27 de transistores conectados como diodos entre la salida 13 de la fase de fotosensor 10 y la salida 52 del circuito de muestreo-y-retención 50. El primer transistor M_{n1} de la serie corresponde al transistor ya presente en las formas de realización de las figuras 7 y 6. Los otros transistores M_{n2} , ..., M_{nN} de la serie están conectados entre sí por sus terminales (drenadores y fuentes). El último transistor M_{nN} de la serie presenta un terminal conectado a la salida 52 del circuito de muestreo-y-retención 50, que constituye el segundo terminal 23 de la fase de conversión 20. Como en el caso representado, si se encuentran N-MOSFETs (o P-MOSFETs) conectados como diodos, apilados, la ganancia libre de discordancias introducida es $A_v = N$.

No obstante, el número de transistores conectados como diodos, apilados, M_{ni} se limita a una cantidad pequeña debido al limitado margen de sobrecarga ("headroom") de voltaje. Basándose en la misma técnica, puede introducirse una amplificación adicional conectando en cascada varias de estas series en la fase de comparación 30 con el fin de formar un amplificador de voltaje 40. Esto se ilustra en la figura 9. La fase de comparación 30 comprende por lo menos una primera serie 41 de transistores conectados como diodos M_{pi1j} y una segunda serie 42 de transistores conectados como diodos M_{pi2j} , presentando cada serie 41, 42, 43 de transistores conectados como diodos M_{pij} una puerta de un primer transistor conectado como diodo M_{pi1} como una entrada y un drenador de dicho primer transistor conectado como diodo M_{pi1} como una salida. En la forma de realización representada, están previstas tres series subsiguientes 41, 42, 43 de transistores conectados como diodos. Las referencias genéricas i y j se usan para hacer referencia al transistor j -ésimo de la columna i -ésima como M_{pij} .

Para estas series 41, 42, 43, la entrada de una serie está conectada a la salida de la serie anterior. Un terminal de los primeros transistores M_{pi1} de cada serie 41, 42, 43 está conectado a un primer voltaje de polarización V_{bb} , y un terminal de los últimos transistores M_{pi4} de cada serie 41, 42, 43 está conectado a un segundo voltaje de polarización V_{qq} . Es decir, cada una de las series 41, 42, 43 está conectada en un extremo al primer voltaje de polarización V_{bb} y en el otro extremo al segundo voltaje de polarización V_{qq} .

Los transistores conectados como diodos M_{pij} de las series 41, 42, 43 de la fase de comparación 30 pueden ser o bien P-MOSFETs o bien N-MOSFETs. Los voltajes de polarización V_{bb} , V_{qq} se seleccionan de manera que sean suficientemente diferentes para que los transistores M_{pij} de las series 41, 42, 43 de transistores tengan una polarización apropiada. Preferentemente, dichos voltajes de polarización serán tales que garanticen una corriente operativa deseada I_{qq} para los transistores conectados como diodos, apilados, M_{pij} de las series 41, 42, 43 aunque fijando el nivel de reinicialización de voltaje V_{ph} igual al voltaje de referencia V_{reinic} .

Esto se puede lograr usando en la periferia de la matriz de píxeles un circuito de polarización similar al mostrado en la figura 10 el cual genera valores apropiados para los voltajes de polarización V_{bb} y V_{qq} , en función de la corriente operativa I_{qq} y el voltaje de referencia V_{reinic} . Una serie 80 de transistores conectados como diodos P-MOS está dispuesta entre los terminales 81, 82 en donde se generan, respectivamente, los voltajes de polarización V_{bb} y V_{qq} . Asimismo podrían usarse transistores N-MOS, o una combinación de PMOS conectados como diodos con NMOS no conectados como diodos o a la inversa. La puerta y el drenador del primer transistor 83 de la serie 80, es decir, el transistor más próximo al terminal 81 en el que se genera el voltaje de polarización más alto V_{bb} , están conectadas juntas a una entrada inversora de un amplificador diferencial 84. El voltaje de referencia V_{reinic} se aplica a la entrada no inversora del amplificador diferencial 84. La puerta y el drenador del último transistor 85 de la serie 80, es decir, el transistor más próximo al terminal 82 en el que se genera el voltaje de polarización inferior V_{qq} están conectados a una fuente de corriente 86 que entrega la corriente operativa I_{qq} .

Cabe señalar que no existe ningún requisito para usar los dos voltajes de polarización V_{bb} y V_{qq} . Es posible usar

5 simplemente uno de ellos, y conectar el otro a la fuente de alimentación V_{DD} o a tierra. La figura 11a muestra un ejemplo de un circuito de polarización que entrega únicamente el voltaje de polarización V_{qq} . Como en la figura 10, permanecen una serie 80 de transistores conectados como diodos P-MOS, aunque conectados al voltaje V_{DD} de la fuente de alimentación en un extremo, sin ningún amplificador diferencial 84. El otro extremo es similar a la figura 10, con la puerta y el drenador del último transistor 85 de la serie 80, es decir, el transistor más próximo al terminal 82 en el que se genera el voltaje de polarización inferior V_{qq} , conectados a una fuente de corriente 86 que entrega la corriente operativa I_{qq} . La figura 11b muestra un ejemplo de un circuito de polarización que entrega únicamente el voltaje de polarización V_{bb} . En este caso, la serie 80 de transistores conectados como diodos P-MOS está conectada a tierra en un extremo, y en el otro extremo está conectada a un terminal 81 en el que se genera el voltaje de polarización V_{bb} , posiblemente a través de un amplificador, y a una fuente de corriente 86 conectada a la fuente de alimentación V_{DD} .

15 Con las series 41, 42, 43 de los transistores conectados como diodos M_{pij} dispuestas según se muestra en la figura 9, el voltaje de señal ya amplificado V_{ph0} es recibido por la puerta del primer transistor M_{p11} de la primera serie. El voltaje de señal amplificado V_{ph1} en el nodo entre el primer transistor M_{p11} y el segundo transistor M_{p12} de la primera serie 41 es la salida de la primera serie 41 que se alimenta como entrada de la segunda serie 42 a la puerta del primer transistor M_{p21} de la segunda serie 42. El voltaje de señal amplificado V_{ph2} en el nodo entre el primer transistor M_{p21} y el segundo transistor M_{p22} de la segunda serie 42 es la salida de la segunda serie 42 que se alimenta como entrada de la tercera serie 43 a la puerta del primer transistor M_{p31} de la tercera serie 43. El voltaje de señal amplificado V_{ph3} en el nodo entre el primer transistor M_{p31} y el segundo transistor M_{p32} de la tercera serie 43 es la salida de la tercera serie 43, que se envía a la entrada inversora del amplificador diferencial 35 de la fase de comparación 30 y a los comparadores 31, 32.

25 Esta solución permite una mayor amplificación de voltaje sin requerir un alto margen de sobrecarga de voltaje. Por ejemplo, si la serie 27 de transistores conectados como diodos de la fase de conversión 20 incluye N transistores conectados como diodos, apilados, y cada una de las tres series 41, 42, 43 de la fase de comparador contiene cuatro transistores conectados como diodos, la amplificación de voltaje total introducida en este caso es $A_V = N \times 4 \times 4 \times 4 = 64N$.

30 No obstante, la conexión en cascada de series apiladas 41, 42, 43 de transistores conectados como diodos M_{pij} puede experimentar una pequeña discordancia. Es interesante conocer que la diferencia de voltaje entre series consecutivas 41, 42, 43 de transistores conectados como diodos M_{pij} proporciona una mayor amplificación y experimenta una discordancia todavía menor. Puede aprovecharse esto usando un comparador diferencial con múltiples salidas desplazadas alimentado con dos voltajes de señal amplificados de manera diferente V_{phi} , V_{phj} según se ilustra en la figura 12.

40 En esta forma de realización, la fase de comparación 30 comprende un comparador diferencial, preferentemente un comparador diferencial de múltiples salidas 38 con múltiples salidas desplazadas, presentando como entradas dicho comparador diferencial 38 dos valores amplificados de manera diferente V_{phi} , V_{phj} del voltaje de señal, y estando configurado para dar salida a la señal de entrada V_0 para la entrada 51 del circuito de muestreo-y-retención 50 y para comparar la diferencia de las entradas con respecto a por lo menos un voltaje de umbral.

45 Debe señalarse que, según la presente invención, el comparador diferencial en formas de realización particulares puede ser un comparador diferencial de múltiples salidas; por ejemplo, el comparador diferencial 38 es, preferentemente, un comparador diferencial de múltiples salidas.

50 De manera más precisa, un primer voltaje de señal amplificado V_{phi} se aplica a una entrada inversora del comparador diferencial 38, un segundo voltaje de señal amplificado V_{phj} se aplica a una entrada no inversora del comparador diferencial 38, y el comparador diferencial 38 presenta por lo menos tres salidas.

55 Una primera salida V^+ lleva a cabo una transición cuando el segundo voltaje de señal amplificado V_{phj} y el primer voltaje de señal amplificado V_{phi} difieren en un voltaje de umbral positivo V_{dp} . La primera salida V^+ se alimenta a una circuitería lógica 33 que emite una señal de evento positiva ev^+ cuando la primera salida V^+ lleva a cabo una transición.

60 Una segunda salida V^- que lleva a cabo una transición cuando el segundo voltaje de señal amplificado V_{phj} y el primer voltaje de señal amplificado V_{phi} difieren en un voltaje de umbral negativo V_{dn} . La segunda salida V^- se alimenta a una circuitería lógica 33 que emite una señal de evento positiva ev^- cuando la segunda salida V^- lleva a cabo una transición.

Una tercera salida V_0 es la señal de entrada para la entrada 51 del circuito de muestreo-y-retención 50 y lleva a cabo una transición cuando el segundo voltaje de señal amplificado V_{phj} y el primer voltaje de señal amplificado V_{phi} son iguales.

65 En la figura 13 se muestra una forma de realización particularmente ventajosa de la invención, que utiliza las series 41, 42, 43 de transistores conectados como diodos M_{pij} del amplificador de voltaje 40 descrito en relación con la

figura 9. Según esta forma de realización, la fase de comparación 30 comprende por lo menos dos series 41, 42, 43 de transistores conectados como diodos M_{pi} , presentando como entrada cada serie 41, 42, 43 de transistores conectados como diodos una puerta de un primer transistor conectado como diodo M_{pi1} , y, como salida, un drenador de dicho primer transistor conectado como diodo M_{pi1} . La salida del primer transistor M_{p21} de una serie 42 de transistores conectados como diodos es el primer voltaje de señal amplificado V_{ph2} aplicado a la entrada inversora del comparador diferencial 38. La salida del primer transistor M_{31} de otra serie 43 de transistores conectados como diodos es el segundo voltaje de señal amplificado V_{ph3} aplicado a la entrada no inversora del comparador diferencial 38. La entrada no inversora del comparador diferencial 38 recibe el voltaje de señal amplificado V_{ph3} de la serie 43 que recibe como entrada el voltaje de señal amplificado V_{ph2} alimentado a la entrada inversora del comparador diferencial 38. En la figura 14 se muestra una posible implementación para el comparador diferencial de múltiples salidas 38.

La figura 13 representa asimismo los detalles de un ejemplo de espejo de corriente 11 que se puede usar en otras configuraciones. La entrada 12 del espejo de corriente 11 está conectada al fotodiodo 1. Un transistor 14 polarizado en la puerta por medio de un voltaje de polarización V_{gp1} está conectado en paralelo a un amplificador 15 entre la entrada 12 y un nodo común 16. En el nodo común están conectadas asimismo las fuentes de un transistor 17 polarizado por otro voltaje de polarización V_{gp2} . El drenador del transistor 17 corresponde al terminal 13 conectado a la fase de conversión 20. La figura 15 representa una posible implementación simple de un circuito correspondiente al circuito de muestreo-y-retención 50 que puede ser usado. Un conmutador 55 controlado por el terminal de control 53 presenta un terminal conectado a la entrada 51 del circuito de muestreo-y-retención 50, y otro terminal conectado a un nodo 56. Un condensador 57 está conectado entre dicho nodo 56 y tierra. Un amplificador separador de voltaje 58 está conectado entre el nodo 56 y la salida 52 del circuito de muestreo-y-retención 50. Tal como se muestra en la figura 16, el amplificador separador 58 puede ser un simple seguidor de voltaje, con un transistor 59 cuya puerta está conectada al nodo 56 y una fuente de corriente 60 que entrega una corriente I_{bb} entre el terminal del transistor y tierra. La salida 52 del circuito de muestreo-y-retención 50 está entonces entre el transistor 59 y la fuente de corriente 60.

Para evitar efectos parásitos de inyección de carga por conmutación, el conmutador 55 se puede implementar por medio de bombas de carga, según se ilustra mediante la figura 17. Al conmutador 55 le siguen dos transistores MOS 61, 62 polarizados respectivamente por un voltaje de polarización V_{gp} (para el P-MOS) y por un voltaje de polarización V_{gn} (para el N-MOS) que presentan un drenador común y una fuente común. La fuente común está conectada al conmutador 55, y el drenador común está conectado al nodo común 56.

Se observará que, en la figura 17, el valor de la corriente I_{bb} debería ser suficientemente grande como para proporcionar suficiente corriente al seguidor de voltaje y a la serie 27 de transistores conectados como diodos, apilados, M_{ni} de la fase de conversión 20 para la situación de máxima fotocorriente (con amplificación de corriente A por parte del espejo de corriente 11). Esto puede obligar a fijar la corriente I_{bb} a un valor relativamente grande para tener en cuenta la situación del peor de los casos. No obstante, esto podría imponer un alto consumo de energía lo cual no es habitualmente necesario en condiciones normales.

Para superar esto, la figura 18 muestra una disposición mejorada para una polarización adaptativa de corriente I_{bb} dependiente del nivel de iluminación. Con este fin, el espejo de corriente 11 comprende un terminal adicional 18 además del terminal 13 conectado a la entrada 21 de la fase de conversión. La configuración del espejo de corriente 11 es la misma para ambos terminales 13, 18. El terminal adicional 18 está conectado al circuito de muestreo-y-retención 50, y alimenta un espejo de corriente 66 que actúa como fuente de corriente 60 con una réplica de la fotocorriente amplificada I_{ph} del terminal 13. El espejo de corriente 66 repite la fotocorriente instantánea I_{ph} amplificada por el espejo de corriente 11 de ganancia A en el terminal 18 para proporcionar la corriente I_{bb} , que corresponde, consecuentemente a AI_{ph} . Por lo tanto, la corriente I_{bb} está siempre adaptada al nivel de iluminación. En este ejemplo, el espejo de corriente 11 es similar al espejo de corriente de la figura 13, excepto por el terminal adicional 18 y un transistor 19 que conecta el nodo común 16 a dicho terminal adicional. El transistor 19 está polarizado en la puerta con el mismo voltaje V_{gp2} que el transistor 17.

Si la ganancia del espejo de corriente 66 es B, entonces $I_{bb} = AB I_{ph}$, y

$$V_{ph} = V_C + K + nU_T(N - 1)\log(I_{ph}/I_o)$$

Donde V_C es el voltaje en el condensador 57, $K = nU_T\log(A^{N-1}/(B-1))$, y N es el número de transistores MOS conectados como diodos, apilados, de la serie 27. Debe apreciarse que esta polarización adaptativa reduce la ganancia de voltaje de N a N-1.

Además, debe apreciarse que es posible hacer N=0, dando como resultado

$$V_{ph} = V_C - nU_T\log(ABI_{ph}/I_o)$$

La implementación física da como resultado la supresión de la serie 27 junto con el transistor de salida 17 del espejo de corriente. La figura 19 muestra un ejemplo de un circuito de píxel similar al circuito de píxel de la figura

- 18, pero si la serie 27 o el transistor de salida 17 del espejo de corriente. El voltaje de señal V_{ph0} se entrega a la fase de comparación 30 directamente por medio de la salida 52 del circuito de muestreo-y-retención 50. Por lo tanto, la salida 52 del circuito de muestreo-y-retención 50 está conectada a la puerta de un transistor de la primera serie 41 del amplificador de voltaje 40. En cierto sentido, la fase del circuito de muestreo-y-retención 50 actúa como fase de conversión 20, puesto que la salida 52 del circuito de muestreo-y-retención 50 entrega un voltaje de señal V_{ph} obtenido a partir de dicha corriente de fotorreceptor I_{ph} a la fase de comparación 30. Por lo tanto, la salida 13 de la fase de fotosensor 10 puede corresponder a la salida 22 de la fase de conversión 20.
- Asimismo es posible usar el voltaje de salida $V_{retención}$ en la salida 52 del bloque de muestreo-y-retención 50 para desplazar el voltaje de desplazamiento de entrada de las series 41, 42, 43 de los transistores conectados como diodos del amplificador de voltaje 40 de la fase de comparación 30. Con este fin, la salida 52 del bloque de muestreo-y-retención 50 está conectada al terminal inferior 45 de la primera serie 41 de transistores conectados como diodos, es decir, en lugar de V_{qq} o tierra.
- En el ejemplo mostrado, el extremo de voltaje bajo 45, 46, 47 de cada una de las series 41, 42, 43 de transistores conectados como diodos se completa con un transistor N-MOS M_{n14} , M_{n24} , M_{n34} . La salida 13 de la fase de fotosensor 10 está conectada directamente a la fase de comparación 30. De manera más precisa, la salida 13 de la fase de fotosensor 10 está conectada a una puerta del transistor M_{n14} completando la primera serie 41 en su extremo inferior 45. La salida 52 del circuito de muestreo-y-retención 50 está conectada a la fuente de dicho transistor M_{n14} . Como consecuencia, el transistor M_{n14} recibe un voltaje de señal V_{ph} obtenido a partir de dicha corriente de fotorreceptor I_{ph} en su puerta y el voltaje de retención $V_{retención}$ en su fuente, estando conectado su drenador al drenador y la puerta del transistor inferior M_{p13} de la primera serie 41. Los otros transistores M_{n24} y M_{n34} presentan sus puertas conectadas a los drenadores del transistor N-MOS M_{n14} , M_{n24} de la serie anterior 41, 42, y sus fuentes conectadas al segundo voltaje de polarización V_{qq} .
- La entrada inversora del comparador diferencial 38 está conectada al drenador del transistor N-MOS M_{n34} que completa la última serie 43 de transistores conectados como diodos, y la entrada no inversora del comparador diferencial 38 está conectada al drenador del transistor N-MOS M_{n24} que completa la serie anterior 42.
- Tal como resultará evidente para el experto en la materia, son posibles diferentes combinaciones de transistores de tipo PMOS y NMOS en las series 41, 42, 43.
- Asimismo es posible conectar la salida 52 del bloque de muestreo-y-retención 50 al terminal superior de la primera serie 41 de transistores conectados como diodos, es decir, en lugar de V_{DD} o V_{bb} , más que conectarla al extremo inferior 45 de la primera serie 41.
- La figura 20(b) muestra un ejemplo de un posible circuito de polarización para generar el segundo voltaje de polarización V_{qq} que se puede usar en la figura 20a. Como en la figura 11a, se dispone de una serie 80 de transistores conectados como diodos P-MOS. No obstante, el extremo de voltaje inferior de la serie se completa con un transistor N-MOS 87 que está asimismo conectado como diodo, y presenta su fuente conectada tanto al terminal 82 en el que se genera el segundo voltaje de polarización inferior V_{qq} como la fuente de corriente 86.
- Se aprecia que se dispone de un espejo de corriente 66 o transistor 59 como en la figura 17. En cambio, el voltaje de retención $V_{retención}$ se entrega a la salida 52 del condensador 57 a través de un amplificador 63 conectado entre el condensador 57 y la salida 52.
- Aunque la presente invención se ha descrito con respecto a ciertas formas de realización preferidas, es evidente que la misma no se limita en modo alguno a ellas y que comprende todos los equivalentes técnicos de los medios descritos y sus combinaciones. En particular, resultará evidente para el experto en la materia que pueden introducirse varios cambios y modificaciones sin apartarse del alcance de la invención según se define en las reivindicaciones adjuntas.

REIVINDICACIONES

1. Circuito de píxel que comprende:

- 5 - una fase de fotosensor (10) que comprende un fotodiodo (1) y que presenta una salida (13), estando configurada dicha fase de fotosensor (10) para suministrar una corriente de fotorreceptor (I_{ph}) que depende de una intensidad de luz de una exposición de dicho fotodiodo,
- 10 - una fase de comparación (30) configurada para detectar un cambio en un voltaje de señal (V_{ph}) derivado a partir de dicha corriente de fotorreceptor (I_{ph}), caracterizado por que el circuito de píxel comprende un circuito de muestreo-y-retención (50) que presenta una entrada (51), una salida (52), y un terminal de control (53), estando conectada la salida (52) de dicho circuito de muestreo-y-retención a una entrada de la fase de comparación (30) y la fase de comparación (30) está configurada para dar salida a una señal de entrada para la entrada (51) del circuito de muestreo-y-retención (50),

15 en el que el terminal de control (53) del circuito de muestreo-y-retención (50) está conectado a la fase de comparación (30), estando configurada dicha fase de comparación (30) para emitir una señal de muestreo hacia el terminal de control (53) del circuito de muestreo-y-retención (50) cuando se detecta un cambio en el voltaje de señal (V_{ph}).

20 2. Circuito de píxel según la reivindicación 1, en el que el circuito de muestreo-y-retención (50) está configurado para muestrear la señal de entrada en la entrada (51) de dicho circuito de muestreo-y-retención (50) cuando la fase de comparación (30) emite la señal de muestreo hacia el terminal de control (53) del circuito de muestreo-y-retención (50) y para retener un voltaje de retención ($V_{retención}$) cuando la fase de comparación (30) no emite la señal de muestreo hacia el terminal de control (53) del circuito de muestreo-y-retención (50).

25 3. Circuito de píxel según la reivindicación 2, en el que el circuito de muestreo-y-retención (50) está configurado de manera que el voltaje de retención en la salida (52) de dicho circuito de muestreo-y-retención (50) sigue a la señal de entrada en la entrada (51) de dicho circuito de muestreo-y-retención (50) cuando la señal de muestreo se recibe en el terminal de control (53) del circuito de muestreo-y-retención (50).

30 4. Circuito de píxel según cualquiera de las reivindicaciones anteriores, en el que la fase de comparación (30) está configurada para comparar el voltaje de señal (V_{ph}) en contraste con por lo menos un voltaje de umbral ($V_{reinic}-V_{dn}$, $V_{reinic}+V_{dn}$) y la fase de comparación (30) está configurada para emitir la señal de muestreo hacia el terminal de control (53) del circuito de muestreo-y-retención (50) sobre la base de la comparación entre el voltaje de señal y dicho por lo menos un voltaje de umbral.

35 5. Circuito de píxel según la reivindicación 4, en el que la fase de comparación (30) está configurada para comparar el voltaje de señal (V_{ph}) en contraste con un primer voltaje de umbral ($V_{reinic}+V_{dn}$) y un segundo voltaje de umbral ($V_{reinic}-V_{dn}$), siendo dicho primer voltaje de umbral mayor que dicho segundo voltaje de umbral y para dar salida a una primera señal de evento (ev^+) cuando el voltaje de señal supera el primer voltaje de umbral y para dar salida a una segunda señal de evento (ev^-) cuando el voltaje de señal es inferior al segundo voltaje de umbral.

40 6. Circuito de píxel según cualquiera de las reivindicaciones anteriores, en el que la fase de comparación (30) comprende un amplificador diferencial (35) configurado para comparar el voltaje de señal con un voltaje de referencia (V_{reinic}), y para dar salida a una señal de entrada para la entrada (51) del circuito de muestreo-y-retención (50) sobre la base de esta comparación.

45 7. Circuito de píxel según cualquiera de las reivindicaciones anteriores, en el que la fase de comparación (30) comprende un comparador diferencial (38) con múltiples salidas desplazadas, presentando como entradas dicho comparador diferencial (38) dos valores del voltaje de señal (V_{phi} , V_{phi}) amplificados de manera diferente y estando configurado para dar salida a la señal de entrada para la entrada del circuito de muestreo-y-retención (50) y para comparar la diferencia de las entradas con por lo menos un voltaje de umbral.

50 8. Circuito de píxel según la reivindicación anterior, en el que un primer voltaje de señal amplificado se aplica a una entrada inversora del comparador diferencial, un segundo voltaje de señal amplificado se aplica a una entrada no inversora del comparador diferencial y el comparador diferencial presenta por lo menos tres salidas:

- 55 - una primera salida que realiza una transición cuando el segundo voltaje de señal amplificado y el primer voltaje de señal amplificado difieren en un voltaje de umbral positivo,
- 60 - una segunda salida que realiza una transición cuando el segundo voltaje de señal amplificado y el primer voltaje de señal amplificado difieren en un voltaje de umbral negativo,
- 65 - una tercera salida es la señal de entrada para la entrada del circuito de muestreo-y-retención y realiza una transición cuando el primer voltaje de señal amplificado y el segundo voltaje de señal amplificado son

iguales.

- 5 9. Circuito de píxel según cualquiera de las reivindicaciones anteriores, en el que la fase de comparación (30) comprende por lo menos una serie (41, 42, 43) de transistores conectados como diodos, presentando cada serie de transistores conectados como diodos una puerta de un primer transistor conectado como diodo como una entrada y un drenador de dicho primer transistor conectado como diodo como una salida.
- 10 10. Circuito de píxel según la reivindicación 9, en el que dicha por lo menos una serie de transistores conectados como diodos está dispuesta entre un primer terminal (81) configurado para aplicar un primer voltaje de polarización (V_{bb} , V_{DD}) y un segundo terminal (82) configurado para aplicar un segundo voltaje de polarización (V_{qq}) y en el que el circuito de píxel comprende un circuito de polarización para generar en un terminal de salida por lo menos un voltaje de polarización entre el primer voltaje de polarización (V_{bb}) y el segundo voltaje de polarización (V_{qq}), comprendiendo dicho circuito de polarización:
- 15 - una fuente de corriente (86) conectada al terminal de salida (81, 82),
- una serie (80) de transistores conectados como diodos conectados a la fuente de corriente (86) y al terminal de salida (81, 82).
- 20 11. Circuito de píxel según la reivindicación 10, en el que la serie (80) de transistores conectados como diodos está dispuesta entre el primer terminal (81) y el segundo terminal (82) y la fuente de corriente (86) está conectada al segundo terminal (82) y el circuito de polarización comprende además un amplificador diferencial (84) que presenta una entrada inversora, una entrada no inversora y una salida, estando conectada dicha entrada inversora a un drenador de un transistor (83) de dicha serie (80) de transistores conectados como diodos, aplicándose un voltaje de referencia a dicha entrada no inversora y estando conectada la salida al primer terminal (81).
- 25 12. Circuito de píxel según cualquiera de las reivindicaciones anteriores, en el que la fase de comparación (30) comprende por lo menos una primera serie de transistores conectados como diodos (41, 42, 43) y una segunda serie (41, 42, 43) de transistores conectados como diodos, presentando cada serie (41, 42, 43) de transistores conectados como diodos una puerta de un primer transistor conectado como diodo como una entrada y un drenador de dicho primer transistor conectado como diodo como una salida, y
- 30 en el que la fase de comparación (30) comprende un comparador diferencial (38) con múltiples salidas desplazadas, siendo una primera entrada del amplificador diferencial (38) la salida del primer transistor de una serie (42, 43) de transistores conectados como diodos y siendo una segunda entrada para el amplificador diferencial la salida del primer transistor de otra serie (42, 43) de transistores conectados como diodos.
- 35 13. Circuito de píxel según cualquiera de las reivindicaciones 9 a 12, en el que la salida (52) del circuito de muestreo-y-retención está conectada a una puerta de un transistor de la primera serie (41) de transistores conectados como diodos o en el que la salida (52) del circuito de muestreo-y-retención está conectada a la fuente de un transistor (M_{n14}) dispuesto en un extremo de la primera serie (41) de transistores conectados como diodos y en el que la salida (13) de la fase de fotosensor (10) está conectada a la puerta de dicho transistor (M_{n14}).
- 40 14. Circuito de píxel según cualquiera de las reivindicaciones 1 a 12, en el que el circuito de píxel comprende una fase de conversión (20) que presenta por lo menos una entrada (21) conectada a la salida (13) de la fase de fotosensor y un primer terminal (22), estando configurada dicha fase de conversión (20) para suministrar en el primer terminal (22) el voltaje de señal (V_{ph}) derivado a partir de dicha corriente de fotorreceptor (I_{ph}) y la fase de conversión (20) presenta por lo menos un segundo terminal (23) y la salida (52) de dicho circuito de muestreo-y-retención está conectada al segundo terminal (23) de la fase de conversión (20), siendo dicha fase de conversión (20) una entrada para la fase de comparación (30).
- 45 15. Circuito de píxel según la reivindicación 14, en el que el segundo terminal (23) de la fase de conversión (20) está configurado para controlar un desplazamiento de voltaje en el primer terminal (22) de la fase de conversión (20) a través de un voltaje de retención ($V_{retención}$) aplicado por el circuito de muestreo-y-retención (50) en la salida (52) de dicho circuito de muestreo-y-retención (50), y/o en el que la fase de fotosensor (10) comprende un espejo de corriente (11) y la fase de conversión (20) comprende por lo menos un transistor conectado como diodo (26, M_{n1}), conectado a dicho espejo de corriente (11), y/o en el que la fase de conversión (20) comprende una serie (27) de transistores conectados como diodos entre la salida (13) de la fase de fotosensor (10) y la salida (52) del circuito de muestreo-y-retención (50).
- 50 60 16. Sensor de imágenes que comprende una pluralidad de circuitos de píxel según cualquiera de las reivindicaciones anteriores.

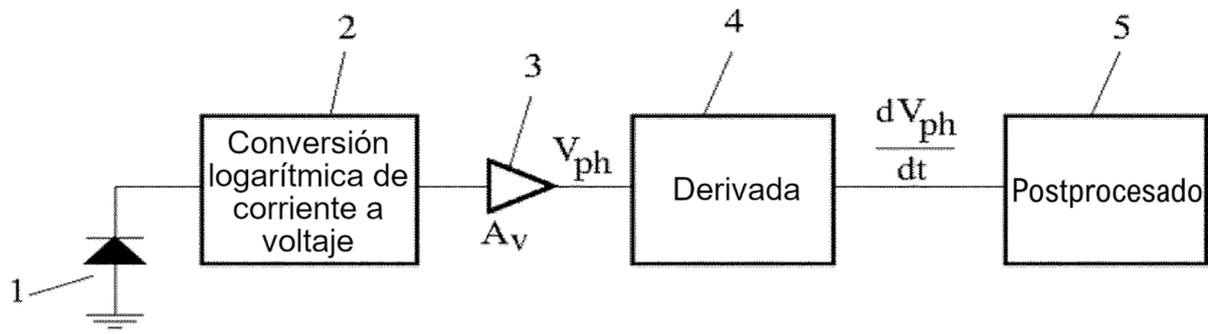


Fig. 1

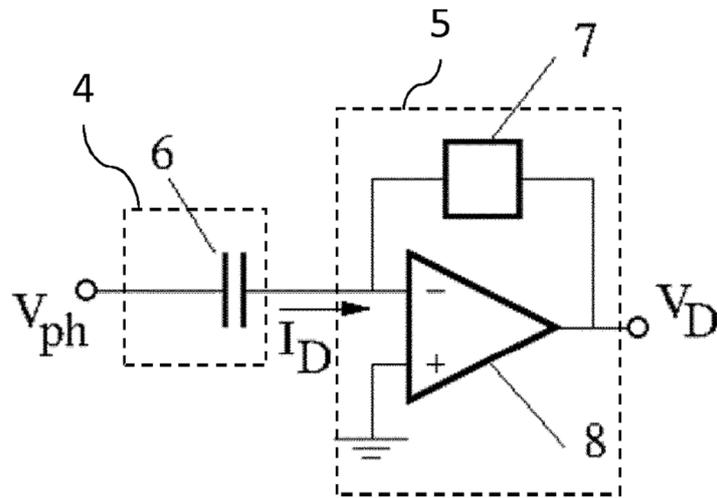


Fig. 2

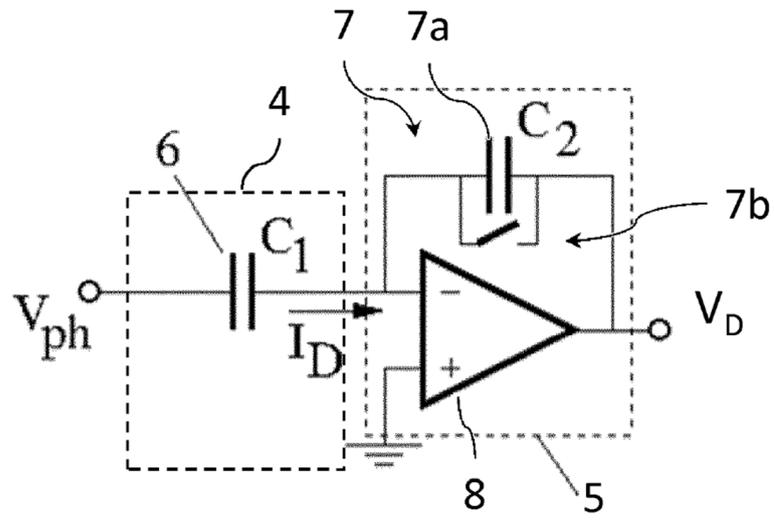


Fig. 3

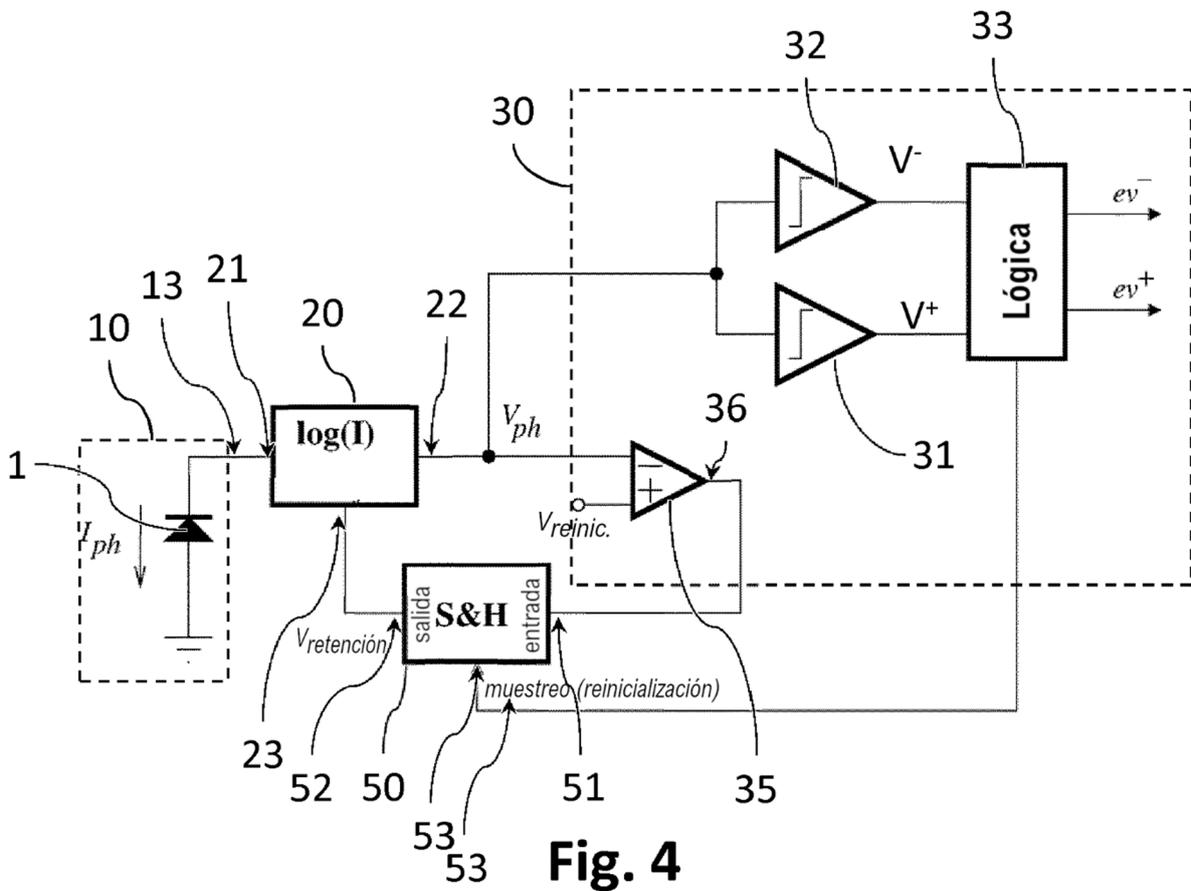


Fig. 4

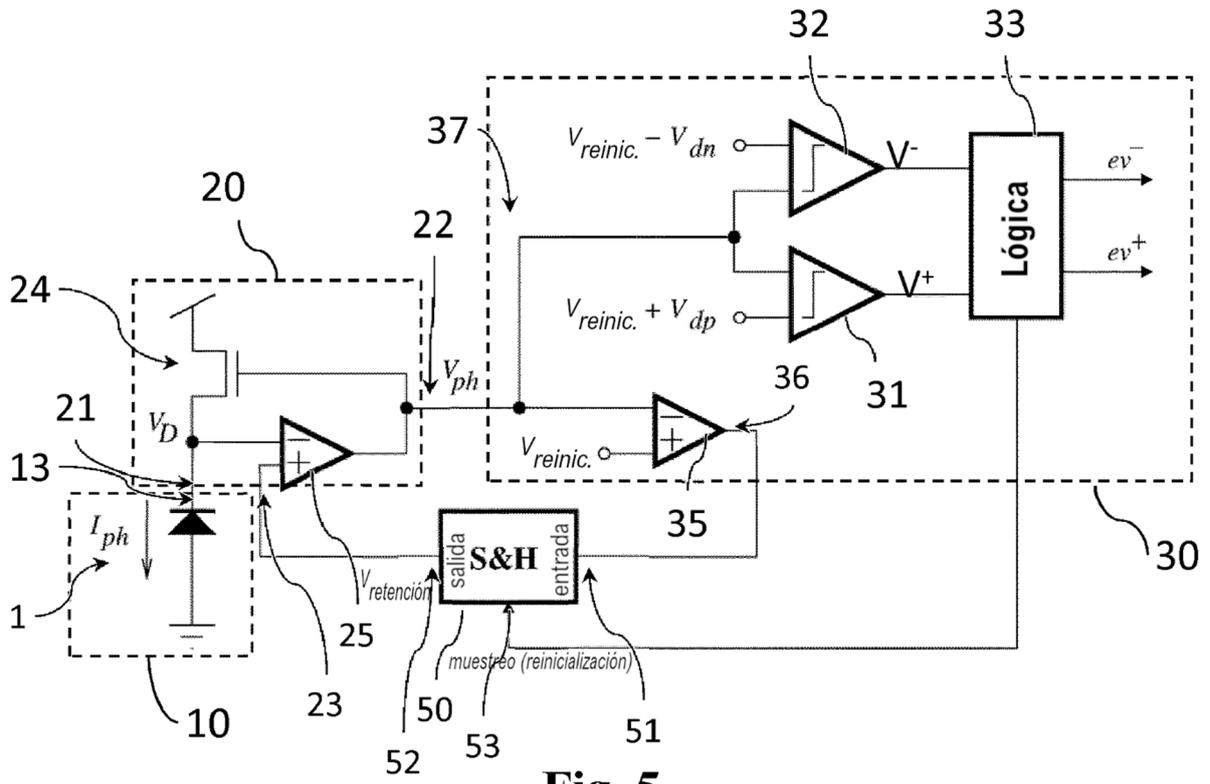


Fig. 5

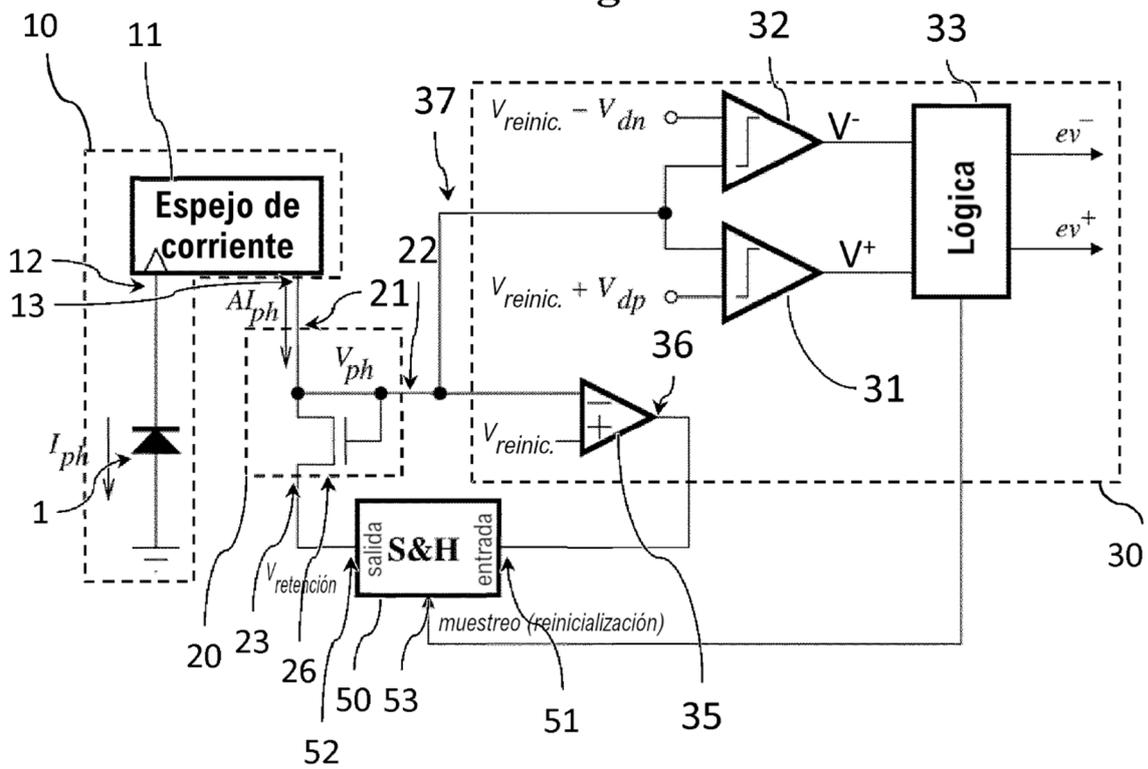


Fig. 6

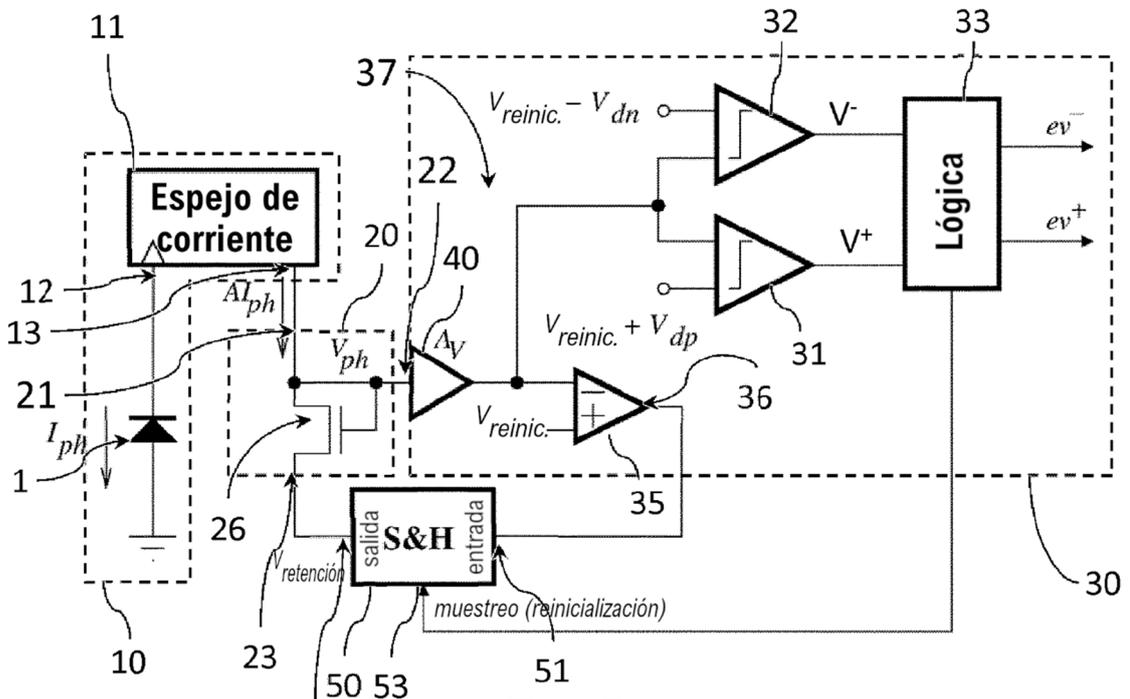


Fig. 7

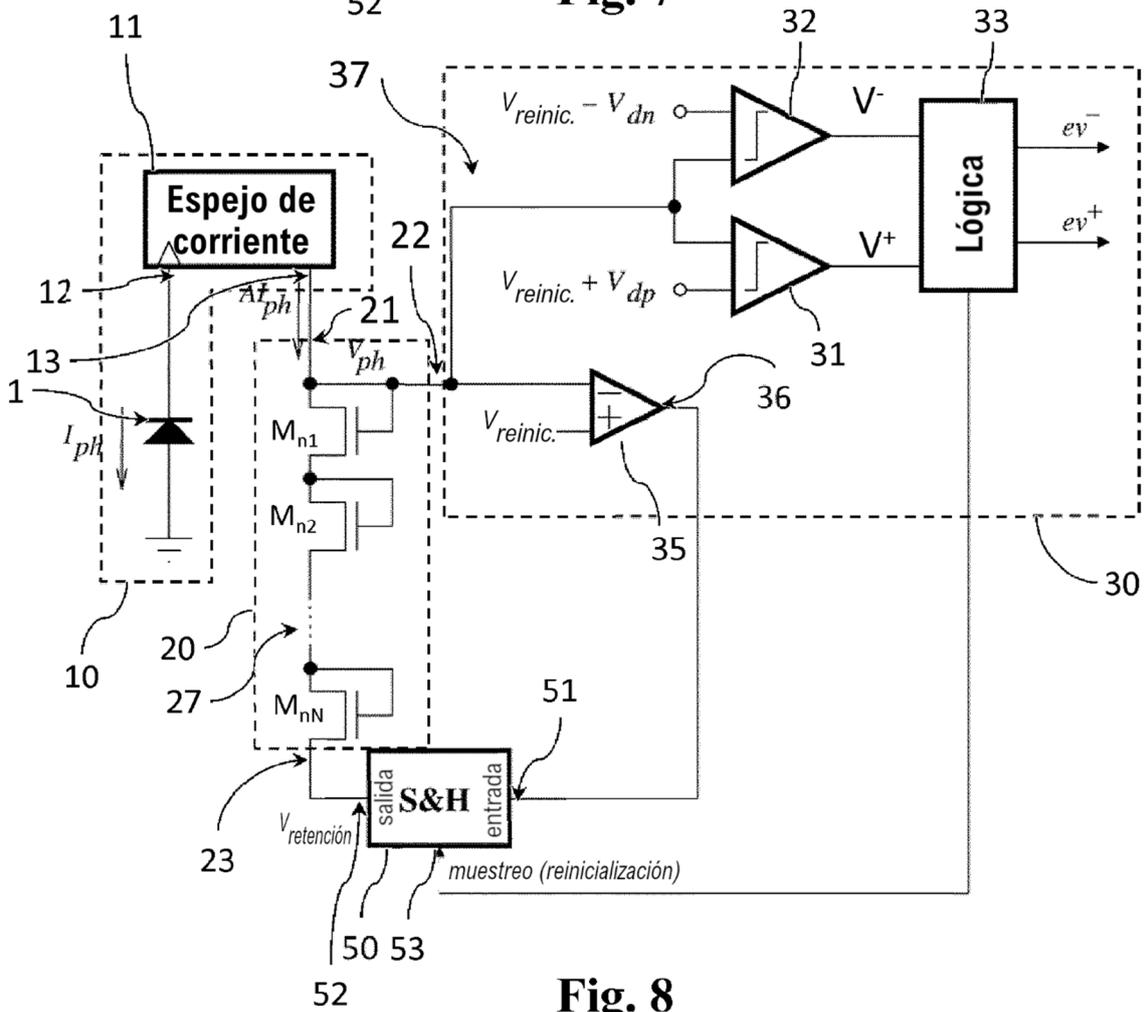
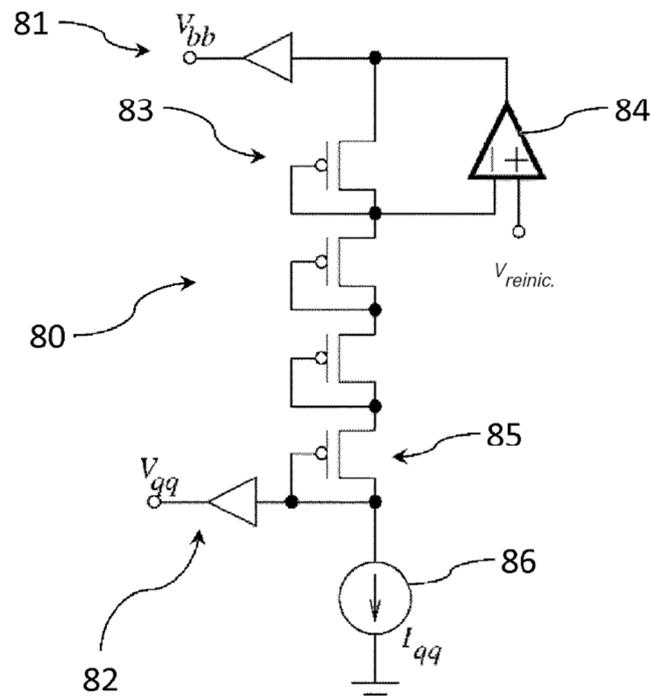
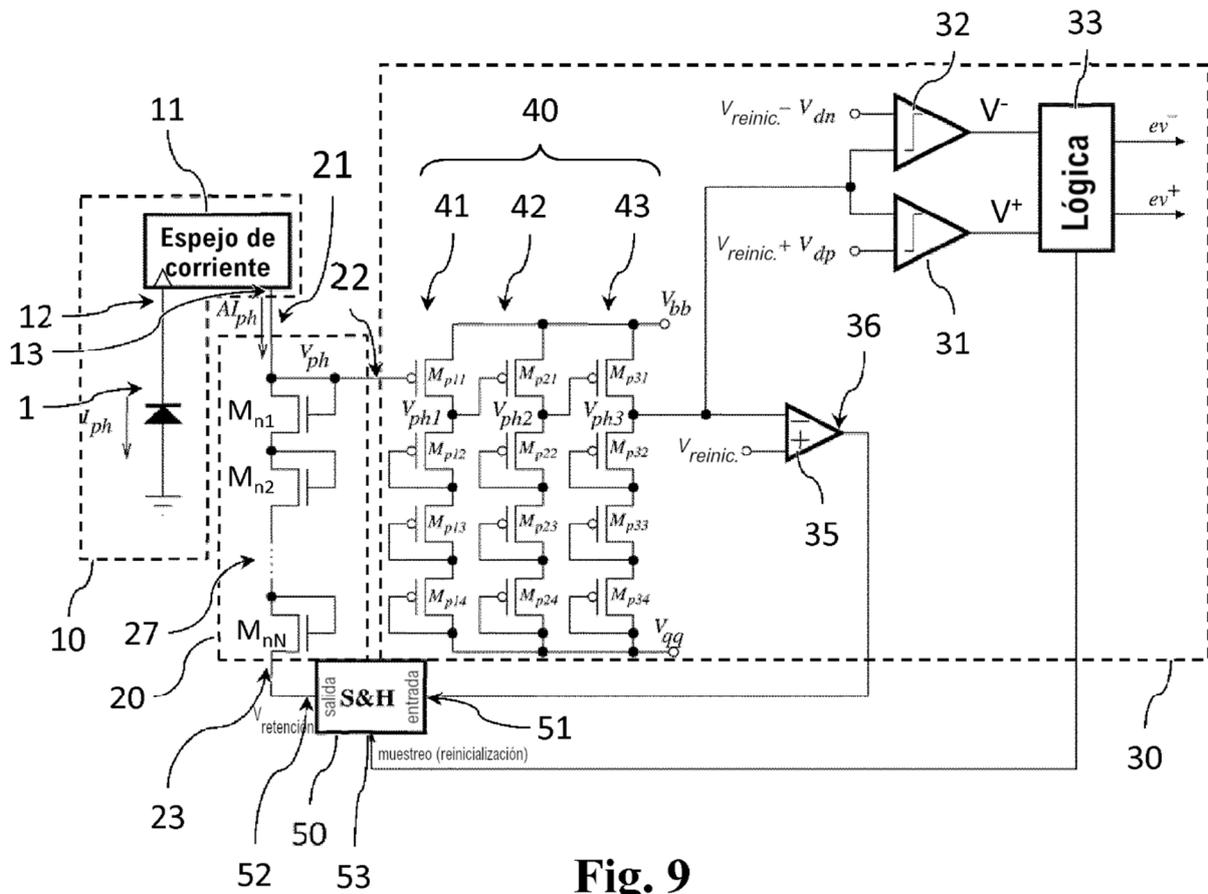


Fig. 8



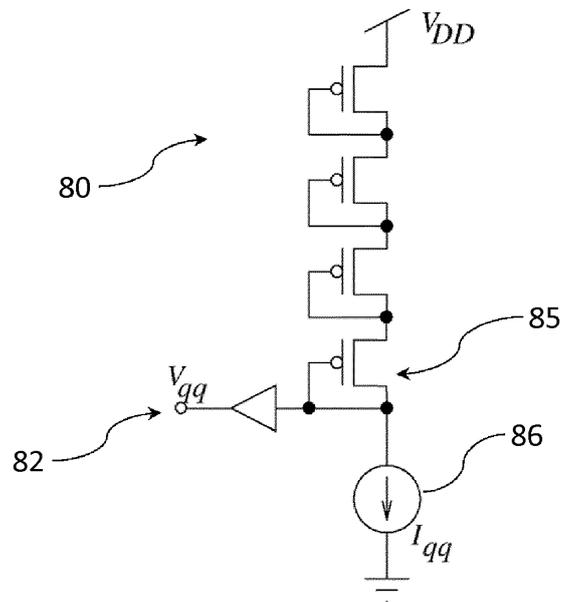


Fig. 11a

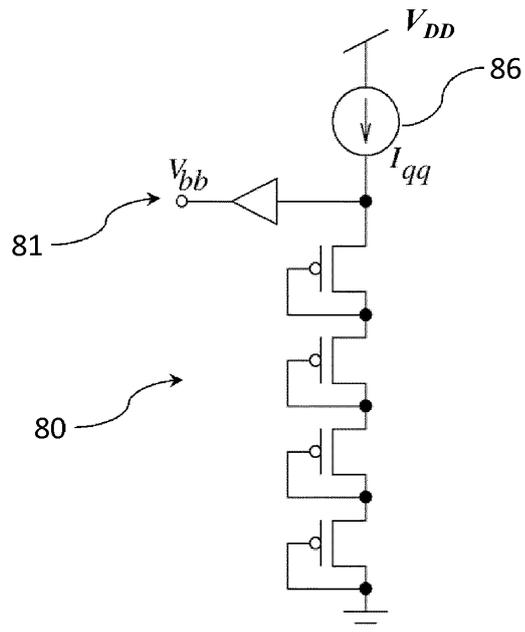


Fig. 11b

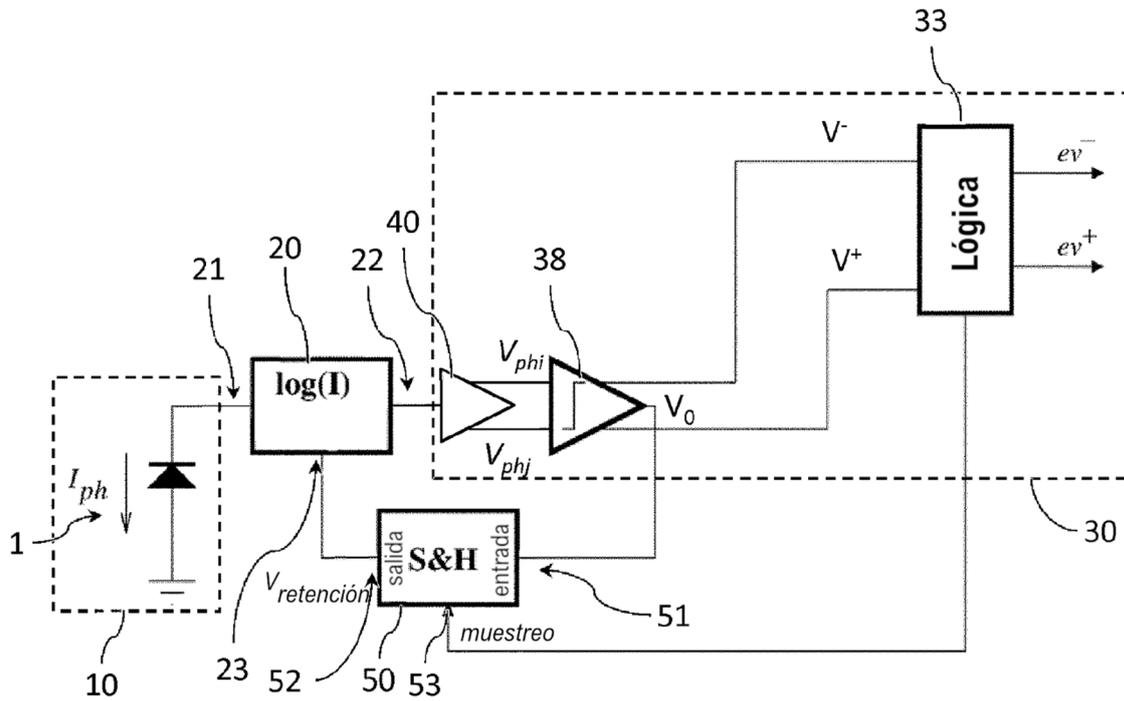


Fig. 12

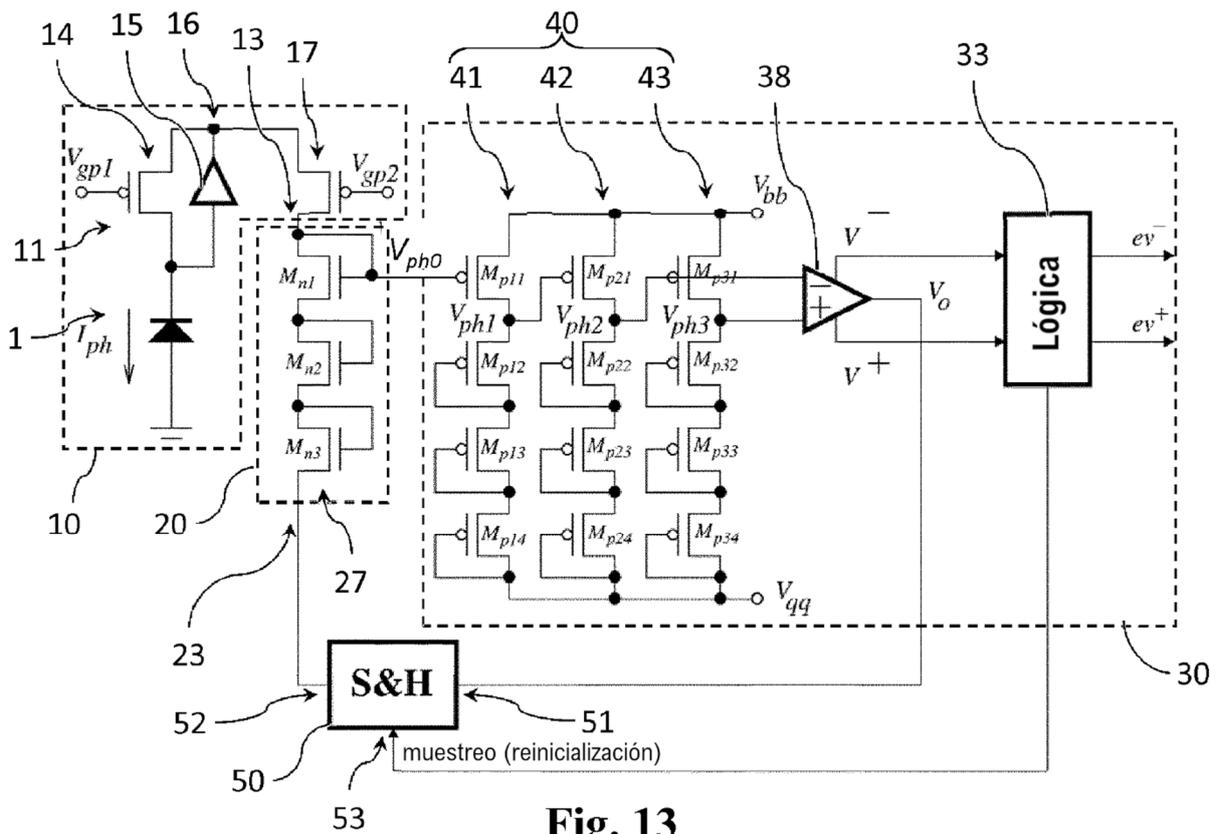


Fig. 13

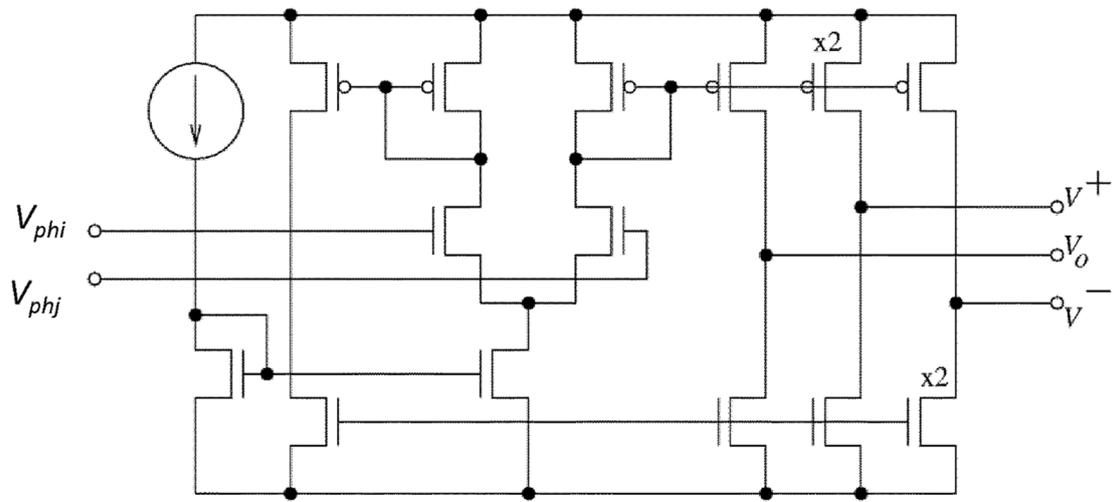


Fig. 14

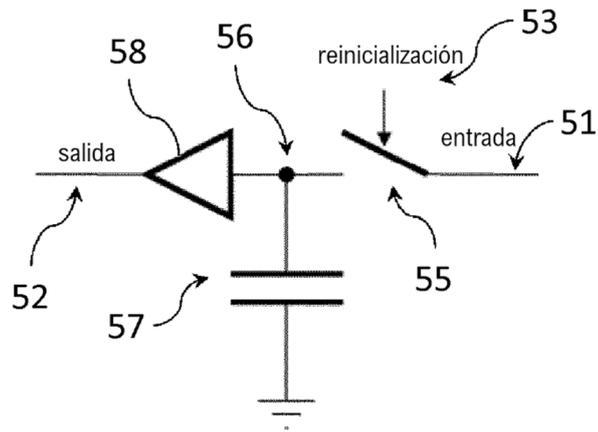


Fig. 15

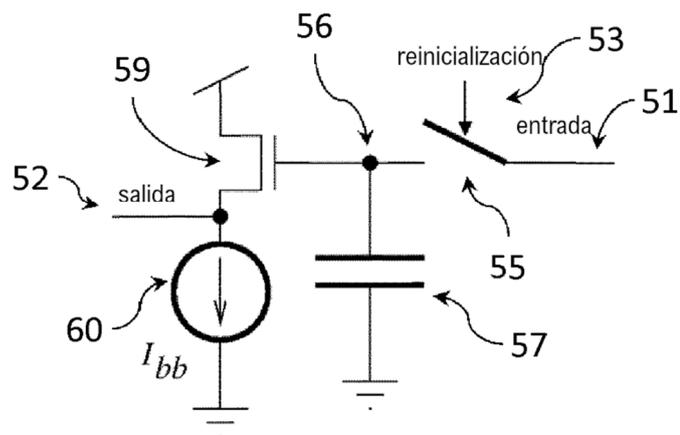


Fig. 16

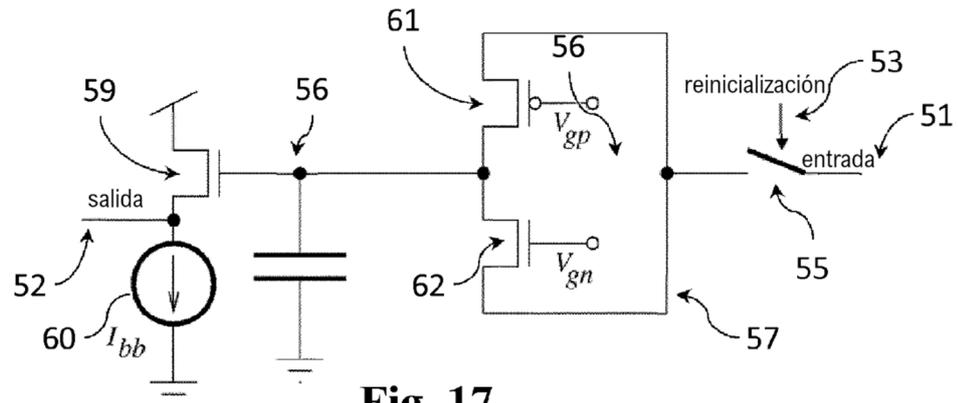


Fig. 17

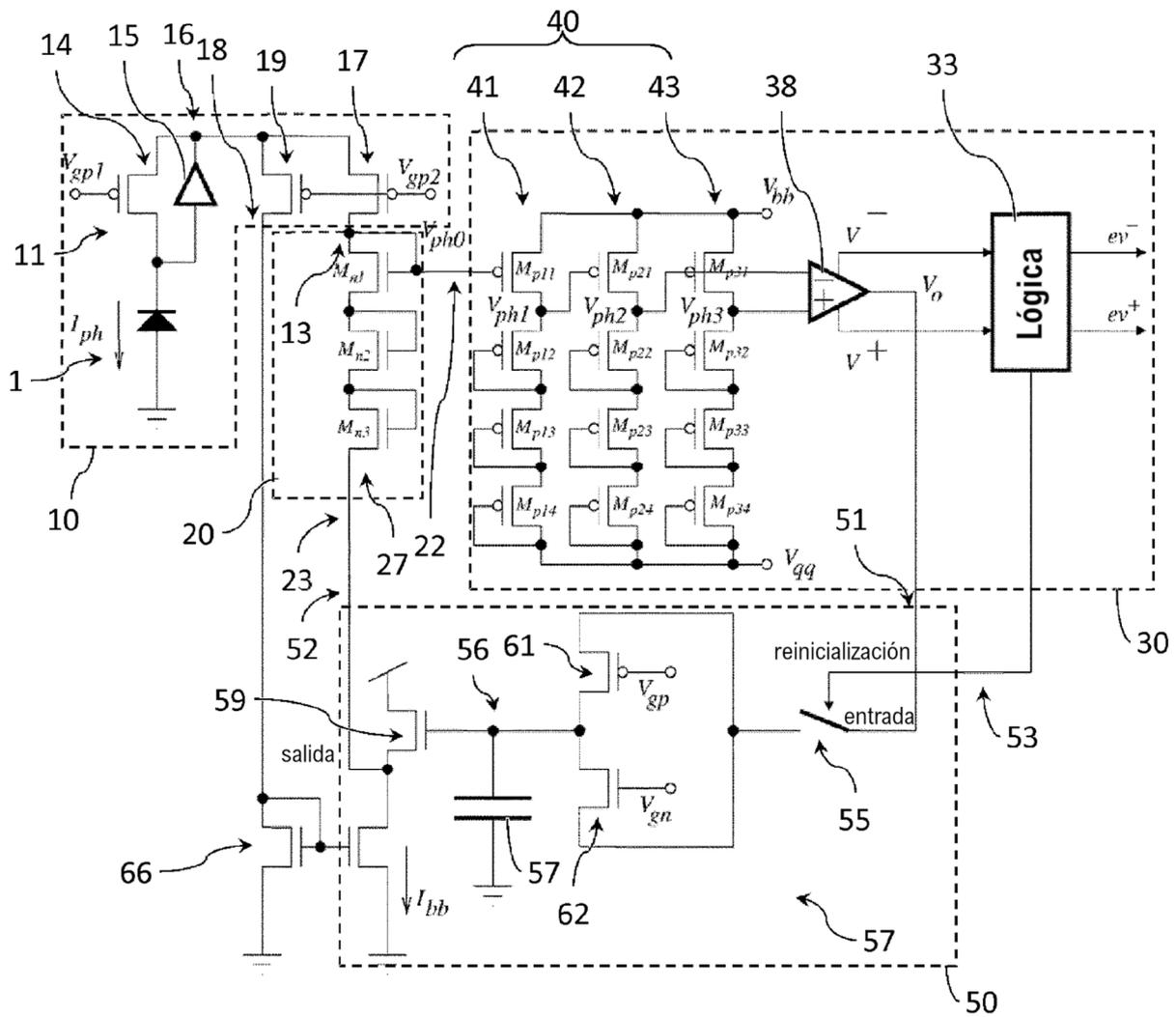


FIG. 18

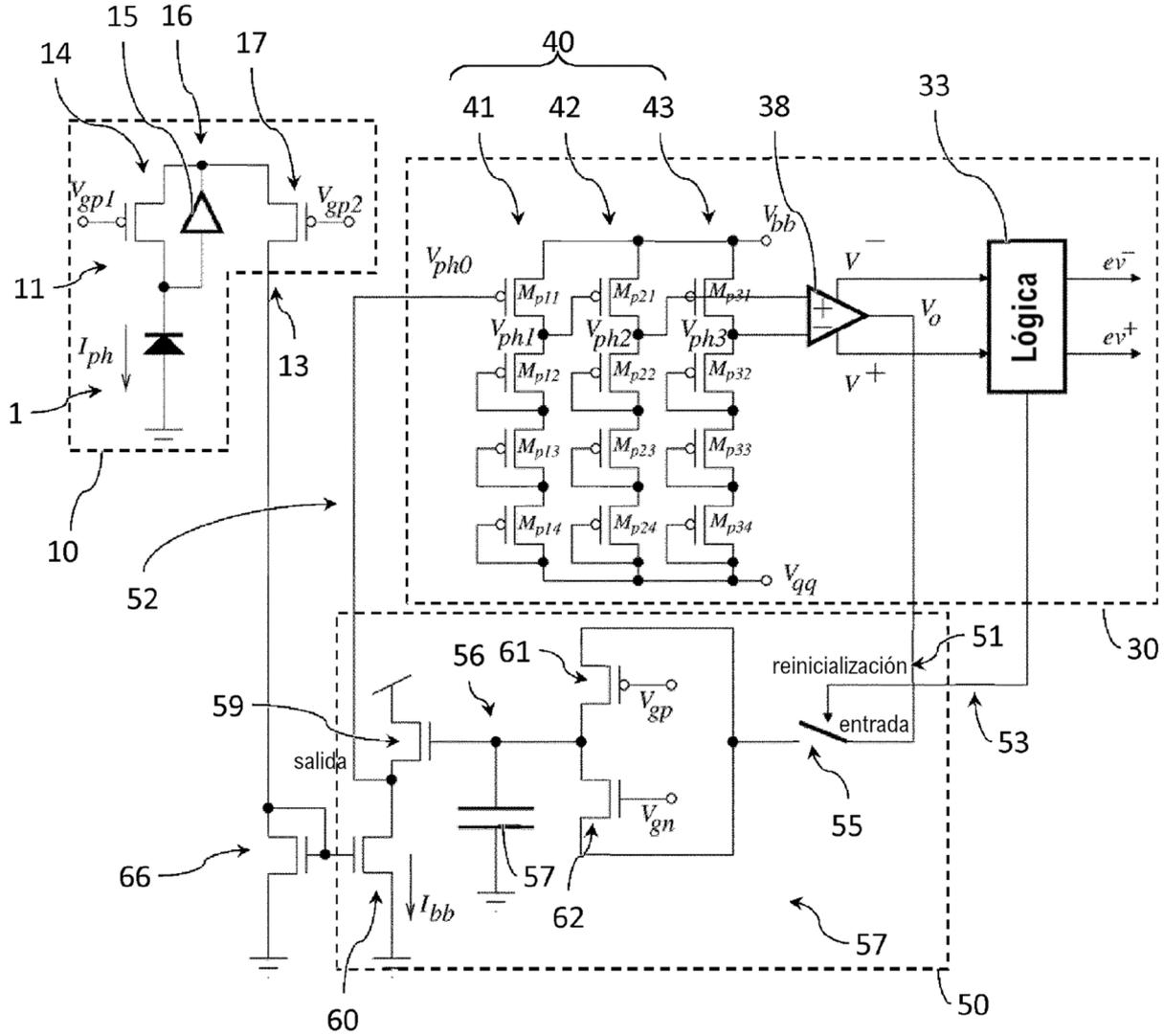


FIG. 19

