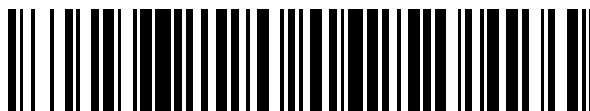


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 756 174**

51 Int. Cl.:

H04N 5/357 (2011.01)

H04N 5/378 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **13.11.2014 PCT/US2014/065431**

87 Fecha y número de publicación internacional: **11.06.2015 WO15084561**

96 Fecha de presentación y número de la solicitud europea: **13.11.2014 E 14868356 (8)**

97 Fecha y número de publicación de la concesión europea: **25.09.2019 EP 3078188**

54 Título: **Amplificador de columna de ganancia variable para su uso en matrices de formación de imágenes**

30 Prioridad:

04.12.2013 US 201314097162

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

27.04.2020

73 Titular/es:

**BAE SYSTEMS IMAGING SOLUTIONS INC.
(100.0%)
P.O. Box 868 NHQ1-719
Nashua, NH 03061-0868 , US**

72 Inventor/es:

**DO, HUNG T.;
BARTKOVJAK, PETER;
FOWLER, BOYD y
MIMS, STEPHEN W.**

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 756 174 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Amplificador de columna de ganancia variable para su uso en matrices de formación de imágenes

Antecedentes de la invención

5 Las matrices de formación imágenes de bajo coste fabricadas en CMOS se utilizan en numerosas cámaras. En la fotografía digital, la imagen se capta mediante una matriz de formación de imágenes en la que cada píxel incluye un fotodetector que mide la cantidad de luz que incide sobre alguna porción del área de píxeles. Las matrices de formación de imágenes que tienen un alto intervalo dinámico son necesarias para muchas aplicaciones, incluida la fotografía de investigación científica. El intervalo dinámico de una matriz de formación de imágenes se definirá para que sea la relación de la señal máxima de un píxel con respecto a la señal mínima que se encuentra por encima del ruido.

15 Normalmente, las matrices de formación de imágenes están construidas a partir de una matriz bidimensional de sensores de píxeles organizados como una pluralidad de filas y columnas de sensores de píxeles. Todos los sensores de píxeles de una columna dada están conectados a una línea de señal común. El píxel específico en una columna que está siendo actualmente leído se determina mediante una señal de selección de fila que conecta todos los sensores de píxeles de una fila dada con sus respectivas líneas de señal.

20 Para mejorar el tiempo de lectura de la matriz, cada línea de señal tiene un amplificador de señal y un circuito de lectura específicos de modo que puede leerse en paralelo la totalidad de la fila de sensores de píxeles. El amplificador de lectura y los conversores de analógico a digital (ADC, por sus siglas en inglés) asociados deben tener un intervalo dinámico que sea proporcional al intervalo dinámico de los píxeles individuales y debe proporcionar un tiempo de lectura de cada píxel que sea lo más breve posible, en concreto, en imágenes con poca luz, ya que el ruido en cada valor de píxel aumenta con el tiempo entre el fin de una exposición y el tiempo en el que se lee el píxel. Para aumentar el intervalo dinámico del circuito de lectura, se han propuesto esquemas en los que se utilizan múltiples amplificadores de lectura en cada línea de señal. Por ejemplo, la solicitud de patente de los EE.UU. 12/036,998 presentada el 2/25/2008 describe un sistema de lectura en el que se implementan circuitos de digitalización que tienen distintas ganancias para cada línea de lectura, estando determinada la elección de la ganancia de digitalización por la señal en la línea de lectura en cuestión.

30 Mientras que múltiples circuitos de digitalización de lectura pueden proporcionar un intervalo dinámico mejorado, esta mejora viene junto con un coste significativo, ya que el número de transistores que debe incluirse en la circuitería de procesamiento para cada línea de señal se ve sustancialmente aumentado. Puesto que puede haber miles de columnas de píxeles y, de este modo, líneas de señales, cada transistor adicional representa un aumento significativo en el área de silicio necesario para implementar la matriz de lectura y, de este modo, los costes del sensor de imágenes.

40 El documento US2004/080637A1 desvela que un sensor de imágenes controla la ganancia de una señal de píxeles sobre una base píxel por píxel y extiende un intervalo dinámico mientras que mantiene una relación S/N a un nivel favorable. Una unidad de columna en un sensor de imágenes detecta independientemente un nivel de cada señal de píxel y establece independientemente una ganancia para un nivel de la señal. Una unidad de región de conversión fotoeléctrica tiene píxeles dispuestos bidimensionalmente con una línea de señal vertical para cada columna de píxeles para generar cada señal de píxel. La unidad de columna se encuentra sobre un lado de salida de la línea de señal vertical. La unidad de columna de cada columna de píxeles tiene un circuito de detección de nivel de señal de píxel, un control de ganancia programable, un circuito de muestreo y retención (S/H). La corrección de ganancia se realiza de acuerdo con un resultado de un nivel detectado de la señal de píxel. El documento EP1223549A1 desvela una matriz de conversores de análogo a digital que incluye un convertor de análogo a digital para cada fila de fotodetectores en la matriz de fotodetectores. La unidad de procesamiento de imágenes incluye la pluralidad de circuitos de procesamiento para realizar un procesamiento de imágenes de alta velocidad. El convertor de señales combina las señales de salida que proceden de la matriz de conversores de análogo a digital con las señales de salida que proceden de la unidad de procesamiento de imágenes bajo control del circuito de control y el controlador de conversión de señales, el convertor de señales reduce por conversión la señal compuesta en un momento importante en una velocidad secuencial adecuada para mostrarse en el monitor y, posteriormente, muestra la señal en el monitor.

55 Mangelsdorf C y col.: "A CMOS Front-End for CCD Cameras" desvela un sistema en el que todas las funciones que previamente residían en un chip bipolar se han incorporado en la misma microplaqueta CMOS con el ADC, incluido un bloque de CDS, un amplificador con una ganancia variable de 0 a 34 dB, un bucle de corrección de nivel negro, un limitador de entrada y una tensión de referencia. Se utiliza tradicionalmente un tampón de emisor seguidor entre el CCD y el resto del sistema para la conducción de línea, pero esta es la única porción de la cadena de señal analógica externa al chip.

60 El documento US 2011/134295 desvela un sensor de imagen que comprende una matriz de píxeles, conversores A/D de columna y un circuito en el que se lee una señal del mismo píxel que procede de un amplificador de columna

dos veces con distintos factores de amplificación, y cada una de las señales leídas se someten, a continuación, a la conversión A/D en un conversor A/D de columna antes de que tenga lugar la selección de las señales. De este modo, se realiza una etapa de reducción de ruido dos veces, una para cada una de las dos señales amplificadas de forma distinta, en donde la ganancia aplicada durante el restablecimiento y la lectura de señal de píxel es la misma.

5 Resumen de la invención

La presente invención, tal como se ha indicado en las reivindicaciones independientes, incluye un sensor de formación de imágenes que utiliza un circuito de procesamiento de línea de bits novedoso, ese circuito de procesamiento, y el método de procesamiento de las salidas de píxeles de un sensor de formación de imágenes que utiliza ese circuito de procesamiento. El sensor de imágenes incluye una matriz de sensores de píxeles, un circuito de digitalización de señales y un controlador de digitalización. Cada sensor de píxel en la matriz de sensores de píxeles incluye un fotodetector, un circuito de conversión de carga y una puerta de transistor, generando el circuito de conversión de carga una señal de tensión que es una función de una carga en el fotodetector, y el transistor de la puerta acoplado la señal de tensión a una línea de bits en respuesta a una primera señal.

15 El circuito de digitalización de señales se conecta a la línea de bits, convirtiendo el circuito de digitalización la señal de tensión en una pluralidad de valores digitales de salida, teniendo dichos valores digitales de salida niveles seleccionables de ruido de digitalización, seleccionándose uno de los niveles de ruido de digitalización en respuesta a una señal de selección de salida utilizada con cada valor de señal. El controlador de digitalización genera la señal de control de salida basándose en la señal de tensión. El circuito de digitalización de señal incluye un amplificador de ganancia variable que tiene una pluralidad de valores de ganancia que amplifica la señal de tensión para generar una señal amplificada que se digitaliza mediante un ADC que tiene un número fijo de bits. En un aspecto de la invención, el amplificador de ganancia variable incluye un amplificador de transimpedancia capacitativa que tiene una capacitancia de retroalimentación que se determina mediante la señal de control de salida.

25 Breve descripción de los dibujos

La Figura 1 ilustra un diagrama de bloques de una realización de una matriz de formación de imágenes CMOS de acuerdo con la presente invención.

La Figura 2 ilustra un dibujo esquemático de un sensor de píxel ejemplar que puede utilizarse en una matriz de formación de imágenes.

La Figura 3 ilustra un dibujo esquemático de un circuito de procesamiento de columna de acuerdo con una realización de la presente invención.

La Figura 4 ilustra un circuito de procesamiento de columna que tiene un amplificador de transimpedancia capacitativa con tres niveles de ganancia.

La Figura 5 ilustra una realización de un circuito de muestreo doble que se puede utilizar con la presente invención para corregir una conmutación en la ganancia del circuito de procesamiento de columna.

Descripción detallada de las realizaciones preferentes de la invención

45 El modo en el que la presente invención proporciona sus ventajas puede comprenderse más fácilmente haciendo referencia a la Figura 1, la cual es un diagrama de bloques de una realización de una matriz de formación de imágenes CMOS de acuerdo con la presente invención. La matriz 20 de formación de imágenes se construye a partir de una matriz rectangular de sensores 21 de píxeles. Cada sensor de píxel incluye un fotodiodo 26 y un circuito 27 de interfaz. Los detalles del circuito de interfaz dependen del diseño de píxel particular. Sin embargo, todos los circuitos de píxeles incluyen una puerta que se conecta a una línea 22 de filas que se utiliza para conectar ese píxel a una línea 23 de bits. La fila específica que se activa en cualquier momento se determina por una dirección de bits que se introduce en un decodificador 25 de filas.

Las diversas líneas de bits terminan en un circuito 28 de procesamiento de columna que incluye normalmente amplificadores de sensores y ADC. Cada amplificador de sensor lee la señal producida por el píxel que está actualmente conectado a la línea de bits procesada por ese amplificador de sensor. En cualquier momento, se produce la lectura de un único sensor de píxel. La columna específica que se lee se determina por una dirección de columna que se utiliza por un decodificador 24 de columna para conectar la salida de ADC que procede de esa columna a la circuitería que se encuentra externa a la matriz de formación de imágenes. El funcionamiento global de la matriz de formación de imágenes se controla mediante un controlador 29 que recibe las direcciones de fila y columna y otros comandos en un bus de entrada.

Haciendo ahora referencia a la Figura 2, la cual es un dibujo esquemático de un sensor de píxel ejemplar que puede utilizarse en la matriz 20 de formación de imágenes. El sensor 31 de píxel incluye un fotodiodo 38, que es preferentemente un fotodiodo PIN, que se acopla a un nodo 39 de difusión flotante mediante una puerta 32. Durante la exposición de la matriz de formación de imágenes a la imagen que se está captando, se acumula carga en el

fotodiodo 38. La carga acumulada se transfiere al nodo 39 de difusión flotante aplicando una señal a la puerta 32. La carga transferida al nodo 39 de difusión flotante se convierte en tensión mediante el condensador 30 parásito asociado con la puerta del transistor 34, que está conectado como un seguidor de origen. El transistor 34 proporciona la ganancia necesaria para conducir la línea 37 de bits cuando el sensor 31 de píxel está conectado a esa línea de bits a través de una señal en la línea 36 de selección de filas que está acoplada a la puerta del transistor 35. Antes de transferir la carga del fotodiodo 38 al nodo 39 de difusión flotante, se restablece el potencial en el nodo 39 de difusión flotante a un potencial predeterminado a través de la puerta 33. Cuando se transfiere la carga del fotodiodo 38 al nodo 39 de difusión flotante restablecido, la tensión en el nodo 39 de difusión flotante se ve reducida por una cantidad que depende en la carga que se ha transferido y la capacitancia del nodo de difusión flotante. Sin embargo, existen pequeñas variaciones en la tensión final en el nodo 39 de difusión flotante después del restablecimiento.

Se utiliza un procedimiento conocido como muestreo doble correlacionado para compensar estas variaciones. El potencial en el nodo 39 de difusión flotante después de que se haya restablecido el nodo 39 de difusión flotante se mide conectando el sensor 31 de píxel a la línea 37 de bits. Después de medir este potencial inicial, la carga que se ha acumulado en el fotodiodo 38 se transfiere al nodo 39 de difusión flotante y el potencial en el nodo 39 de difusión flotante se mide de nuevo conectando el sensor 31 de píxel a la línea 37 de bits. La diferencia en la señal entre las dos mediciones potenciales determina el valor de intensidad de luz que se captura para cada sensor 31 de píxel.

Tal como se ha indicado anteriormente, resulta ventajoso proporcionar un circuito de digitalización para cada línea de bits en la que la ganancia de digitalización es una función de la intensidad de señal que procede del píxel. En general, existen dos fuentes de ruido en cada medición de píxel. El primero es el ruido de sensor del fotodiodo y la circuitería de lectura analógica, y el segundo proviene de las etapas finitas del ADC utilizado para convertir las mediciones analógicas en los valores digitales finales para los píxeles. El ruido de sensor es la suma del ruido de disparo que proviene del fotodetector, así como el ruido térmico y $1/f$ de la electrónica de lectura. El ruido de disparo normalmente predomina sobre el ruido de sensor para los niveles de señal por encima de diez fotones. La salida del ADC tiene una incerteza de la mitad de la diferencia de tensión que se corresponde con el bit menos significativo del valor digital. Esta incerteza se referirá como el «ruido de cuantificación» en la siguiente discusión.

Los avances en la tecnología de formación de imágenes CMOS han dado como resultado sensores de imagen con niveles de ruido de sensor extremadamente bajos, correspondiéndose con la señal que se hubiera producido al recibir tan pocos fotones. Para sacar provecho de una matriz con tales píxeles de bajo ruido a bajos niveles de luz, se debe utilizar un circuito de digitalización que tenga un bajo ruido de cuantificación y una elevada ganancia. Si se utiliza tal circuito de digitalización para convertir señales que provienen de píxeles que tienen altas intensidades de luz, sin embargo, las tensiones de salida serán demasiado altas para que la circuitería CMOS de bajo coste convencional pueda procesarlas. Además, los ADC necesitarían tener una cantidad más grande de bits, lo cual aumenta adicionalmente los costes y el área de silicio necesaria. Si, por otro lado, la ganancia del amplificador en el circuito de digitalización se establece a un valor bajo para mantener la señal dentro del intervalo de la circuitería CMOS cuando se procesan las señales analógicas que proceden de píxeles de alta intensidad, el ruido de cuantificación enmascarará las señales de bajo nivel. De este modo, se han propuesto esquemas en los que los ADC proporcionan un ruido de cuantificación variable. Los esquemas de la técnica anterior analizados anteriormente utilizan dos ADC que tienen ganancias de conversión distintas conmutándose las ganancias en respuesta al nivel de señal que procede del píxel que está siendo procesado de modo que se procesan señales de bajo nivel con tamaños de etapa más pequeños en el ADC.

La presente invención se basa en la observación de que se puede construir un circuito de procesamiento de columna que proporciona distintos niveles de ruido de cuantificación a partir de un único amplificador de transimpedancia capacitativa con ganancia variable y un tamaño de etapa fija de ADC. Aumentar la ganancia del amplificador de transimpedancia capacitativa cuando se están procesando píxeles de bajo nivel de luz es equivalente a disminuir el tamaño de etapa en el ADC y, de este modo, a reducir el nivel de ruido de digitalización. Haciendo referencia a la Figura 3, que es un dibujo esquemático de un circuito de procesamiento de columna de acuerdo con una realización de la presente invención. El circuito 70 de procesamiento de columna amplifica y procesa las señales en la línea 37 de bits. El amplificador 50 de transimpedancia capacitativa se construye a partir de un amplificador 51 operacional y dos condensadores de retroalimentación que se muestran en 52 y 53 que tienen capacitancias C_{52} y C_{53} respectivamente. Cuando el conmutador 54 está abierto, la ganancia del amplificador 50 de transimpedancia capacitativa es proporcional a C_{56}/C_{52} , donde C_{56} es la capacitancia del condensador 56. Cuando se cierra el conmutador 54, los condensadores 52 y 53 se conectan en paralelo y la ganancia del amplificador 50 de transimpedancia capacitativa es proporcional a $C_{56}/(C_{52}+C_{53})$. El estado del conmutador 54 se establece por el comparador 68 de latch que compara la salida del amplificador 50 de transimpedancia capacitativa con una tensión de referencia, V_2 . En una realización, $C_{56}/(C_{52}+C_{53})$ es aproximadamente 1 y C_{56}/C_{52} es entre 20 y 30.

En funcionamiento, el conmutador 54 se controla mediante la salida de un comparador de latch que se muestra en 68 y por el controlador 29 que se muestra en la Figura 1. Antes de cada medición de tensión en la línea 37 de bits, se restablece el comparador 68 de latch y se cierra el conmutador 55 para acotar la entrada y salida del amplificador 51. Inicialmente, el conmutador 54 está abierto, y el amplificador 51 operacional tiene su ganancia máxima. Cuando se transfiere una señal al condensador 56 para su medición, la salida del amplificador 51 operacional aumenta. Si la

salida del amplificador 51 operacional supera V_2 , se establece el comparador 68 de latch generando, de este modo, una señal en la línea 67 que se utiliza para cerrar el conmutador 54. La ganancia del amplificador 50 de transimpedancia capacitativa se reduce, de este modo, al valor bajo. Después de haber establecido el amplificador 50 de transimpedancia capacitativa, se almacena la tensión de salida en el condensador 63 o en el condensador 64 en el circuito de 60 de muestreo doble dependiendo del estado de los conmutadores 61 y 62, respectivamente. Cuando tanto el valor de restablecimiento como el valor que representa la carga almacenada en el fotodiodo en el píxel que está actualmente conectado en la línea 37 de bits están almacenados en los condensadores 64 y 63, respectivamente, la diferencia en el potencial se digitaliza mediante el ADC 65 y la salida del valor en la línea 66 junto con un valor indicativo del valor de ganancia del amplificador 50 de transimpedancia capacitativa en la línea 67.

Cuando el nivel de luz almacenado en el píxel que está conectado a la línea 37 de bits es bajo, el amplificador 50 de transimpedancia capacitativa y la circuitería de muestreo doble correlacionado asociada se comporta como un circuito de procesamiento de columna convencional en que la ganancia del amplificador 50 de transimpedancia capacitativa se encuentra en el valor alto para tanto la fase de restablecimiento como la de medición del muestreo doble correlacionado. Cuando el nivel de luz es alto; sin embargo, la ganancia utilizada para medir el potencial de restablecimiento será distinta a la ganancia utilizada para medir la carga que se ha transferido desde el fotodiodo. De este modo, el cálculo de la diferencia será erróneo. En muchos casos, esto no provoca ningún problema significativo, ya que el cálculo de muestreo doble correlacionado solo proporciona una diferencia significativa a partir del valor que se obtendría solo midiendo la carga que se almacenó en el fotodiodo en casos en los que la carga del fotodiodo fuera pequeña. Sin embargo, si se necesita una corrección sobre este error, se puede utilizar un circuito de muestreo doble modificado en el que el valor de restablecimiento observado se divide mediante un factor adecuado que depende de la diferencia en ganancia de las dos fases. Tal circuito se analizará en más detalle a continuación.

El amplificador 50 de transimpedancia capacitativa puede verse como un amplificador de transimpedancia capacitativa con un circuito de retroalimentación capacitativa variable como el bucle de retroalimentación. La capacitancia de retroalimentación se establece para que mantenga la señal de salida por debajo de un nivel de señal predeterminado. Las realizaciones en las que se utilizan más de dos niveles de capacitancia también se pueden construir para aumentar adicionalmente el intervalo dinámico del amplificador de transimpedancia capacitativa. Ahora se hace referencia a la Figura 4, que ilustra un circuito de procesamiento de columna que tiene un amplificador de transimpedancia capacitativa con tres niveles de ganancia. El circuito 90 de procesamiento de columna incluye un amplificador 79 de transimpedancia capacitativa que tiene tres condensadores de retroalimentación que se muestran en 71-73. Los condensadores 72 y 73 de retroalimentación se conmutan en el bucle de retroalimentación mediante los conmutadores 74 y 75, respectivamente, en respuesta a la salida del amplificador 51 operacional que supera V_2 y V_3 , respectivamente. Las señales en las líneas 77 y 78 de salida se leen conjuntamente con la salida del ADC 65.

Tal como se ha indicado anteriormente, se almacena una primera tensión que representa la tensión de restablecimiento en el circuito de muestreo doble antes de que el circuito de procesamiento de columna determine la ganancia final del amplificador de transimpedancia capacitativa. Si la ganancia se reduce posteriormente a una ganancia inferior en respuesta a una alta señal que está siendo detectada, la tensión de restablecimiento será demasiado alta por un factor de la relación de las ganancias en el estado de ganancia alta y el estado en el que se almacenó la tensión de restablecimiento. Ahora se hace referencia a la Figura 5, que ilustra una realización de un circuito de muestreo doble que se puede utilizar con la presente invención para corregir una conmutación en la ganancia del circuito de procesamiento de columna. El circuito 80 de muestreo doble asume que la ganancia en el circuito de procesamiento de columna está limitada a dos valores, una ganancia alta, G_H que se utiliza durante la medición de la tensión de restablecimiento en el píxel actualmente conectado a la línea de bits y al inicio de la medición de la señal de luz, así como una ganancia baja, G_L , que se utiliza si la señal en el modo de ganancia alta es superior a un umbral predeterminado durante la medición de la señal de luz.

El procesamiento del píxel se divide en dos fases, una fase de restablecimiento y una fase de medición de luz. Durante la fase de restablecimiento, se cierran los conmutadores 81 y 82. La señal que procede del píxel se almacena en el condensador 84 durante esta fase utilizando la ganancia G_H . Se almacena una señal idéntica en el condensador 83. Durante la fase de medición de luz, el conmutador 82 está abierto y el potencial en el condensador 84 es el potencial de restablecimiento medido. La señal en el condensador 83 al final de la fase de medición de luz dependerá de la ganancia del amplificador de transimpedancia capacitativa al final de la fase de medición de luz. Si la ganancia permaneció a una G_H , el conmutador 87 permanece abierto. En este caso, el ADC 65 genera la diferencia en las dos señales de entrada como se ha medido con la ganancia G_H . Sin embargo, si la ganancia cambió de G_H a G_L durante la fase de medición de luz, el conmutador 87 está cerrado. Puesto que el conmutador 82 está abierto, la tensión en la línea 88 se verá reducida por un factor que depende de la capacitancia del condensador 85. La capacitancia del condensador 85 se escoge de modo que la tensión en la línea 88 se multiplica por un factor de G_L/G_H corrigiendo, de este modo, las distintas ganancias en las fases de restablecimiento y medición de luz.

En realizaciones en las que la circuitería de procesamiento de columna tiene más de dos valores de ganancia, también se puede construir un circuito de muestreo doble análogo al que se muestra en la Figura 5. En el caso de ganancias adicionales, el condensador 85 puede remplazarse por una capacitancia variable que tenga un valor que dependa de la ganancia más alta utilizada durante la fase de medición de luz. En el caso del circuito 80 de muestreo

5 doble, la combinación del conmutador 87 y el condensador 85 es una capacitancia variable que tiene dos valores, 0 y una capacitancia que proporciona la división deseada de la tensión almacenada. Mientras que los circuitos de muestreo doble descritos anteriormente utilizan una capacitancia variable para dividir la tensión de restablecimiento medida por el factor deseado, se podrían utilizar otras formas de un divisor de tensión. La ventaja del sistema capacitativo reside en su sencillez.

10 Las realizaciones anteriormente descritas utilizan una matriz bidimensional de píxeles en la que cada columna de píxeles se procesa mediante un circuito de procesamiento de columna. Sin embargo, la presente invención puede utilizarse con cualquier disposición de píxeles en la que una pluralidad de píxeles que están expuestos a niveles de iluminación significativamente distintos comparte el mismo circuito de digitalización de señal a través de una línea de entrada común. Además, se podrían utilizar otras formas de fotodetectores en los píxeles.

15 Las realizaciones anteriormente descritas de la presente invención se han proporcionado para ilustrar los diversos aspectos de la invención. Sin embargo, se debe comprender que los distintos aspectos de la presente invención que se muestran en distintas realizaciones específicas se pueden combinar para proporcionar otras realizaciones de la presente invención. Además, diversas modificaciones de la presente invención resultarán evidentes a partir de la anterior descripción y los dibujos adjuntos. Por consiguiente, la presente invención debe quedar limitada únicamente por el alcance de las siguientes reivindicaciones.

REIVINDICACIONES

1. Un aparato que comprende:

- 5 una matriz de sensores (21, 31) de píxeles, comprendiendo cada sensor (21, 31) de píxeles un fotodetector (38), un circuito de conversión de carga y un transistor (34, 35) de puerta, generando dicho circuito de conversión de carga una señal de tensión que es una función de una carga en dicho fotodetector y acoplando dicho transistor de puerta dicha señal de tensión a una línea (37) de bits en respuesta a una primera señal;
- 10 un circuito (28, 70, 90) de procesamiento de columna conectado a dicha línea de bits, convirtiendo dicho circuito de procesamiento de columna dicha señal de tensión en una pluralidad de valores digitales de salida;
- 15 el circuito de procesamiento de columna configurado para generar una señal de control de salida basada en dicha señal de tensión, en donde dicho circuito de procesamiento de columna comprende un amplificador (50) de ganancia variable que tiene una pluralidad de valores de ganancia que amplifica dicha señal de tensión para generar una señal amplificada que se digitaliza mediante un conversor de análogo a digital (ADC) que tiene un número fijo de bits;
- 20 en donde dicho amplificador de ganancia variable comprende un amplificador de transimpedancia capacitativa;
- 25 en donde el circuito de procesamiento de columna comprende adicionalmente un circuito (60) de muestreo doble configurado para almacenar una primera tensión que representa una medición de una tensión de restablecimiento medida en un primer valor de ganancia de la pluralidad de valores de ganancia y una segunda tensión que mide dicha señal de tensión,
- caracterizado por que**
- 30 dicho amplificador de transimpedancia capacitativa tiene una capacitancia de retroalimentación que se determina por dicha señal de control de salida; y
- dicho circuito de muestreo doble configurado para generar una medición de dicha señal amplificada menos dicha primera tensión dividida por un factor que depende de cuál de dicha pluralidad de valores de ganancia se ha utilizado para generar dicha señal amplificada, y
- 35 en donde el circuito de procesamiento de columna está configurado de modo que para niveles de luz inferiores, el primer valor de ganancia es el mismo que la ganancia utilizada para generar la señal amplificada y para niveles de luz superiores, el primer valor de ganancia es distinto a la ganancia utilizada para generar la señal amplificada.
- 40 2. El aparato de la reivindicación 1, en donde dicho circuito (28, 70, 90) de procesamiento de columna comprende adicionalmente un comparador (68) de latch que compara una salida de dicho amplificador (50) de transimpedancia capacitativa con respecto a un valor de referencia.
- 45 3. Un método para hacer funcionar una matriz de formación de imágenes que comprende una matriz de sensores (21, 31) de píxeles, comprendiendo cada sensor de píxel un fotodetector (38), un circuito de conversión de carga y un transistor (34, 35) de puerta, generando dicho circuito de conversión de carga una señal de tensión que es una función de una carga en dicho fotodetector y acoplando dicho transistor de puerta dicha señal de tensión a una línea (37) de bits en respuesta a una primera señal, comprendiendo dicho método:
- 50 acoplar uno de dichos sensores de píxeles a dicha línea de bits;
- amplificar dicha señal de tensión que se corresponde con dicho uno de dichos sensores de píxeles con un amplificador (50) de transimpedancia capacitativa de ganancia variable para generar una señal analógica de salida, teniendo dicho amplificador de transimpedancia capacitativa de ganancia variable una ganancia variable determinada por dicha señal de tensión; y
- 55 digitalizar dicha señal analógica de salida con un conversor (65) de analógico a digital que tiene un número fijo de bits;
- comprendiendo el método además almacenar una primera tensión que representa una tensión de restablecimiento medida en un primer valor de ganancia y una segunda tensión que mide dicha señal analógica de salida; y
- caracterizado por que**
- 60 se corrige dicha señal analógica de salida por una cantidad que depende de dicha primera tensión dividida por un factor que depende de dicha ganancia variable, en donde para niveles de luz inferiores, el primer valor de ganancia es el mismo que la ganancia variable utilizada para amplificar la señal de tensión y, para niveles de luz superiores, el primer valor de ganancia es distinto a la ganancia utilizada para amplificar la señal de tensión.
- 65 4. El método de la reivindicación 3, en donde dicho amplificador (50) de transimpedancia capacitativa de ganancia variable tiene un circuito de retroalimentación capacitativo que tiene una pluralidad de valores de capacitancia distintos y dicho circuito de retroalimentación capacitativo tiene una capacitancia que se establece seleccionando uno de dichos valores de capacitancia distintos en respuesta a dicha señal de

tensión que está acoplada a dicha línea de bits.

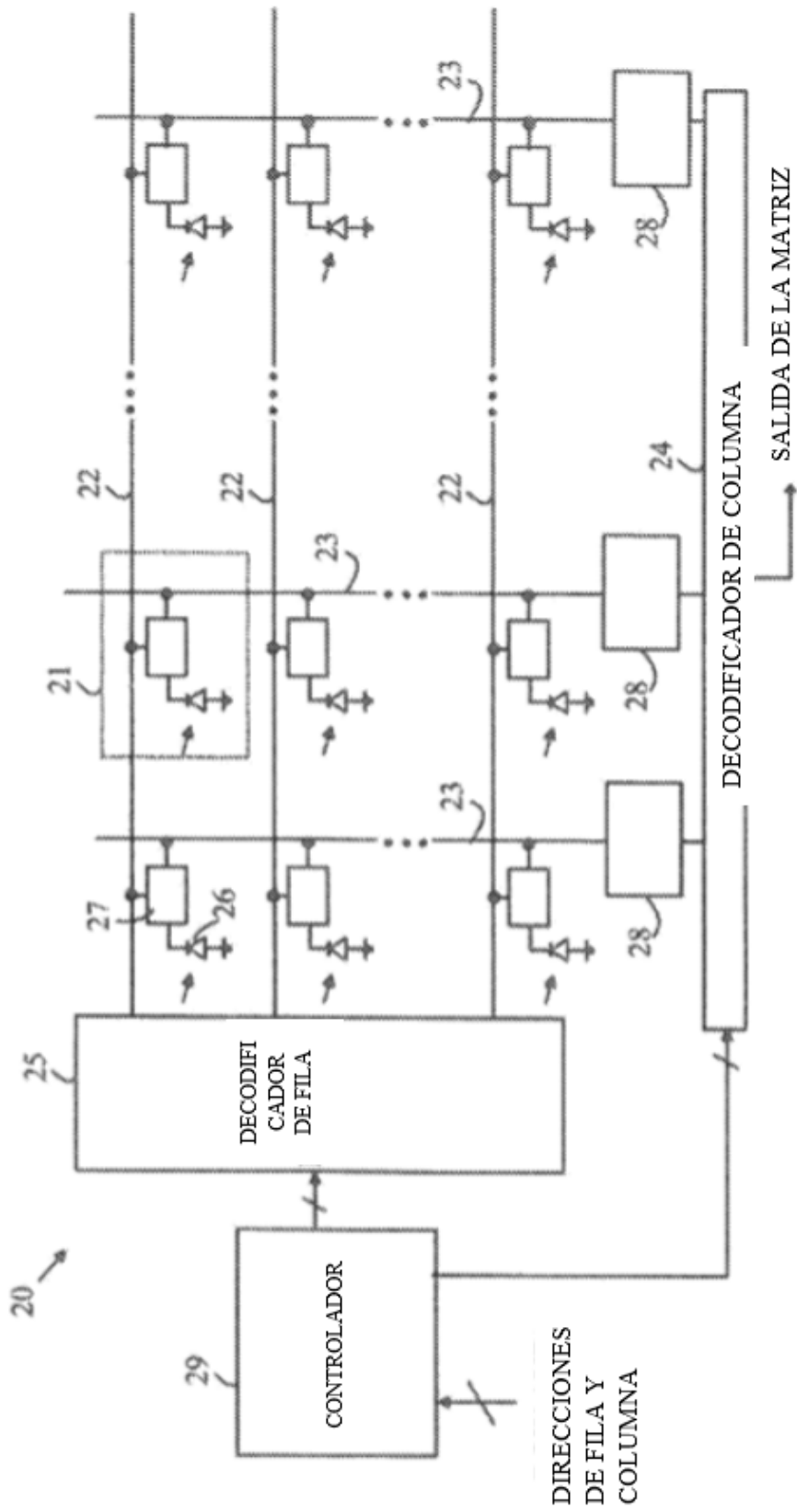


FIGURA 1

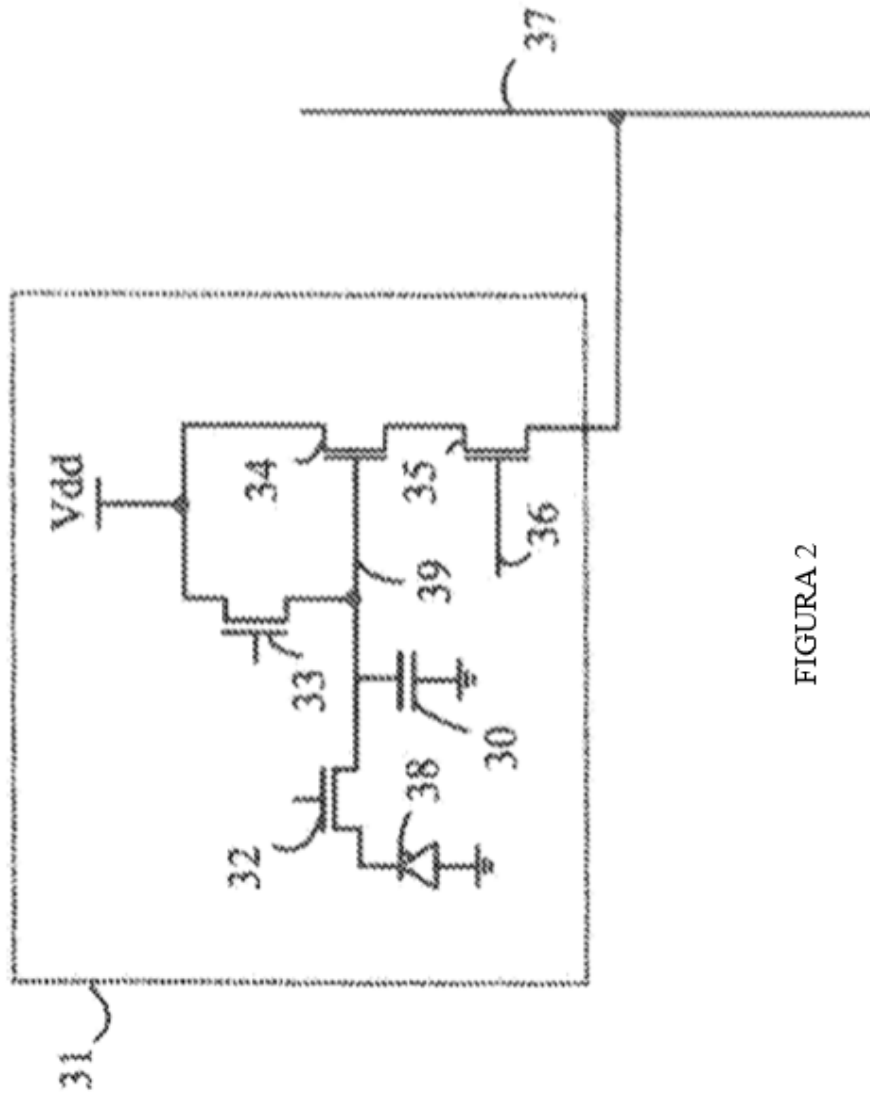


FIGURA 2

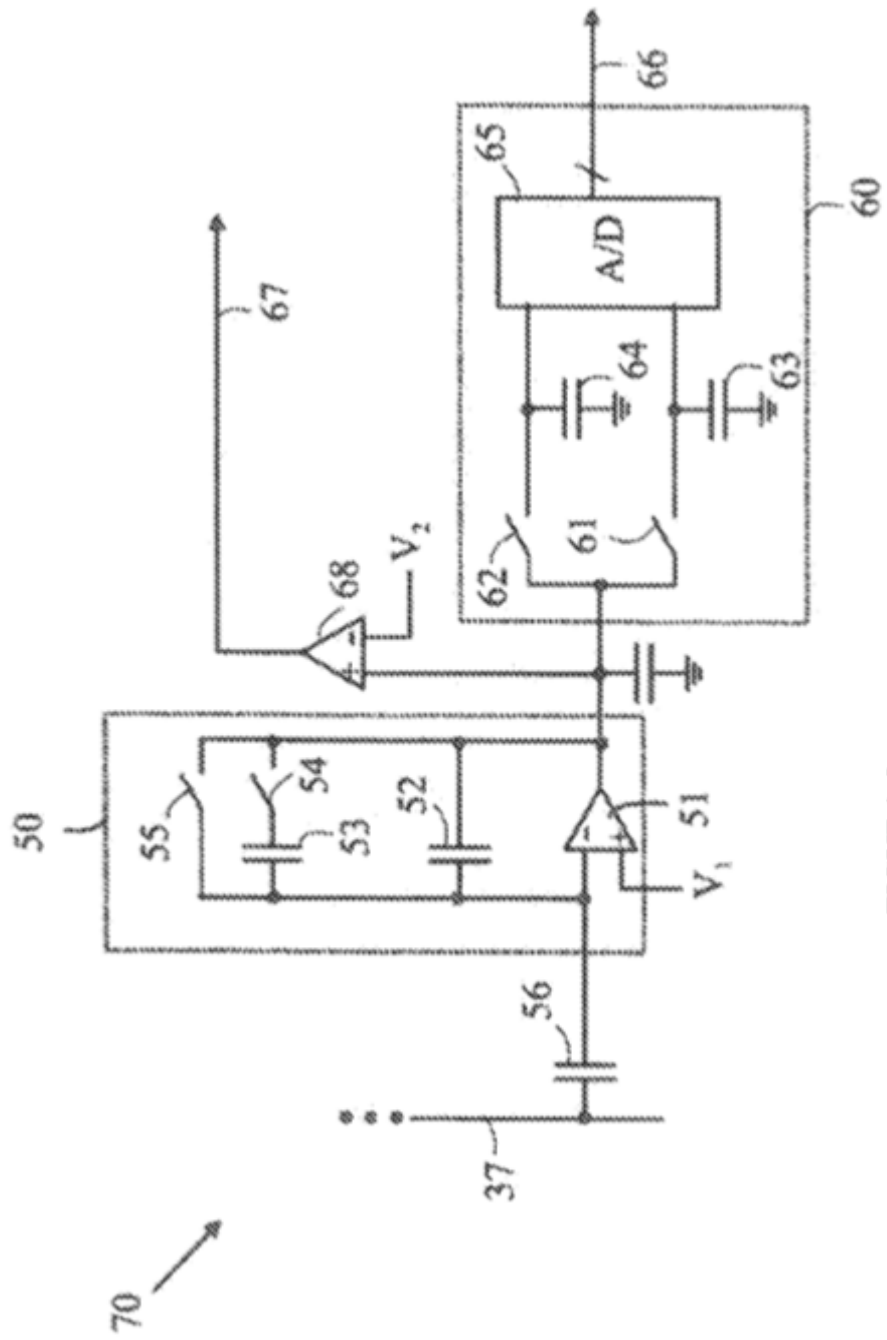
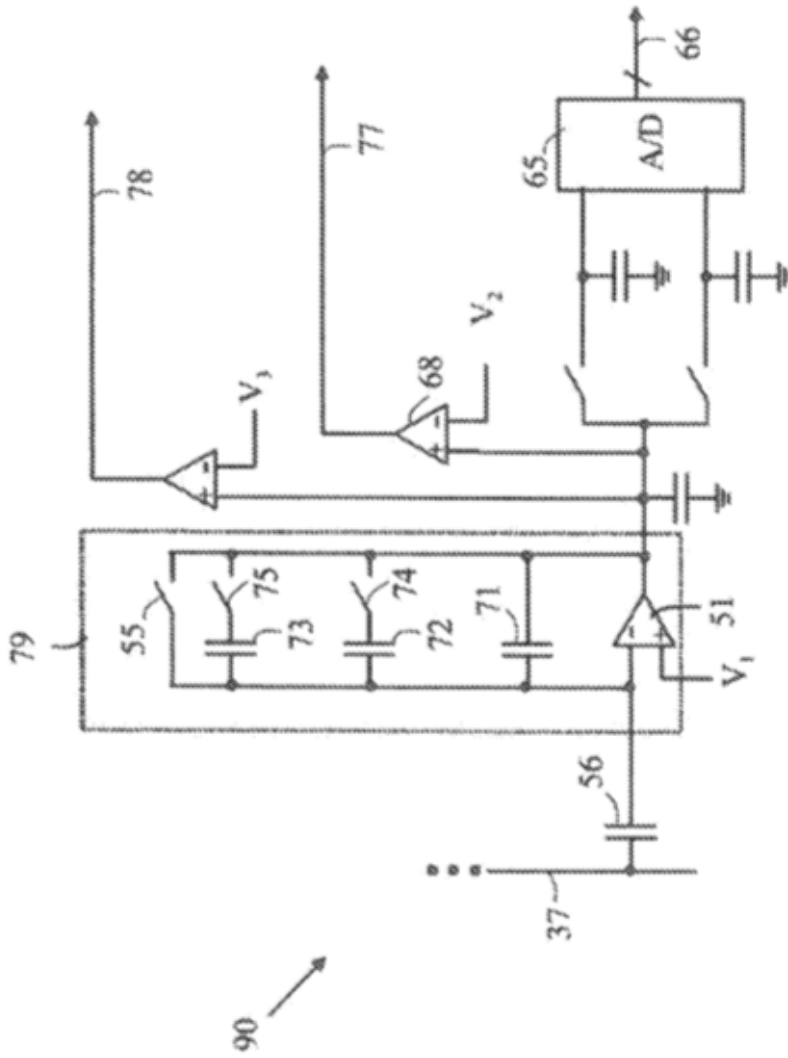


FIGURA 3

FIGURA 4



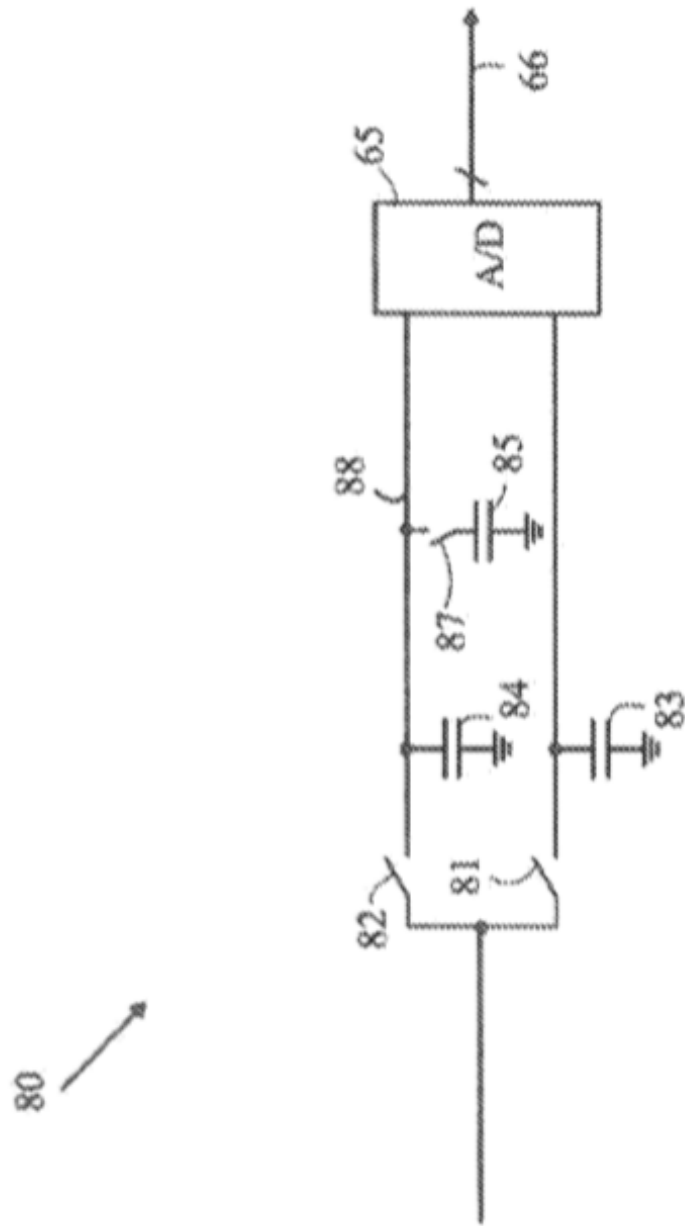


FIGURA 5