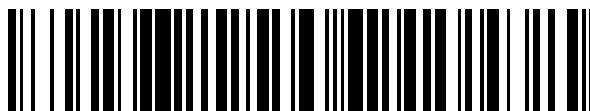


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 758 623**

51 Int. Cl.:

G06F 9/38 (2008.01)

G06F 12/06 (2006.01)

G06F 12/08 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.10.2003 PCT/US2003/031961**

87 Fecha y número de publicación internacional: **22.04.2004 WO04034218**

96 Fecha de presentación y número de la solicitud europea: **09.10.2003 E 03774703 (7)**

97 Fecha y número de publicación de la concesión europea: **11.09.2019 EP 1550032**

54 Título: **Método y aparato para un acceso a memoria basado en hilos en un procesador multihilo**

30 Prioridad:

11.10.2002 US 269247

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

06.05.2020

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**HOKENEK, ERDEM;
MOUDGILL, MAYAN y
GLOSSNER, JOHN, C.**

74 Agente/Representante:

CURELL SUÑOL, S.L.P.

ES 2 758 623 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para un acceso a memoria basado en hilos en un procesador multihilo.

5 Campo de la invención

La presente invención se refiere, en general, al campo de los procesadores de datos digitales, y, más particularmente, a técnicas de acceso a memoria para su uso en un procesador multihilo.

10 Antecedentes de la invención

La memoria es un aspecto importante del diseño de procesadores. Como es bien sabido, los procesadores se usan normalmente en combinación con un sistema de memoria que incluye una jerarquía de diferentes elementos de almacenamiento. Por ejemplo, un sistema de memoria del tipo mencionado puede incluir unos medios de almacenamiento de refuerzo, una memoria principal y una memoria caché, según se describe, por ejemplo, en "Computer Architecture: Pipelined and Parallel Processor Design", de M.J. Flynn, editorial Jones and Bartlett, Boston, MA, 1995, que se incorpora a la presente a título de referencia.

Típicamente, el rendimiento de la memoria se caracteriza por parámetros tales como el tiempo de acceso y el ancho de banda. El tiempo de acceso se refiere al tiempo entre una solicitud, por parte del procesador, de un elemento de datos particular de la memoria y la devolución de los datos solicitados al procesador. El ancho de banda de la memoria se refiere al número de solicitudes de acceso a memoria al que puede dar acomodo la memoria por unidad de tiempo.

Una memoria dada, tal como la memoria caché o la memoria principal en la configuración ilustrativa antes indicada de un sistema de memoria, se puede organizar en forma de múltiples bancos. A partes de la memoria se les hace referencia también como módulos. Por ejemplo, una serie de bancos se puede combinar en un único módulo de memoria, o una serie de módulos se puede combinar para formar uno de los bancos. Típicamente, solamente un subconjunto de los bancos de la memoria puede estar activo en cualquier momento dado durante un acceso de memoria. En la disposición posible más simple, un único procesador presenta una solicitud a un único módulo de memoria. A continuación, el procesador cesa su actividad y espera el servicio del módulo. Cuando el módulo responde, la actividad del procesador se reanuda.

Cada módulo de memoria tiene por lo menos dos parámetros importantes, a saber, tiempo de acceso al módulo y tiempo de ciclo del módulo. El tiempo de acceso al módulo es el tiempo requerido para recuperar datos hacia un registro de almacenamiento intermedio de memoria de salida, dada una dirección válida. El tiempo de ciclo del módulo es el tiempo mínimo entre solicitudes dirigidas al mismo módulo.

Históricamente, los procesadores y la memoria se encapsulaban por separado. No obstante, con las técnicas actuales de integración es posible integrar múltiples módulos y bancos dentro del dado de un único circuito integrado junto con el procesador.

Uno de los problemas importantes con las técnicas convencionales de acceso a memoria es que dichas técnicas no están optimizadas, en general, para su uso con procesadores multihilo, es decir, procesadores que soportan una ejecución simultánea de múltiples secuencias o "hilos" de instrucciones distintos. Por ejemplo, las técnicas convencionales de acceso a memoria, cuando se aplican a procesadores multihilo, requieren normalmente un número excesivo de puertos de lectura y escritura, lo cual hace que aumente excesivamente el consumo de potencia. Además, dichas técnicas, cuando se aplican a procesadores multihilo, pueden dar como resultado el estancamiento de hilos particulares del procesador, y un aumento de los tiempos de acceso a memoria.

Tal como se pone de manifiesto a partir de lo anterior, existe una necesidad de técnicas mejoradas de acceso a memoria para su uso en combinación con una memoria asociada a un procesador multihilo.

Se divulga un acceso a memoria asociado a un procesador multihilo en el documento US 2002/103990 A1, en el cual tiene origen la parte precharacterizadora de la reivindicación 1.

Sumario de la invención

La presente invención, según queda definida por las reivindicaciones adjuntas, proporciona técnicas mejoradas de acceso a memoria para un procesador multihilo. Más particularmente, las técnicas de acceso a memoria de la invención, en una forma de realización ilustrativa de la misma, proporcionan un acceso a bancos basado en hilos en una memoria asociada a un procesador multihilo, de tal manera que se evita el estancamiento, asociado a accesos a memoria, de hilos del procesador.

De acuerdo con una forma de realización, un procesador multihilo determina un identificador de hilo asociado a un hilo de procesador particular, y utiliza por lo menos una parte del identificador de hilo para seleccionar una parte

particular de una memoria asociada a la que acceder por medio del hilo de procesador correspondiente. Por ejemplo, una primera parte del identificador de hilo se puede utilizar para seleccionar uno de entre una pluralidad de elementos de memoria de múltiples bancos dentro de la memoria, y una segunda parte del identificador de hilo se puede utilizar para seleccionar uno de entre una pluralidad de bancos de memoria dentro del seleccionado de entre los elementos de memoria de múltiples bancos. La primera parte puede comprender uno o más de los bits más significativos del identificador de hilo, mientras que la segunda parte comprende uno o más de los bits menos significativos del identificador de hilo.

Como ejemplo más particular, cada uno de los elementos de memoria de múltiples bancos puede incluir un banco de memoria par y un banco de memoria impar, utilizándose un bit menos significativo de la segunda parte del identificador de hilo para seleccionar uno de entre el banco de memoria par y el banco de memoria impar para el acceso por parte del hilo de procesador correspondiente.

Otros aspectos se refieren a una estructuración de hilos con activación por testigos y a un procesado de instrucciones segmentadas. Por ejemplo, el procesador multihilo se puede configurar para implementar una estructuración de hilos con activación por testigos. Este tipo de estructuración de hilos utiliza un testigo para identificar, en asociación con un ciclo de reloj en curso del procesador, una unidad de hilo de hardware o contexto particular al que se le permitirá emitir una instrucción para un ciclo de reloj subsiguiente.

Ventajosamente, la invención reduce de manera significativa el tiempo de acceso a memoria y el consumo de potencia en un procesador multihilo, sin ninguna pérdida de rendimiento del procesador. Por ejemplo, en la forma de realización ilustrativa, pueden lograrse dos accesos a memoria de lectura o escritura en un único ciclo de procesador utilizando solamente un único puerto de memoria.

Breve descripción de los dibujos

La figura 1 es un diagrama de bloques de un sistema de procesado de ejemplo en el cual se implementa la invención.

La figura 2 es un diagrama de bloques más detallado de una forma de realización ilustrativa de un procesador multihilo del sistema de procesado de la figura 1.

La figura 3 ilustra un ejemplo de estructuración de hilos con activación por testigos adecuada para su uso en el procesador multihilo de la figura 2 de acuerdo con las técnicas de la invención.

La figura 4 ilustra la manera según la cual se pueden segmentar funciones de instrucciones de ejemplo en el procesador multihilo de la figura 2 de acuerdo con las técnicas de la invención.

La figura 5 muestra una segmentación de ejemplo simplificada con múltiples contextos del procesador de la figura 2 que emite instrucciones en ciclos sucesivos.

La figura 6 ilustra una técnica de acceso a memoria implementada en el procesador multihilo de la figura 2 de acuerdo con la invención.

Descripción detallada de la invención

La presente invención se ilustrará en la presente memoria implementada en un procesador multihilo que tiene, asociadas al mismo, una memoria principal, una memoria caché multihilo, y una memoria de datos multihilo. No obstante, debe entenderse que la invención no requiere el uso de las configuraciones particulares de memoria y procesador multihilo de la forma de realización ilustrativa, y que es apta, de manera más general, para su uso en cualquier aplicación de acceso a memoria con procesador multihilo en la cual sea deseable proporcionar una reducción del número de puertos de memoria requeridos y, por lo tanto, un consumo de potencia reducido.

Se describirá, en combinación con las figuras 1 y 2, un sistema de procesado 100 ejemplificativo que implementa una técnica de acceso a memoria de acuerdo con la invención.

La figura 1 muestra el sistema de procesado 100 de manera que incluye un procesador multihilo 102 acoplado a una memoria principal 104. El procesador multihilo 102 incluye una memoria caché multihilo 110 y una memoria de datos multihilo 112.

La figura 2 muestra una vista más detallada de una posible implementación del procesador multihilo 102. En esta forma de realización, el procesador multihilo 102 incluye la memoria caché multihilo 110, la memoria de datos 112, un controlador de caché 114, un decodificador de instrucciones 116, un archivo de registros 118, y un conjunto de unidades aritmético-lógicas (ALU) 120. A la memoria caché multihilo 110 se le hace referencia también, en la presente, como caché multihilo.

Debe indicarse que las disposiciones particulares mostradas en las figuras 1 y 2 se han simplificado para clarificar la ilustración, y pueden incluirse elementos adicionales o alternativos, no mostrados de manera explícita, tal como se pondrá de manifiesto para los expertos en la materia.

5 La caché multihilo 110 incluye una pluralidad de cachés de hilos 110-1, 110-2, ... 110-N, donde N indica, en general, el número de hilos soportados por el procesador multihilo 102. De este modo, cada hilo tiene una caché de hilos correspondiente asociada al mismo en la caché multihilo 110. De manera similar, la memoria de datos 112 incluye N instancias distintas de memoria de datos, indicadas como memorias de datos 112-1, 112-2, ... 112-N según se muestra.

10 Cada una de las cachés de hilos en la caché multihilo 110 puede comprender una matriz de memoria que tiene uno o más conjuntos de posiciones de memoria. Una caché de hilos dada puede comprender, además, un registro de identificador de hilo para almacenar un identificador de hilo asociado, según se describirá de forma más detallada posteriormente en combinación con la figura 6.

15 La caché multihilo 110 se intercomunica con la memoria principal 104 por medio del controlador de caché 114. El controlador de caché 114 garantiza que, en la caché multihilo 110, se cargan las instrucciones adecuadas de la memoria principal 104. En esta forma de realización ilustrativa, el controlador de caché 114 que funciona en combinación con una circuitería lógica u otros elementos de procesamiento asociados a las cachés de hilos individuales 20 110-1, 110-2, ..., 110-N, implementa por lo menos una parte de una técnica de mapeo de direcciones, tal como un mapeo totalmente asociativo, un mapeo directo o un mapeo asociativo por conjuntos. En las solicitudes de patente U.S. n.º de serie 10/161.774 y 10/161.874, presentadas ambas el 4 de junio de 2002 y cedidas en común con la presente solicitud, se describen técnicas ilustrativas de mapeo asociativo por conjuntos adecuadas para su uso en combinación con la presente invención.

25 En general, la caché multihilo 110 se usa para almacenar instrucciones que van a ser ejecutadas por el procesador multihilo 102, mientras que la memoria de datos 112 almacena datos sobre los que actúan las instrucciones. De la caché multihilo 110 se recuperan instrucciones por medio del descodificador de instrucciones 116 el cual funciona en combinación con el archivo de registro 118 y las ALU 120 en el control de la ejecución de las instrucciones de una manera convencional. El funcionamiento de los elementos de procesador multihilo, tales como las referencias 30 116, 118 y 120, es entendido ampliamente en la técnica, y, por lo tanto, no se describe de forma más detallada en la presente.

35 Típicamente, la memoria de datos 112 está conectada directamente a la memoria principal 104, aunque esta conexión no se muestra explícitamente en la figura.

Una o más de las memorias 104, 110 y 112 pueden estar configuradas, cada una de ellas, para incluir múltiples bancos u otras partes designadas. A título de ejemplo, cada banco se puede considerar como constituido por uno o más módulos de memoria, o una parte especificada de un único módulo de memoria.

40 El término "memoria", según se usa en la presente memoria, está destinado a considerarse, en términos amplios, de manera que abarca una memoria interna o externa, una memoria caché, una memoria de datos, u otra disposición de elementos de almacenamiento de datos. La invención no se limita a ningún tipo, configuración o aplicación de memoria particular. No obstante, debe señalarse que, en la técnica de los procesadores, las 45 memorias se interpretan en general de manera que son distintas de los registros, tales como aquellos que comprenden el archivo de registros 118 de la figura 2. En la solicitud de patente U.S. antes citada, número de expediente 1007-7, titulada "Method and Apparatus for Register File Port Reduction in a Multithreaded Processor", se describen técnicas para un acceso, basado en hilos, a archivos de registros.

50 Debe resaltarse, también, que la presente invención no requiere la configuración particular de procesador multihilo mostrada en la figura 2. La invención se puede implementar en una amplia variedad de otras configuraciones de procesador multihilo.

55 En la solicitud provisional U.S. n.º de serie 60/341.289, presentada el 20 de diciembre de 2001, se describe un ejemplo más particular de procesador multihilo del tipo mostrado en la figura 2 y adecuado para su uso en combinación con la presente invención. Una forma de realización ilustrativa de un procesador multihilo que se describe en la solicitud provisional U.S. n.º de serie 60/341.289 es capaz de ejecutar código de control basado en RISC, código de procesadores de señal digital (DSP), código Java y código de procesado en red. El procesador incluye una unidad vectorial de instrucción única-múltiples datos (SIMD), una unidad de reducción, y una ejecución 60 combinada de instrucciones de palabras de instrucción largas (LIW)

De acuerdo con un aspecto de la invención, una memoria asociada al procesador multihilo 102 se separa en distintas partes, y una particular de las partes se selecciona para su acceso por parte de un hilo de procesador dado usando un identificador de hilo correspondiente. Más particularmente, en la forma de realización ilustrativa, 65 el tiempo de acceso a memoria y los requisitos de potencia asociados al procesador multihilo 102 se reducen mediante la estructuración de los bancos de memoria según cada hilo individual, sin incurrir en ninguna

penalización del rendimiento. Además, el planteamiento de estructuración de los bancos basado en hilos puede evitar el estancamiento, asociado al acceso a memoria, de hilos del procesador.

5 La memoria configurada de esta manera puede comprender, a título de ejemplo, una o más de la memoria principal 104, la memoria caché 110, la memoria de datos 112, u otra memoria contenida en el procesador multihilo 102, o asociada de otra manera al mismo. A continuación, se describirá, en combinación con las figuras 3, 4, 5 y 6, una implementación de ejemplo de esta técnica de acceso a memoria.

10 El procesador multihilo 102 se puede configurar para utilizar un planteamiento de estructuración de hilos al que se hace referencia como estructuración de hilos con activación por testigos, u otras técnicas adecuadas de estructuración de hilos.

15 La figura 3 muestra un ejemplo de estructuración de hilos con activación por testigos para una implementación del procesador 102, en el cual el número de hilos N es ocho. En general, todos los hilos funcionan simultáneamente, y cada uno de ellos accede a una instancia correspondiente de la caché de hilos 110 y la memoria de datos 112. Tal como se muestra en la figura 3, los ocho hilos se indican como Hilo 0, Hilo 1, Hilo 2, ..., Hilo 7, y se ilustran como interconectados en serie en forma de un anillo. En el procesador multihilo, un hilo dado se puede interpretar, en general, en términos de hardware, así como de software. Al hardware de procesador particular asociado a un hilo dado se le hace referencia, por tanto, más particularmente, en la presente, como unidad de hilo de hardware o simplemente "contexto".

20 De acuerdo con la estructuración de hilos con activación por testigos ilustrada en la figura 3, se permite que todas las unidades de hilo de hardware o contextos ejecuten simultáneamente instrucciones, pero solamente un contexto puede emitir una instrucción en un ciclo de reloj particular del procesador. En otras palabras, todos los contextos se ejecutan simultáneamente, pero solamente está activo un contexto en un ciclo de reloj particular. Por lo tanto, si hay un total de C contextos, la emisión de una instrucción de todos los contextos requerirá C ciclos de reloj. En cada ciclo de reloj, uno de los contextos emite una instrucción, y el siguiente hilo para emitir una instrucción viene indicado por un testigo. En el ejemplo de la figura 3, los testigos están dispuestos de una manera secuencial o de estilo *round-robin*, de tal manera que los contextos emitirán instrucciones secuencialmente. No obstante, los testigos que indican el siguiente contexto para emitir una instrucción se pueden disponer usando otros patrones, tales como un patrón alterno de par-impar. Además, tal como se ha indicado anteriormente, pueden usarse otros tipos de estructuración de hilos en combinación con la presente invención.

25 La figura 4 ilustra la manera según la cual se pueden segmentar funciones de instrucciones de ejemplo en el procesador multihilo 102 de acuerdo con la presente invención. En la forma de realización ilustrativa de la invención, este tipo de segmentación se utiliza preferentemente en combinación con la estructuración de hilos con activación por testigos descrita previamente, aunque debe apreciarse que, en la implementación de la invención, pueden usarse otras muchas combinaciones de segmentación y estructuración de hilos.

30 La segmentación (del inglés, "pipeline") de la figura 4 está configurada para su uso en combinación con la estructuración ilustrativa de hilos con activación por testigos, de N = 8, de la figura 3. Las funciones de instrucciones de ejemplo de la figura 4 incluyen Carga/Almacenamiento (Ld/St), ALU, multiplicación entera (I_Mul) y multiplicación vectorial (V_Mul), y se muestran de manera que presentan, respectivamente, nueve, seis, siete y ocho etapas de segmentación.

35 Cada una de las segmentaciones de instrucciones de ejemplo ilustradas en la figura 4 incluye por lo menos una etapa de descodificación de instrucciones, una etapa de lectura de archivos de registros (RF), una etapa de transferencia (Xfer) y una etapa de postescritura (writeback) (WB). La etapa de lectura RF implica leer de un archivo de registros, por ejemplo, el archivo de registros 118, la etapa de transferencia implica, típicamente, la transferencia de resultados de instrucciones a un registro de retención designado, y la etapa de WB implica la escritura de resultados de instrucciones de nuevo en memoria o en un archivo de registros.

40 La segmentación de Ld/St incluye, además, una etapa de generación de direcciones (Agen), una etapa de determinación de memoria interna (Int) o externa (Ext), y tres etapas de ejecución de memoria adicionales, indicadas como Mem0, Mem1 y Mem2. De este modo, la segmentación de Ld/St incluye un total de cuatro etapas de ejecución de memoria, es decir, Mem0, Mem1, Mem2 y WB. La etapa de determinación de memoria interna o externa determina si el acceso a memoria asociado se realiza a una memoria interna o una externa, y puede considerarse como una etapa de descodificación adicional dentro de la segmentación. Debe señalarse que puede que sean necesarias etapas adicionales de ejecución de memoria para ciertos accesos a memoria externa. Por ejemplo, si la etapa de WB de un acceso a memoria externa no se completa durante el periodo de tiempo durante el cual está activo el hilo correspondiente, el hilo se puede estancar, de tal manera que la etapa de WB completará la siguiente vez que esté activo el hilo.

45 La segmentación de ALU incluye, además, dos etapas de ejecución indicadas como Exec1 y Exec2.

50 La segmentación de I_Mul entero incluye, además, tres etapas de ejecución indicadas como Exec1, Exec2 y Exec3.

La segmentación de V_Mul vectorial incluye, además, dos etapas de multiplicación MPY1 y MPY2, y dos etapas de suma Add1 y Add2.

5 Preferentemente, el procesador multihilo 102 está configurado de tal manera que, una vez que una instrucción de un contexto particular entra en su segmentación correspondiente, la misma se ejecuta hasta el final.

10 La figura 5 muestra un conjunto de ejemplos simplificado de instrucciones segmentadas con múltiples contextos del procesador multihilo 102 emitiendo instrucciones en ciclos sucesivos. En este ejemplo, se considera, para simplificar y clarificar la ilustración, que las instrucciones emitidas incluyen, cada una de ellas, las mismas cuatro etapas de segmentación, indicadas como recuperación de instrucciones (IF), lectura (RD), ejecución (EX) y postescritura (WB). Se supone, además, que hay tres hilos, y, por lo tanto, tres contextos que emiten instrucciones de una manera secuencial similar a la descrita en combinación con la figura 3. Un primero de los contextos emite inicialmente, en un primer ciclo de reloj, una instrucción de suma entera addi r0, r2, 8 . Los otros dos contextos emiten instrucciones en ciclos de reloj subsiguientes respectivos. La emisión de una instrucción por parte de cada uno de los contextos ocupa un total de tres ciclos de reloj. En un cuarto ciclo de reloj, el primer contexto emite otra instrucción, a saber, una instrucción de multiplicación entera mul r8, r0, 4 .

20 El ejemplo de la figura 5 sirve para ilustrar que, con una segmentación configurada adecuadamente y un número suficiente de hilos, todos los contextos de hardware se pueden estar ejecutando simultáneamente aun cuando haya solamente una única instrucción emitida por contexto y por ciclo. Tal como se ha indicado previamente, el número particular de hilos y etapas de segmentación tiene fines ilustrativos solamente, y no pretende reflejar una implementación preferida. Los expertos en la materia podrán determinar fácilmente un número apropiado de hilos y etapas de segmentación para una aplicación particular, teniendo en cuenta las enseñanzas proporcionadas en la presente.

Según se ha indicado anteriormente, la presente invención, de acuerdo con un aspecto de la misma, proporciona una técnica mejorada para acceso a memoria, destinada a su uso por parte del procesador multihilo 102.

30 En general, esta técnica mejorada de acceso a memoria conlleva la determinación de un identificador de hilo asociado a un hilo particular del procesador multihilo, y la utilización de por lo menos una parte del identificador de hilo para seleccionar una parte particular de la memoria a la que va a acceder el hilo de procesador correspondiente.

35 Más particularmente, en una disposición ilustrativa en la cual una memoria a la que va a acceder el procesador multihilo está configurada en una serie de elementos de memoria distintos que tienen, cada uno de ellos, múltiples bancos de memoria, una primera parte del identificador de memoria se puede usar para seleccionar uno de los distintos elementos de memoria dentro de esta última, y una segunda parte del identificador de hilo se puede usar para seleccionar uno de los bancos de memoria dentro del seleccionado de entre los elementos de memoria.

40 La primera parte del identificador de hilo usada para seleccionar uno de los elementos de memoria de múltiples bancos puede comprender uno o más de los bits más significativos del identificador de hilo, mientras que la segunda parte del identificador de hilo usada para seleccionar uno de los bancos dentro de un elemento de memoria de múltiples bancos seleccionado puede comprender uno o más de los bits menos significativos del identificador de hilo.

45 La figura 6 ilustra una posible forma de realización de la técnica de acceso a memoria descrita anteriormente, implementable en el sistema de procesado de la figura 1 utilizando el procesador multihilo 102. Para este ejemplo, se supone que el número de hilos de procesador N en el procesador multihilo 102 es ocho. La figura 6 muestra una memoria 600 que comprende cuatro elementos de memoria de múltiples bancos, indicados como M0, M1, M2 y M3. La memoria 600 se puede corresponder con la memoria principal 104, la memoria caché 110, la memoria de datos 112, u otra memoria asociada al procesador multihilo 102. Cada uno de los elementos de memoria de múltiples bancos M0, M1, M2 y M3 incluye un par de bancos de memoria indicados como B0 y B1, a los que se hace referencia, también, en la presente, respectivamente, como banco de memoria par y banco de memoria impar.

50 Un registro de identificador de hilo (TID) 602 almacena un identificador de hilo que tiene una primera parte 604 y una segunda parte 606. En este ejemplo, donde $N = 8$ según se ha indicado previamente, el identificador de hilo es un identificador de tres bits. La primera parte 604 del identificador de hilo comprende los dos bits más significativos del identificador de tres bits, y se utiliza para seleccionar uno particular de los 4 elementos de memoria de múltiples bancos M0, M1, M2 y M3. La circuitería de selección utilizada para seleccionar uno particular de los elementos de memoria de múltiples bancos no se muestra explícitamente en la figura 6, pero se puede implementar de una manera directa, tal como apreciarán los expertos en la materia. La segunda parte 606 del identificador de hilo comprende el bit menos significativo del identificador de 3 bits, y se aplica como una señal de selección a la circuitería de selección 610 para seleccionar uno de los bancos B0 o B1 para su uso en combinación con un acceso particular a memoria.

El diagrama de la figura 6 ilustra un acceso de lectura, en el cual se lee información de uno seleccionado de entre los bancos B0 y B1. No obstante, esto se realiza únicamente a título de ejemplo, y la invención también se puede usar para accesos de escritura.

5 En la forma de realización de la figura 6, un elemento dado de memoria de múltiples bancos M0, M1, M2 o M3 tiene que tener solamente un único puerto de memoria para accesos de lectura y escritura. Por ejemplo, la presente invención hace posible una lectura de cada uno de los elementos de múltiples bancos en cada ciclo alternando entre los bancos pares e impares. Como consecuencia, un único puerto de memoria puede funcionar como si el mismo, en efecto, contuviese múltiples puertos. Más específicamente, pueden lograrse dos accesos a memoria de
10 lectura o escritura por cada ciclo de reloj de procesador con solamente un único puerto de memoria por elemento de memoria de múltiples bancos. Esta disposición se puede usar para reducir el tiempo de acceso a memoria, y reducir el consumo de potencia, al mismo tiempo que se evitan también estancamientos de hilos del procesador debido a problemas de acceso a memoria.

15 Usando las técnicas de la invención son posibles numerosas configuraciones alternativas de elementos de memoria de múltiples bancos y bancos de memoria. Por ejemplo, una posible configuración alternativa consiste en tener dos elementos de memoria de múltiples bancos, cada uno de ellos con cuatro bancos de memoria, en cuyo caso un bit del identificador de hilo se usa para seleccionar el elemento de memoria de entre múltiples bancos y dos bits del identificador de hilo se usan para seleccionar uno de los cuatro bancos de memoria dentro del elemento
20 de memoria de múltiples bancos seleccionado. De manera más general, si el número de elementos de memoria de múltiples bancos viene dado por M, y B es el número de bancos de memoria por elemento de memoria de múltiples bancos, la memoria se puede configurar de tal manera que el producto de M y B sea igual a N, es decir, $N = M \cdot B$. Son también posibles otras disposiciones. Además, debe señalarse que no es necesario que cada elemento de memoria de múltiples bancos tenga el mismo número de bancos de memoria.

25 El registro de identificador de hilo 602 y la circuitería de selección asociada se pueden implementar en forma de elementos del procesador multihilo 102. Por ejemplo, en una forma de realización de la invención en la que la memoria 600 se corresponde con la memoria caché 110, estos elementos se pueden implementar en su totalidad o de manera parcial en el controlador de caché 114, o en otra parte del procesador multihilo 102.

30 El registro de identificador de hilo 602 almacena un identificador de hilo multibit que es usado por el procesador multihilo 102 para identificar un hilo particular. Dichos identificadores de hilo se pueden generar de una manera convencional, tal como resultará evidente para los expertos en la materia.

35 La expresión "identificador de hilo", según se usa en la presente, está destinada a incluir cualquier información adecuada para identificar un hilo particular o un conjunto de múltiples hilos en un procesador multihilo. El identificador de hilo se puede corresponder con la salida de un contador de hilos en un procesador multihilo. De manera más particular, un procesador multihilo dado se puede configurar de tal manera que múltiples hilos se procesen en un orden predeterminado, tal como un orden de tipo *round robin*, usándose la salida del contador de
40 hilos para identificar el hilo particular que está siendo ejecutado. En una forma de realización de este tipo, puede haber un total de ocho hilos que se procesen en un orden de tipo *round robin*, identificándose cada hilo por medio de un identificador de tres bits, de tal manera que la salida de un contador de tres bits se puede usar para identificar el hilo particular que se esté procesando. Otras formas de realización pueden usar una implementación sin contadores del identificador de hilo. Para los expertos en la materia se pondrá fácilmente de manifiesto una amplia variedad de diferentes configuraciones de identificadores de hilo adecuadas para su uso con la presente invención.

45 La técnica de acceso a memoria que se ilustra en la figura 6 utiliza un único bit del identificador de hilo para seleccionar un banco de memoria par o impar al que accederá el hilo de procesador correspondiente. No obstante, es posible usar n bits menos significativos del identificador de hilo para seleccionar uno de los 2^n bancos de memoria de un elemento de memoria de múltiples bancos dado. De manera similar, se pueden usar m bits más significativos del identificador de hilo para seleccionar uno de los 2^m elementos de memoria de múltiples bancos en una memoria dada asociada al procesador multihilo.

50 Tal como se ha indicado anteriormente, las técnicas de acceso a memoria basado en hilos de la presente invención proporcionan mejoras significativas con respecto a las técnicas convencionales. Por ejemplo, las técnicas pueden mejorar el tiempo de acceso a memoria. Además, las técnicas pueden reducir sustancialmente el número de puertos de memoria necesarios, reduciéndose así el consumo de potencia. Por otra parte, estas mejoras se aportan sin tener impacto alguno en el rendimiento del procesador.

55 Las formas de realización de la invención descritas anteriormente están destinadas únicamente a ser ilustrativas, y, para los expertos en la materia, se pondrán de manifiesto numerosas formas de realización alternativas dentro del alcance de las reivindicaciones adjuntas. Por ejemplo, según se ha indicado previamente, un elemento dado de memoria de múltiples bancos se puede dividir en más de simplemente un banco par y un banco impar como en la figura 6, es decir, se puede dividir en n partes distintas, con un incremento adecuado del número de bits de los
60 identificadores de hilo usados para seleccionar un banco dado de entre un elemento dado de memoria de múltiples bancos. Como ejemplo adicional, las disposiciones particulares de circuitería de selección usadas para

implementar el proceso de selección se pueden sustituir por disposiciones alternativas. Por otra parte, la configuración del procesador multihilo, el número de hilos, el número de elementos de memoria de múltiples bancos, el número de bancos por elemento de memoria, la configuración de los identificadores de hilo y otros parámetros de las formas de realización ilustrativas se pueden variar para dar acomodo a las necesidades específicas de una aplicación dada.

5

REIVINDICACIONES

- 5 1. Método para acceder a una memoria (600) por un procesador multihilo (102), comprendiendo el método:
determinar un identificador de hilo asociado a un hilo de procesador correspondiente del procesador multihilo (102), correspondiéndose el identificador de hilo con la salida de un contador de hilos en el procesador multihilo, identificando la salida del contador de hilos un hilo particular que está siendo ejecutado; y
10 seleccionar una parte particular de la memoria (600) a la que accederá el hilo de procesador correspondiente,
la selección de la parte particular de la memoria (600) comprende utilizar, por una circuitería de selección, por lo menos una parte del identificador de hilo para seleccionar la parte particular de la memoria (600) a la que accederá el hilo de procesador correspondiente,
15 caracterizado por que:
la utilización de por lo menos una parte del identificador de hilo comprende:
20 utilizar una primera parte (604) del identificador de hilo y la circuitería de selección para seleccionar uno de entre una pluralidad de elementos de memoria de múltiples bancos (M0~M3) dentro de la memoria (600), y
utilizar una segunda parte (606) del identificador de hilo aplicándola como una señal de selección a la circuitería de selección para seleccionar uno de entre una pluralidad de bancos de memoria (B0, B1) dentro
25 del seleccionado de entre los elementos de memoria de múltiples bancos (M0~M3).
2. Método según la reivindicación 1, en el que la utilización de la primera parte (604) del identificador de hilo comprende utilizar uno o más de los bits más significativos del identificador de hilo.
- 30 3. Método según la reivindicación 1, en el que la utilización de la segunda parte (606) del identificador de hilo comprende utilizar uno o más de los bits menos significativos del identificador de hilo.
4. Método según la reivindicación 1, en el que la utilización de la segunda parte (606) del identificador de hilo comprende utilizar un bit menos significativo de la segunda parte (606) para seleccionar un primer o un segundo
35 banco de memoria (B0, B1) del elemento de memoria de múltiples bancos (M0~M3) al que accederá el hilo de procesador correspondiente.
5. Método según la reivindicación 1, en el que el acceso a la memoria (600) comprende acceder a una parte de una memoria principal acoplada al procesador multihilo (102).
- 40 6. Método según la reivindicación 1, en el que el acceso a la memoria (600) comprende acceder a una parte de una memoria de datos del procesador multihilo (102).
7. Método según la reivindicación 1, en el que el acceso a la memoria (600) comprende acceder a una parte de una memoria caché del procesador multihilo (102).
- 45 8. Método según la reivindicación 7, en el que el acceso a la memoria caché comprende acceder a una pluralidad de cachés de hilos, comprendiendo por lo menos una dada de entre la pluralidad de cachés de hilos una matriz de memoria que presenta uno o más conjuntos de posiciones de memoria.
- 50 9. Método según la reivindicación 8, en el que la caché de hilos dada comprende asimismo un registro de identificador de hilo para almacenar el identificador de hilo.
10. Método según la reivindicación 1, en el que el procesador multihilo (102) está configurado para utilizar una
55 estructuración de hilos con activación por testigos.
11. Método según la reivindicación 10, en el que la estructuración de hilos con activación por testigos utiliza un testigo para identificar, en asociación con un ciclo de reloj de procesador en curso, un contexto particular al que se le permitirá emitir una instrucción para un ciclo de reloj subsiguiente.
- 60 12. Método según la reivindicación 1, que comprende asimismo procesar unas instrucciones segmentadas para una pluralidad de hilos del procesador multihilo (102).
13. Sistema de procesador que comprende:
65 un procesador multihilo (102); y

una memoria (600) asociada al procesador multihilo (102);

5 siendo el procesador multihilo (102) operativo para determinar un identificador de hilo asociado a un hilo de procesador correspondiente del procesador multihilo (102), correspondiéndose el identificador de hilo con la salida de un contador de hilos en el procesador multihilo, identificando la salida del contador de hilos un hilo particular que está siendo ejecutado,

10 el procesador multihilo (102) es operativo para utilizar por lo menos una parte del identificador de hilo para seleccionar una parte particular de la memoria (600) a la que accederá el hilo de procesador correspondiente,

caracterizado por que:

15 una primera parte (604) del identificador de hilo y la circuitería de selección se utilizan para seleccionar uno de entre una pluralidad de elementos de memoria de múltiples bancos (M0~M3) dentro de la memoria (600) y una segunda parte (606) del identificador de hilo se utiliza aplicándola como una señal de selección a la circuitería de selección para seleccionar uno de entre una pluralidad de bancos de memoria (B0, B1) dentro del seleccionado de entre los elementos de memoria de múltiples bancos (M0~M3).

20 14. Método según la reivindicación 1, que comprende asimismo realizar por lo menos dos accesos a memoria por cada ciclo de reloj de procesador con un único puerto de memoria por elemento de memoria de múltiples bancos.

25 15. Método según la reivindicación 1, en el que la pluralidad de elementos de memoria de múltiples bancos comprende dos elementos de memoria de múltiples bancos, comprendiendo cada uno de entre los dos elementos de memoria de múltiples bancos cuatro bancos de memoria, comprendiendo la primera parte del identificador de hilo un bit, y comprendiendo la segunda parte del identificador de hilo dos bits.

30 16. Método según la reivindicación 1, en el que cada uno de los elementos de memoria de múltiples bancos no tiene el mismo número de bancos de memoria.

17. Soporte de almacenamiento legible por máquina, que comprende un código de programa que, cuando es ejecutado por un procesador multihilo (102), provoca que el procesador ejecute todas las etapas del método para acceder a una memoria (600) según la reivindicación 1.

FIG. 1

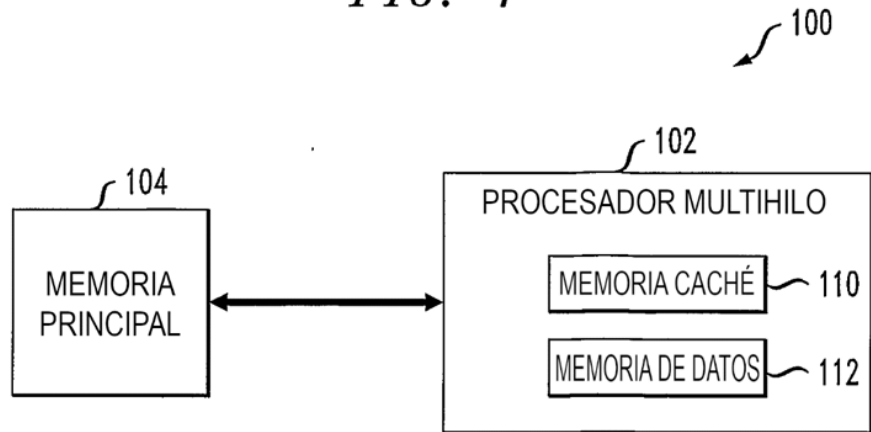


FIG. 2

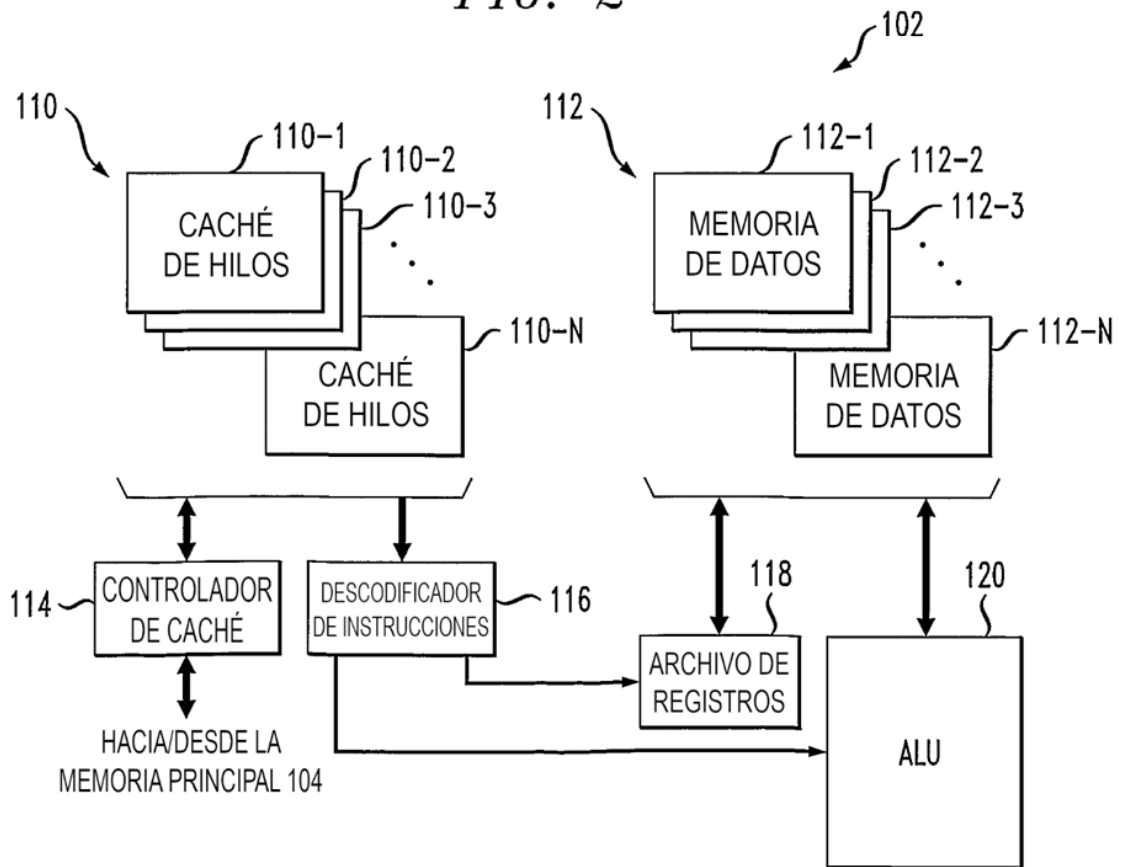


FIG. 3

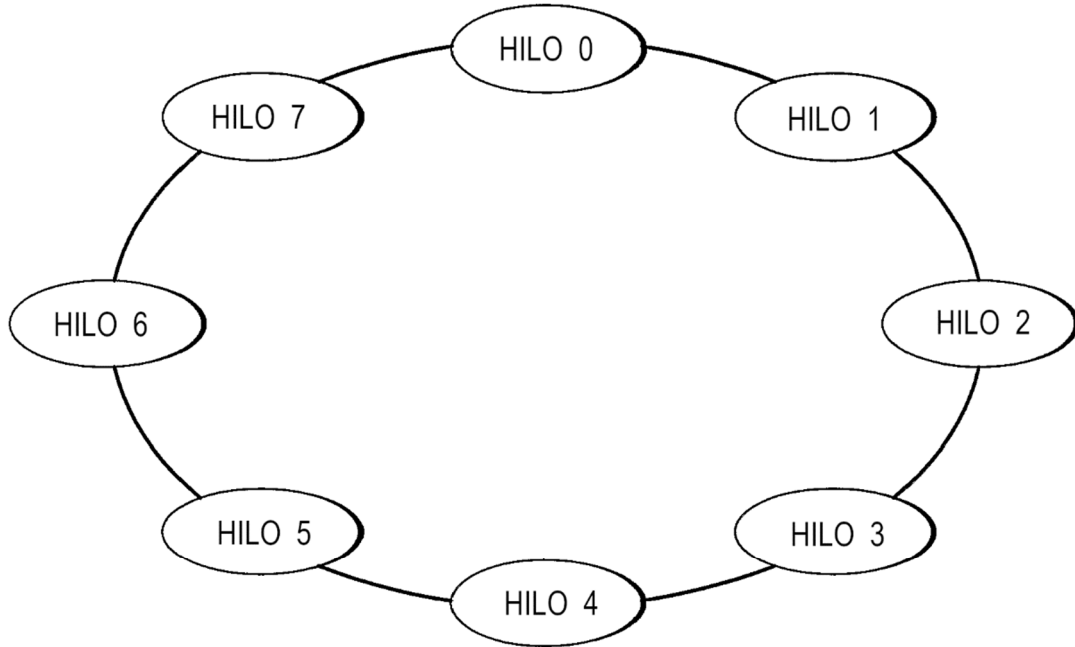


FIG. 4

Ld/St	DESC INST	LECTURA DE RF	AGEN	XFER	INT EXT	MEM 0	MEM 1	MEM 2	WB
ALU	DESC INST	LECTURA DE RF	EXEC1	EXEC2	XFER	WB			
I_Mul	DESC INST	LECTURA DE RF	EXEC1	EXEC2	EXEC3	XFER	WB		
V_Mul	DESC INST	LECTURA DE RF	MPY1	MPY2	ADD1	ADD2	XFER	WB	

FIG. 5

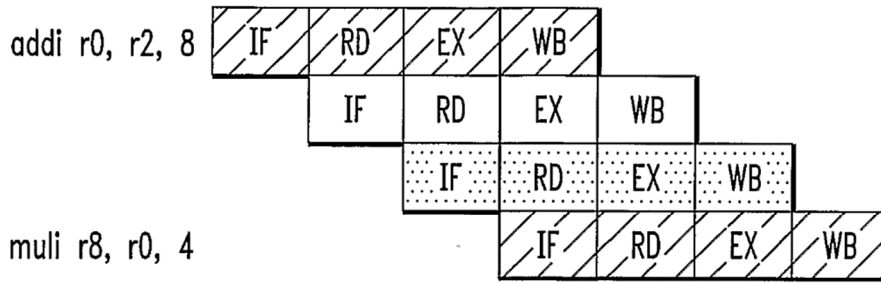


FIG. 6

