

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 759 853**

51 Int. Cl.:

**H02M 5/458** (2006.01)

**H02M 1/08** (2006.01)

**H02M 1/12** (2006.01)

**H02M 1/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **03.07.2014 E 14175617 (1)**

97 Fecha y número de publicación de la concesión europea: **02.10.2019 EP 2833534**

54 Título: **Variador de velocidad con rectificador activo e inversor que utiliza modificaciones de pulsos para reducir las perturbaciones de modo común**

30 Prioridad:

**31.07.2013 FR 1357586**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**12.05.2020**

73 Titular/es:

**SCHNEIDER TOSHIBA INVERTER EUROPE SAS  
(100.0%)  
33, rue André Blanchet  
27120 Pacy sur Eure, FR**

72 Inventor/es:

**ALLAERT, YVES-LAURENT;  
MESSAOUDI, MEHDI y  
BOULHARTS, HOCINE**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

ES 2 759 853 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Variador de velocidad con rectificador activo e inversor que utiliza modificaciones de pulsos para reducir las perturbaciones de modo común

**Campo técnico de la invención**

- 5 La presente invención se refiere a un procedimiento de control implementado en un variador de velocidad para reducir la tensión y la corriente de modo común y al variador de velocidad correspondiente.

**Estado de la técnica**

10 Un variador de velocidad comprende varias fases de entrada conectadas a la red, por ejemplo tres fases de entrada si se conecta a una red trifásica. Conectada a sus fases de entrada, un variador de velocidad clásico comprende una etapa rectificadora que permite transformar la tensión alterna proporcionada por la red en una tensión continua. El variador de velocidad comprende del mismo modo un bus continuo de alimentación dotado de una primera línea de alimentación de potencial positivo y una segunda línea de alimentación de potencial negativo entre las cuales se aplica la tensión continua y un condensador de bus conectado entre la primera línea de alimentación y la segunda línea de alimentación y destinado a mantener constante la tensión continua en el bus. Aguas abajo del condensador del bus, un convertidor de potencia de tipo variador de velocidad comprende del mismo modo una etapa inversora dotada de varios brazos de conmutación, por regla general tres brazos de conmutación, conectados cada uno a una fase de salida conectada una carga eléctrica. Cada brazo de conmutación está conectado entre la primera línea de alimentación y la segunda línea de alimentación del bus y comprende, por ejemplo, en el caso de un convertidor de dos niveles, dos transistores de potencia controlados para transformar la tensión continua en una tensión variable para la carga eléctrica.

15 La etapa rectificadora colocada en la entrada del convertidor puede ser del tipo activo comprendiendo del mismo modo varios brazos de conmutación dotados cada uno por ejemplo de al menos dos transistores de potencia. Estos transistores son, cada uno, controlados por un dispositivo de control de red con el fin de poder transformar la tensión alterna de la red en una tensión continua aplicada en el bus de alimentación. En inglés, este tipo de convertidor con una etapa rectificadora activa en la entrada es comúnmente denominado "*Active front end*".

20 De manera clásica, los controles de los transistores de potencia de la etapa rectificadora y de la etapa inversora son realizados por modulación de la anchura de pulso (en lo sucesivo MLI). Una MLI de tipo intersectada consiste en comparar un portador triangular simétrico o asimétrico con uno o varios moduladores. Para un transistor de potencia de la etapa inversora y de la etapa rectificadora, las intersecciones entre un portador y uno o varios moduladores definen los instantes de conmutación en el cierre y la apertura del transistor.

25 Es conocido que el aumento de la frecuencia de corte aplicada a una etapa inversora conduce a un aumento de la corriente de modo común. La corriente de modo común generada puede tomar diferentes caminos entre un variador de velocidad y la carga eléctrica. Estos caminos son creados por desacoplamientos capacitivos generados entre los conductores del cable que conecta al variador a la carga eléctrica, entre los devanados del motor y el extractor o entre los semiconductores de potencia y el disipador conectado a la tierra. Cuando el variador de velocidad comprende una etapa inversora y una etapa rectificadora activa, la tensión de modo común total del variador de velocidad es la suma de perturbaciones proporcionadas por la etapa rectificadora y por la etapa inversora.

30 Se han desarrollado diferentes soluciones para reducir la corriente de modo común. Estas soluciones pueden consistir en la adición de un filtro pasivo y/o en una acción en los controles de la etapa rectificadora y de la etapa inversora.

35 El documento JP 2003018853 propone por ejemplo un procedimiento para reducir la corriente de modo común en un variador de velocidad sincronizando la conmutación en el cierre (o en la apertura) de tres transistores de potencia (altos o bajos) de la etapa rectificadora con la conmutación en el cierre (o en la apertura) de tres transistores correspondientes (respectivamente altos o bajos) de la etapa inversora. Esta solución permite reducir la dimensión del filtro empleado para filtrar la corriente de modo común y por tanto disminuir los costes del convertidor. Sin embargo, no permite reducir suficientemente la corriente de modo común.

40 La patente US 6,185,115 describe del mismo modo un procedimiento que permite sincronizar las conmutaciones de la etapa rectificadora con las conmutaciones de la etapa inversora de manera que se reduce la tensión de modo común. Al igual que para el documento citado anteriormente, este procedimiento no es satisfactorio ya que no permite reducir suficientemente la tensión de modo común en el variador de velocidad. De hecho, el procedimiento propuesto consiste en sincronizar la conmutación de un solo brazo de conmutación de la etapa inversora, en un frente ascendente y descendente, con la conmutación de un solo brazo de conmutación de la etapa de rectificación lo cual permite, para un periodo de corte, pasar solamente de doce diferentes de tensión a ocho frentes de tensión en todos los brazos de conmutación.

La solicitud de patente EP 2442436A2 describe del mismo modo un procedimiento de sincronización de conmutaciones entre la etapa rectificadora y la etapa inversora. El procedimiento permite sincronizar cada conmutación de un transistor de la etapa rectificadora con una conmutación de la etapa inversora, permitiendo por tanto reducir la tensión de modo común total generada. Los documentos US 2006/0186854 y US 2012/0081932 ilustran del mismo modo el estado de la técnica de esta solicitud.

Sin embargo, las soluciones descritas en estas patentes anteriores no son suficientes. La tensión de modo común generada en el lado de rectificador y la tensión de modo común generada en el lado de inversor no se eliminan por la mera sincronización de las conmutaciones.

El objetivo de la invención es proponer un variador de velocidad de rectificador activo dotado de una solución para reducir de manera más pronunciada la tensión de modo común generada al nivel de la etapa rectificadora y al nivel de la etapa inversora.

### Descripción de la invención

Este objetivo se alcanza mediante un procedimiento de control implementado en un variador de velocidad que comprende:

- una etapa rectificadora conectada a varias fases de entrada que reciben una corriente de entrada y una etapa inversora conectada a varias fases de salida en las cuales circula una corriente de salida para una carga eléctrica,
- un bus continuo de alimentación que conecta la etapa rectificadora a la etapa inversora y que comprende una primera línea de alimentación y una segunda línea de alimentación,
- la etapa rectificadora y la etapa inversora que comprenden, cada una, al menos dos brazos de conmutación conectados a la primera línea de alimentación y a la segunda línea de alimentación, cada brazo de conmutación que comprende al menos dos transistores,

el procedimiento de control que comprende las etapas siguientes de:

- para una conmutación de un transistor de la etapa rectificadora, determinación de una primera señal de control correspondiente a una primera corriente de red a aplicar a la red del transistor a conmutar de manera que se actúa sobre la etapa de velocidad de la variación de una primera tensión generada por la conmutación,
- para una conmutación del transistor de la etapa inversora, determinación de una segunda señal de control correspondiente a una segunda corriente de red a aplicar a la red del transistor a conmutar de manera que se actúa sobre la velocidad de variación de una segunda tensión generada por la conmutación,
- determinación de un primer instante de conmutación del transistor de la etapa rectificadora y de un segundo instante de conmutación del transistor de la etapa inversora,
- la primera señal de control, la segunda señal de control, el primer instante de conmutación y el segundo instante de conmutación que están determinados de manera que minimizan la diferencia entre la primera tensión y la segunda tensión.

Según una particularidad, la determinación de la primera señal de control es realizada teniendo en cuenta la corriente de entrada.

Según otra particularidad, la determinación de la segunda señal de control es realizada teniendo en cuenta la corriente de salida.

La invención se refiere del mismo modo a un variador de velocidad que comprende:

- una etapa rectificadora conectada a varias fases de entrada que reciben una corriente de entrada y una etapa inversora conectada a varias fases de salida sobre las cuales circula una corriente de salida para una carga eléctrica,
- un bus continuo de alimentación que conecta la etapa rectificadora a la etapa inversora y que comprende una primera línea de alimentación y una segunda línea de alimentación,
- la etapa rectificadora y la etapa inversora que comprenden, cada una, al dos menos brazos de conmutación conectados a la primera línea de alimentación y a la segunda línea de alimentación, cada brazo de conmutación que comprende al menos dos transistores,

el variador de velocidad que comprende:

- para una conmutación de un transistor de la etapa rectificadora, un primer módulo de determinación de una primera señal de control correspondiente a una primera corriente de red a aplicar a la red del transistor a conmutar de manera que se actúa sobre la etapa de velocidad de la variación de una primera tensión generada por la conmutación,
- para una conmutación del transistor de la etapa inversora, un segundo módulo de determinación de una segunda señal de control correspondiente a una segunda corriente de red a aplicar a la red del transistor a

conmutar de manera que se actúa sobre la velocidad de variación de una segunda tensión generada por la conmutación,

- un tercer módulo de determinación de un primer instante de conmutación del transistor de la etapa rectificadora y de un segundo instante de conmutación del transistor de la etapa inversora,
- la primera señal de control, la segunda señal de control, el primer instante de conmutación y el segundo instante de conmutación que están determinados de manera que minimizan la diferencia entre la primera tensión y la segunda tensión.

Según una particularidad, el primer módulo de determinación está dispuesto para tener en cuenta la corriente de entrada.

- 10 Según otra particularidad, el segundo módulo de determinación está dispuesto para tener en cuenta la corriente de salida.

Según otra particularidad, el variador de velocidad comprende un conjunto de resistencias conectadas a la red de cada transistor de manera que pueden hacer variar su corriente de red.

- 15 Según otra particularidad, el primer módulo de determinación está dispuesto para tener en cuenta pérdidas por conmutación generadas en los transistores a conmutar de la etapa rectificadora.

Según otra particularidad, el segundo módulo de determinación está dispuesto para tener en cuenta pérdidas por conmutación generadas en los transistores a conmutar de la etapa inversora.

#### Breve descripción de las figuras

- 20 Otras características y ventajas aparecerán en la siguiente descripción detallada realizada en relación a los dibujos adjuntos en los cuales:

- la figura 1 representa, de manera esquemática, un variador de velocidad conforme a la invención,
- la figura 2 ilustra un procedimiento de control de la invención implementado en el variador de velocidad de la invención,
- las figuras 3A y 3B representan dos variantes posibles a implementar en el variador de velocidad de la invención para hacer variar la corriente de red de un transistor a controlar,
- las figuras 4A y 4B representan dos curvas que permiten ilustrar el interés de la solución de la invención,
- las figuras 5A y 5B representan dos curvas que ilustran el principio de funcionamiento de una variante de realización de la invención.

#### Descripción detallada de al menos un modo de realización

- 30 Con referencia a la figura 1, de manera conocida, un variador de velocidad comprende una etapa 1 rectificadora, un bus continuo de alimentación y una etapa 2 inversora. Son posibles diferentes configuraciones del variador de velocidad. La presente invención se aplica particularmente a los variadores de velocidad que comprenden una etapa rectificadora activa.

- 35 La figura 1 representa por ejemplo un variador de velocidad de dos niveles dotado de una etapa 1 rectificadora activa.

- 40 Con referencia la figura 1, la etapa 1 rectificadora está conectada a la red a través de inductancias AC (no representadas) por ejemplo en tres fases R, S, T de entrada para una etapa 1 rectificadora trifásica. Habitualmente, en un variador de velocidad, la etapa rectificadora está compuesta de un puente de diodos. Sin embargo, la etapa 1 rectificadora puede también ser del tipo activo comprendiendo uno o varios brazos 10a, 10b, 10c de conmutación controlados idénticos. La etapa 1 rectificadora es por tanto controlada para controlar la corriente tomada de la red y para transformar la tensión alterna proporcionada por la red en una tensión continua aplicada en el bus continuo de alimentación. En una red trifásica, la etapa 1 rectificadora comprende tres brazos 10a, 10b, 10c de conmutación conectados, cada uno, a una de las tres fases R, S, T de entrada de la red trifásica a través de inductancias AC. En una configuración clásica, cada brazo de conmutación comprende por ejemplo
- 45 dos transistores 100 de potencia, por ejemplo, de tipo IGBT o JFET y un punto Ma, Mb, Mc medio de conexión situado entre los dos transistores y conectado a una fase R, S, T de entrada. El bus continuo de alimentación de potencia conecta la etapa 1 rectificadora a la etapa 2 inversora. Comprende una línea de alimentación de potencial V+ positivo y una línea de alimentación de potencial V- negativo. Al menos un condensador Cbus de bus está conectado a cada una de las dos líneas de alimentación de bus y permite mantener la tensión del bus a
- 50 un valor constante.

- 55 En la figura 1, la etapa 2 inversora está conectada al bus continuo de alimentación, aguas abajo del condensador Cbus de bus. Comprende varios brazos 20a, 20b, 20c de conmutación idénticos conectados, cada uno, a una fase U, V, W de salida conectada la carga C eléctrica, para una carga C eléctrica que funciona en trifásico, la etapa 2 inversora comprende por tanto tres brazos 20a, 20b, 20c de conmutación. En una etapa 2 inversora de configuración clásica (figura 1), cada brazo 20a, 20b, 20c de conmutación comprende dos transistores 200 de

potencia y un punto Pa, Pb, Pc medio de conexión situado entre los dos transistores y conectado a la carga eléctrica.

5 El variador de velocidad comprende del mismo modo una unidad 3 de control que permite controlar la conmutación de cada uno de los brazos de conmutación de la etapa 1 rectificadora y la conmutación de cada uno de los brazos de conmutación de la etapa 2 inversora. Para cada conmutación de un transistor de potencia de un brazo de conmutación, la unidad 3 de control utiliza un control para la Modulación de Ancho de pulso (MLI o PWM en inglés) que permite definir los instantes de conmutación de cada transistor de la etapa 1 rectificadora y de la etapa 2 inversora. El control por MLI clásico es de tipo intersectado y consiste en comparar un portador triangular simétrico o asimétrico con uno o varios moduladores. Las intersecciones entre el portador y el o los  
10 moduladores definen los instantes de conmutación en el cierre y la apertura del transmisor de potencia.

El procedimiento de control de la invención se aplica a un variador de velocidad que comprende un mismo número de brazos de conmutación, por ejemplo, tres brazos de conmutación, en la etapa 1 rectificadora y en la etapa 2 inversora, cada brazo que comprende al menos dos transistores de potencia. De forma preferente, el número de niveles de la etapa 1 rectificadora es idéntico al número de niveles de la etapa 2 inversora. En la  
15 figura 1 la etapa 1 rectificadora de dos niveles está por tanto asociada con una etapa 2 inversora clásica de dos niveles.

La invención tiene por objeto reducir de manera consecuente la corriente de modo común en un variador de velocidad que comprende una etapa 1 rectificadora activa y una etapa 2 inversora.

20 Esta estructura de variador de velocidad presenta de hecho dos fuentes de tensión de modo común ligadas a la presencia de conmutación es en la etapa 2 inversora y en la etapa 1 rectificadora. Conmutando, la etapa 2 inversora genera una tensión de modo común denominada Vmcinv y la etapa 1 rectificadora genera una tensión Vmrec de modo común definida por las relaciones siguientes:

$$V_{mcinv} = \frac{V_{U0} + V_{V0} + V_{W0}}{3}$$

$$V_{mrec} = \frac{V_{R0} + V_{S0} + V_{T0}}{3}$$

En las cuales:

- 25
- $V_{U0}$ ,  $V_{V0}$ ,  $V_{W0}$  corresponden a tensiones simples en las fases U, V, W de salida de la etapa inversora referidas al punto (O) bajo del bus continuo de alimentación,
  - $V_{R0}$ ,  $V_{S0}$ ,  $V_{T0}$  corresponden a las tensiones simples de cada brazo de la etapa rectificadora, referidas al punto (O) bajo del bus continuo de alimentación.

30 La tensión de modo común total del variador de velocidad es igual a la suma de perturbaciones proporcionadas por la etapa 1 rectificadora y por la etapa 2 inversora. Como las tensiones de modo común generadas por la etapa 1 rectificadora y por la etapa 2 inversora son de signos opuestos, se obtiene la relación siguiente que expresa la tensión de modo común total generada en el variador de velocidad:

$$V_{mc} = \frac{V_{U0} + V_{V0} + V_{W0}}{3} - \frac{V_{R0} + V_{S0} + V_{T0}}{3}$$

35 Considerando que la etapa 1 rectificadora y la etapa 2 inversora conmutan a la misma frecuencia de corte, un variador de velocidad rectificadora activa genera por tanto dos veces más variaciones de la tensión de modo común que un variador clásico.

40 Se conoce de la solicitud de patente EP 2442436A2 un procedimiento de sincronización de conmutaciones entre la etapa rectificadora y la etapa inversora que permiten compensar la tensión de modo común generada por la etapa 2 inversora por la tensión de modo común generada por la etapa 1 rectificadora, o inversamente. Otros procedimientos menos eficaces han sido igualmente descritos en documentos anteriores.

45 El procedimiento de control descrito en la solicitud de patente EP 2442436A2 consiste en controlar la etapa 2 inversora y la etapa 1 rectificadora de manera sincronizada (en tiempos) de tal manera que una variación de potencial (= frente ascendente o frente descendente) aplicada en una fase R, S, T de entrada corresponde siempre a una variación de potencial (= frente ascendente o frente descendente) del mismo signo aplicada en la fase U, V, W de salida.

De forma preferente, el principio de la invención descrita en la presente solicitud viene a superponerse a un procedimiento anterior de sincronización de conmutación es tal como el descrito en la solicitud 2442436A2.

El procedimiento de control de la invención tiene por objeto además tener en cuenta variaciones de tensión ( $dv/dt$ ) generadas para cada conmutación de transistores de la etapa 2 inversora y de transistores de la etapa 1 rectificadora. El objetivo del procedimiento de la invención es atenuar, incluso suprimir, la tensión de modo común sincronizando las variaciones de tensión generadas por las dos conmutaciones en la etapa 1 rectificadora y en la etapa 2 inversora.

En la siguiente descripción, se considera la conmutación de un transistor 100 de la etapa 1 rectificadora y la conmutación correspondiente de un transistor 200 de la etapa 2 inversora. De manera conocida, la conmutación de un transistor es realizada aplicando en su red una corriente de red constante.

La sincronización de variaciones de tensión generadas por cada una de las dos conmutaciones consiste en obtener, para las dos variaciones de tensión, una misma velocidad de variación o, dicho de otra manera, una misma pendiente si se consideran las dos curvas de variación de la tensión generada para cada una de las dos conmutaciones.

Para hacer variar esta pendiente, la invención consiste en actuar sobre la corriente  $I_{ge}$  de red aplicada al transistor 100 de la etapa rectificadora y sobre la corriente  $I_{gs}$  de red aplicada en el transistor 200 de la etapa inversora.

Diferentes soluciones permiten hacer variar la corriente de red. Ejemplos de realización son representados en las figuras 3A y 3B. En la figura 3A, un conjunto de resistencias 40 controladas es colocado a la salida del dispositivo de control del transistor controlado y conectado a la red del transistor 100, 200 controlado. Las resistencias están conectadas en paralelo, pero será del mismo modo posible situarlas en serie. Otra solución representada en la figura 3B consiste por ejemplo en emplear una fuente de corriente controlada por un circuito 41 analógico.

Según la invención tal como se representa en la figura 2, la unidad 3 de control recibe en la entrada la corriente  $I_e$  de entrada presente en las fases R, S, T de entrada, la corriente  $I_s$  de salida presente en las fases U, V, W de salida, el modulador  $m_e$  del control en la MLI de la etapa 1 rectificadora y el modulador  $m_s$  del control de la MLI de la etapa 2 inversora. A partir de estos datos, el procedimiento de la invención consiste por tanto en implementarse en un módulo 30 de cálculo de la unidad 3 de control, dicho módulo 30 de cálculo que comprende:

- un primer módulo de determinación de una primera señal  $C_e$  de control correspondiente a una primera corriente  $I_{ge}$  de red a aplicar en la red del transistor de la etapa 1 rectificadora,
- un segundo módulo de determinación de una segunda señal  $C_s$  de control correspondiente a una segunda corriente  $I_{gs}$  de red a aplicar en la red del transistor de la etapa 2 inversora, y
- un tercer módulo de determinación de un primer instante  $t_e$  de conmutación del transistor de la etapa 1 rectificadora y un segundo instante  $t_s$  de conmutación del transistor de la etapa 2 inversora.

Para determinar las dos señales de control representativas de las corrientes de red a aplicar a los transistores, los módulos de determinación tienen en cuenta la corriente de entrada o la corriente de salida procedente de cargar la capacidad de la red del transistor. Siendo conocida la evolución de la carga de corriente de esta capacidad de red, es posible conocer la pendiente de la variación de la tensión y por tanto ajustar el valor de la corriente de red a aplicar al transistor controlado.

La primera señal  $C_e$  de control y la segunda señal  $C_s$  de control son enviadas, cada una, a un dispositivo 50 de control que permite hacer variar la corriente  $I_{ge}$ ,  $I_{gs}$  de red para el transistor a controlar, dicha corriente de red que es normalmente generada por un dispositivo CT de control de red ("gate driver") clásico. De forma preferente, los dos dispositivos 50 de control forman parte de la unidad 3 de control.

La primera señal  $C_e$  de control, la segunda señal  $C_s$  de control, el primer instante  $t_e$  de conmutación y el segundo instante  $t_s$  de conmutación son determinados por la unidad 3 de control de manera que se minimiza la diferencia entre la tensión  $V_{rec}$  generada por la conmutación del transistor de la etapa 1 rectificadora y la tensión  $V_{inv}$  generada por la conmutación del transistor de la etapa 2 inversora.

De forma preferente, como se describe en las patentes anteriores, el primer instante  $t_e$  de conmutación y el segundo instante  $t_s$  de conmutación son idénticos de manera que se sincronizan las conmutaciones y por tanto se minimiza la tensión de modo común generada.

Además de la sincronización de las conmutaciones, la primera señal  $C_e$  de control y la segunda señal  $C_s$  de control permiten actuar sobre las velocidades de variación de las tensiones generadas durante las conmutaciones. De forma preferente, las dos señales de control son determinadas de manera que las dos velocidades sean iguales. En la figura 4A, los instantes  $t_e$  y  $t_s$  de conmutación son sincronizados pero no se toma ninguna acción en las velocidades de variación de las tensiones. Se puede ver que la diferencia entre la tensión  $V_{rec}$  generada en el lado del rectificador y la tensión  $V_{inv}$  generada en el lado del inversor no es nula, conduciendo por tanto a una tensión de modo común. En la figura 4B, los instantes  $t_e$  y  $t_s$  de conmutación están sincronizados, así como las pendientes de variaciones de tensión. De esta manera la diferencia de tensión es nula, no generando por tanto ninguna tensión de modo común.

Según la invención, el primer módulo de determinación y el segundo módulo de determinación pueden estar dispuestos para tener en cuenta pérdidas por conmutación generadas en el transistor controlado. De hecho, si las pérdidas son llevadas para ser más importantes, la corriente  $I_{ge}$ ,  $I_{gs}$  de red generada por el control de cada transistor es ajustada para tener en cuenta las pérdidas por el efecto joule ocasionadas. Por otro lado, en esta situación, el primer instante de conmutación y el segundo instante de conmutación dejan de ser sincronizados de manera que se reduce la amplitud generada por la diferencia entre las dos tensiones generadas por las conmutaciones. El principio es ilustrado por la figura 5A y 5B. En la figura 5A, las dos señales de control han sido generadas para tener en cuenta pérdidas ocasionadas, que conducen a tensiones que tengan velocidades de variación distintas. Estando los dos instantes  $t_e$  y  $t_s$  de conmutación sincronizados, se puede ver que la diferencia entre la tensión  $V_{rec}$  del lado del rectificador y la tensión  $V_{inv}$  del lado del inversor es importante. Para minimizar la amplitud de la diferencia de tensión, los dos instantes  $t_e$  y  $t_s$  de conmutación dejan de ser sincronizados como se representa en la figura 5B.

**REIVINDICACIONES**

1. Procedimiento de control implementado en un variador de velocidad que comprende:

- 5 - una etapa (1) rectificadora conectada a varias fases (R, S, T) de entrada que reciben una corriente ( $I_e$ ) de entrada y una etapa (2) inversora conectada a varias fases (U, V, W) de salida en las cuales circula una corriente ( $I_s$ ) de salida para una carga (C) eléctrica,
- un bus continuo de alimentación que conecta la etapa (1) rectificadora a la etapa (2) inversora y que comprende una primera línea (V+) de alimentación y una segunda línea (V-) de alimentación,
- 10 - la etapa (1) rectificadora y la etapa (2) inversora que comprende, cada una, al menos dos brazos (10a, 10b, 10c, 20a, 20b, 20c) de conmutación conectados a la primera línea de alimentación y a la segunda línea de alimentación, cada brazo de conmutación que comprende al menos dos transistores,

**caracterizado porque** el procedimiento de control comprende las etapas siguientes de:

- 15 - para una conmutación de un transistor (100) de la etapa (1) rectificadora, determinación, teniendo en cuenta la corriente ( $I_e$ ) de entrada, de una primera señal ( $C_e$ ) de control correspondiente a una primera corriente ( $I_{ge}$ ) de red a aplicar a la red del transistor a conmutar de manera que se actúa sobre la velocidad de la variación de una primera tensión ( $V_{rec}$ ) generada por la conmutación,
- para una conmutación de un transistor (200) de la etapa (2) inversora, determinación, teniendo en cuenta la corriente ( $I_s$ ) de salida, de una segunda señal ( $C_s$ ) de control correspondiente a una segunda corriente de red a aplicar a la red del transistor a conmutar de manera que se actúa sobre la velocidad de la variación de una segunda tensión ( $V_{inv}$ ) generada por la conmutación,
- 20 - determinación de un primer instante ( $t_e$ ) de conmutación del transistor de la etapa rectificadora y un segundo instante ( $t_s$ ) de conmutación del transistor de la etapa (2) inversora,
- la primera señal ( $C_e$ ) de control, la segunda señal ( $C_s$ ) de control, el primer instante de conmutación y el segundo instante de conmutación que son determinados de manera que se minimiza la diferencia entre la primera tensión ( $V_{rec}$ ) y la segunda tensión ( $V_{inv}$ ).

25 2. Variador de velocidad que comprende:

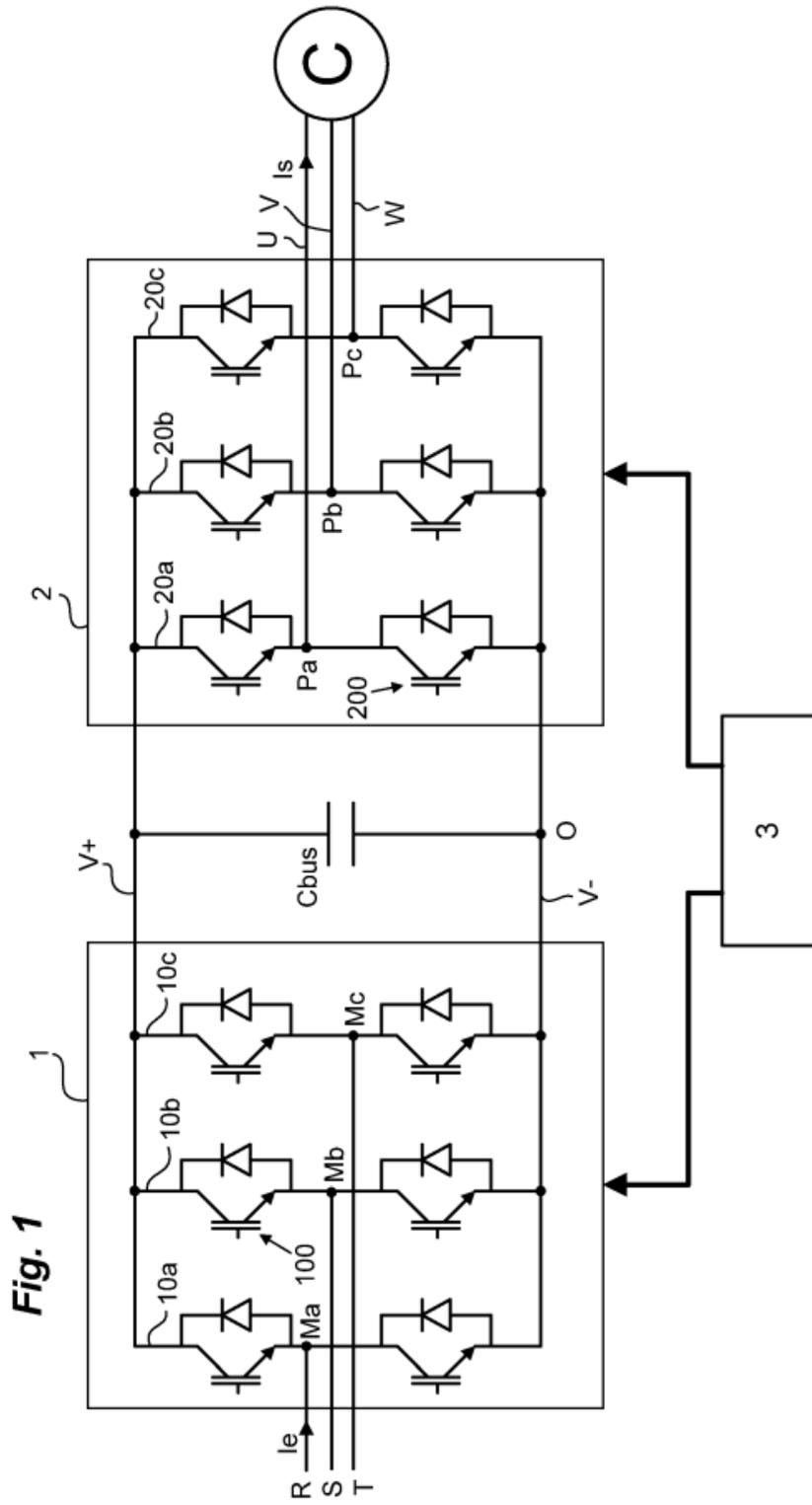
- una etapa (1) rectificadora conectada a varias fases (R, S, T) de entrada que reciben una corriente ( $I_e$ ) de entrada y una etapa (2) inversora conectada a varias fases (U, V, W) de salida en las cuales circula una corriente ( $I_s$ ) de salida para una carga eléctrica,
- 30 - un bus continuo de alimentación que conecta la etapa (1) rectificadora a la etapa (2) inversora y que comprende una primera línea (V+) de alimentación y una segunda línea (V-) de alimentación,
- la etapa (1) rectificadora y la etapa (2) inversora que comprende, cada una, al menos dos brazos (10a, 10b, 10c, 20a, 20b, 20c) de conmutación conectados a la primera línea de alimentación y a la segunda línea de alimentación, cada brazo de conmutación que comprende al menos dos transistores,

**caracterizado porque** el variador de velocidad comprende:

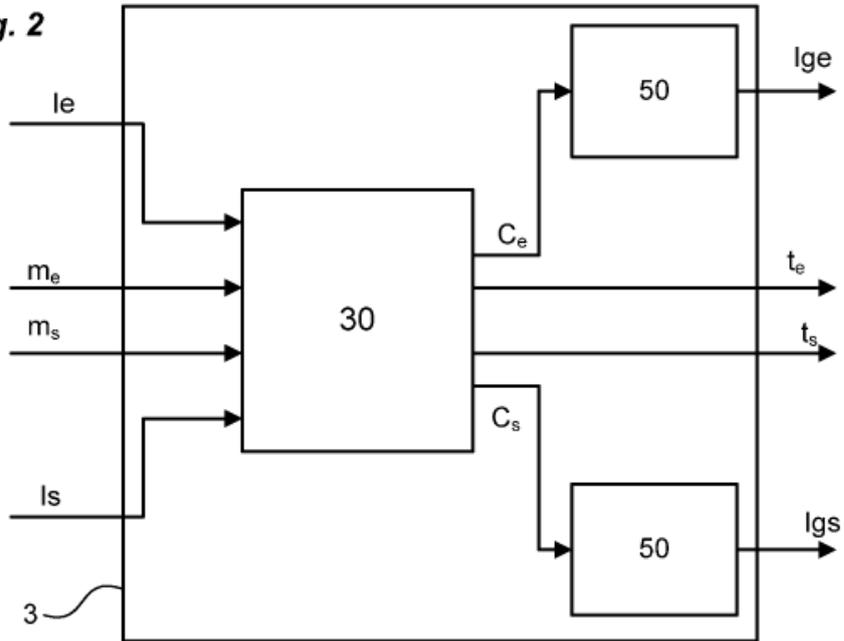
- 35 - para una conmutación de un transistor (100) de la etapa (1) rectificadora, un primer módulo de determinación, teniendo en cuenta la corriente ( $I_e$ ) de entrada, de una primera señal ( $C_e$ ) de control correspondiente a una primera corriente ( $I_{ge}$ ) de red a aplicar a la red del transistor a conmutar de manera que se actúa sobre la velocidad de la variación de una primera tensión ( $V_{rec}$ ) generada por la conmutación,
- 40 - para una conmutación de un transistor (200) de la etapa (2) inversora, un segundo módulo de determinación, teniendo en cuenta la corriente ( $I_s$ ) de salida, de una segunda señal ( $C_s$ ) de control correspondiente a una segunda corriente ( $I_{gs}$ ) de red a aplicar a la red del transistor a conmutar de manera que se actúa sobre la velocidad de la variación de una segunda tensión ( $V_{inv}$ ) generada por la conmutación,
- un tercer módulo de determinación de un primer instante ( $t_e$ ) de conmutación del transistor de la etapa (1) rectificadora y de un segundo instante ( $t_s$ ) de conmutación del transistor de la etapa inversora,
- 45 - la primera señal de control, la segunda señal de control, el primer instante de conmutación y el segundo instante de conmutación que son determinados de manera que se minimiza la diferencia entre la primera tensión y la segunda tensión.

50 3. Variador según la reivindicación 2, **caracterizado porque** el variador de velocidad comprende un conjunto de resistencias (40) conectado a la red de cada transistor de manera que pueda hacer variar su corriente ( $I_{ge}$ ,  $I_{gs}$ ) de red.

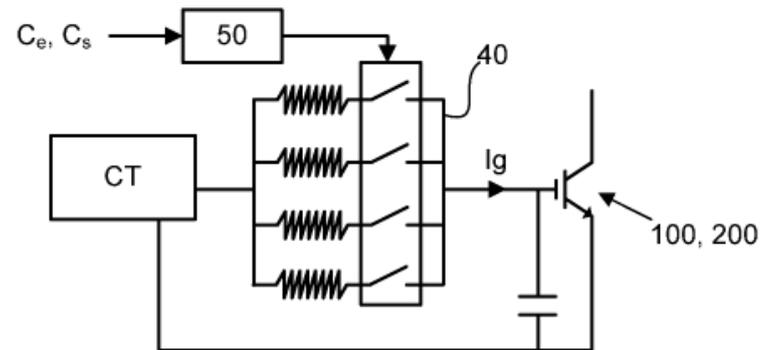
4. Variador según la reivindicación 2, **caracterizado porque** el primer módulo de determinación está dispuesto para tener en cuenta pérdidas por conmutación generadas en los transistores a conmutar de la etapa rectificadora.
5. Variador según la reivindicación 2, caracterizado porque el segundo módulo de determinación está dispuesto para tener en cuenta pérdidas de conmutación generadas en los transistores a conmutar de la etapa inversora.



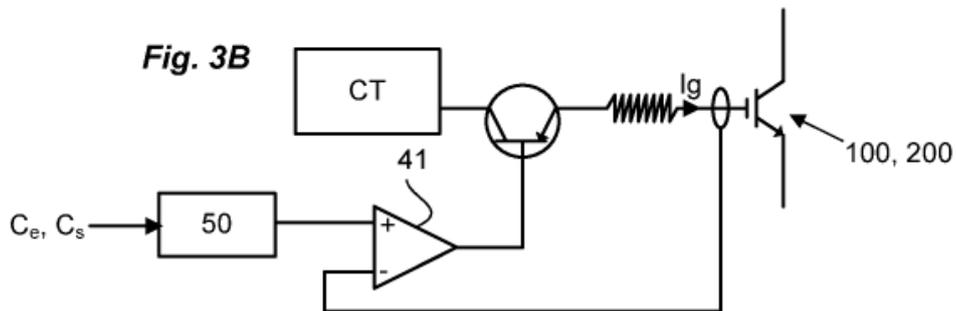
**Fig. 2**



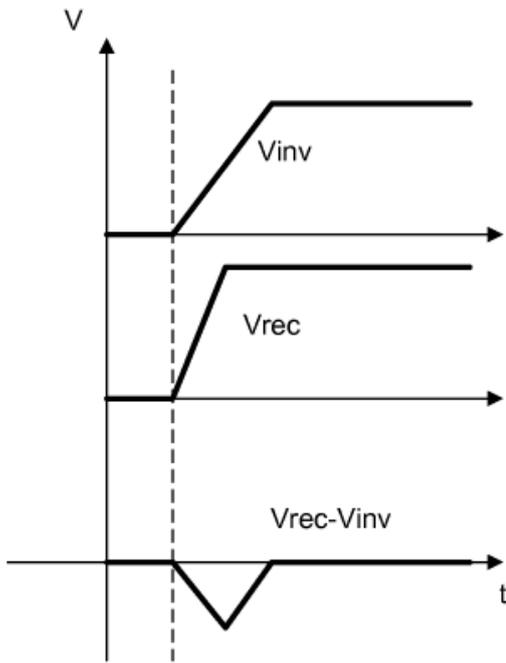
**Fig. 3A**



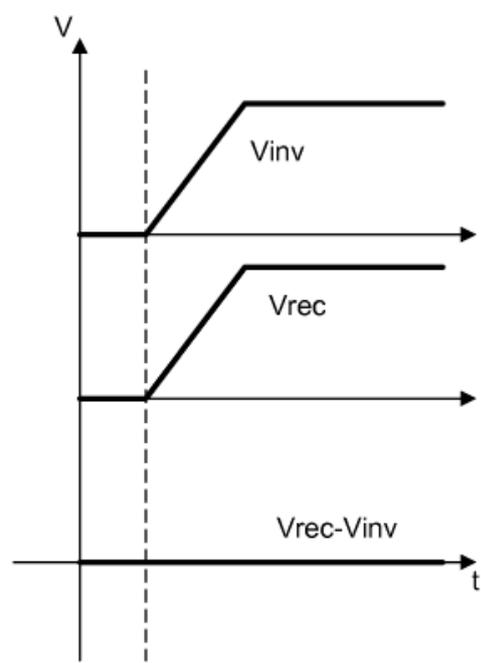
**Fig. 3B**



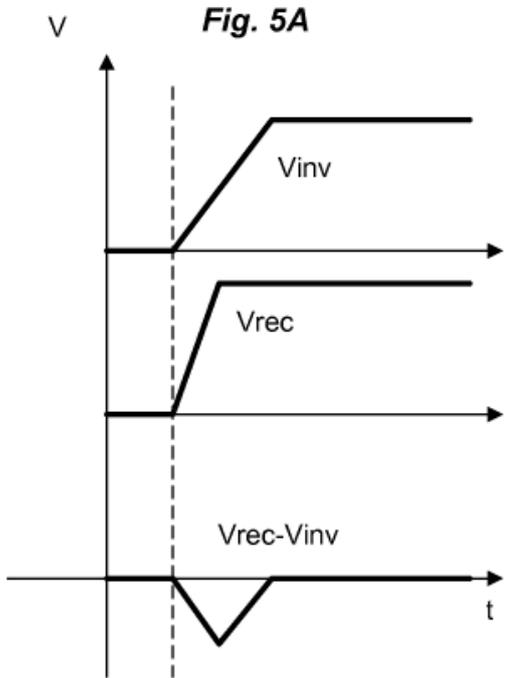
**Fig. 4A**



**Fig. 4B**



**Fig. 5A**



**Fig. 5B**

