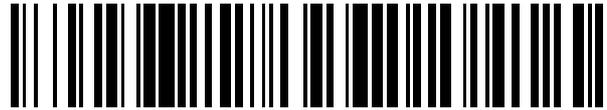


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 763 459**

51 Int. Cl.:

B64C 27/46 (2006.01)
H04L 1/00 (2006.01)
H04B 7/185 (2006.01)
H03M 13/27 (2006.01)
H03M 13/29 (2006.01)
H03M 13/00 (2006.01)
H03M 13/25 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.03.2013 E 13159447 (5)**

97 Fecha y número de publicación de la concesión europea: **23.10.2019 EP 2639155**

54 Título: **Método y aparato para la transmisión inalámbrica de datos sujeta a bloqueos de señal periódicos**

30 Prioridad:

16.03.2012 US 201213422534

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
28.05.2020

73 Titular/es:

HUGHES NETWORK SYSTEMS, LLC (100.0%)
11717 Exploration Lane
Germantown, MD 20876, US

72 Inventor/es:

LEE, LIN-NAN;
EROZ, MUSTAFA;
CHEN, LIPING y
ROY, SATYAJIT

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 763 459 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para la transmisión inalámbrica de datos sujeta a bloqueos de señal periódicos

5 **Campo**

La presente invención se refiere a transmisión de datos en un sistema de comunicaciones por satélite, y más específicamente a la transmisión de datos en un sistema de comunicaciones por satélite, en donde la transmisión de datos está sujeta a bloqueos de duración corta periódica de la señal de transmisión desde y hacia el terminal de satélite.

Antecedentes

Los sistemas de comunicación por satélite modernas proporcionan una infraestructura generalizada y fiable para distribuir de voz, datos y señales de vídeo para el intercambio y la difusión de la información global. Tales sistemas de comunicación satelital también han surgido como redes de infraestructura para comunicaciones de datos y servicios de entretenimiento a bordo de aeronaves. Por ejemplo, las redes de comunicaciones satelitales ahora se utilizan para servicios de banda ancha (por ejemplo, acceso a Internet y correo electrónico y otros servicios de mensajería) y entretenimiento (por ejemplo, televisión satelital y servicios de transmisión de video) a bordo de aviones comerciales. Además, las comunicaciones por satélite se utilizan cada vez más para las comunicaciones de datos en otras aplicaciones de aeronaves, como aplicaciones de aeronaves gubernamentales (por ejemplo, aplicaciones de aeronaves militares y de primera respuesta), incluidos helicópteros.

Además, en los sistemas de comunicaciones, el rendimiento del sistema se puede ayudar mediante el empleo de corrección de errores (FEC) o la codificación de canal. Además, casi todos estos sistemas de comunicaciones por satélite dependen de alguna forma de codificación de control de errores para gestionar los errores que pueden ocurrir debido al ruido y otros factores durante la transmisión de información a través del canal de comunicación por satélite. Los esquemas de control de errores eficientes implementados en el extremo de transmisión de estos sistemas de comunicaciones tienen la capacidad de permitir la transmisión de datos (por ejemplo, audio, video, texto, etc.) con tasas de error muy bajas dentro de un ambiente de relación de señal/ruido (SNR) dada. Los potentes esquemas de control de errores también permiten que un sistema de comunicaciones logre tasas de rendimiento de error objetivo en entornos con una SNR muy baja, como en sistemas satelitales y otros sistemas inalámbricos, donde el ruido es frecuente y los altos niveles de potencia de transmisión son costosos. Sin embargo, los esquemas de control de errores más potentes resultan en implementaciones más complejas y costosas, si es posible. Además, además de la codificación FEC, los sistemas de comunicaciones satelitales también suelen emplear intercalado para mejorar el rendimiento de la codificación FEC.

Con respecto a los helicópteros, sin embargo, debido a las limitaciones físicas de los fuselajes de helicópteros, la trayectoria de señal entre el satélite y la antena de satélite es bloqueada por las alas rotativas, también conocidas como las aspas. El período entre bloqueos generalmente depende del diseño de la aeronave. La duración de los bloqueos es de un período de tiempo relativamente corto, depende de una serie de parámetros, que incluyen el ancho de las aspas, la distancia entre el rotor y la antena, el acimut y el ángulo de elevación del satélite, así como la altura libre entre la antena y las aspas. Además, la velocidad del rotor afecta tanto los períodos entre bloqueos como la duración del bloqueo. Normalmente, el ruido térmico, con Doppler si se encuentra en una plataforma móvil, produce el principal deterioro experimentado en el canal para transmisiones satelitales a través de una antena de seguimiento con alta directividad. Sin embargo, en el caso de las antenas montadas en helicópteros, el bloqueo de las aspas agrega un impedimento adicional que domina el rendimiento de la transmisión y eclipsa los efectos del ruido térmico. Además, las rutas múltiples generadas por la reflexión desde las aspas y el cuerpo de la aeronave más cercanos también pueden ser un problema, pero generalmente son secundarias para antenas altamente dirigidas en frecuencias de banda Ku y Ka. El bloqueo periódico de las aspas generalmente crea dos problemas. Primero, la sincronización del receptor se ve interrumpida por la interrupción de la señal, que puede provocar la pérdida de sincronización. La pérdida de sincronización requiere la ejecución de un algoritmo de búsqueda y sincronización para restablecer la sincronización. Además, si el siguiente bloqueo del aspa se produce antes de restablecer la sincronización, el algoritmo de sincronización puede interrumpirse o retrasarse aún más. En segundo lugar, los paquetes de datos o las tramas transmitidas durante el período de un bloqueo se pierden por completo o se atenúan severamente. En consecuencia, en el momento en que comienza un bloqueo, y durante la duración del bloqueo, uno o más paquetes de datos transmitidos se cortarán parcialmente y/o se bloquearán por completo.

Dos alternativas anteriores son conocidas para hacer frente a tal obstrucción periódica por las aspas de helicóptero. Una primera de estas alternativas es sincronizar las transmisiones de datos con la rotación del aspa. Este enfoque es potencialmente posible para el enlace de retorno al monitorear la intensidad de la señal del enlace directo para determinar la presencia de una trayectoria despejada, es decir, si la señal del enlace directo se transmite siempre. Un problema con este enfoque es que hay una latencia involucrada, y la transmisión debe completarse antes de que ocurra el bloqueo por la siguiente aspa. Sin embargo, no es práctico que el concentrador de red rastree la posición del aspa de un helicóptero en el enlace directo. Además, con este enfoque, es imposible que varios helicópteros compartan un individual operador de enlace directo simultáneamente, porque no es posible sincronizar

transmisiones individuales a cada helicóptero, ya que sus posiciones de las aspas no están sincronizadas. Esta técnica, por lo tanto, solo es útil para el helicóptero para transmisiones al concentrador, o enlace de retorno. La segunda alternativa recupera la información bloqueada a través de la retransmisión. Sin embargo, la retransmisión de solicitud de repetición automática (ARQ) común no funcionará correctamente, ya que el bloqueo puede causar una tasa de error mucho mayor de lo que normalmente se espera que funcionen los sistemas ARQ. Además, la latencia para la entrega confiable de información puede ser muy larga debido a las altas tasas de retransmisión. Además, dado que los acuses de recibo y las solicitudes repetidas del extremo receptor también tienen el mismo problema de bloqueo, se requiere un diseño de protocolo especial que tenga en cuenta el bloqueo periódico en ambas direcciones. Una variación de la técnica ARQ es simplemente repetir la transmisión aproximadamente la mitad del período de bloqueo más tarde. De esta manera, se garantiza que al menos una de las transmisiones de datos no se bloqueará, pero este enfoque también requiere detección duplicada en el extremo de recepción para volver a ensamblar correctamente la corriente de datos. Además, con este enfoque, el rendimiento se reduce en menos de la mitad, desperdiciando una cantidad significativa b

El documento US 7.912.156 describe un método y el sistema correspondiente para la comunicación a través de canales obstruidos periódicamente con el bloque de desvanecimiento.

El artículo de FARAZIAN K ET AL: "Helicopter satellite communication: Development of low-cost real-time voice and data system for Aeronautical Mobile Satellite Service (AMSS)", UNIVERSAL PERSONAL COMMUNICATIONS, 1993. PERSONAL COMMUNICATIONS: GATE WAY TO THE 21ST CENTURY. CONFERENCE RECORD., 2ND INTERNATIONAL CONFERENCE ON OTTAWA, ONT., CANADA 12-15 OCT. 1, NUEVA YORK, NY, EE. UU., IEEE, vol. 1, 12 de octubre de 1993 (12/10/1993), páginas 314-319, XP010198216, DOI: 10.1109, ICUPC.1993.528398, ISBN: 978-0-7803-1396-5aborda algunos problemas de bloqueo periódico de RF debido a la rotación de las aspas del rotor principal.

El documento EP 1710941 describe un método y un sistema para corregir errores de ráfaga en redes de comunicaciones.

Lo que se necesita, por lo tanto, es un sistema y método para la transmisión de datos en un sistema de comunicaciones por satélite, que tiene capacidad para un bloqueo de duración corta periódica de la señal de transmisión hacia y desde un terminal de satélite, sin pérdida de paquetes debido a los bloqueos de transmisión, mientras se emplea un esquema de recuperación de datos FEC relativamente simple.

Algunas realizaciones a modo de ejemplo

La presente invención aborda ventajosamente los requisitos anteriores y necesidades, así como otros, proporcionando un aparato y un método para transmisiones de datos en un sistema de comunicaciones por satélite, que se acomoda a un bloqueo de duración corta periódica de la señal de transmisión hacia y desde una terminal satelital, sin pérdida de paquetes debido a los bloqueos de transmisión, mientras se emplea un esquema de recuperación de datos FEC relativamente simple.

De acuerdo con una realización a modo de ejemplo, un método para transmisiones de datos en un sistema de comunicaciones inalámbricas, que tiene capacidad para un bloqueo de duración corta periódica de la señal de transmisión se describe por la reivindicación independiente 1.

De acuerdo con otro ejemplo de realización, un aparato para transmisiones de datos en un sistema de comunicaciones inalámbricas, que tiene capacidad para un bloqueo de duración corta periódica de la señal de transmisión se describe por la reivindicación independiente 17.

Todavía otros aspectos, características y ventajas de la presente invención son fácilmente evidentes a partir de la siguiente descripción detallada, simplemente mediante la ilustración de un número de realizaciones e implementaciones particulares, incluyendo el mejor modo contemplado para llevar a cabo la presente invención. En consecuencia, el dibujo y la descripción deben considerarse de naturaleza ilustrativa y no tan restrictiva.

Breve descripción de los dibujos

La presente invención se ilustra a modo de ejemplo, y no a modo de limitación, en las figuras de los dibujos adjuntos y en los que números de referencia similares se refieren a elementos similares y en los que:

Las figuras 1A y 1B ilustran sistemas de comunicaciones capaces de emplear la transmisión de datos que se adapta a un bloqueo de duración corta periódica de la señal de transmisión hacia y desde el terminal de comunicaciones, de acuerdo con realizaciones a modo de ejemplo;

La figura 2 ilustra varios parámetros que afectan el período y la duración del bloqueo de la señal de transmisión para una antena de terminal de satélite montada en el cuerpo de un helicóptero, según una realización a modo de ejemplo;

La figura 3A ilustra un diagrama de flujo que representa el proceso de una transmisión de datos en un sistema de comunicaciones inalámbricas, de acuerdo con una realización a modo de ejemplo;

5 La figura 3B ilustra un diagrama de flujo que representa el proceso de dos transmisiones de datos que comparten un canal en un sistema de comunicaciones inalámbricas, de acuerdo con una realización a modo de ejemplo;

10 La figura 4 ilustra un ejemplo de un esquema de codificación para una corriente de datos transmitido que está sujeto a un bloqueo periódico, tal como desde las aspas de un helicóptero, de acuerdo con una realización a modo de ejemplo;

La figura 5A ilustra un diagrama de bloques de un transmisor a modo de ejemplo configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con realizaciones a modo de ejemplo;

15 La figura 5B ilustra un diagrama de bloques de un receptor a modo de ejemplo configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con realizaciones a modo de ejemplo;

La figura 6 es un diagrama de un sistema informático que puede realizar los procesos para un diseño intercalado parametrizado, de acuerdo con realizaciones a modo de ejemplo.

20 La figura 7 es un diagrama de un conjunto de chips que puede usarse para implementar realizaciones a modo de ejemplo.

Descripción detallada

25 Se describe un sistema y un método para transmisiones de datos en un sistema de comunicaciones por satélite, que se acomoda a un bloqueo de duración corta periódica de la señal de transmisión desde y hacia un terminal de satélite, sin pérdida de paquetes debido a los bloqueos de transmisión, mientras que el empleo de un esquema FEC relativamente simple de recuperación de datos. En la siguiente descripción, con propósitos de explicación, se establecen numerosos detalles específicos con el fin de proporcionar una comprensión completa de la invención. Sin embargo, es evidente que la invención puede llevarse a la práctica sin estos detalles específicos o con una disposición equivalente. En algunos casos, las estructuras y dispositivos bien conocidos se muestran en forma de diagrama de bloques para evitar oscurecer tales conceptos.

35 Las figuras 1A y 1B ilustran sistemas de comunicaciones capaces de utilizar transmisiones de datos que se adaptan a un bloqueo de duración corta periódico de la señal de transmisión hacia y desde el terminal de satélite, de acuerdo con diversas realizaciones a modo de ejemplo de la presente invención. Un sistema de comunicaciones digitales 110 incluye uno o más transmisores 111 (de los cuales se muestra uno) que generan formas de onda de señal a través de un canal de comunicación 113 a uno o más receptores 115 (de los cuales se muestra uno). En este sistema de comunicaciones discretas 110, el transmisor 111 tiene una fuente de mensajes que produce un conjunto discreto de mensajes posibles, donde cada uno de los mensajes posibles tiene una forma de onda de señal correspondiente. Estas formas de onda de señal son atenuadas, o alteradas de otro modo, por el canal de comunicaciones 113. Para combatir el canal de ruido 113, se utiliza la codificación. Por ejemplo, se pueden emplear códigos de corrección de errores de reenvío (FEC).

45 Se desea FEC en los sistemas terrestres y satelitales para proporcionar comunicación de alta calidad a través de un canal de propagación de radiofrecuencia (RF), que induce distorsión de la forma de onda y del espectro de la señal, incluida la atenuación de la señal (pérdida de propagación en el espacio libre), desvanecimiento inducido por múltiples trayectos e interferencia de canal adyacente. Estas deficiencias impulsan el diseño de la transmisión de radio y el equipo receptor; los objetivos de diseño a modo de ejemplo incluyen la selección de formatos de modulación, esquemas de control de errores, técnicas de demodulación y decodificación y componentes de hardware que en conjunto proporcionan un equilibrio eficiente entre el rendimiento del sistema y la complejidad de la implementación. Las diferencias en las características del canal de propagación, como entre los canales de comunicación terrestre y satelital, naturalmente dan como resultado diseños de sistemas significativamente diferentes. Del mismo modo, los sistemas de comunicaciones existentes continúan evolucionando para satisfacer los mayores requisitos del sistema para nuevos servicios de comunicación de mayor tasa o mayor fidelidad.

La figura 1B es un diagrama de un sistema de comunicaciones por satélite 120 a modo de ejemplo capaz de soportar la comunicación entre terminales con capacidades variadas, de acuerdo con una realización de la presente invención.

60 El sistema de comunicaciones por satélite 120 incluye un satélite 121 que soporta la comunicación entre múltiples terminales de satélite (ST) 123, 125 y un concentrador 127. El concentrador 127 puede asumir el papel de un Centro de Operaciones de Red (NOC), que controla el acceso de los ST 123, 125 al sistema 120 y también proporciona funciones de gestión de elementos y control de la resolución de direcciones y la funcionalidad de gestión de recursos. El sistema de comunicaciones por satélite 120 puede funcionar como un sistema tradicional de guíasondas acodado, donde el satélite funciona esencialmente como un repetidor. Alternativamente, el sistema 120 puede

emplear un satélite de conmutación o procesamiento que soporta comunicaciones de malla (comunicaciones punto a punto directamente entre, por ejemplo, los dos ST 123 y 125). Los ST 123, 125 proporcionan conectividad a uno o más ordenadores centrales 129, 131, respectivamente. Los ordenadores centrales 129, 131 pueden comprender varios tipos de equipos basados en comunicaciones de datos dependiendo de la aplicación particular.

5 En un sistema de guiondas acodado tradicional de un ejemplo de realización, el satélite funciona como un repetidor o guiondas acodado, y las comunicaciones entre los ST 123 y 125 se transmiten sobre una trayectoria de doble salto. Por ejemplo, en una comunicación de ST 123 a ST 125, durante el primer salto, la comunicación se transmite, a través del satélite, del ST 123 al concentrador 127. El concentrador 127 decodifica la comunicación y determina el
10 destino ST 125. El concentrador 127 luego direcciona y vuelve a empaquetar adecuadamente la comunicación, la codifica y modula, y transmite la comunicación a través del segundo salto, a través del satélite, al destino ST 125. En consecuencia, el satélite de dicho sistema actúa como un tubo doblado o repetidor, transmitiendo comunicaciones entre el concentrador 127 y los ST.

15 En una realización alternativa, con un sistema de comunicaciones 120 que emplea un satélite de procesamiento (por ejemplo, incluyendo un conmutador de paquetes operativo, por ejemplo, en una capa de enlace de datos), el sistema puede soportar comunicaciones unidifusión directa (punto a punto) y comunicaciones multidifusión entre los ST 123, 125. En el caso de un satélite de procesamiento, el satélite 121 decodifica la señal recibida y determina el ST o los
20 ST de destino (como lo haría el concentrador 127 en un sistema de guiondas acodado). El satélite 121 luego direcciona los datos en consecuencia, los codifica y los modula, y transmite la señal modulada, a través del canal 113, al ST o a los ST de destino (por ejemplo, ST 125). De acuerdo con una realización de la presente invención, el sistema 120 tiene una arquitectura totalmente enredada, por la cual los ST 123, 125 pueden comunicarse directamente.

25 La figura 2 ilustra varios parámetros que afectan el período y la duración del bloqueo de la señal de transmisión para una antena de terminal de satélite montada en el cuerpo de un helicóptero 211, de acuerdo con una realización a modo de ejemplo. Como se mencionó anteriormente, debido a las limitaciones físicas de los fuselajes de los helicópteros, como el helicóptero 211, las aspas 217 del helicóptero bloquean las transmisiones entre el satélite 213 y la antena de satélite 215. El período entre bloqueos generalmente depende del diseño de la aeronave. La duración
30 de cada bloqueo es de un período de tiempo relativamente corto y depende de varios parámetros. Dichos parámetros incluyen el ancho de las aspas 217 (w), la distancia entre el rotor 219 y la antena 215 (d), el acimut y el ángulo de elevación del satélite 213 (θ), así como la altura libre entre la antena 215 y las aspas 217 (h). Además, la velocidad del rotor afecta tanto los períodos entre bloqueos como la duración del bloqueo. La distancia efectiva ($d(\text{eff})$) entre el rotor 219 y el punto 223, la señal del satélite 221 se cruza con las aspas 217, y el ancho del aspa en
35 ese punto determina la fracción de tiempo durante cada período en que se bloqueará la señal 221.

Con referencia a la figura 3A, según una realización a modo de ejemplo, la transmisión del terminal de satélite 123 (por ejemplo) se configura como una transmisión en modo ráfaga, por lo que la corriente de datos se segmenta en datagramas o paquetes de tamaño fijo (S311). En consecuencia, aunque la transmisión puede ser desde un
40 individual transmisor, en lugar de un demodulador de modo continuo 227, el receptor utiliza una técnica de demodulación de ráfaga coherente, como las técnicas normalmente utilizadas para los sistemas de Acceso Múltiple por División de Tiempo (TDMA). Sin embargo, a diferencia de los sistemas de transmisión TDMA comunes, en los casos en que los paquetes se transmiten desde un solo helicóptero, no se necesita tiempo de inactividad entre los paquetes. Alternativamente, en casos de multiplexación en el tiempo de corrientes de datos desde más de un
45 helicóptero, se requeriría la inserción de un tiempo de inactividad entre cada paquete para proporcionar suficiente tiempo de protección entre ráfagas de transmisión desde diferentes helicópteros.

Los paquetes deben ser de un tamaño que refleja una fracción de la duración de la transmisión que está libre de cualquier bloqueo de las aspas 217. Si el tamaño de un paquete es mayor que la duración libre de bloqueos de las
50 transmisiones, entonces cada paquete estará parcialmente bloqueado o atenuado. Con respecto a la duración del bloqueo de un aspa, existe una compensación entre el tamaño del paquete y la pérdida de datos. Para una mayor eficiencia, el paquete también debe ser de un tamaño menor que la duración del bloqueo. Sin embargo, surge una compensación con respecto al tamaño del paquete. Cuando el tamaño del paquete es menor que la duración del bloqueo, debido a que los paquetes y las aspas no están sincronizados, un aspa generalmente bloqueará dos
55 paquetes parcialmente, posiblemente con uno o más paquetes completamente bloqueados entre los dos paquetes parcialmente bloqueados. En consecuencia, los paquetes más largos causan efectivamente una mayor pérdida de datos, porque un paquete parcialmente bloqueado se trata de la misma manera que un paquete completamente bloqueado. Por otro lado, si bien un tamaño de paquete muy corto reduciría esta pérdida de eficiencia, cada paquete introduce sobrecarga (por ejemplo, procesamiento de UW y encabezado) e ineficiencias resultantes de ello. En
60 consecuencia, la sobrecarga puede ser significativa para paquetes pequeños. Según una realización a modo de ejemplo, el tamaño de paquete preferido es aproximadamente la mitad de la duración del bloqueo o algo mayor, pero no más que la duración del bloqueo. Con un tamaño de paquete de la mitad de la duración del bloqueo, por ejemplo, para una relación de duración libre de bloqueo a duración de bloqueo de $n:1$, generalmente se puede esperar que $n-1$ paquetes de $n+1$ se transmitan sin estar sujetos a un bloqueo. Por ejemplo, según una instalación a
65 modo de ejemplo de antena de terminal de satélite en un helicóptero, con un ángulo de satélite razonable, la relación es de aproximadamente 9:1, por lo que 8 de cada 10 paquetes podrían transmitirse con éxito durante una duración

libre de bloqueo.

Una vez se selecciona el tamaño de paquete para optimizar la eficiencia de la transmisión, una corrección de errores hacia delante exterior (FEC) se aplica codificación para asegurar que una corriente de datos se ha transmitido sin interrupciones y para facilitar la recuperación de los paquetes que han sido objeto del bloqueo periódico (S313). Sin embargo, el empleo de un código FEC externo de este tipo no afecta la codificación interna FEC más poderosa aplicada para otros problemas de canal como ruido térmico, desvanecimiento, interferencia de canal adyacente, etc. Por ejemplo, dichos códigos internos pueden comprender códigos convolucionales, bajos códigos de verificación de paridad de densidad (LDPC) o códigos turbo. Por ejemplo, la codificación turbo representa un esquema iterativo de decodificación suave que combina dos o más códigos convolucionales relativamente simples y un intercalador para producir un código de bloque que puede funcionar dentro de una fracción de un decibelio del límite teórico (límite de Shannon). Los códigos LDPC representan una clase de códigos de bloque lineal construidos en base a una matriz de verificación de paridad dispersa. Se ha demostrado con éxito que tanto los códigos LDPC como algunas clases de códigos turbo se acercan al límite teórico.

De acuerdo con una realización a modo de ejemplo, para el código exterior, un paquete de suma de verificación se emplea como el bloque de construcción FEC básica. Un paquete de suma de verificación, por ejemplo, se forma realizando una suma OR exclusiva sobre varios paquetes (m). En otras palabras, el primer bit de cada uno de los paquetes m se agrega en binario para formar el primer bit del paquete de suma de verificación, el segundo bit de cada uno de los paquetes m se agrega en binario para formar el segundo bit del paquete de suma de verificación, etc., toda la trayectoria hasta el bit m -ésimo de cada uno de los paquetes siendo m binario añadieron juntos para formar el m -ésimo bit del paquete de suma de verificación. El paquete de suma de verificación se transmite como el $m+1$ -ésimo paquete. Tal código FEC tiene una tasa de código de $m/m+1$. Cuando alguno de los paquetes de información m está dañado, se detecta mediante su propio código de verificación de paridad cíclica o código de verificación de redundancia cíclica (CRC). El paquete dañado se puede recuperar mediante una operación OR exclusiva de los otros paquetes $m-1$ con el paquete de suma de verificación. En consecuencia, el paquete de suma de verificación solo puede recuperar un paquete bloqueado dentro del conjunto de paquetes m .

Además, se añade una palabra única (UW) al principio de cada paquete (S315). Además de señalar el comienzo de un paquete, la UW también sirve como un patrón de sincronización para que el demodulador de ráfaga adquiera la frecuencia, la fase portadora y la sincronización de símbolos para el paquete respectivo. El método de adquisición del receptor es, por lo tanto, sobre una base de ráfaga por ráfaga, donde, siempre que la UW se obtenga con éxito, el paquete de datos debe ser fácilmente obtenible. Además, incluso cuando un paquete se atenúa hasta el punto donde la UW o parte de la ráfaga es inalcanzable, las ráfagas posteriores serán claras y luego (según la codificación FEC) la ráfaga perdida o atenuada se puede recuperar. En consecuencia, ni el transmisor ni el receptor están obligados a conocer o rastrear la posición de las aspas del helicóptero. Siempre que la ráfaga o el tamaño del paquete y la longitud del intercalador estén optimizados para los parámetros del sistema, en el caso de paquetes bloqueados total o parcialmente, la codificación FEC facilitará la recuperación de dichos paquetes bloqueados.

Como se ha discutido anteriormente, sin embargo, el paquete de suma de verificación sólo puede recuperar un paquete bloqueado dentro del conjunto de paquetes de m . Sin embargo, como también se discutió anteriormente, más de un paquete se ve afectado por la duración de un bloqueo y, por lo tanto, debido a que el paquete de suma de verificación solo puede recuperar un paquete bloqueado, se debe introducir el intercalado para garantizar que solo se incluya un paquete bloqueado en el grupo de m paquetes reflejados por cada paquete de suma de verificación. En consecuencia, los paquetes de la corriente de datos se entrelazan en base a un intercalador predeterminado (S317), donde el número de paquetes (m) se basa en la profundidad requerida del intercalador. En otras palabras, si el número de paquetes erróneos cubiertos por el paquete de suma de verificación excede las capacidades de recuperación de errores de la codificación FEC, entonces el sistema no podrá recuperar los paquetes perdidos. El intercalado evita o disminuye los efectos de este problema al mezclar paquetes en varias tramas, creando así una distribución más uniforme de errores dentro de las capacidades de la codificación FEC. Luego se puede aplicar un código interno FEC a cada paquete para determinar (en el receptor) si el respectivo se ha transmitido y recibido con éxito (S319). Los paquetes de la corriente de datos se transmiten a través del canal de comunicaciones (S321).

Con referencia a la figura 3B, de acuerdo con una realización a modo de ejemplo adicional, en una situación en la que dos o más helicópteros comparten el mismo canal o portadora, como con el escenario de helicóptero individual discutido anteriormente, la transmisión de cada helicóptero se configura como una transmisión en modo ráfaga. Cada corriente de datos se segmenta en ráfagas o paquetes de tamaño fijo (S321, S331), se aplica una codificación de corrección de errores externa (FEC) (S323, S333), se agrega una palabra única (UW) al comienzo de cada paquete (S325, S335), y los paquetes están intercalados (S327, S337). Los paquetes de las corrientes de datos primero y segundo se transmiten luego a través del canal de comunicaciones, alternando los paquetes de la primera corriente de datos con los paquetes de la segunda corriente de datos (S329, S339). Al igual que en el escenario de helicóptero individual, se puede aplicar un código interno FEC a cada paquete para determinar (en el receptor) si el respectivo se ha transmitido y recibido con éxito. Además, en el escenario de múltiples helicópteros, se asigna un tiempo de inactividad entre paquetes en la corriente de datos tal como se transmite a través del canal de comunicaciones (S329, S339). Además, dependiendo del tamaño del operador y la tasa de datos de cada

transmisión transmitida desde un helicóptero individual, también es posible que no todos los intervalos de tiempo estén ocupados todo el tiempo.

De acuerdo con otro ejemplo de realización, una ráfaga puede contener varios paquetes muy cortos, cada paquete tiene un encabezado individual y bits de comprobación de redundancia cíclica (CRC). Se agregaría un UW a cada ráfaga, y cada ráfaga tendría un tiempo de inactividad que la precede. La UW y el tiempo de inactividad se consideran sobrecarga de ráfaga. En esta realización, el empaquetado de varios paquetes cortos en una sola ráfaga reduce la sobrecarga, en comparación con el enfoque de paquete individual por ráfaga discutido anteriormente. En este enfoque, incluso si una ráfaga está parcialmente bloqueada, siempre y cuando la UW no esté bloqueada, el receptor podrá adquirir la frecuencia portadora, fase y reloj de los paquetes UW, y luego recuperar los paquetes de la ráfaga que no han sido bloqueados. De acuerdo con una realización adicional, la UW puede insertarse en el medio de cada ráfaga, como la ambladura media. En tal escenario, después de detectar la UW, el receptor trabaja hacia atrás desde la UW para recuperar la primera parte de los datos, y avanza desde la UW para recuperar los datos después de la UW. Esta implementación es posible ya que los receptores de satélite modernos muestrean la señal de transmisión recibida, almacenan los datos en la memoria y posteriormente procesan los datos. Con una ambladura media, las ráfagas parcialmente bloqueadas en la interfaz y las ráfagas parcialmente bloqueadas en el extremo final pueden recuperarse parcialmente, maximizando la eficiencia general del esquema.

La figura 4 ilustra un ejemplo de la codificación de una corriente de datos transmitidos 411 en vista de un bloqueo periódico, como el de las aspas 217 de un helicóptero 211. El ejemplo de la figura 4 refleja un período de bloqueo del aspa de aproximadamente 12 paquetes (por ejemplo, el período 1 de los paquetes B2-B13 y el período 2 de los paquetes B14-B25, como se representa en la figura 4), y la duración del bloqueo es de aproximadamente 2 paquetes de longitud. En la corriente de datos recibido 413, mientras que la duración del bloqueo es de una longitud de solo aproximadamente dos paquetes, cada paso de un aspa causa la pérdida de tres paquetes consecutivos (por ejemplo, bloqueo parcial de B2 y B4 y bloqueo total de B3), seguido de 9 paquetes libres de bloqueo (por ejemplo, B5-B13). La profundidad de intercalado, por lo tanto, debe ser 3, para asegurar que no se refleje más de un paquete bloqueado en un paquete de suma de verificación dado. Según la relación de duración libre de bloqueo a duración de bloqueo de 9:3 (o 3:1), se debe generar un paquete de suma de verificación por cada tres paquetes de corriente de datos. Alternativamente, por ejemplo, si la duración del bloqueo es de solo 2 paquetes, la relación se convierte en 5:1 y la profundidad de intercalado es 2, donde cada paquete de suma de verificación cubre 5 paquetes de corriente de datos. Además, para evitar una implementación que sea demasiado marginal, dejando poco margen para el error, la longitud del intercalador puede estar respaldada por uno o más paquetes para proporcionar un margen de error. En cualquier caso, el concepto de realizaciones a modo de ejemplo es escalable a prácticamente cualquier longitud, lo que facilitaría la recuperación de paquetes de datos donde un número relativamente mayor de paquetes se interrumpe por cada duración de bloqueo (por ejemplo, en sistemas de transmisión de mayor tasa de datos).

Con respecto a la relación de 3:1, por ejemplo, como se representa por la suma de verificación de codificación 415, el primer paquete de suma de verificación cubriría los paquetes B1, B4 y B7, y se transmiten como paquete B10, el segundo paquete de suma de verificación cubriría los paquetes B2, B5 y B8, y se transmiten como paquete B11, y el tercer paquete de suma de verificación cubriría los paquetes B3, B6 y B9, y se transmite como paquete B12. Este proceso de suma de verificación continúa para bloques posteriores de 9 paquetes de datos. Por ejemplo, como se describe en la codificación de suma de verificación 417, el paquete de suma de verificación B22 cubriría los paquetes B13, B16 y B19, el paquete de suma de verificación B23 cubriría los paquetes B14, B17 y B20, y el paquete de suma de verificación B24 cubriría los paquetes B15, B18 y B21.

En base a esta codificación de suma de verificación, los paquetes bloqueados consecutivamente se pueden recuperar basándose en los respectivos paquetes de suma de verificación. Por ejemplo, como se muestra en la Recuperación de Paquetes Bloqueados 419, el paquete de datos B2 se puede recuperar en función del paquete de suma de verificación B11 y los paquetes no bloqueados asociados B5 y B8, el paquete de datos B3 se puede recuperar en función del paquete de suma de verificación B12 y el paquete asociado los paquetes no bloqueados B6 y B9, y el paquete de datos B4 pueden recuperarse basándose en el paquete de suma de verificación B10 y los paquetes no bloqueados asociados B1 y B7. Este proceso de recuperación continúa para los períodos de bloqueo posteriores. Por ejemplo, como se muestra en la Recuperación de Paquetes Bloqueados 421, el paquete de datos B14 se puede recuperar en función del paquete de suma de verificación B23 y los paquetes no bloqueados asociados B17 y B20, el paquete de datos B15 se puede recuperar en función del paquete de suma de verificación B24 y el paquete asociado los paquetes no bloqueados B18 y B21, y el paquete de datos B16 pueden recuperarse basándose en el paquete de suma de verificación B23 y los paquetes no bloqueados asociados B13 y B19.

Por otra parte, en el escenario de múltiples helicópteros, por ejemplo, B1, B2, y B3 se transmiten secuencialmente por tres helicópteros diferentes, respectivamente. Luego, la ráfaga B4 es transmitida por el primero de los tres helicópteros, y así sucesivamente. Los diferentes helicópteros transmiten secuencialmente, a la misma tasa de datos. Sin embargo, en el caso de la relación 3:1, debido a que solo la ráfaga bloquea cada ráfaga para cada helicóptero durante cada período, ya no es necesario el intercalado. La distribución de las ráfagas de cada helicóptero crea efectivamente un resultado similar al intercalado. Dependiendo de la cantidad de helicópteros y la relación de duración libre de bloqueo a duración de bloqueo, sin embargo, puede ser necesario intercalar para garantizar que la cantidad de paquetes bloqueados en un período no exceda las capacidades de la codificación

FEC.

5 La figura 5A ilustra un diagrama de bloques de un transmisor a modo de ejemplo 510 configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con realizaciones a modo de ejemplo de la presente invención. La figura 5B ilustra un diagrama de bloques de un receptor a modo de ejemplo configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con realizaciones a modo de ejemplo de la presente invención. De acuerdo con una realización adicional, se describirá ahora un ejemplo de una implementación de un esquema de transmisión de datos que acomoda un bloqueo de duración corta periódico de la señal de transmisión con referencia al transmisor y receptor de las figuras 5A y 5B. En el transmisor 510, primero la corriente de datos desde la fuente de datos 511 se segmenta en paquetes de tamaño fijo para una transmisión en modo ráfaga. Los paquetes se organizan columna por columna, por ejemplo, de la siguiente manera:

Paquete 0	Paquete m	...	Paquete nm
Paquete 1	Paquete m+1	...	Paquete nm+1
Paquete 2	Paquete m+2	...	Paquete nm+2
..
.	.		.
Paquete m-1	Paquete 2m-1	...	Paquete (n+1)m-1

15 El codificador externo 513 luego aplica una codificación de verificación de paridad individual que se aplica como un código externo a los paquetes m en cada columna realizando una exclusiva bit por bit o en cada bit de los paquetes m para obtener un paquete de verificación de paridad, de la siguiente manera:

Verificación de paridad Co	↓	Paquete 0	Paquete m	...	Paquete nm
		Paquete 1	Paquete m+1	...	Paquete nm+1
		Paquete 2	Paquete m+2	...	Paquete nm+2
	
		.	.		.
		Paquete m-1	Paquete 2m-1	...	Paquete (n+1)m-1
	Paquete de paridad 0	Paquete de paridad 1		Paquete de paridad n	

20 A continuación, el intercalador 515 intercala los paquetes y el codificador interno 517 codifica cada paquete con un código FEC como un código interno (por ejemplo, LDPC). El corriente de datos se modula luego a través del modulador 519, para la transmisión a través de la antena 521, fila por fila, de la siguiente manera:

Paquete LDPC 0	Paquete LDPC m	...	Paquete LDPC nm
Paquete LDPC 1	Paquete LDPC m+1	...	Paquete LDPC nm+1
Paquete LDPC 2	Paquete LDPC m+2	...	Paquete LDPC nm+2
..
.	.		.
Paquete LDPC m-1	Paquete LDPC 2m-1	...	Paquete LDPC (n+1)m-1
Paquete de paridad LDPC 0	Paquete de paridad LDPC 1		Paquete de paridad LDPC n

25 En el receptor 520, la corriente de datos transmitida es recibida a través de la antena 531, y el demodulador 529 demodula la transmisión de información recibida para recuperar los paquetes de datos transmitidos. El decodificador interno 527 intenta decodificar cada paquete. Si el código interno es un código LDPC, las ecuaciones de verificación de paridad del decodificador interno 527 indican si un paquete particular se ha decodificado correctamente o no. Para otros tipos de códigos internos, como los códigos turbo o convolucionales, o para el caso donde no hay código interno, se pueden usar bits CRC para determinar si cada paquete se recibió con éxito. El desintercalador 525 desintercala los paquetes para presentarlos al decodificador externo 523 en el orden columna por columna original. Los paquetes fallidos se recuperarían en función de la codificación de verificación de paridad individual del código externo y los paquetes asociados recibidos con éxito en la misma columna que el paquete fallido (en otras palabras, los otros paquetes cubiertos por el paquete de código de verificación de paridad individual respectivo). Como resultado, los datos del mensaje original 521 se recuperan de la transmisión recibida.

35 En consecuencia, en vista de realizaciones a modo de ejemplo, debido a que los parámetros del canal están bien definidos y conocidos (por ejemplo, se conoce el período de bloqueo y la duración del bloqueo), los parámetros del intercalador se pueden configurar para capturar una cantidad de paquetes bloqueados eso no excede las capacidades de la codificación FEC. Además, el número total de paquetes en un intercalador de fila/columna no debe exceder el número de paquetes enviados entre bloqueos secuenciales de las dos aspas del helicóptero, de modo que solo un evento de bloqueo afecta a los paquetes en un bloque de intercalador.

40 Como sería reconocido por un experto ordinario en la técnica, un esquema de codificación exterior más potente es posible. Por ejemplo, se puede emplear una codificación FEC más potente para la recuperación de más de un

paquete perdido dentro de varios paquetes, y así reducir la longitud requerida del intercalador. Sin embargo, estos códigos FEC más potentes requieren significativamente más complejidad y gastos generales, y por lo tanto tienen costes significativamente más altos (tanto en procesamiento como en implementación). Mientras que un solo código de verificación de paridad, como la codificación de suma de verificación descrita anteriormente, representa uno de los códigos más simples desde un punto de vista de complejidad y sobrecarga, y el intercalador agrega una complejidad adicional relativamente baja en comparación con códigos de verificación de paridad más potentes para corrección de múltiples errores. Además, en vista del hecho de que las degradaciones del canal debido al bloqueo periódico de las aspas del helicóptero son discernibles, de acuerdo con realizaciones a modo de ejemplo, este conocimiento del canal se explota para permitir el uso de un código FEC externo y un intercalador relativamente simples. Mientras que, en casos de ruido térmico y otras degradaciones del canal, que generalmente tienen un comportamiento desconocido e impredecible, se requiere una codificación FEC más compleja (por ejemplo, códigos turbo o codificación LDPC) para la corrección de errores.

La figura 6 ilustra un sistema informático sobre el cual se pueden implementar realizaciones a modo de ejemplo de acuerdo con la presente invención. El sistema informático 600 incluye un bus 601 u otro mecanismo de comunicación para comunicar información, y un procesador 603 acoplado al bus 601 para procesar información. El sistema informático 600 también incluye la memoria principal 605, tal como una memoria de acceso aleatorio (RAM) u otro dispositivo de almacenamiento dinámico, acoplado al bus 601 para almacenar información e instrucciones que debe ejecutar el procesador 603. La memoria principal 605 también puede usarse para almacenar variables temporales u otra información intermedia durante la ejecución de las instrucciones para ser ejecutadas por el procesador 603. El sistema informático 600 podría incluir también una memoria de solo lectura (ROM) 607 u otro dispositivo de almacenamiento estático acoplado al bus 601 para almacenar información estática e instrucciones para el procesador 603. Un dispositivo de almacenamiento 609, como un disco magnético o un disco óptico, está acoplado adicionalmente al bus 601 para almacenar información e instrucciones.

De acuerdo con una realización de la invención, la generación y el funcionamiento de los diseños de intercalador de acuerdo con realizaciones a modo de ejemplo se proporciona por el sistema informático 600 en respuesta al procesador 603 la ejecución de una disposición de instrucciones contenidas en la memoria principal 605. Dichas instrucciones pueden leerse en la memoria principal 605 desde otro medio legible por ordenador, como el dispositivo de almacenamiento 609. La ejecución de la disposición de las instrucciones contenidas en la memoria principal 605 hace que el procesador 603 realice los pasos del proceso descritos en este documento. También se pueden emplear uno o más procesadores en una disposición de procesamiento múltiple para ejecutar las instrucciones contenidas en la memoria principal 605. En realizaciones alternativas, los circuitos cableados pueden usarse en lugar de o en combinación con instrucciones de software para implementar diversas realizaciones de la presente invención. Por lo tanto, las realizaciones de la presente invención no están limitadas a ninguna combinación específica de circuitos de hardware y software.

El sistema informático 600 también incluye una interfaz de comunicación 617 acoplada al bus 601. La interfaz de comunicación 617 proporciona un acoplamiento de comunicación de datos bidireccional a un enlace de red 619 conectado a una red local 621. Por ejemplo, la interfaz de comunicación 617 puede ser una tarjeta o módem de línea de abonado digital (DSL), una tarjeta de red digital de servicios integrados (ISDN), un módem de cable o un módem telefónico para proporcionar una conexión de comunicación de datos a un tipo de línea de teléfono correspondiente. Como otro ejemplo, la interfaz de comunicación 617 puede ser una tarjeta de red de área local (LAN) (por ejemplo, para Ethernet™ o una red de modelo de transferencia asincrónica (ATM)) para proporcionar una conexión de comunicación de datos a una LAN compatible. Los enlaces inalámbricos también se pueden implementar. En cualquier implementación de este tipo, la interfaz de comunicación 617 envía y recibe señales eléctricas, electromagnéticas u ópticas que transportan corrientes de datos digitales que representan diversos tipos de información. Además, la interfaz de comunicación 617 puede incluir dispositivos de interfaz periféricos, tales como una interfaz de bus serie universal (USB), una interfaz PCMCIA (Asociación Internacional de Tarjetas de Memoria de Ordenador Personal), etc.

El enlace de red 619 proporciona normalmente comunicación de datos a través de una o más redes a otros dispositivos de datos. Por ejemplo, el enlace de red 619 puede proporcionar una conexión a través de la red local 621 a un ordenador central 623, que tiene conectividad a una red 625 (por ejemplo, una red de área amplia (WAN) o la red global de comunicación de datos por paquetes que ahora se conoce comúnmente como "Internet") o al equipo de datos operado por el proveedor de servicios. La red local 621 y la red 625 utilizan señales eléctricas, electromagnéticas u ópticas para transmitir información e instrucciones. Las señales a través de las diversas redes y las señales en el enlace de red 619 y a través de la interfaz de comunicación 617, que comunican datos digitales con el sistema informático 600, son formas a modo de ejemplo de ondas portadoras que llevan la información y las instrucciones.

El sistema informático 600 puede enviar mensajes y recibir datos, incluyendo código de programa, a través de la red(es), enlace de red 619, y la interfaz de comunicación 617. En el ejemplo de Internet, un servidor (no mostrado) podría transmitir el código solicitado que pertenece a un programa de aplicación para implementar una realización de la presente invención a través de la red 625, la red local 621 y la interfaz de comunicación 617. El procesador 603 puede ejecutar el código transmitido mientras se recibe y/o almacena el código en el dispositivo de almacenamiento

239, u otro almacenamiento no volátil para su posterior ejecución. De esta manera, el sistema informático 600 puede obtener el código de aplicación en forma de una onda portadora.

El término "medio legible por ordenador" tal como se utiliza aquí, se refiere a cualquier medio que participa en proporcionar instrucciones al procesador 603 para su ejecución. Tal medio puede tomar muchas formas, incluyendo, pero no limitado a medios no volátiles, medios volátiles y medios de transmisión. Los medios no volátiles incluyen, por ejemplo, discos ópticos o magnéticos, como el dispositivo de almacenamiento 609. Los medios volátiles incluyen memoria dinámica, como la memoria principal 605. Los medios de transmisión incluyen cables coaxiales, cable de cobre y fibra óptica, incluidos los cables que comprenden el bus 601. Los medios de transmisión también pueden tomar la forma de ondas acústicas, ópticas o electromagnéticas, como las generadas durante las comunicaciones de datos de radiofrecuencia (RF) e infrarrojos (IR). Las formas comunes de medios legibles por ordenador incluyen, por ejemplo, un disquete, un disco flexible, disco duro, cinta magnética, cualquier otro medio magnético, un CD ROM, CDRW, DVD, cualquier otro medio óptico, tarjetas perforadas, cinta de papel, hojas de marcas ópticas, cualquier otro medio físico con patrones de agujeros u otros signos ópticamente reconocibles, una RAM, una PROM y una EPROM, una EPROM FLASH, cualquier otro chip o cartucho de memoria, una onda portadora o cualquier otro medio desde el cual un ordenador puede leer.

Diversas formas de medios legibles por ordenador pueden estar involucradas en proporcionar instrucciones a un procesador para su ejecución. Por ejemplo, las instrucciones para llevar a cabo al menos parte de la presente invención pueden llevarse inicialmente en un disco magnético de un ordenador remoto. En tal escenario, el ordenador remoto carga las instrucciones en la memoria principal y envía las instrucciones a través de una línea telefónica utilizando un módem. Un módem de un sistema informático local recibe los datos en la línea telefónica y utiliza un transmisor de infrarrojos para convertir los datos en una señal de infrarrojos y transmitir la señal de infrarrojos a un dispositivo informático portátil, como un asistente digital personal (PDA) y un ordenador portátil. Un detector de infrarrojos en el dispositivo informático portátil recibe la información y las instrucciones transmitidas por la señal de infrarrojos y coloca los datos en un bus. El bus transporta los datos a la memoria principal, desde donde un procesador recupera y ejecuta las instrucciones. Las instrucciones recibidas por la memoria principal pueden almacenarse opcionalmente en el dispositivo de almacenamiento antes o después de la ejecución por parte del procesador.

La figura 7 ilustra un conjunto de chips 700 en el que se pueden implementar realizaciones de la invención. El conjunto de chips 700 incluye, por ejemplo, componentes de procesador y memoria descritos con respecto a la figura 7 incorporados en uno o más paquetes físicos. A modo de ejemplo, un paquete físico incluye una disposición de uno o más materiales, componentes y/o alambres en un ensamblaje estructural (por ejemplo, una placa base) para proporcionar una o más características tales como resistencia física, conservación del tamaño y/o limitación de la interacción eléctrica.

En una realización, el conjunto de chips 700 incluye un mecanismo de comunicación tal como un bus 701 para pasar información entre los componentes del conjunto de chips 700. Un procesador 703 tiene conectividad con el bus 701 para ejecutar instrucciones y procesar información almacenada en, por ejemplo, una memoria 705. El procesador 703 puede incluir uno o más núcleos de procesamiento con cada núcleo configurado para funcionar independientemente. Un procesador multinúcleo permite el multiprocesamiento dentro de un solo paquete físico. Los ejemplos de un procesador multinúcleo incluyen dos, cuatro, ocho o más núcleos de procesamiento. Alternativamente o, además, el procesador 703 puede incluir uno o más microprocesadores configurados en tándem a través del bus 701 para permitir la ejecución independiente de instrucciones, canalización y subprocesamiento múltiple. El procesador 703 también puede estar acompañado con uno o más componentes especializados para realizar ciertas funciones y tareas de procesamiento tales como uno o más procesadores de señal digital (DSP) 707, y/o uno o más circuitos integrados específicos de aplicación (ASIC) 709. Un DSP 707 normalmente está configurado para procesar señales del mundo real (por ejemplo, sonido) en tiempo real independientemente del procesador 703. De manera similar, un ASIC 709 puede configurarse para realizar funciones especializadas que no son fácilmente realizadas por un procesador de propósito general. Otros componentes especializados para ayudar a realizar las funciones inventivas descritas en el presente documento incluyen uno o más arreglos de compuertas programables en campo (FPGA) (no se muestran), uno o más controladores (no se muestran), o uno o más chips de ordenador para fines especiales.

El procesador 703 y los componentes que la acompañan han conectividad a la memoria 705 a través del bus 701. La memoria 705 incluye tanto memoria dinámica (por ejemplo, RAM) como memoria estática (por ejemplo, ROM) para almacenar instrucciones ejecutables que, cuando son ejecutadas por el procesador 703 y/o el DSP 707 y/o el ASIC 709, realizan el proceso de ejemplo realizaciones como se describen en el presente documento. La memoria 705 también almacena los datos asociados o generados por la ejecución del proceso.

En la descripción anterior, diversas realizaciones se han descrito con referencia a los dibujos adjuntos. Sin embargo, será evidente que se pueden hacer varias modificaciones y cambios a las mismas, y se pueden implementar realizaciones adicionales, sin apartarse del alcance más amplio de la invención como se establece en las reivindicaciones que siguen. Por consiguiente, la especificación y los dibujos deben considerarse en un sentido ilustrativo más que restrictivo.

REIVINDICACIONES

1. Un método para la transmisión inalámbrica de una primera corriente de datos, estando la transmisión sujeta a bloqueos periódicos, el método que comprende:

5 segmentar una primera corriente de datos (411) en paquetes (S321) de un tamaño fijo predeterminado para una transmisión en modo ráfaga a través de un canal inalámbrico (103, 221), en donde la transmisión está sujeta a un primer bloqueo periódico;

10 aplicar un código externo de corrección de errores de reenvío (S323) a los paquetes de la primera corriente de datos para la recuperación de paquetes sujetos al primer bloqueo periódico, en donde el código externo de corrección de errores de reenvío comprende paquetes de suma de verificación agregados a la primera corriente de datos;

15 entrelazar los paquetes de la primera corriente de datos (S327) mediante el uso de parámetros, en donde los parámetros utilizados para el intercalado por un intercalador (515) están configurados para capturar un número de paquetes bloqueados que no excede las capacidades de la codificación de corrección de errores de reenvío en donde los paquetes de la primera corriente de datos (411) están entrelazados (S317) sobre la base de un intercalado de una profundidad basada al menos en parte en una relación entre una duración libre de bloqueo entre dos bloqueos consecutivos del primer bloqueo periódico y una duración de cada bloqueo del primer bloqueo periódico;

20 en donde el intercalado está configurado de manera para garantizar que solo se incluya un paquete bloqueado en un grupo de la primera corriente de datos (411) reflejado por cada uno de los paquetes de suma de verificación; aplicar un código interno de corrección de errores de reenvío a cada paquete de la primera corriente de datos (411); y

25 transmitir la primera corriente de datos (S329) a través del canal inalámbrico.

2. El método de la reivindicación 1, que además comprende: agregar una palabra única (S325) a cada uno de los paquetes de la primera corriente de datos (411) para la adquisición de una o más de frecuencia, fase portadora y temporización de símbolos del paquete respectivo.

3. El método de la reivindicación 1, en el que el código interno de corrección de errores de reenvío comprende uno de un código de verificación de paridad de baja densidad, un código convolucional y un código turbo.

4. El método de la reivindicación 1, en el que el tamaño fijo predeterminado de los paquetes refleja una duración que es menor que la duración de cada bloqueo del primer bloqueo periódico.

5. El método de la reivindicación 4, en el que el tamaño fijo predeterminado de los paquetes se establece para reflejar una duración de aproximadamente la mitad de la duración de cada bloqueo del primer bloqueo periódico.

6. El método de la reivindicación 1, en el que el código externo de corrección de errores de reenvío comprende un código de verificación de paridad individual configurado para la recuperación de los paquetes sometidos al primer bloqueo periódico.

7. El método de la reivindicación 6, en el que los paquetes de suma de verificación están configurados para garantizar que un paquete de suma de verificación respectivo no refleje más de un paquete bloqueado.

8. El método de la reivindicación 1, en el que:

el canal inalámbrico comprende un canal en un sistema de comunicaciones por satélite (120); la transmisión comprende una transmisión de datos de un terminal de satélite (123, 125), adaptado para realizar una comunicación con un satélite (121), instalado en un helicóptero (211); y el primer bloqueo periódico comprende bloqueos periódicos de las aspas del rotor (217) del helicóptero (211).

9. El método de la reivindicación 1, que además comprende:

segmentar una segunda corriente de datos (413) en paquetes (S331) del tamaño fijo predeterminado para una transmisión en modo ráfaga a través del canal inalámbrico, en donde la transmisión está sujeta a un segundo bloqueo periódico;

aplicar el código externo de corrección de errores de reenvío (S333) a los paquetes de la segunda corriente de datos para recuperar los paquetes sujetos al segundo bloqueo periódico; y

transmitir la segunda corriente de datos (S339) a través del canal inalámbrico con la primera corriente de datos, en donde los paquetes de la segunda corriente de datos se alternan con los paquetes de la primera corriente de datos, y se inserta un tiempo inactivo entre cada uno de los paquetes transmitidos.

10. El método de la reivindicación 9, que además comprende: agregar una palabra única (S335) a cada uno de los paquetes de la segunda corriente de datos para la adquisición de una o más de frecuencia, fase portadora y temporización de símbolos del paquete respectivo.

11. El método de la reivindicación 9, que además comprende:
aplicar un código interno de corrección de errores de reenvío a cada paquete de la segunda corriente de datos.
- 5 12. El método de la reivindicación 11, en el que el código interno de corrección de errores de reenvío comprende uno de un código de verificación de paridad de baja densidad, un código convolucional y un código turbo.
13. El método de la reivindicación 9, que además comprende:
intercalar los paquetes de la segunda corriente de datos.
- 10 14. El método de la reivindicación 13, en el que los paquetes de la segunda corriente de datos se intercalan en base a un intercalador (515) de una profundidad basada al menos en parte en una relación entre una duración libre de bloqueo entre dos bloqueos consecutivos del segundo bloqueo periódico y una duración de cada bloqueo del segundo bloqueo periódico.
- 15 15. El método de la reivindicación 9, en el que:

el canal inalámbrico comprende un canal en un sistema de comunicaciones por satélite (120);
la transmisión de la primera corriente de datos comprende una transmisión de datos de un primer terminal de
20 satélite (123) instalado en un primer helicóptero;
el primer bloqueo periódico comprende bloqueos periódicos de las aspas del rotor del primer helicóptero;
la transmisión de la segunda corriente de datos comprende una transmisión de datos de un segundo terminal de
satélite (125) instalado en un segundo helicóptero; y
el segundo bloqueo periódico comprende bloqueos periódicos de las aspas del rotor del segundo helicóptero.
- 25 16. El método de la reivindicación 1, en donde los paquetes de la primera corriente de datos comprenden múltiples subpaquetes, en donde cada subpaquete incluye un encabezado y bits de verificación de redundancia cíclica.
- 30 17. Un aparato para la transmisión inalámbrica de una primera corriente de datos, estando la transmisión sujeta a bloqueos periódicos, el aparato que comprende:

al menos un procesador (603); y
al menos una memoria (605) que incluye un código de programa de ordenador para uno o más programas,
estando el código de programa de ordenador configurado para implementar todas las etapas de cualquiera de las
35 reivindicaciones 1-16 cuando es ejecutado por el al menos un procesador (603).
18. Un medio de almacenamiento legible por ordenador que lleva una o más secuencias de una o más instrucciones que, cuando son ejecutadas por uno o más procesadores (603), hacen que un procesador (603) realice todas las etapas de cualquiera de las reivindicaciones 1-16.
- 40

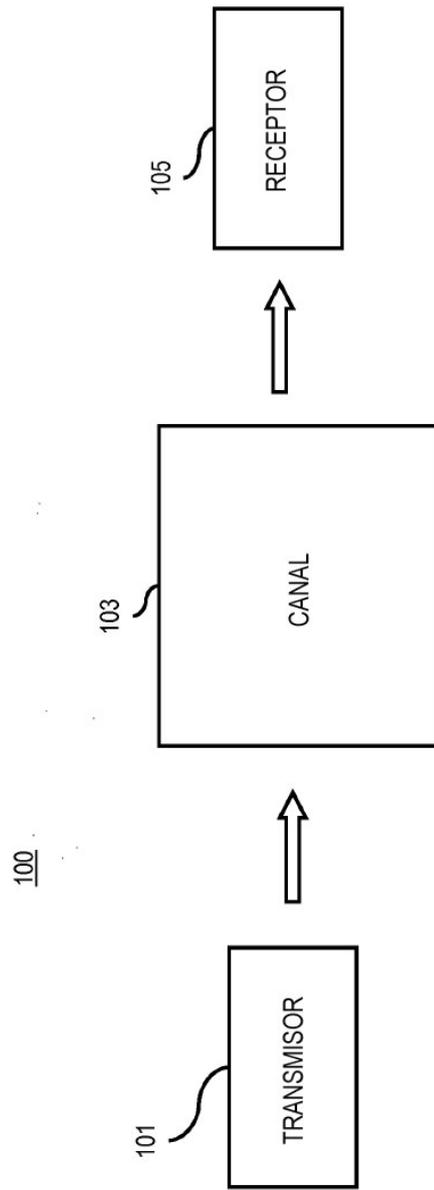


FIG. 1A

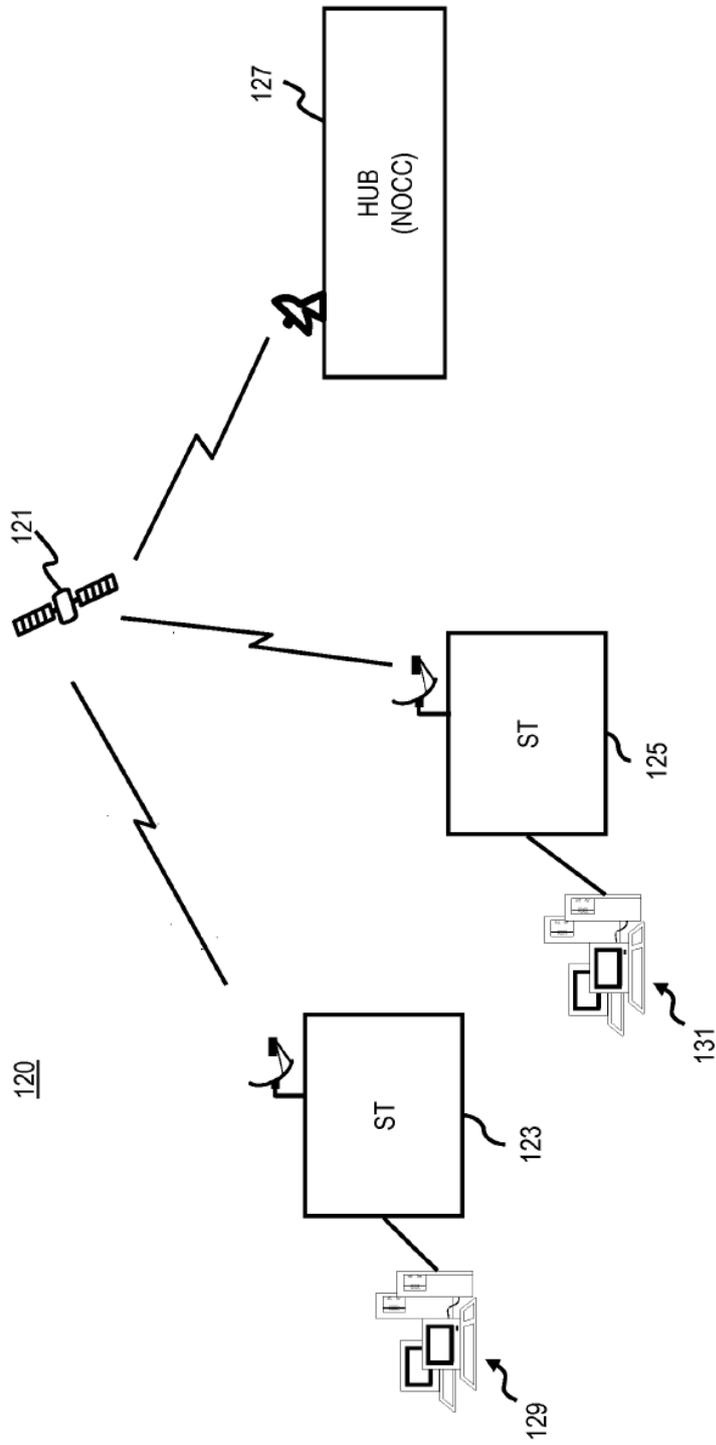


FIG. 1B

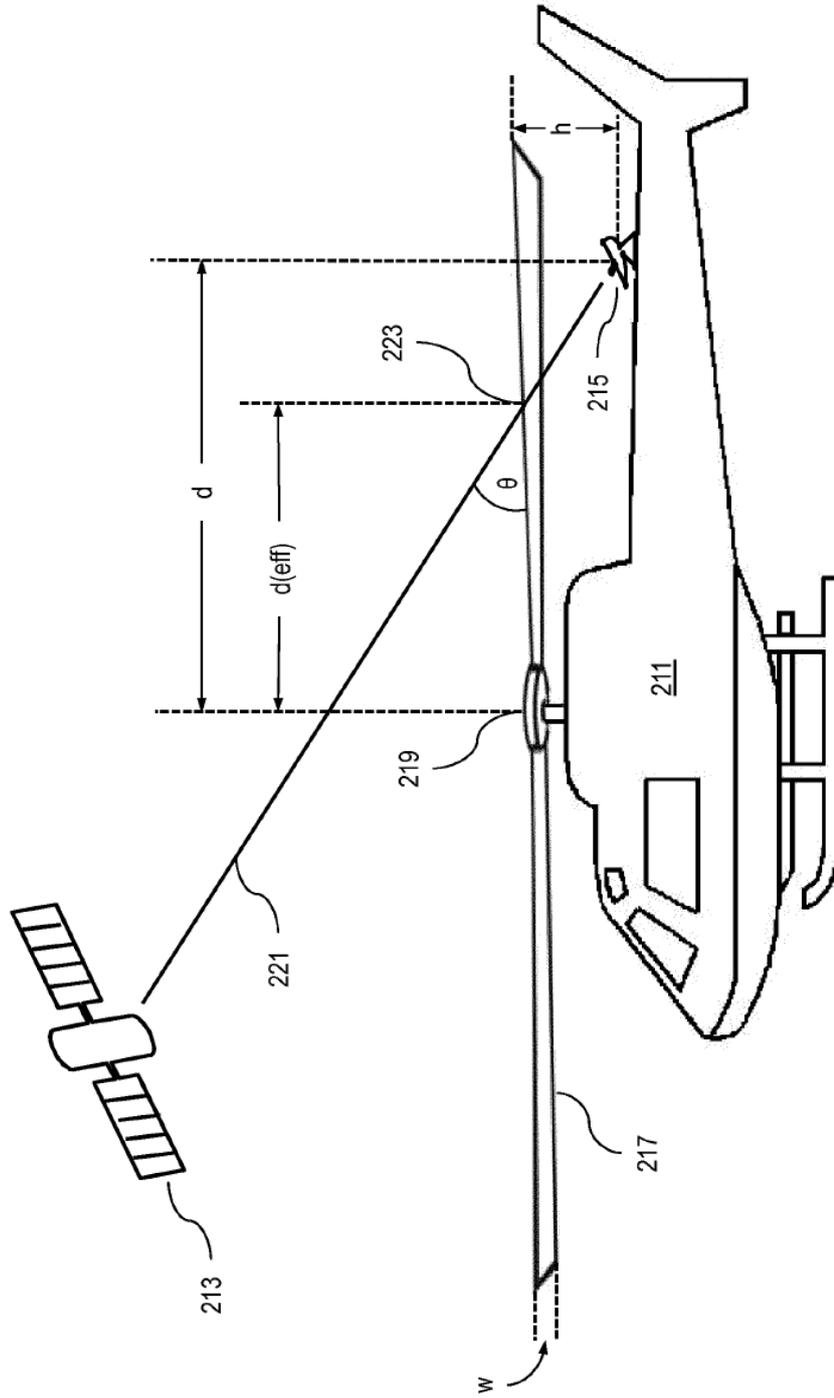


FIG. 2

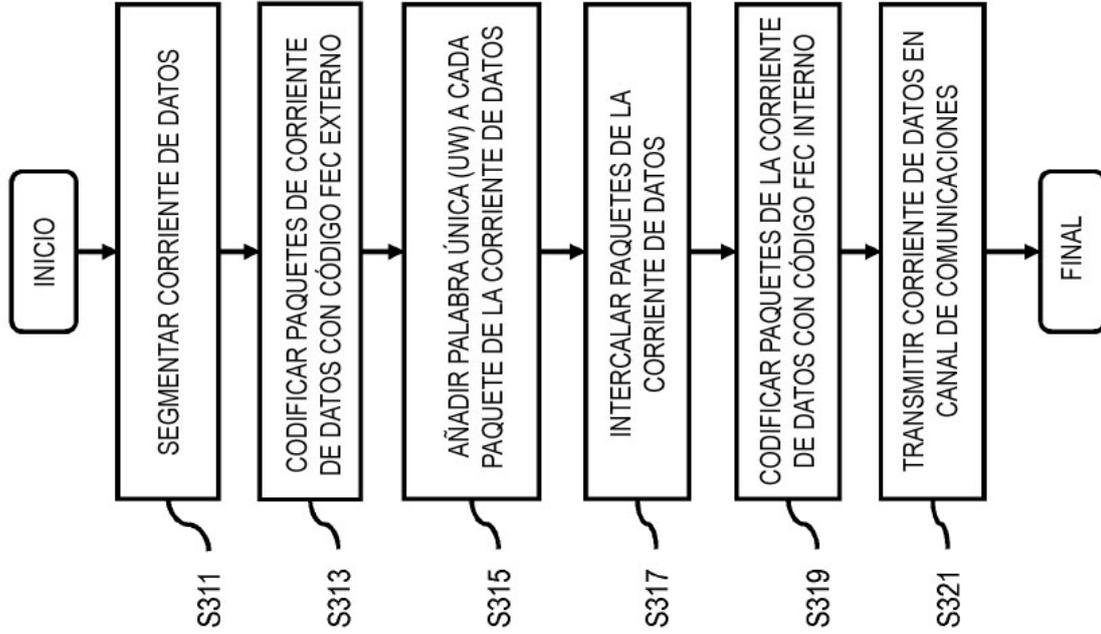
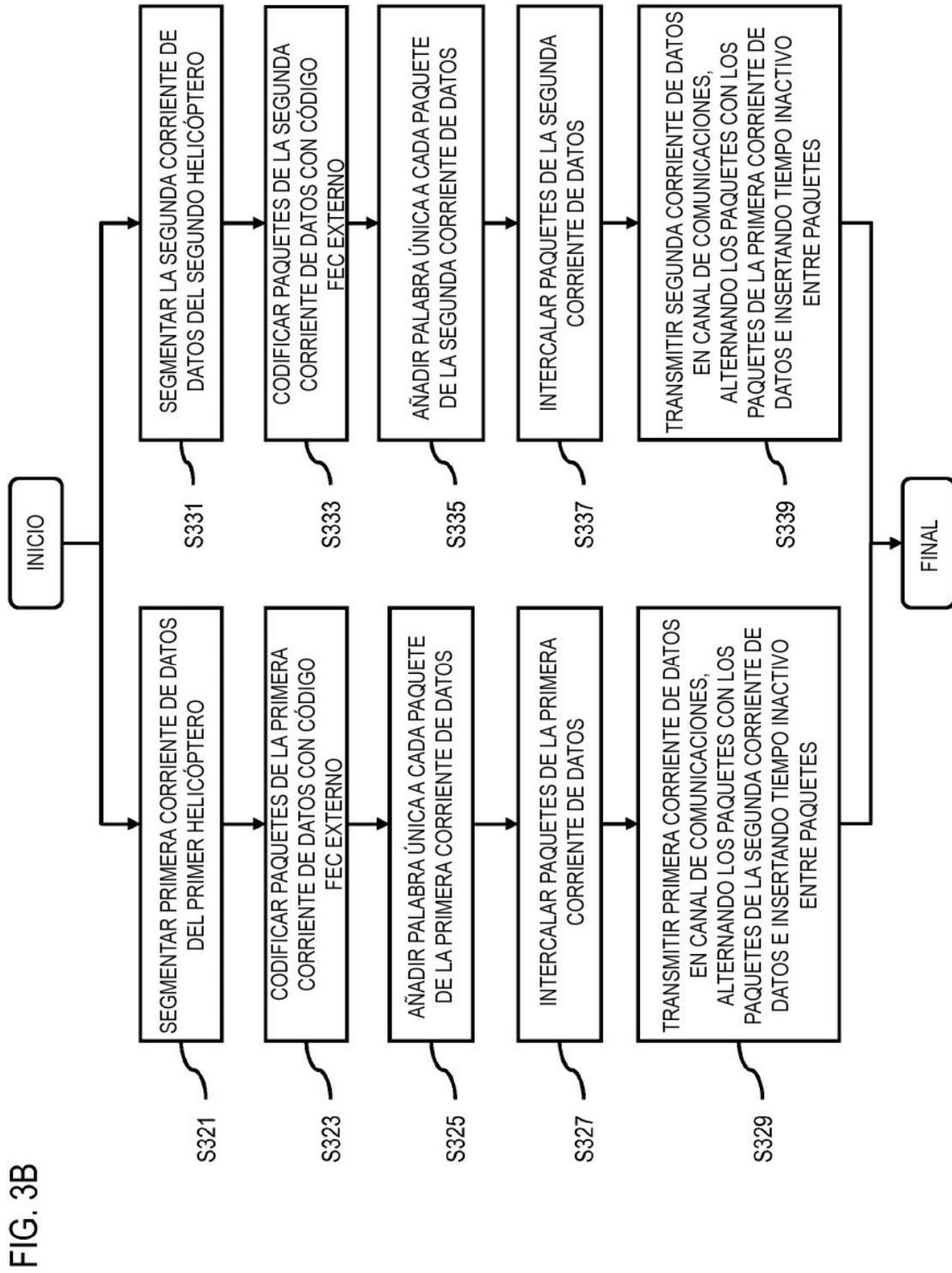


FIG. 3A



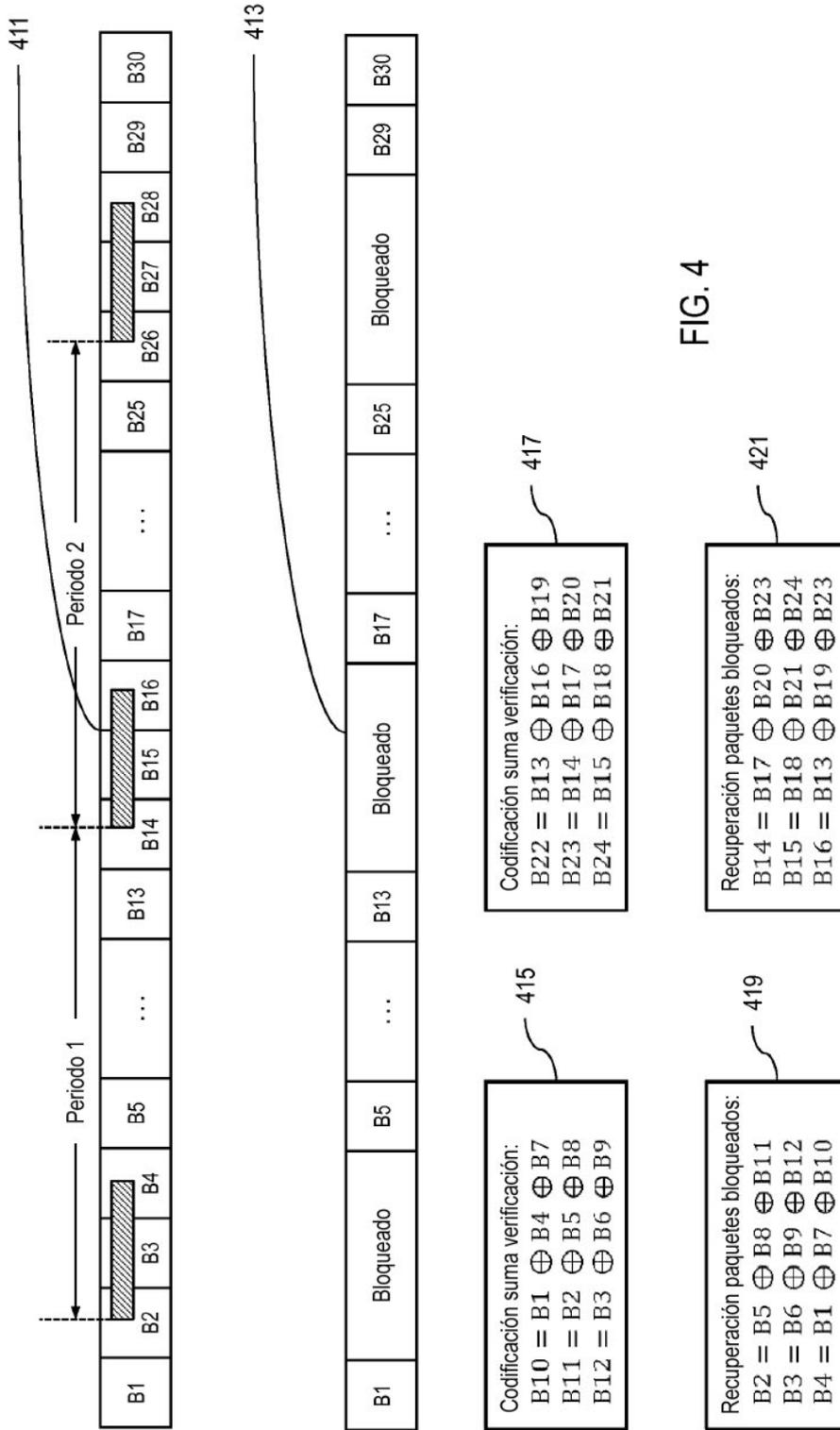


FIG. 4

FIG. 5A

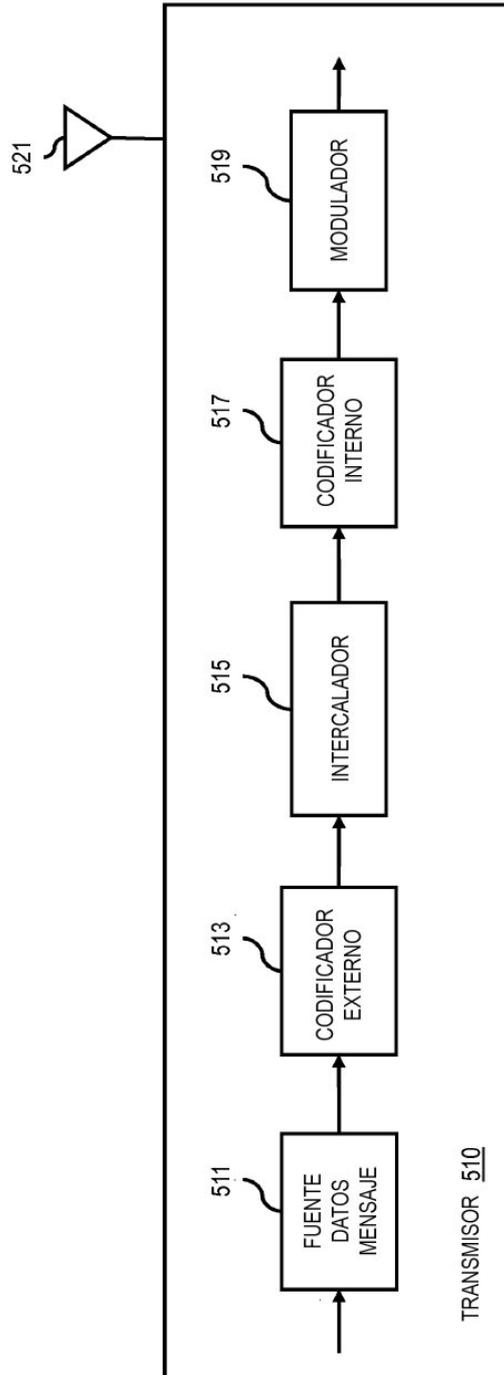
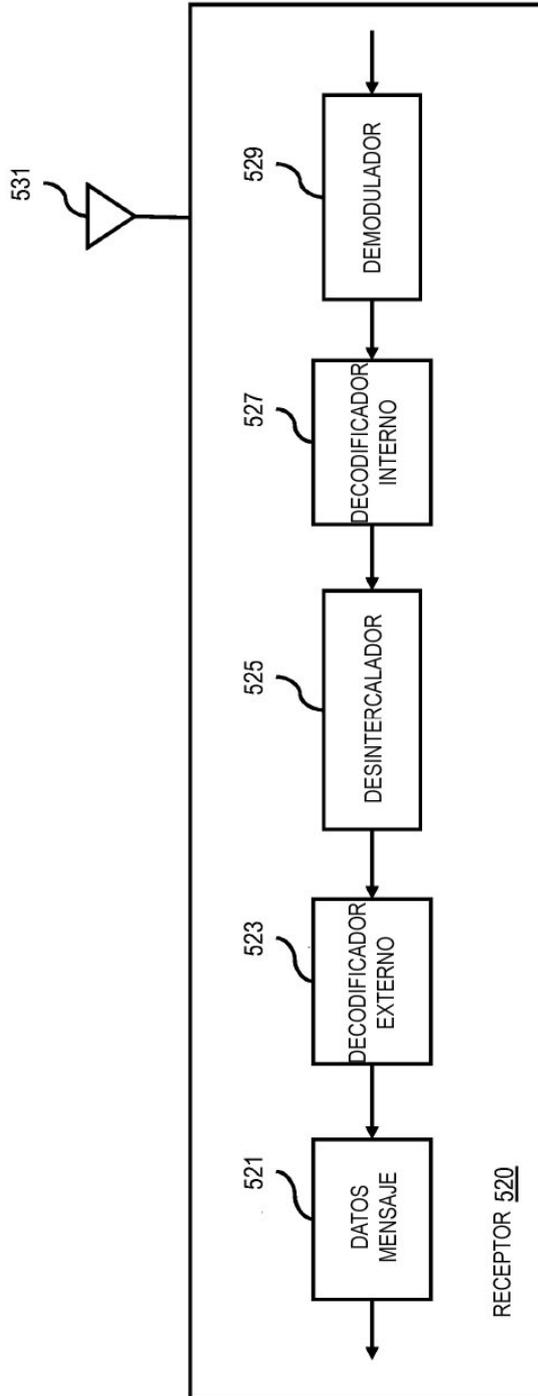


FIG. 5B



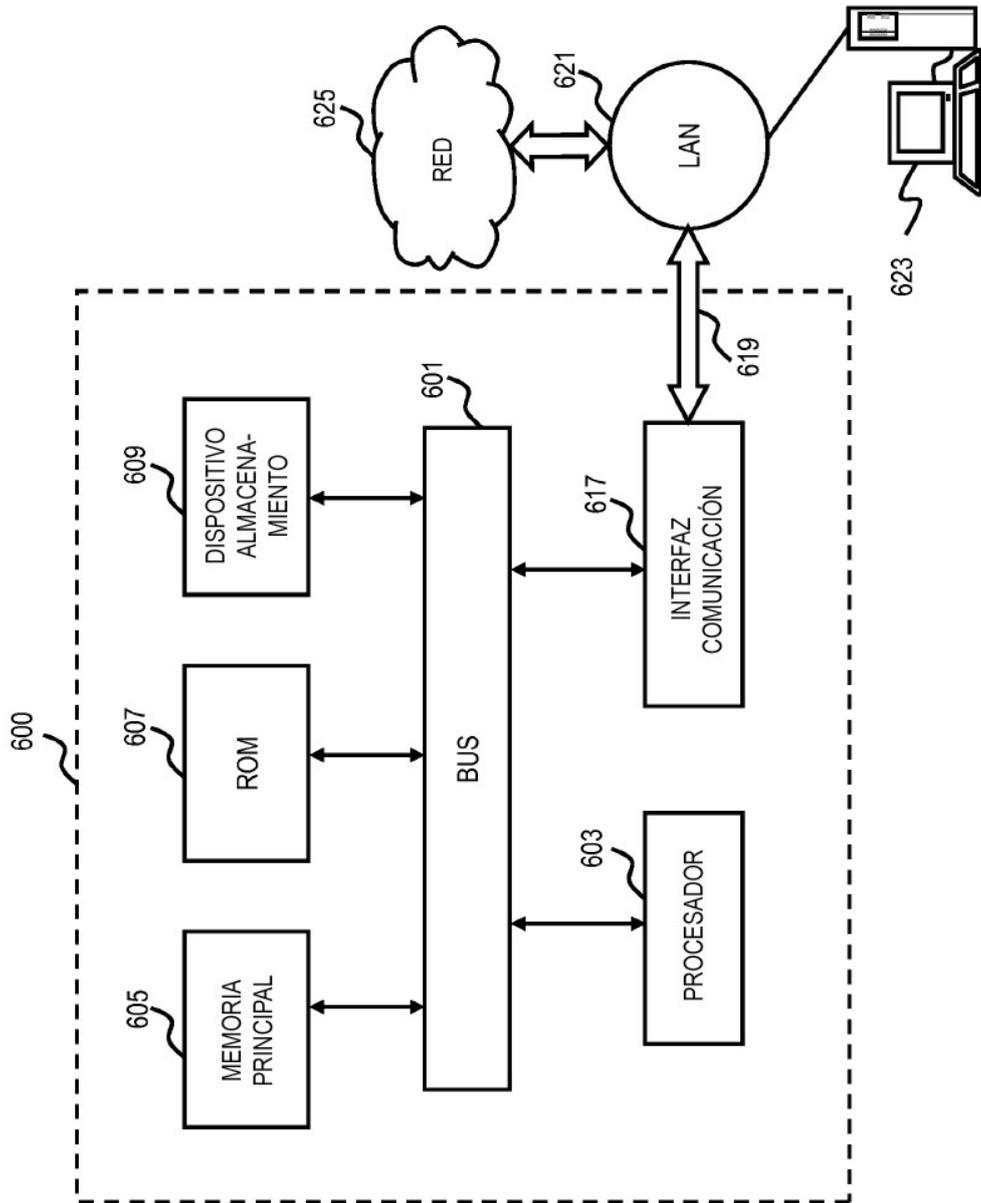


FIG. 6

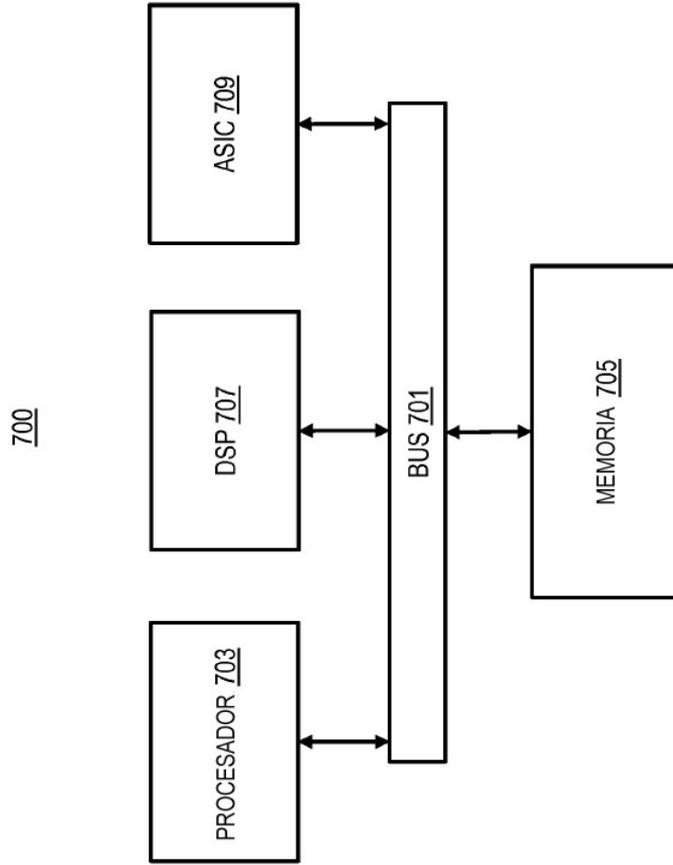


FIG. 7