

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 763 545**

51 Int. Cl.:

G06F 12/10 (2006.01)

G06F 12/14 (2006.01)

G06F 12/1009 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **18.07.2013 PCT/US2013/051069**

87 Fecha y número de publicación internacional: **06.02.2014 WO14022110**

96 Fecha de presentación y número de la solicitud europea: **18.07.2013 E 13745243 (9)**

97 Fecha y número de publicación de la concesión europea: **25.09.2019 EP 2880540**

54 Título: **Múltiples conjuntos de campos de atributos dentro de una única entrada de tabla de páginas**

30 Prioridad:

02.08.2012 US 201213565434

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

29.05.2020

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**SHARP, COLIN CHRISTOPHER y
SARTORIUS, THOMAS ANDREW**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 763 545 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Múltiples conjuntos de campos de atributos dentro de una única entrada de tabla de páginas

5 **CAMPO TÉCNICO**

[0001] La presente descripción se refiere en general a la informática y, más particularmente, se refiere a técnicas para mapear un espacio de direcciones de memoria virtual a un espacio de direcciones de memoria física.

10 **ANTECEDENTES**

[0002] Los sistemas informáticos típicos incluyen múltiples unidades de procesamiento, tales como unidades centrales de procesamiento (CPU) y unidades de procesamiento gráfico (GPU), que leen de y escriben en una memoria física. Las diversas unidades de procesamiento de un dispositivo pueden implementar esquemas de direccionamiento virtual de tal manera que las aplicaciones que están siendo ejecutadas por los clientes se pueden asignar a un espacio de dirección virtual contiguo sin tener que reservar un espacio de memoria físico contiguo. Cada unidad de procesamiento tiene típicamente una unidad de gestión de memoria (MMU) para traducir las direcciones de memoria virtual a direcciones físicas en la memoria física. Para realizar el mapeo requerido de dirección virtual a dirección física, cada MMU mantiene una tabla de páginas separada en la memoria del sistema, y cada una de estas tablas de páginas separada puede tener varios megabytes de tamaño.

[0003] La solicitud de patente publicada como US 2007/0168644 A1 se refiere al uso de una IOMMU (unidad de gestión de memoria de entrada/salida (I/O)) para crear arquetipos de memoria. En un modo de realización, una IOMMU comprende al menos una memoria y lógica de control acoplada a la memoria. La memoria está configurada para almacenar datos de traducción correspondientes a una o más tablas de traducción de I/O almacenadas en un sistema de memoria de un sistema informático que incluye la IOMMU. La lógica de control está configurada para traducir una solicitud de memoria generada por un dispositivo de I/O usando los datos de traducción. Los datos de traducción incluyen un campo de tipo que indica uno o más atributos de la traducción, y la lógica de control está configurada para controlar la traducción que responde al campo de tipo. En un modo de realización, las protecciones de memoria implementadas por la IOMMU se definen de modo que las tablas de traducción que almacenan los datos de traducción usados por la IOMMU (asociada con un dispositivo de I/O) y la MMU (asociada con un procesador) se puedan compartir,

[0004] El documento US 2011/0161620 A1 divulga una tabla de páginas compartida por una CPU y dispositivos aceleradores.

[0005] El documento US 2009/0187697 A1 divulga hardware anfitrión que puede incluir una o más IOMMU que pueden controlar el acceso del dispositivo a la memoria, y las IOMMU se pueden usar para evitar el acceso del dispositivo a páginas de solo ejecución.

40 **SUMARIO**

[0006] La presente invención está definida en las reivindicaciones independientes adjuntas, a las cuales se debe hacer referencia. Los rasgos característicos ventajosos están expuestos en las reivindicaciones dependientes adjuntas. Se considera que los modos de realización y/o ejemplos de la siguiente descripción, que no están cubiertos por las reivindicaciones adjuntas, no forman parte de la presente invención.

[0007] En general, las técnicas descritas en esta divulgación están relacionadas con dispositivos informáticos que implementan el mapeo de dirección virtual a dirección física. De acuerdo con las técnicas de esta divulgación, dos o más unidades de procesamiento pueden compartir una tabla de páginas común para aplicar direcciones virtuales a direcciones físicas. Las entradas de tabla de páginas de la tabla de páginas común pueden incluir múltiples conjuntos de campos de atributo, tales como un conjunto de atributos para una primera unidad de procesamiento, un conjunto de atributos para una segunda unidad de procesamiento, así como otros conjuntos de atributos. Usando los múltiples conjuntos de campos de atributo, los atributos para las dos o más unidades de procesamiento se pueden gestionar individualmente. Por ejemplo, las técnicas descritas en esta divulgación pueden permitir la gestión individual del acceso de lectura/escritura de la primera y segunda unidades de procesamiento, de modo que el acceso de lectura/escritura para una unidad de procesamiento puede ser diferente del acceso de lectura/escritura para una segunda unidad de procesamiento.

[0008] De acuerdo con un ejemplo, un procedimiento incluye traducir, por una primera unidad de procesamiento, una dirección de memoria virtual a una dirección de memoria física usando una tabla de páginas común almacenada en una memoria; acceder, por la primera unidad de procesamiento, a un fragmento de memoria identificado por la dirección de memoria física; traducir, por una segunda unidad de procesamiento, la dirección de memoria virtual a la dirección de memoria física usando la tabla de páginas común almacenada en la memoria; y, acceder, por la segunda unidad de procesamiento, al fragmento de memoria identificado por la dirección de memoria física. La tabla de páginas común es común a la primera unidad de procesamiento y la segunda unidad de procesamiento y

almacena el mapeo de direcciones de memoria virtual a direcciones de memoria física para fragmentos de memoria a los que accede un trabajo de una aplicación. La tabla de páginas común comprende una entrada de página que la primera unidad de procesamiento y la segunda unidad de procesamiento usan para acceder al fragmento de memoria, y la entrada de página comprende un primer conjunto de bits de atributo que define la accesibilidad del fragmento de memoria por la primera unidad de procesamiento, un segundo conjunto de bits de atributo que define la accesibilidad del mismo fragmento de memoria por la segunda unidad de procesamiento, y bits de dirección física que definen una dirección física del fragmento de memoria. El primer conjunto de bits de atributo define si la primera unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la primera unidad de procesamiento tiene acceso de lectura al fragmento de memoria; y, en el que el segundo conjunto de bits de atributo define si la segunda unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la segunda unidad de procesamiento tiene acceso de lectura al fragmento de memoria. En base al primer conjunto de atributos, la primera unidad de procesamiento tiene acceso de lectura y acceso de escritura al fragmento de memoria, y en el que, en base al segundo conjunto de atributos, la segunda unidad de procesamiento tiene acceso de solo lectura al fragmento de memoria.

[0009] De acuerdo con otro ejemplo, un aparato incluye primeros medios de procesamiento, segundos medios de procesamiento y una memoria. El primer medio de procesamiento comprende medios para traducir una dirección de memoria virtual a una dirección de memoria física usando una tabla de páginas común almacenada en la memoria y medios para acceder a un fragmento de memoria identificado por la dirección de memoria física, y el segundo medio de procesamiento comprende medios para traducir la dirección de memoria virtual a la dirección de memoria física usando la tabla de páginas común almacenada en la memoria y los medios para acceder al fragmento de memoria identificado por la dirección de memoria física. La tabla de páginas común es común al primer medio de procesamiento y al segundo medio de procesamiento y almacena el mapeo de direcciones de memoria virtual a direcciones de memoria física para fragmentos de memoria a los que accede un trabajo de una aplicación. La tabla de páginas común comprende una entrada de página que el primer medio de procesamiento y el segundo medio de procesamiento usan para acceder al fragmento de memoria, y la entrada de página comprende un primer conjunto de bits de atributo que define la accesibilidad del fragmento de memoria por el primer medio de procesamiento, un segundo conjunto de bits de atributo que define la accesibilidad del mismo fragmento de memoria por el segundo medio de procesamiento, y bits de dirección física que definen una dirección física del fragmento de memoria. El primer conjunto de bits de atributo define si la primera unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la primera unidad de procesamiento tiene acceso de lectura al fragmento de memoria; y, en el que el segundo conjunto de bits de atributo define si la segunda unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la segunda unidad de procesamiento tiene acceso de lectura al fragmento de memoria. En base al primer conjunto de atributos, la primera unidad de procesamiento tiene acceso de lectura y acceso de escritura al fragmento de memoria, y en el que, en base al segundo conjunto de atributos, la segunda unidad de procesamiento tiene acceso de solo lectura al fragmento de memoria

[0010] De acuerdo con otro ejemplo, un medio de almacenamiento legible por ordenador almacena instrucciones que cuando se ejecutan provoca que una primera unidad de procesamiento y una segunda unidad de procesamiento traduzcan, por la primera unidad de procesamiento, una dirección de memoria virtual a una dirección de memoria física usando una tabla de páginas común almacenada en una memoria; accedan, por la primera unidad de procesamiento, a un fragmento de memoria identificado por la dirección de memoria física; traduzcan, por la segunda unidad de procesamiento, la dirección de memoria virtual a la dirección de memoria física usando la tabla de páginas común almacenada en la memoria; y accedan, por la segunda unidad de procesamiento, al fragmento de memoria identificado por la dirección de memoria física. La tabla de páginas común es común a la primera unidad de procesamiento y la segunda unidad de procesamiento y almacena el mapeo de direcciones de memoria virtual a direcciones de memoria física para fragmentos de memoria a los que accede un trabajo de una aplicación. La tabla de páginas común comprende una entrada de página que la primera unidad de procesamiento y la segunda unidad de procesamiento usan para acceder al fragmento de memoria. La entrada de página comprende un primer conjunto de bits de atributo que define la accesibilidad del fragmento de memoria por la primera unidad de procesamiento, un segundo conjunto de bits de atributo que define la accesibilidad del mismo fragmento de memoria por la segunda unidad de procesamiento, y bits de dirección física que definen una dirección física del fragmento de memoria. El primer conjunto de bits de atributo define si la primera unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la primera unidad de procesamiento tiene acceso de lectura al fragmento de memoria; y, en el que el segundo conjunto de bits de atributo define si la segunda unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la segunda unidad de procesamiento tiene acceso de lectura al fragmento de memoria. En base al primer conjunto de atributos, la primera unidad de procesamiento tiene acceso de lectura y acceso de escritura al fragmento de memoria, y en el que, en base al segundo conjunto de atributos, la segunda unidad de procesamiento tiene acceso de solo lectura al fragmento de memoria

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0011]

La figura 1 muestra un ejemplo de un dispositivo informático configurado para implementar las técnicas de mapeo de dirección de memoria virtual a dirección de memoria física descritas en esta divulgación.

La figura 2 muestra otro ejemplo de un dispositivo informático configurado para implementar las técnicas de mapeo de dirección de memoria virtual a dirección de memoria física descritas en esta divulgación.

5 La figura 3 muestra un diagrama conceptual de una tabla de páginas común con múltiples conjuntos de campos de atributo dentro de una única entrada de tabla de páginas de acuerdo con las técnicas descritas en esta divulgación.

10 La figura 4 muestra un diagrama de flujo que ilustra las técnicas de mapeo de dirección de memoria virtual a dirección de memoria física descritas en esta divulgación.

DESCRIPCIÓN

15 **[0012]** En general, las técnicas descritas en esta divulgación están relacionados con dispositivos informáticos que implementan el mapeo de dirección virtual a dirección física, también denominado en esta divulgación mapeo de virtual a física. Más en particular, las técnicas descritas en esta divulgación están dirigidas a una tabla de páginas común que se puede compartir por dos o más unidades de procesamiento. Las entradas de tabla de páginas de la tabla de páginas común pueden incluir múltiples conjuntos de campos de atributo, tales como un conjunto de atributos para una primera unidad de procesamiento, un conjunto de atributos para una segunda unidad de procesamiento, así como otros conjuntos de atributos. Usando los múltiples conjuntos de campos de atributo, los atributos para las dos o más unidades de procesamiento se pueden gestionar individualmente. Por ejemplo, el acceso de lectura/escritura para una unidad de procesamiento puede ser diferente del acceso de lectura/escritura para una segunda unidad de procesamiento.

25 **[0013]** Las unidades de procesamiento tales como las unidades centrales de procesamiento (CPU) y las unidades de procesamiento de gráficos (GPU) requieren el acceso (es decir, leer datos desde y escribir datos en) a una memoria física. Para leer o escribir datos, la unidad de procesamiento accede a la localización dentro de la memoria física donde se van a leer o escribir los datos con una dirección física para la localización dentro de la memoria. Sin embargo, puede ser difícil para la unidad de procesamiento gestionar las direcciones físicas para todas los fragmentos de memoria (es decir, las localizaciones de la memoria física donde se pueden escribir o leer datos). Para superar esta dificultad, la unidad de procesamiento puede usar el direccionamiento virtual. En el direccionamiento virtual, las aplicaciones que se ejecutan en la unidad de procesamiento (es decir, clientes) tienen asignadas direcciones de memoria virtual contiguas. Una aplicación puede comprender múltiples trabajos, con diferentes trabajos que se ejecutan en diferentes unidades de procesamiento. Cada una de las unidades de procesamiento incluye respectivas unidades de gestión de memoria (MMU). La MMU de cada una de las unidades de procesamiento tiene la tarea de determinar las direcciones de memoria reales, también denominadas direcciones de memoria física, a partir de las direcciones de memoria virtual.

30 **[0014]** Por ejemplo, la MMU incluye una memoria caché denominada un búfer de traducción anticipada (TLB). El TLB almacena el mapeo de virtual a físico para fragmentos de memoria seleccionados, tales como fragmentos de memoria de acceso reciente o fragmentos de memoria de acceso frecuente. Para acceder a un fragmento de memoria, la unidad de procesamiento suministra la dirección de memoria virtual para ese fragmento de memoria a la MMU. La MMU, a su vez, accede al TLB para identificar la dirección de memoria física para ese fragmento de memoria. Cuando el mapeo está disponible en el TLB (denominado acierto TLB), la MMU accede a continuación al fragmento de memoria usando la dirección de memoria física. De forma alternativa, la MMU suministra la dirección de memoria física a una unidad o módulo diferente de la unidad de procesamiento que, a continuación, accede al fragmento de memoria usando la dirección de memoria física.

35 **[0015]** En algunos casos, el TLB puede no incluir el mapeo para una dirección de memoria virtual (denominado fallo TLB). Por ejemplo, la unidad de procesamiento puede tener que acceder a un fragmento de memoria cuya dirección física no está incluida en las entradas de página almacenadas por el TLB porque ese fragmento de memoria no es un fragmento de memoria de acceso reciente o de acceso frecuente. Cuando esto se produce, la unidad de procesamiento accede a una tabla de páginas almacenada en la memoria del sistema.

40 **[0016]** Una tabla de páginas es similar al TLB en que ambos almacenan entradas de página que mapean direcciones de memoria virtual a direcciones de memoria física. Una entrada de tabla de páginas, en la tabla de páginas o en el TLB, mapea una dirección de memoria virtual a una dirección de memoria física. Sin embargo, la tabla de páginas se almacena en la memoria del sistema a diferencia del TLB que se almacena localmente dentro de la MMU de la unidad de procesamiento. Además, debido a que la tabla de páginas almacena todo el mapeo de dirección virtual a física para la unidad de procesamiento en lugar de un número limitado de entradas de página como un TLB, el tamaño de la tabla de páginas en general es mucho mayor que el tamaño del TLB. Por ejemplo, el tamaño de la tabla de páginas puede estar en el intervalo de los megabytes.

45 **[0017]** En algunas técnicas, la memoria del sistema almacena las tablas de páginas correspondientes para cada una de las unidades de procesamiento. Por ejemplo, la memoria del sistema almacena una tabla de páginas para la CPU y almacena otra tabla de páginas separada para la GPU. Sin embargo, en algunos casos, estas tablas de páginas

diferentes incluyen entradas de tabla de páginas idénticas. Por lo tanto, puede ser posible que múltiples entradas de tabla de páginas en una tabla de páginas de CPU sean idénticas a las entradas de tabla de páginas en una tabla de páginas de GPU. Por ejemplo, una entrada de tabla de páginas en la tabla de páginas de CPU puede mapear una dirección de memoria virtual a una dirección de memoria física, y una entrada de tabla de páginas en la tabla de páginas de GPU puede mapear la misma dirección de memoria virtual a la misma dirección de memoria física.

[0018] Como un ejemplo, un sistema operativo que se ejecuta en la CPU puede tener la tarea de asignar direcciones de memoria virtual contiguas a una aplicación. La aplicación puede incluir una pluralidad de trabajos o tareas, ejecutándose algunos trabajos en la CPU y ejecutándose algunos trabajos en la GPU. El sistema operativo también puede almacenar el mapeo entre direcciones de memoria virtual y direcciones de memoria física en la tabla de páginas. Debido a que el sistema operativo tiene la tarea de asignar direcciones de memoria virtual y el mapeo de estas direcciones de memoria virtual a las direcciones físicas tanto para la CPU como para la GPU, el sistema de funcionamiento puede crear una tabla de páginas común que almacene el mapeo de virtual a física tanto para la CPU como la GPU.

[0019] Pueden existir beneficios en que la CPU y la GPU compartan una tabla de páginas común de este tipo. Por ejemplo, en lugar de que la memoria del sistema almacene entradas de tabla de páginas duplicadas, la memoria del sistema puede almacenar una única entrada de página para las entradas de tabla de páginas idénticas en la tabla de páginas de la CPU y la tabla de páginas de la GPU, lo que da como resultado un ahorro de memoria. Además, debido a que hay una entrada de página para estas entradas de tabla de páginas idénticas, puede ser más eficaz desde el punto de vista informático actualizar una única entrada de tabla de páginas en lugar de dos entradas de tabla de páginas idénticas.

[0020] Se han desarrollado algunas técnicas anteriores para lograr compartir tablas de páginas. En estas técnicas, la MMU de CPU y la MMU de GPU almacenan punteros que apuntan a la localización de la tabla de páginas común en la memoria del sistema. Cuando la CPU y la GPU acceden a un fragmento de memoria, sus MMU respectivas usan sus punteros para recuperar la dirección de memoria física de la tabla de páginas compartida. Sin embargo, estas técnicas para compartir una tabla de páginas a veces pueden no identificar las diferentes capacidades de acceso de las diferentes unidades de procesamiento para los fragmentos de memoria.

[0021] Las diferentes capacidades de acceso pueden estar asociadas con las diferentes unidades de procesamiento. Por ejemplo, una entrada de página es convencionalmente de 32 bits. Los primeros 12 bits están reservados como bits de atributo, y los 20 bits restantes identifican la dirección de memoria física. Estos bits de atributo identifican las capacidades de acceso de la unidad de procesamiento. Como un ejemplo, algunos de los fragmentos de memoria se pueden designar como de lectura y de escritura, y otros fragmentos de memoria se pueden designar como de solo lectura. Uno o más bits de los bits de atributo imponen esta limitación de accesibilidad. Existen otros ejemplos de bits en los bits de atributo además de bits que designan un fragmento de memoria como de lectura y de escritura o solo de lectura. Por ejemplo, uno o más otros bits de los bits de atributo pueden indicar que los datos dentro de determinados fragmentos de memoria también se deben almacenar en una memoria caché, tal como una memoria caché L2 de la unidad de procesamiento. De esta manera, los bits de atributo de la entrada de página pueden describir el fragmento de memoria direccionado por los bits de dirección en la entrada de página.

[0022] En algunos casos, puede ser necesario que los bits de atributo para una unidad de procesamiento sean diferentes de los bits de atributo para otra unidad de procesamiento. Por ejemplo, el sistema operativo que se ejecuta en la CPU puede designar algunos fragmentos como de escritura y de lectura por la CPU, y designar estos mismos fragmentos como de solo lectura por la GPU. Por ejemplo, en el ejemplo descrito anteriormente donde la CPU y la GPU incluyen sus propias tablas de páginas respectivas, el mapeo de dirección virtual a dirección física puede ser idéntica en cada una de las tablas de páginas, pero los bits de atributo pueden no ser idénticos. En el otro ejemplo descrito anteriormente donde la CPU y la GPU comparten una tabla de páginas común, los bits de atributo pueden ser compartidos tanto por la CPU como por la GPU. Esto obliga al sistema operativo a definir bits de atributo bien para la CPU o la GPU, pero no para ambas.

[0023] Por ejemplo, los bits de atributo, en el ejemplo anterior, son bits de atributo que definen la accesibilidad de la CPU, pero no necesariamente la accesibilidad de la GPU. Potencialmente, esto puede dar lugar a una mala gestión de un fragmento. Por ejemplo, puede ser deseable limitar la accesibilidad de un fragmento de memoria para que sea de solo lectura para una GPU. Sin embargo, debido a que este fragmento es de lectura y de escritura por la CPU y los bits de atributo no diferencian entre CPU y GPU, la GPU puede escribir inadvertidamente en el fragmento de memoria, en ejemplos donde los punteros se usan en una tabla de páginas común.

[0024] Las técnicas de la divulgación se dirigen a la designación de bits de atributo específicamente para diferentes unidades de procesamiento. Por ejemplo, los bits de atributo de GPU definen la accesibilidad para la GPU y los bits de atributo de CPU definen la accesibilidad para la CPU. De esta manera, las diferentes unidades de procesamiento pueden compartir una tabla de páginas común, y los bits de atributo para la GPU describen la accesibilidad de un fragmento de memoria para la GPU y los bits de atributo para la CPU describen la accesibilidad del fragmento de memoria para la CPU. Debido a que los bits de atributo están específicamente designados para la CPU y la GPU, se

reduce la probabilidad de que la GPU escriba incorrectamente en un fragmento de memoria, mientras que se pueden lograr ahorros de memoria al no requerir tablas de páginas diferentes para la CPU y la GPU.

5 [0025] Puede existir diversas técnicas para designar los bits de atributo para las diferentes unidades de procesamiento. Por ejemplo, como se describe anteriormente, típicamente 12 de los 32 bits en una entrada de página están reservados para bits de atributo. El valor de muchos de estos 12 bits puede ser idéntico tanto para la GPU como para la CPU. De los bits restantes, cuyos valores pueden ser diferentes para la CPU y la GPU, el sistema operativo puede designar específicamente qué bits son para la CPU y qué bits son para la GPU. Por ejemplo, los primeros dos bits de los 12 bits de atributo se pueden reservar para indicar si el fragmento de memoria es de escritura, de lectura o de escritura y de lectura por la CPU, los siguientes dos bits de los 12 bits de atributo se pueden reservar para indicar si el fragmento de memoria es de escritura, de lectura o de escritura y de lectura por la GPU, y los ocho bits restantes pueden ser comunes tanto a la GPU como a la CPU.

15 [0026] Como otro ejemplo, la entrada de página puede incluir más de 32 bits (por ejemplo, 40 bits). En este ejemplo, los últimos 20 bits se pueden reservar para el mapeo de direcciones, y los primeros 20 bits se pueden reservar como bits de atributo. Los primeros 10 bits de estos 20 bits se pueden reservar para la CPU, y los últimos 10 bits de estos 20 bits se pueden reservar para la GPU. De forma alternativa, los primeros seis bits se pueden reservar para la CPU. Los siguientes seis bits se pueden reservar para la GPU, y los siguientes 8 bits pueden ser compartidos por la CPU y la GPU. Estas asignaciones de bits pretenden ser ejemplos. Las técnicas de esta divulgación no se deben considerar limitadas a los ejemplos anteriores. Aunque para propósitos de explicación algunas de las técnicas de esta divulgación se describen con referencia a una CPU y una GPU, se debe entender que las técnicas de esta divulgación también se pueden implementar con otros tipos de unidades de procesamiento.

25 [0027] La figura 1 muestra un dispositivo informático de ejemplo, el dispositivo informático 100, que puede implementar las técnicas de esta divulgación. Los ejemplos del dispositivo informático 100 incluyen, pero no se limitan a, teléfonos móviles inalámbricos, asistentes digitales personales (PDA), consolas de videojuegos, unidades de videojuegos de mano, unidades de videoconferencia móviles, ordenadores portátiles, descodificadores de televisión, reproductores de medios digitales, teléfonos inteligentes, ordenadores de tableta, cámaras y similares. Aunque no se limita solo a dispositivos con recursos limitados, las técnicas de esta divulgación pueden ser de beneficio particular para dispositivos con recursos limitados, incluyendo los dispositivos alimentados por batería. Las técnicas de esta divulgación pueden, por ejemplo, mejorar el rendimiento global del dispositivo mediante el uso más eficaz de la memoria limitada del dispositivo y pueden reducir la complejidad computacional manteniendo menos tablas de páginas, lo que a su vez puede mejorar la reactividad de un dispositivo así como reducir el consumo de energía.

35 [0028] El dispositivo informático 100 incluye una primera unidad de procesamiento 110, una segunda unidad de procesamiento 120 y una memoria del sistema 130. La primera unidad de procesamiento 110 incluye una MMU 112, y la segunda unidad de procesamiento 120 incluye una MMU 122. La MMU 110 puede incluir un TLB 114, y la MMU 122 puede incluir un TLB 124. La primera unidad de procesamiento 110 puede, por ejemplo, ser una CPU del dispositivo 100. La segunda unidad de procesamiento 120 puede, por ejemplo, ser una GPU operable para emitir datos gráficos para su presentación en una pantalla de visualización. La primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 pueden representar adicionalmente otros tipos de unidades de procesamiento tales como unidades de procesamiento para diversos dispositivos periféricos, incluyendo controladores de pantalla de visualización, dispositivos de red o cualquier tipo de núcleo de procesamiento digital de señales (DSP) que descarga el procesamiento de señal de un procesador tal como una CPU o GPU. Los ejemplos de la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 pueden incluir, sin limitarse a, un procesador digital de señales (DSP), un microprocesador de propósito general, un circuito integrado específico de la aplicación (ASIC), una matriz lógica programable in situ (FPGA) u otros circuitos discretos lógicos o integrados equivalentes. Aunque las técnicas de esta divulgación se describirán en general con referencias a dos unidades de procesamiento, las técnicas se pueden implementar con más de dos unidades de procesamiento.

45 [0029] La memoria del sistema 130 puede ser un ejemplo de un medio de almacenamiento legible por ordenador. La memoria del sistema 130 puede ser, por ejemplo, un tipo de memoria de acceso aleatorio (RAM) tal como RAM dinámica, RAM estática, RAM de tiristores, RAM sin capacitores, RAM de doble transistor o algún otro tipo de memoria volátil. La memoria del sistema 130 también puede ser una memoria no volátil, tal como una memoria flash u otro tipo de RAM no volátil. Por ejemplo, la memoria del sistema 130 puede almacenar instrucciones que provocan que la unidad de procesamiento 110 y la GPU 120 realicen funciones atribuidas a cada uno en esta divulgación. De esta manera, la memoria del sistema 130 se puede considerar como un medio de almacenamiento legible por ordenador que comprende instrucciones que provocan que uno o más procesadores, por ejemplo, la unidad de procesamiento 110 o la unidad de procesamiento 120 realicen diversas funciones. En algunos ejemplos, sin embargo, dichas instrucciones se pueden almacenar en una memoria (no mostrada en la figura 1) que no sea la memoria del sistema 130.

65 [0030] La primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 están configuradas para leer datos desde y escribir datos en la memoria del sistema 130. Para leer o escribir los datos, la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 están configuradas para acceder a localizaciones

físicas específicas en la memoria del sistema 130. Estas localizaciones específicas pueden, por ejemplo, ser fragmentos de 4KB, y cada fragmento puede tener su propia dirección física única. Sin embargo, como se introdujo anteriormente, la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 pueden implementar el direccionamiento virtual, de modo que las aplicaciones que se ejecutan en la primera unidad de procesamiento 110 o la segunda unidad de procesamiento 120 tienen asignadas direcciones de memoria virtual contiguas. Las direcciones de memoria física correspondientes a estas direcciones de memoria virtual contiguas pueden, sin embargo, estar fragmentadas y ser no contiguas. Por tanto, la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 pueden procesar datos usando estas direcciones de memoria virtual contiguas en lugar de las correspondientes direcciones de memoria física no contiguas. Sin embargo, cuando la unidad de procesamiento 110 y la unidad de procesamiento 120 necesitan acceder (es decir, leer desde o escribir en) la memoria del sistema 130, estas direcciones de memoria virtual se deben traducir a direcciones de memoria física.

[0031] La MMU 112 está configurada para mapear direcciones de memoria virtual a direcciones de memoria física para la primera unidad de procesamiento 110, y MMU 122 está configurada para mapear direcciones de memoria virtual a direcciones de memoria física para la segunda unidad de procesamiento 120. Una tabla de páginas completa con un conjunto completo de entradas de página se almacena en la tabla de páginas común 132. Cada uno de TLB 114 y TLB 124 almacena un subconjunto de las entradas de página almacenadas en la tabla de páginas común 132. El subconjunto puede ser, por ejemplo, entradas de página de acceso reciente, entradas de página de acceso frecuente o entradas de página seleccionadas en base a otros criterios. El subconjunto de entradas de página almacenadas en TLB 114 puede ser diferente al subconjunto de entradas de página almacenadas en TLB 124. Por ejemplo, las entradas de tabla de páginas que son de acceso reciente o de acceso frecuente por la primera unidad de procesamiento 110 por medio de MMU 112 pueden ser diferentes a las entradas de tabla de páginas que son de acceso reciente o frecuente por la segunda unidad de procesamiento 120 por medio de MMU 122. Por tanto, TLB 114 puede almacenar un subconjunto diferente de entradas de tabla de páginas que TLB 124.

[0032] Si, por ejemplo, la primera unidad de procesamiento 110 necesita traducir una dirección de memoria virtual a una dirección de memoria física, MMU 112 puede usar TLB 114 para determinar la dirección de memoria física que corresponde a una dirección de memoria virtual particular cuando TLB 114 almacena la entrada de página para esa dirección de memoria virtual. Usando la dirección de memoria física determinada, la unidad de procesamiento 110 puede leer desde o escribir en una localización física particular de la memoria del sistema 130. De manera similar, si la segunda unidad de procesamiento 120 necesita traducir una dirección de memoria virtual a una dirección de memoria física, MMU 122 puede usar TLB 124 para determinar la dirección de memoria física que corresponde a una dirección de memoria virtual particular cuando TLB 124 almacena la entrada de página para esa dirección de memoria virtual. Usando la dirección de memoria física determinada, la unidad de procesamiento 120 puede leer desde o escribir en la memoria del sistema 130.

[0033] Como se introdujo anteriormente, TLB 114 y TLB 124 pueden ser memorias caché que almacenan los mapeos de virtual a física para solo un subconjunto de direcciones de memoria virtual. Por lo tanto, TLB 114 puede no almacenar todo el mapeo de virtual a física para la unidad de procesamiento 110, y de manera similar, TLB 124 puede no almacenar todo el mapeo de virtual a física para la unidad de procesamiento 120. En algunos casos, MMU 112 puede necesitar determinar una dirección de memoria física correspondiente para una dirección de memoria virtual que no tiene un mapeo almacenado en TLB 114. Para determinar un mapeo para una dirección de memoria virtual no incluida en TLB 114, la primera unidad de procesamiento 110 puede acceder a la tabla de páginas común 132 almacenada en la memoria del sistema 130. La tabla de páginas común 132 incluye todo el mapeo de virtual a física para la unidad de procesamiento 110 y, por lo tanto, puede ser mucho más grande que TLB 114 y TLB 124.

[0034] Como con MMU 112, en algunos casos MMU 122 puede necesitar determinar una dirección de memoria física correspondiente para una dirección de memoria virtual que no tenga un mapeo almacenado en TLB 124. Para determinar un mapeo para una dirección de memoria virtual no incluida en TLB 124, la segunda unidad de procesamiento 120 accede a la tabla de páginas común 132 almacenada en la memoria del sistema 130. De esta manera, la MMU 122 puede funcionar de una manera sustancialmente similar a la MMU 112. La tabla de páginas común 132 incluye el mapeo virtual a física completo para la unidad de procesamiento 120, así como para la unidad de procesamiento 110. De esta manera, la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 comparten la misma tabla de páginas (por ejemplo, la tabla de páginas 132 en el ejemplo de la figura 1). La tabla de páginas común 132 compartida por la unidad de procesamiento 110 y la unidad de procesamiento 120 puede ser más pequeña que el tamaño combinado de dos tablas de páginas, si MMU 112 y MMU 122 mantuvieran tablas de páginas separadas para la unidad de procesamiento 110 y la unidad de procesamiento 120. La tabla de páginas común 132 puede ser más pequeña que el tamaño combinado de dos tablas de páginas separadas porque algunas de las entradas de tabla de páginas de la tabla de páginas común 132 son compartidas tanto por MMU 112 como MMU 122.

[0035] La tabla de páginas común 132 puede incluir una pluralidad de entradas de página que mapean una dirección de memoria virtual a una dirección de memoria física de un fragmento de memoria. Un fragmento de memoria puede ser una parte de la memoria del sistema 130 a la que se puede acceder individualmente por medio de su dirección de memoria física. Cada entrada de página puede incluir un primer conjunto de bits de atributo y un segundo

conjunto de bits de atributo. El primer conjunto de bits de atributo puede establecer controles, tales como consentimientos y derechos de acceso, para la primera unidad de procesamiento 110, mientras que el segundo conjunto de bits de atributo establece controles para la segunda unidad de procesamiento 120. Cada entrada de página puede incluir opcionalmente uno o más conjuntos adicionales de bits de atributo, tal como un conjunto de bits de atributo que establece controles comunes tanto para la primera unidad de procesamiento 110 como para la segunda unidad de procesamiento 120.

[0036] El primer conjunto de bits de atributo y el segundo conjunto de bits de atributo para las entradas de página de tabla de páginas común 132 puede permitir que la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 tengan diferentes consentimientos y derechos de acceso, mientras comparten una tabla de páginas común. Como un ejemplo, el primer conjunto de bits de atributo se puede establecer de modo que la primera unidad de procesamiento 110 tenga acceso tanto de lectura como de escritura a un fragmento de memoria particular de la memoria del sistema 130, mientras que la segunda unidad de procesamiento 120 puede tener acceso de solo lectura al mismo fragmento de memoria particular. Por supuesto, también son posibles otras configuraciones, tales como la segunda unidad de procesamiento 120 que tiene acceso tanto de lectura como de escritura mientras que la primera unidad de procesamiento 110 tiene acceso de solo lectura o una de la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 que tiene acceso tanto de lectura como de escritura mientras que la otra no tiene acceso ni de lectura ni de escritura.

[0037] La figura 2 muestra otro dispositivo informático de ejemplo, el dispositivo informático 200, que puede implementar las técnicas de esta divulgación. Los ejemplos del dispositivo informático 200 incluyen, pero no se limitan a, teléfonos móviles inalámbricos, asistentes digitales personales (PDA), consolas de videojuegos, unidades de videojuegos de mano, unidades de videoconferencia móviles, ordenadores portátiles, descodificadores de televisión, reproductores de medios digitales, teléfonos inteligentes, ordenadores de tableta y similares. El dispositivo informático 200 incluye una primera unidad de procesamiento 210, una segunda unidad de procesamiento 220, una tercera unidad de procesamiento 240, una unidad de gestión de memoria de entrada/salida (IOMMU) 222 y una memoria del sistema 230. La primera unidad de procesamiento 210 incluye MMU 212. La segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 no tienen cada una una MMU dedicada sino que comparten una MMU común (es decir, IOMMU 222 en la figura 2). La primera unidad de procesamiento 210 puede, por ejemplo, ser una CPU del dispositivo 200. La segunda unidad de procesamiento 220 puede, por ejemplo, ser una GPU operable para emitir datos gráficos para su presentación en una pantalla de visualización. La tercera unidad de procesamiento 240 puede, por ejemplo, ser un tercer tipo de unidad de procesamiento tal como una unidad de procesamiento para un dispositivo periférico. Los ejemplos de la primera unidad de procesamiento 210, la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 pueden incluir, sin limitarse a, un procesador digital de señales (DSP), un microprocesador de propósito general, un circuito integrado específico de la aplicación (ASIC), una matriz lógica programable in situ (FPGA) u otros circuitos discretos lógicos o integrados equivalentes.

[0038] La memoria del sistema 230 puede ser un ejemplo de un medio de almacenamiento legible por ordenador. La memoria del sistema 230 puede ser, por ejemplo, un tipo de memoria de acceso aleatorio (RAM) tal como RAM dinámica, RAM estática, RAM de tiristores, RAM sin capacitores, RAM de doble transistor o algún otro tipo de memoria volátil. La memoria del sistema 230 también puede ser una memoria no volátil, tal como una memoria flash u otro tipo de RAM no volátil. Por ejemplo, la memoria del sistema 230 puede almacenar instrucciones que provocan que la unidad de procesamiento 210 y la GPU 220 realicen funciones atribuidas a cada uno en esta divulgación. De esta manera, la memoria del sistema 230 se puede considerar como un medio de almacenamiento legible por ordenador que comprende instrucciones que provocan que uno o más procesadores, por ejemplo, la unidad de procesamiento 210, unidad de procesamiento 220 y/o unidad de procesamiento 240, realicen diversas funciones. En algunos ejemplos, sin embargo, dicha instrucción se puede almacenar en una memoria (no mostrada en la figura 2) que no sea la memoria del sistema 230.

[0039] La primera unidad de procesamiento 210, la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 están configuradas para leer datos desde y escribir datos en la memoria del sistema 230. Para leer o escribir los datos, la primera unidad de procesamiento 210, la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 están configuradas para acceder a localizaciones físicas específicas en la memoria del sistema 230. Estas localizaciones específicas pueden, por ejemplo, ser fragmentos de 4KB, y cada fragmento puede tener su propia dirección física única. Sin embargo, como se introdujo anteriormente, la primera unidad de procesamiento 210, la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 pueden implementar el direccionamiento virtual, de modo que los trabajos de las aplicaciones que se ejecutan en la primera unidad de procesamiento 210, la segunda unidad de procesamiento 220 y/o la tercera unidad de procesamiento 240 tienen asignadas direcciones de memoria virtual contiguas. Las direcciones de memoria física correspondientes a estas direcciones de memoria virtual contiguas pueden, sin embargo, estar fragmentadas y ser no contiguas. Por tanto, la unidad de procesamiento 210, la unidad de procesamiento 220 y la tercera unidad de procesamiento 240 pueden procesar datos usando estas direcciones de memoria virtual contiguas en lugar de las correspondientes direcciones de memoria física no contiguas. Cuando la unidad de procesamiento 210, la unidad de procesamiento 220 y la unidad de procesamiento 240 necesitan acceder (es decir, leer desde o escribir en) la

memoria del sistema 230, sin embargo, estas direcciones de memoria virtual se deben traducir a direcciones de memoria física.

5 **[0040]** La MMU 212 está configurada para mapear direcciones de memoria virtual a direcciones de memoria física para la primera unidad de procesamiento 210. La IOMMU 222 está configurada para mapear direcciones de memoria virtual a direcciones de memoria física tanto para la segunda unidad de procesamiento 220 como para la tercera unidad de procesamiento 230. Una tabla de páginas completa con un conjunto completo de entradas de página se almacena en las tablas de páginas 232. Cada una de TLB 214 y TLB 224 almacena un subconjunto de las entradas de página almacenadas en la tabla de páginas común 232. El subconjunto puede ser, por ejemplo, 10 entradas de página de acceso reciente, entradas de página de acceso frecuente o entradas de página seleccionadas en base a otros criterios.

15 **[0041]** Si, por ejemplo, la primera unidad de procesamiento 210 necesita traducir una dirección de memoria virtual a una dirección de memoria física, MMU 212 puede usar TLB 214 para determinar la dirección de memoria física que corresponde a una dirección de memoria virtual particular cuando TLB 214 almacena la entrada de página para esa dirección de memoria virtual. Usando la dirección de memoria física determinada, la unidad de procesamiento 210 puede leer desde o escribir en la memoria del sistema 230. De manera similar, si la segunda unidad de procesamiento 220 o la tercera unidad de procesamiento 240 necesita traducir una dirección de memoria virtual a una dirección de memoria física, entonces la MMU 222 puede usar la TLB 224 para determinar la dirección de memoria física que corresponde a una dirección de memoria virtual particular cuando la TLB 224 almacena la entrada de página para esa dirección de memoria virtual. Usando la dirección de memoria física determinada, la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 pueden leer desde o escribir en la memoria del sistema 230.

25 **[0042]** Como se introdujo anteriormente, TLB 214 y TLB 224 pueden ser memorias caché que almacenan los mapeos de virtual a física para solo un subconjunto de direcciones de memoria virtual. Por lo tanto, TLB 214 no puede almacenar todo el mapeo de virtual a física para la primera unidad de procesamiento 210, y de manera similar, TLB 224 no puede almacenar todo el mapeo de virtual a física para la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240. En algunos casos, MMU 212 puede necesitar determinar una dirección de memoria física correspondiente para una dirección de memoria virtual que no tiene un mapeo almacenado en TLB 214. Para determinar un mapeo para una dirección de memoria virtual no incluida en TLB 214, MMU 212 accede a la tabla de páginas común 232 almacenada en la memoria del sistema 230. La tabla de páginas común 232 incluye todo el mapeo de virtual a física para la unidad de procesamiento 210 y, por lo tanto, puede ser mucho más grande que TLB 214.

35 **[0043]** Como con la primera unidad de procesamiento 210, en algunos casos la segunda unidad de procesamiento 220 puede necesitar determinar una dirección de memoria física correspondiente para una dirección de memoria virtual que no tenga un mapeo almacenado en TLB 224. Para determinar un mapeo para una dirección de memoria virtual no incluida en TLB 224, MMU 222 accede a la tabla de páginas común 232 almacenada en la memoria del sistema 230. La tabla de páginas común 232 incluye todo el mapeo de virtual a física para la primera unidad de procesamiento 210, así como para la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240. De esta manera, la primera unidad de procesamiento 210, la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 comparten la misma tabla de páginas (por ejemplo, la tabla de páginas común 232 en el ejemplo de la figura 2).

45 **[0044]** La tabla de páginas común 232 puede incluir una pluralidad de entradas de página que mapean una dirección de memoria virtual a una dirección de memoria física de un fragmento de memoria. Cada entrada de página puede incluir un primer conjunto de bits de atributo y un segundo conjunto de bits de atributo. El primer conjunto de bits de atributo puede establecer controles, tales como consentimientos y derechos de acceso, para la primera unidad de procesamiento 210, mientras que el segundo conjunto de bits de atributo establece controles para la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240. Cada entrada de página puede incluir opcionalmente uno o más conjuntos adicionales de bits de atributo, tal como un conjunto de bits de atributo que establece controles comunes para todas las primera unidad de procesamiento 210, segunda unidad de procesamiento 220 y tercera unidad de procesamiento 240.

55 **[0045]** En algunos ejemplos, el segundo conjunto de atributos puede establecer controles para todas las unidades de procesamiento que comparten IOMMU 222. Por tanto, en un ejemplo de este tipo, el segundo conjunto de bits de atributo define los controles tanto para la segunda unidad de procesamiento 220 como para la tercera unidad de procesamiento 240. Sin embargo, en otros ejemplos, la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 pueden tener cada una un conjunto dedicado de bits de atributo. En un ejemplo de este tipo, el segundo conjunto de atributos puede establecer los controles para la segunda unidad de procesamiento 220, mientras que un tercer conjunto de bits de atributo puede establecer los controles para la tercera unidad de procesamiento 240.

65 **[0046]** El primer conjunto de bits de atributo y el segundo conjunto de bits de atributo para las entradas de página de la tabla de páginas común 232 puede permitir que la primera unidad de procesamiento 210 tenga diferentes

consentimientos y derechos de acceso que la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 mientras que comparte una tabla de páginas común con la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240. Como un ejemplo, el primer conjunto de bits de atributo se puede establecer de modo que la primera unidad de procesamiento 210 tenga acceso tanto de lectura como de escritura a un fragmento de memoria particular de la memoria del sistema 230, mientras que la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 pueden tener acceso de solo lectura al mismo fragmento de memoria particular. Por supuesto, también son posibles otras configuraciones, tales como la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 que tienen acceso tanto de lectura como de escritura, mientras que la primera unidad de procesamiento 210 tiene acceso de solo lectura o la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240 que tienen acceso tanto de lectura como de escritura mientras que la primera unidad de procesamiento 210 no tiene ni acceso de lectura ni acceso de escritura.

[0047] La figura 3 es un diagrama conceptual que ilustra aspectos de la tabla de páginas común 332. La tabla de páginas común puede representar bien la tabla de páginas común 132 de la figura 1 o la tabla de páginas común 232 de la figura 2. La figura 3 pretende ser conceptual para propósitos de explicación y no se debe interpretar como una estructura de datos real. La tabla de páginas común 332 incluye una pluralidad de entradas de página. Cada entrada de página incluye el primer conjunto de bits de atributo 352A-N, el segundo conjunto de bits de atributo 354A-N, un tercer conjunto de bits de atributo 356A-N y los bits de dirección de memoria física 358A-N. Por tanto, el primer conjunto de bits de atributo 352A, el segundo conjunto de bits de atributo 354A, el tercer conjunto de bits de atributo 356A y los bits de dirección de memoria física 358A constituyen conjuntamente la entrada de página A. El primer conjunto de bits de atributo 352B, segundo conjunto de bits de atributo 354B, tercer conjunto de los bits de atributo 356B, y bits de dirección de memoria física 358B constituyen conjuntamente la entrada de página B, y así sucesivamente. Como se analiza anteriormente, cada una de las entradas de página 356A-N puede ser de 32 bits, 40 bits o algún otro tamaño. Los bits de dirección de memoria física 358A-N pueden tener cada uno 20 bits o algún otro tamaño, y se pueden usar diversos tamaños para cada uno de los primer conjunto de bits de atributo 352A-N, segundo conjunto de bits de atributo 354A-N y tercer conjunto de bits de atributo 356A-N.

[0048] La memoria del sistema 334 en la figura 3 representa la memoria física con fragmentos de memoria 134A-N. La memoria del sistema 334 puede, por ejemplo, corresponder a la memoria del sistema 130 de la figura 1 o memoria del sistema 230 de la figura 2. Los fragmentos de memoria 134A-N pretenden representar fragmentos de memoria 334 no contiguos, lo que significa que las direcciones de memoria física de los fragmentos de memoria 334A-N pueden ser no contiguos. Cada una de las entradas de página AN incluye la dirección física de uno de los fragmentos de memoria 334A-N en los bits de dirección de memoria física 358A-N.

[0049] Cada una de las entradas de página A-N corresponde a una dirección de memoria virtual. Cuando una unidad de procesamiento, tal como la primera unidad de procesamiento 110 o la segunda unidad de procesamiento 120 de la figura 1, necesita acceder a la memoria del sistema, puede usar la tabla de páginas 332 para encontrar la dirección de memoria física correspondiente para una dirección de memoria virtual. Si, por ejemplo, la primera unidad de procesamiento 110 necesita traducir una dirección de memoria virtual particular a una dirección de memoria física, la primera unidad de procesamiento 110 lee la entrada de página correspondiente a esa dirección de memoria virtual particular.

[0050] En este ejemplo, se supone que la entrada de página A corresponde a la dirección de memoria virtual particular. La primera unidad de procesamiento 110 puede por tanto leer la entrada de página A para determinar la dirección de memoria física correspondiente, que se almacena en los bits de dirección de memoria física 358A. En el ejemplo, de la figura 3, la entrada A se mapea a la dirección de memoria física donde se almacena el fragmento de memoria física 334B. Por tanto, los bits de dirección de memoria física 358A almacenan una dirección física donde el fragmento de memoria 334B se localiza dentro de la memoria del sistema 334. Los primeros bits de atributo 352A establecen los consentimientos para la primera unidad de procesamiento 110 cuando se accede al fragmento de memoria física 334B. Por ejemplo, un primer bit podría determinar si la primera unidad de procesamiento 110 tiene privilegios de lectura para el fragmento de memoria 334B. Un segundo bit podría determinar si la primera unidad de procesamiento 110 tiene privilegios de escritura para el fragmento de memoria 334B.

[0051] En algunos casos, la segunda unidad de procesamiento 120 puede tener que traducir la misma dirección de memoria virtual particular traducida por la primera unidad de procesamiento 110. Para hacerlo, la segunda unidad de procesamiento 120 puede leer la misma entrada de página correspondiente a esa dirección de memoria virtual particular que la primera unidad de procesamiento 110 leyó al traducir la dirección de memoria virtual particular.

[0052] En este ejemplo, de nuevo se supone que la entrada de página A corresponde a la dirección de memoria virtual particular. La segunda unidad de procesamiento 120 puede por tanto leer la entrada de página A para determinar la dirección de memoria física correspondiente, que se almacena en los bits de memoria física 358A. En el ejemplo, de la figura 3, la entrada A se mapea al fragmento de memoria física 334B. Por tanto, los bits de dirección de memoria física 358A almacenan una dirección física del fragmento de memoria 334B. Los segundos bits de atributo 354A definen los consentimientos para la segunda unidad de procesamiento 120 cuando se accede al fragmento de memoria física 334B. Por ejemplo, un primer bit de los segundos bits de atributo 356A podría determinar si la segunda unidad de procesamiento 120 tiene privilegios de lectura para el fragmento de memoria

334B. Un segundo bit de los segundos bits de atributo 356A podría determinar si la segunda unidad de procesamiento 120 tiene privilegios de escritura para el fragmento de memoria 334B. De esta manera, aunque la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 acceden a la misma entrada de página en la misma tabla de páginas para traducir una dirección de memoria virtual a una dirección de memoria física, la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 pueden tener diferentes privilegios, tales como diferentes accesos de lectura y escritura, para el mismo fragmento de memoria.

[0053] En otro ejemplo, cuando una unidad de procesamiento, tal como la primera unidad de procesamiento 210 o una de la segunda unidad de procesamiento 220 o la tercera unidad de procesamiento 240 de la figura 2, necesita acceder a la memoria del sistema, puede usar la tabla de páginas 332 para encontrar la dirección de memoria física correspondiente para una dirección de memoria virtual. En un ejemplo de este tipo, los primeros bits de atributo 352A-N pueden definir los consentimientos para la primera unidad de procesamiento 210, mientras que los segundos bits de atributo 354A-N pueden definir los consentimientos para la segunda unidad de procesamiento 220 y la tercera unidad de procesamiento 240. Por tanto, cuando la segunda unidad de procesamiento 220 necesita acceder a un fragmento de memoria física de la memoria 334, los segundos bits de atributo 354A-N definen los consentimientos para la segunda unidad de procesamiento 220. De forma similar, cuando la tercera unidad de procesamiento 240 necesita acceder a un fragmento de memoria física de la memoria 334, los segundos bits de atributo 354A-N también definen los consentimientos para la tercera unidad de procesamiento 240.

[0054] La figura 4 muestra un diagrama de flujo que ilustra las técnicas de mapeo de virtual a física descritas en esta divulgación. Las técnicas de la figura 4 se pueden realizar por un dispositivo informático con dos o más unidades de procesamiento, tal como el dispositivo informático 100 de la figura 1 o el dispositivo informático 200 de la figura 2. Las técnicas de la figura 4 se describirán con referencia al dispositivo informático 100, aunque se debe entender que las técnicas de la figura 4 son aplicables a una amplia gama de dispositivos informáticos y no están limitadas solo a dispositivos configurados como el dispositivo informático 100.

[0055] La primera unidad de procesamiento 110 por medio de MMU 112 traduce una dirección de memoria virtual a una dirección de memoria física usando una tabla de páginas común almacenada en una memoria (410). La tabla de páginas común es común a la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 y almacena el mapeo de direcciones de memoria virtual a direcciones de memoria física para fragmentos de memoria a los que accede una aplicación. Puede que la aplicación se ejecute tanto en la primera unidad de procesamiento 110 como en la segunda unidad de procesamiento 120. La tabla de páginas común incluye una entrada de página que la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 usan para acceder al fragmento de memoria. La entrada de página también incluye bits de dirección física que definen una dirección física del fragmento de memoria.

[0056] La primera unidad de procesamiento 120 accede a un fragmento de memoria identificado por la dirección de memoria física (420). La entrada de página incluye un primer conjunto de bits de atributo que define la accesibilidad del fragmento de memoria por la primera unidad de procesamiento. La segunda unidad de procesamiento 120 traduce la dirección de memoria virtual a la dirección de memoria física usando la tabla de páginas común almacenada en la memoria (430). De esta manera, la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 acceden a la misma tabla de páginas común cuando traducen una dirección de memoria virtual a una dirección de memoria física. La segunda unidad de procesamiento 120 accede al fragmento de memoria identificado por la dirección de memoria física (440). La entrada de página incluye un segundo conjunto de bits de atributo que define la accesibilidad del mismo fragmento de memoria por la segunda unidad de procesamiento. En este ejemplo, la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120 acceden a la misma entrada de página al traducir una dirección de memoria virtual particular a una dirección de memoria física, pero la entrada de página puede tener bits de atributo separados para la primera unidad de procesamiento 110 y la segunda unidad de procesamiento 120. La entrada de página también puede incluir un tercer conjunto de bits de atributo que definen atributos que son comunes tanto a la primera unidad de procesamiento 110 como a la segunda unidad de procesamiento 120.

[0057] En el ejemplo de la figura 4, la primera unidad de procesamiento 110 puede ser una CPU y la segunda unidad de procesamiento 120 puede ser una GPU. El primer conjunto de bits de atributo puede definir si la primera unidad de procesamiento 110 tiene acceso de escritura al fragmento de memoria y definir si la primera unidad de procesamiento 110 tiene acceso de lectura al fragmento de memoria. El segundo conjunto de bits de atributo puede definir si la segunda unidad de procesamiento 120 tiene acceso de escritura al fragmento de memoria y definir si la segunda unidad de procesamiento 120 tiene acceso de lectura al fragmento de memoria. La accesibilidad del fragmento de memoria por la primera unidad de procesamiento 110 puede ser diferente a la accesibilidad del fragmento de memoria por la segunda unidad de procesamiento 120. Por ejemplo, en base al primer conjunto de atributos, la primera unidad de procesamiento 110 puede tener acceso de lectura y acceso de escritura al fragmento de memoria, mientras que en base al segundo conjunto de atributos, la segunda unidad de procesamiento 120 tiene acceso de solo lectura al fragmento de memoria.

[0058] La primera unidad de procesamiento 110 puede incluir una primera MMU (por ejemplo, MMU 112), y la segunda unidad de procesamiento 120 puede incluir una segunda MMU (por ejemplo, MMU 122). La primera MMU

se puede configurar para acceder a la tabla de páginas común, y la segunda MMU también se puede configurar para acceder a la misma tabla de páginas común.

[0059] Los ejemplos de memoria del sistema 26 incluyen, pero no se limitan a, una memoria de acceso aleatorio (RAM), una memoria de solo lectura (ROM), una memoria de solo lectura programable y borrable eléctricamente (EEPROM), una CD-ROM u otro almacenamiento en disco óptico, almacenamiento en disco magnético u otros dispositivos de almacenamiento magnético, memoria flash u otro medio que se pueda usar para transportar o almacenar un código de programa deseado en forma de instrucciones o estructuras de datos y al que se pueda acceder mediante un ordenador o un procesador. En algunos ejemplos, la memoria del sistema 26 se puede considerar un medio de almacenamiento no transitorio. La expresión «no transitorio» puede indicar que el medio de almacenamiento no está realizado ni en una onda portadora ni en una señal propagada. Sin embargo, no se debe interpretar que la expresión «no transitorio» significa que la memoria del sistema 26 es no móvil. Como ejemplo, la memoria del sistema 26 se puede retirar del dispositivo 10 y trasladarse a otro dispositivo. En otro ejemplo, un dispositivo de almacenamiento, sustancialmente similar a la memoria del sistema 26, se puede insertar en el dispositivo 10. En ciertos ejemplos, un medio de almacenamiento no transitorio puede almacenar datos que, con el tiempo, pueden cambiar (por ejemplo, en una RAM).

[0060] En uno o más ejemplos, las funciones descritas se pueden implementar en hardware, programa informático, firmware o cualquier combinación de los mismos. Si se implementan en programa informático, las funciones se pueden almacenar en o transmitir a través de un medio legible por ordenador como una o más instrucciones o código, y ejecutarse mediante una unidad de procesamiento basada en hardware. Los medios legibles por ordenador pueden incluir medios de almacenamiento legibles por ordenador, que corresponden a un medio tangible tal como unos medios de almacenamiento de datos, o medios de comunicación que incluyen cualquier medio que facilita la transferencia de un programa informático de un lugar a otro, por ejemplo, de acuerdo con un protocolo de comunicación. De esta manera, los medios legibles por ordenador pueden corresponder, en general, a (1) medios de almacenamiento tangibles legibles por ordenador que son no transitorios o (2) un medio de comunicación tal como una señal o una onda portadora. Los medios de almacenamiento de datos pueden ser cualquier medio disponible al que se pueda acceder desde uno o más ordenadores o uno o más procesadores para recuperar instrucciones, código y/o estructuras de datos para la implementación de las técnicas descritas en la presente divulgación. Un producto de programa informático puede incluir un medio legible por ordenador.

[0061] A modo de ejemplo, y no de limitación, dichos medios de almacenamiento legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otro almacenamiento de disco óptico, almacenamiento de disco magnético u otros dispositivos de almacenamiento magnético, memoria flash o cualquier otro medio que se pueda usar para almacenar un código de programa deseado en forma de instrucciones o estructuras de datos y al que se pueda acceder mediante un ordenador. También, cualquier conexión recibe apropiadamente la denominación de medio legible por ordenador. Por ejemplo, si las instrucciones se transmiten desde un sitio web, un servidor u otro origen remoto usando un cable coaxial, un cable de fibra óptica, un par trenzado, una línea de abonado digital (DSL) o unas tecnologías inalámbricas tales como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el par trenzado, la DSL o las tecnologías inalámbricas tales como infrarrojos, radio y microondas están incluidos en la definición de medio. Sin embargo, se debería entender que los medios de almacenamiento legibles por ordenador y los medios de almacenamiento de datos no incluyen conexiones, ondas portadoras, señales ni otros medios transitorios, sino que, en cambio, se dirigen a medios de almacenamiento tangibles no transitorios. El término disco, como se usa en el presente documento, incluye el disco compacto (CD), disco láser, disco óptico, disco versátil digital (DVD), disco flexible y disco Blu-ray, donde algunos discos reproducen normalmente datos magnéticamente, mientras que otros discos reproducen datos ópticamente con láseres. Las combinaciones de lo anterior se deberían incluir también dentro del alcance de los medios legibles por ordenador.

[0062] Las instrucciones se pueden ejecutar por uno o más procesadores, tales como uno o más procesadores digitales de señales (DSP), microprocesadores de propósito general, circuitos integrados específicos de la aplicación (ASIC), matrices lógicas programables in situ (FPGA) u otros circuitos lógicos discretos o integrados equivalentes. En consecuencia, el término "procesador", como se usa en el presente documento, se puede referir a cualquiera de las estructuras anteriores o a cualquier otra estructura adecuada para la implementación de las técnicas descritas en el presente documento. Además, en algunos aspectos, la funcionalidad descrita en el presente documento se puede proporcionar en módulos de hardware y/o de programa informático dedicados configurados para la codificación y la decodificación, o incorporarse en un códec combinado. Además, las técnicas se podrían implementar por completo en uno o más circuitos o elementos lógicos.

[0063] Las técnicas de la presente divulgación se pueden implementar en una amplia variedad de dispositivos o aparatos, incluyendo un teléfono inalámbrico, un circuito integrado (IC) o un conjunto de IC (por ejemplo, un conjunto de chips). En esta divulgación se describen diversos componentes, módulos o unidades para destacar aspectos funcionales de dispositivos configurados para realizar las técnicas divulgadas, pero no se requiere necesariamente su realización por diferentes unidades de hardware. En su lugar, como se describe anteriormente, diversas unidades se pueden combinar en una unidad de hardware de códec o proporcionar mediante un grupo de unidades de hardware interoperativas, que incluyen uno o más procesadores, como se describe anteriormente, junto con programa informático y/o firmware adecuados.

[0064] Se han descrito diversos ejemplos. Estos y otros ejemplos están dentro del alcance de las siguientes reivindicaciones.

REIVINDICACIONES

1. Un procedimiento que comprende:

5 traducir (410), por una primera unidad de procesamiento (110, 210), una dirección de memoria virtual a una dirección de memoria física usando una tabla de páginas común (232, 332) almacenada en una memoria (230), en el que la primera unidad de procesamiento comprende un unidad central de procesamiento (CPU);

10 acceder (420), por la primera unidad de procesamiento, a un fragmento de memoria (334A-N) identificado por la dirección de memoria física;

15 traducir (430), por una segunda unidad de procesamiento (120, 220), la dirección de memoria virtual a la dirección de memoria física usando la tabla de páginas común almacenada en la memoria, en el que la segunda unidad de procesamiento comprende una unidad de procesamiento de gráficos (GPU);

acceder (440), por la segunda unidad de procesamiento, al fragmento de memoria identificado por la dirección de memoria física;

20 traducir, por una tercera unidad de procesamiento (240), una segunda dirección de memoria virtual a una dirección de memoria física usando la tabla de páginas común almacenada en la memoria;

acceder, por la tercera unidad de procesamiento, a un fragmento de memoria identificado por la dirección de memoria física;

25 en el que la tabla de páginas común es común a la primera unidad de procesamiento, la segunda unidad de procesamiento y la tercera unidad de procesamiento,

30 en el que la primera unidad de procesamiento comprende una primera unidad de gestión de memoria, MMU, y en el que la primera MMU está configurada para acceder a la tabla de páginas común,

en el que la segunda unidad de procesamiento y la tercera unidad de procesamiento comparten una MMU de entrada/salida, IOMMU, y en el que la IOMMU está configurada para acceder a la tabla de páginas común,

35 en el que la tabla de páginas común almacena mapeo de direcciones de memoria virtual a direcciones de memoria física para fragmentos de memoria a los que accede un trabajo de una aplicación,

40 en el que la tabla de páginas común comprende una entrada de página que usan la primera unidad de procesamiento (110, 210) y la segunda unidad de procesamiento (120, 220) y la tercera unidad de procesamiento para acceder al fragmento de memoria (334A-N),

45 en el que la entrada de página comprende un primer conjunto de bits de atributo (352A-N) que define la accesibilidad del fragmento de memoria por la primera unidad de procesamiento, un segundo conjunto de bits de atributo (354A-N) que define la accesibilidad del mismo fragmento de memoria por la segunda unidad de procesamiento, un tercer conjunto de bits de atributo (356A-N) que define la accesibilidad del mismo fragmento de memoria por la tercera unidad de procesamiento, y bits de dirección física (358A-N) que definen una dirección física del fragmento de memoria,

50 en el que la accesibilidad del fragmento de memoria por la primera unidad de procesamiento, como se define por el primer conjunto de bits de atributo, es diferente a la accesibilidad del fragmento de memoria por la segunda unidad de procesamiento, como se define por el segundo conjunto de bits de atributo, y

55 en el que, en base al primer conjunto de atributos, la primera unidad de procesamiento tiene acceso de lectura y acceso de escritura al fragmento de memoria, y en el que, en base al segundo conjunto de atributos, la segunda unidad de procesamiento tiene acceso de solo lectura al fragmento de memoria.

2. El procedimiento de la reivindicación 1, en el que la tercera unidad de procesamiento (240) es un procesador digital de señales.

3. El procedimiento de la reivindicación 1, en el que la tercera unidad de procesamiento (240) es una matriz lógica programable in situ.

4. El procedimiento de la reivindicación 1, en el que la tercera unidad de procesamiento (240) es un circuito integrado específico de la aplicación.

5. El procedimiento de la reivindicación 1, en el que el primer conjunto de bits de atributo define si la primera unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la primera unidad de procesamiento tiene acceso de lectura al fragmento de memoria; y, en el que el segundo conjunto de bits de atributo define si la segunda unidad de procesamiento tiene acceso de escritura al fragmento de memoria y define si la segunda unidad de procesamiento tiene acceso de lectura al fragmento de memoria.
6. El procedimiento de la reivindicación 1, en el que la aplicación se ejecuta tanto en la primera unidad de procesamiento como en la segunda unidad de procesamiento.
7. Un aparato (100, 200), que comprende:
- primer medio de procesamiento (110, 210);
 - segundo medio de procesamiento (120, 220);
 - tercer medio de procesamiento (240);
 - una memoria (130);
- en el que el primer medio de procesamiento (110, 210) comprende:
- primeros medios para traducir una dirección de memoria virtual a una dirección de memoria física usando una tabla de páginas común (132, 232) almacenada en la memoria (130, 230);
 - primeros medios para acceder a un fragmento de memoria (334A-N) identificado por la dirección de memoria física,
- en el que el primer medio de procesamiento comprende una unidad central de procesamiento (CPU);
- en el que el segundo medio de procesamiento (120, 220) comprende:
- segundos medios para traducir la dirección de memoria virtual a la dirección de memoria física usando la tabla de páginas común (132, 232) almacenada en la memoria (130, 230);
 - segundos medios para acceder al fragmento de memoria (334A-N) identificado por la dirección de memoria física,
- en el que el segundo medio de procesamiento comprende una unidad de procesamiento de gráficos (GPU);
- en el que el tercer medio de procesamiento comprende:
- segundos medios para traducir una segunda dirección de memoria virtual a una segunda dirección de memoria física usando la tabla de páginas común almacenada en la memoria;
 - los segundos medios para acceder al fragmento de memoria identificado por la segunda dirección de memoria física
- en el que la tabla de páginas común (132, 232) es común a los primeros medios de procesamiento, los segundos medios de procesamiento y los terceros medios de procesamiento,
- en el que la primera unidad de procesamiento comprende una primera unidad de gestión de memoria, MMU, y en el que la primera MMU está configurada para acceder a la tabla de páginas común,
- en el que la segunda unidad de procesamiento y la tercera unidad de procesamiento comparten una MMU de entrada/salida, IOMMU, (IOMMU) y en el que la IOMMU está configurada para acceder a la tabla de páginas común,
- en el que la tabla de páginas común almacena mapeo de direcciones de memoria virtual a direcciones de memoria física para fragmentos de memoria a los que accede un trabajo de una aplicación;
- en el que la tabla de páginas común comprende una entrada de página que el primer medio de procesamiento, el segundo medio de procesamiento y el tercer medio de procesamiento usan para acceder al fragmento de memoria;
- en el que la entrada de página comprende un primer conjunto de bits de atributo (352A-N) que define la

accesibilidad del fragmento de memoria (334A-N) por el primer medio de procesamiento, un segundo conjunto de bits de atributo (354A-N) que define la accesibilidad del mismo fragmento de memoria por el segundo medio de procesamiento, un tercer conjunto de bits de atributo (356A-N) que define la accesibilidad del mismo fragmento de memoria por el tercer medio de procesamiento y bits de dirección física (358A-N) que definen una dirección física del fragmento de memoria;

en el que la accesibilidad del fragmento de memoria por la primera unidad de procesamiento, como se define por el primer conjunto de bits de atributo, es diferente a la accesibilidad del fragmento de memoria por la segunda unidad de procesamiento, como se define por el segundo conjunto de bits de atributo; y

en el que, en base al primer conjunto de atributos, la primera unidad de procesamiento tiene acceso de lectura y acceso de escritura al fragmento de memoria, y en el que, en base al segundo conjunto de atributos, la segunda unidad de procesamiento tiene acceso de solo lectura al fragmento de memoria.

8. El aparato de la reivindicación 7, en el que el tercer medio de procesamiento (240) es un procesador digital de señales.
9. El aparato de la reivindicación 7, en el que el tercer medio de procesamiento (240) es una matriz lógica programable in situ.
10. El aparato de la reivindicación 7, en el que el tercer medio de procesamiento (240) es un circuito integrado específico de la aplicación.
11. El aparato de la reivindicación 7, en el que el primer conjunto de bits de atributo define si el primer medio de procesamiento tiene acceso de escritura al fragmento de memoria y define si el primer medio de procesamiento tiene acceso de lectura al fragmento de memoria; y, en el que el segundo conjunto de bits de atributo define si el segundo medio de procesamiento tiene acceso de escritura al fragmento de memoria y define si el segundo medio de procesamiento tiene acceso de lectura al fragmento de memoria.
12. El aparato de la reivindicación 7, en el que la aplicación se ejecuta tanto en el primer medio de procesamiento como en el segundo medio de procesamiento.
13. Un medio de almacenamiento legible por ordenador que tiene almacenadas en el mismo instrucciones que, cuando se ejecutan por un aparato que comprende una memoria, una primera unidad de procesamiento que es una unidad central de procesamiento (CPU), una segunda unidad de procesamiento que es una unidad de procesamiento de gráficos (GPU) y una tercera unidad de procesamiento, provoca que la primera unidad de procesamiento, la segunda unidad de procesamiento y la tercera unidad de procesamiento del aparato lleven a cabo un procedimiento de acuerdo con cualquiera de las reivindicaciones 1 a 6.

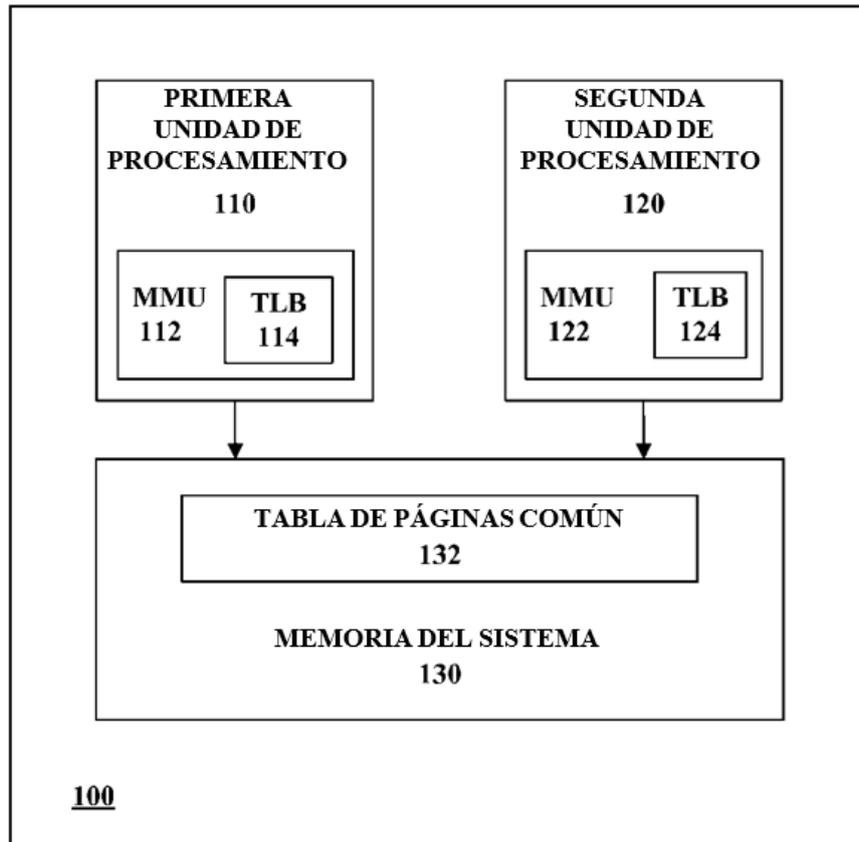


FIG. 1

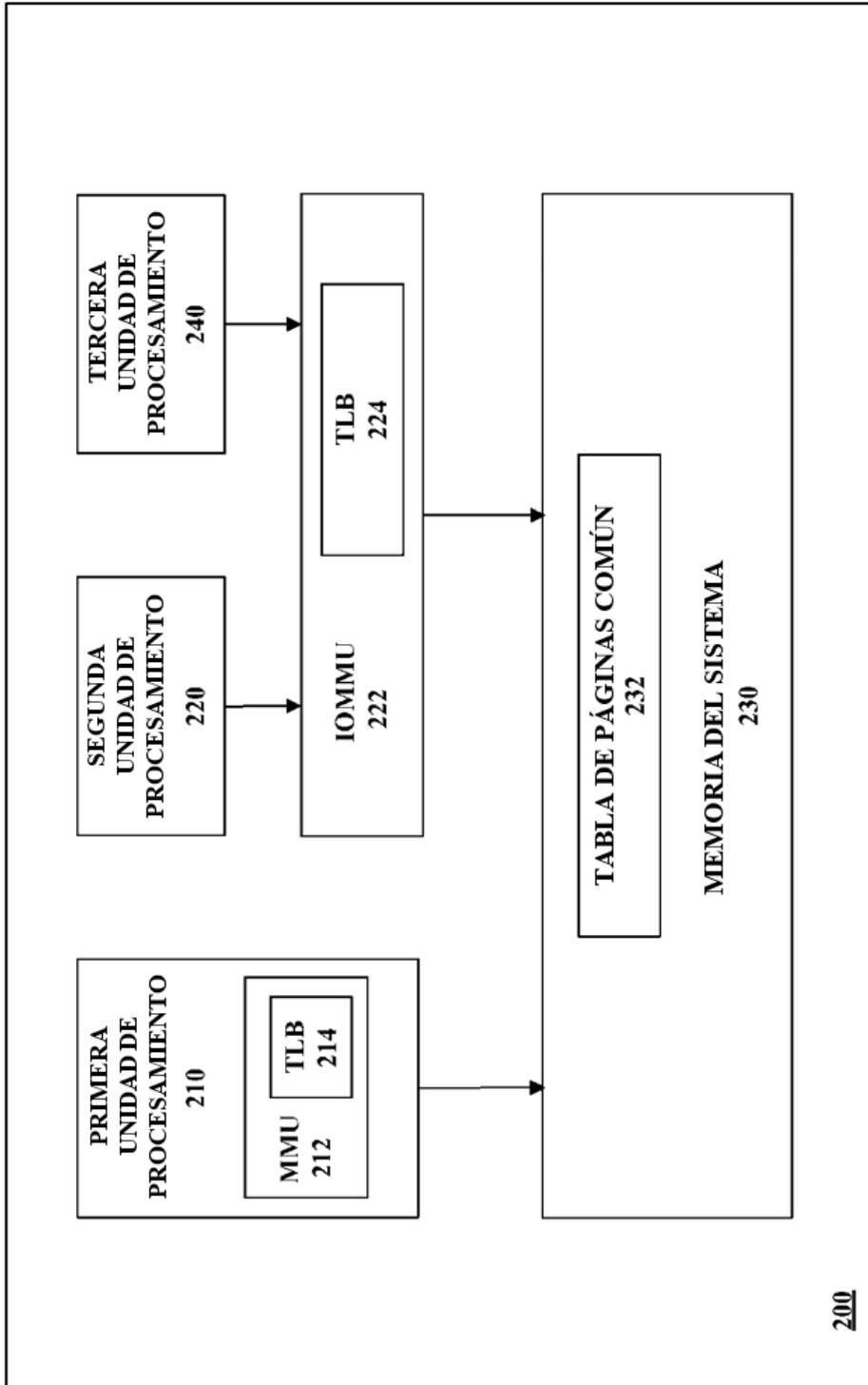


FIG. 2

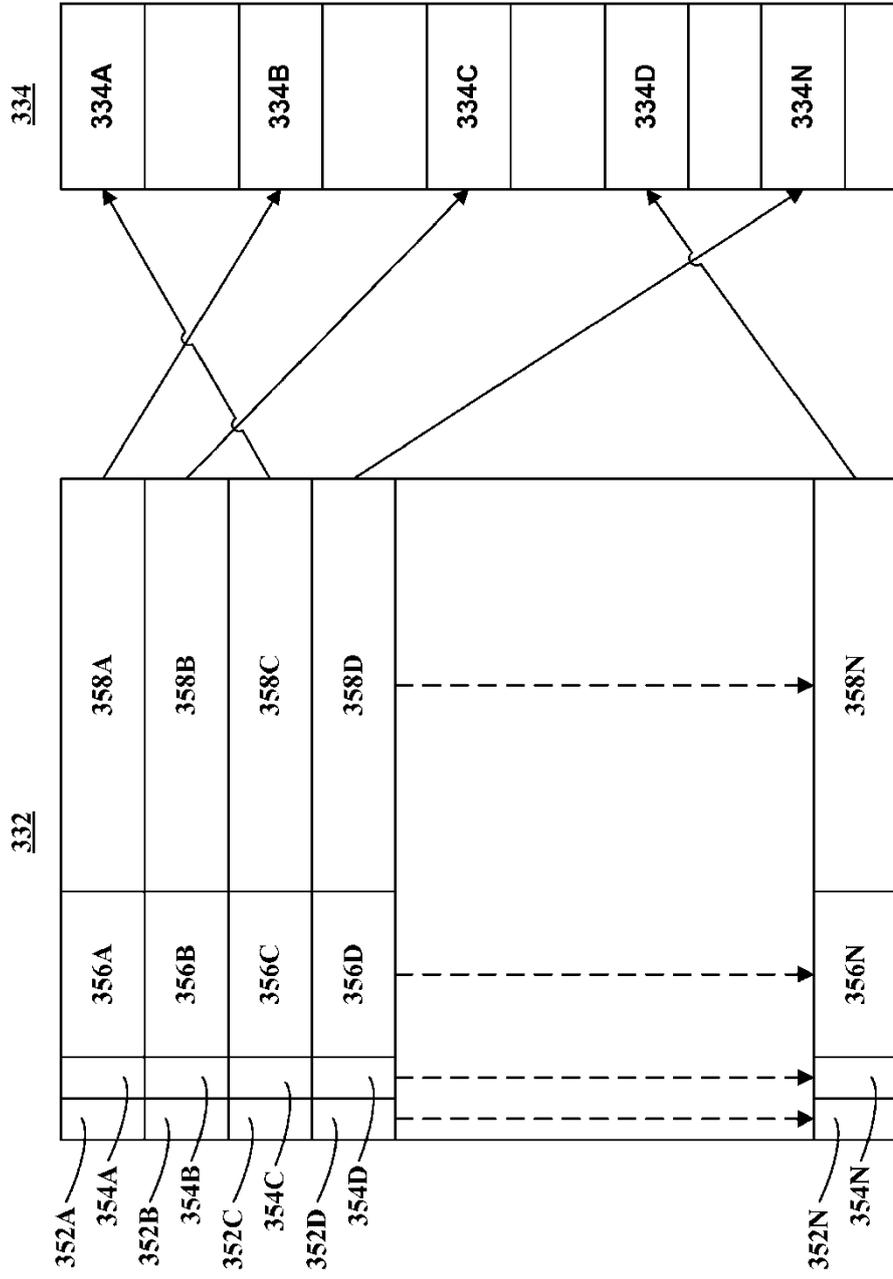


FIG. 3

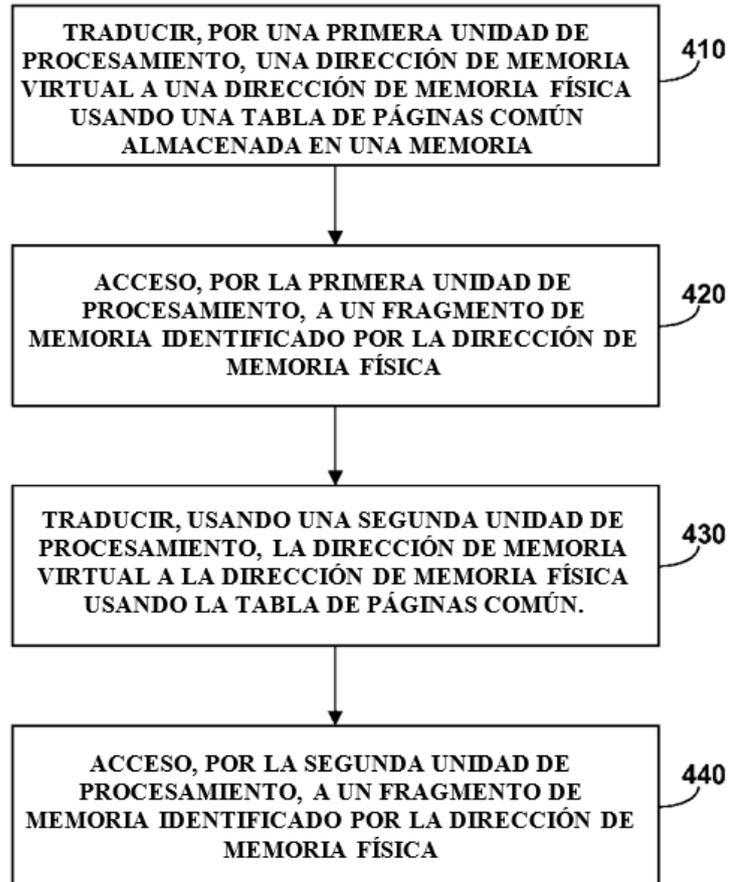


FIG. 4