

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 764 212**

51 Int. Cl.:

**H04L 12/933** (2013.01)  
**H04L 12/12** (2006.01)  
**H04L 12/413** (2006.01)  
**H04L 29/06** (2006.01)  
**G06F 13/28** (2006.01)  
**G06F 13/362** (2006.01)  
**G06F 13/40** (2006.01)  
**H04L 12/931** (2013.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **19.06.2014 PCT/IB2014/002133**  
 87 Fecha y número de publicación internacional: **31.12.2014 WO14207572**  
 96 Fecha de presentación y número de la solicitud europea: **19.06.2014 E 14806052 (8)**  
 97 Fecha y número de publicación de la concesión europea: **02.10.2019 EP 2989766**

54 Título: **Solución Ethernet universal**

30 Prioridad:

**19.06.2013 US 201361837022 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**02.06.2020**

73 Titular/es:

**SCHNEIDER ELECTRIC INDUSTRIES SAS (50.0%)**  
**35, rue Joseph Monier**  
**92500 Rueil-Malmaison, FR y**  
**RENESAS ELECTRONICS CORPORATION**  
**(50.0%)**

72 Inventor/es:

**JARAUDIAS, PATRICE;**  
**ADRAGNA, JEAN-JACQUES;**  
**CHAUVET, ANTONIO;**  
**WARE, GARY R.;**  
**SUZUKI, KATSUNOBU y**  
**CASTEL, CHRISTIAN**

74 Agente/Representante:

**ELZABURU, S.L.P**

ES 2 764 212 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Solución Ethernet universal

5 SOLICITUDES RELACIONADAS

Esta solicitud reivindica el beneficio de la solicitud provisional de EE. UU. N.º 61/837.022, presentada el 19 de junio de 2013, que se incorpora en la presente memoria por referencia en su totalidad para los propósitos de cada estado miembro y región del PCT en los que se permite o no se prohíbe de otra forma tal incorporación por referencia.

10 ANTECEDENTES

La presente descripción se refiere en general a redes industriales y, más particularmente, a un circuito integrado que soporta, entre otras cosas, múltiples protocolos Ethernet industriales, protocolos de bus de campo y procesamiento de aplicaciones industriales, proporcionando así una única plataforma de hardware que puede emplearse para construir diversos dispositivos/equipos de automatización implementados en una red industrial (proporcionando así un Producto Estándar de Aplicación Específica (ASSP)).

Los sistemas de automatización/control industrial se emplean para controlar el funcionamiento de una amplia variedad de sistemas, incluyendo procesos, máquinas, etc., y son normalmente adaptables a diferentes aplicaciones de control a través de la configuración e interconexión de múltiples componentes o dispositivos de sistemas de control, como módulos de control, módulos de E/S, dispositivos de E/S, etc. Los sistemas de control industrial existentes normalmente incluyen un procesador que corre o ejecuta un programa de control para interactuar con un sistema de E/S (por ejemplo, normalmente uno o más módulos o dispositivos de E/S) para recibir información del sistema en forma de entradas analógicas y/o digitales procedentes de sensores de campo y para proporcionar salidas (analógicas y/o digitales) a uno o más actuadores. Los sistemas de control industrial están interconectándose cada vez más con información de gestión y otros sistemas en una instalación de fabricación, y pueden conectarse operativamente a cualquier número de redes de comunicaciones para facilitar diversas funciones de gestión empresarial como control de inventario, contabilidad, control de fabricación, etc., además de la funcionalidad de control de procesos/máquinas.

El deseo de integrar las estructuras empresarial y de red de control para interconectar sistemas de control industrial con sistemas de propósito general, junto con la evolución y el desarrollo de Ethernet rápida (por ejemplo, en modo conmutador con capacidad dúplex completa), ha permitido que las redes Ethernet industriales (por ejemplo, como las redes Ethernet/IP que permiten la conexión directa de dispositivos de campo a una red Ethernet) se empleen ampliamente en aplicaciones industriales. De hecho, la Ethernet industrial se está convirtiendo en la tecnología dominante (si no exigida) en la automatización industrial.

Pero el gran número de protocolos Ethernet industriales (por ejemplo, que corresponden a la amplia variedad de protocolos de bus de campo), muchos de los cuales requieren un diseño MAC especializado (por ejemplo, no estándar) (por ejemplo, para respuesta en tiempo real), presenta a los diseñadores y/o proveedores/vendedores de dispositivos/componentes y sistemas de automatización industrial (por ejemplo, diseñadores/vendedores de chips y placas, dispositivos (por ejemplo, diseñadores/OEM de controladores, módulos de E/S, accionamientos, etc.) muchos desafíos tecnológicos, así como en cuanto a coste, asociados con un dispositivo/producto que soporta múltiples protocolos Internet Ethernet.

Además, aunque se ha comercializado una variedad de dispositivos de campo con capacidad para Ethernet/IP (por ejemplo, actuadores, motores, válvulas), muchos dispositivos de campo (por ejemplo, dispositivos de bajo volumen o especializados y/o de bajo coste, como dispositivos de bajo coste, etc.) no pueden ofrecerse con capacidades de comunicaciones Ethernet industriales porque el coste de incorporar la funcionalidad de comunicaciones Ethernet puede ser prohibitivo para tales dispositivos. Como tales, estos dispositivos de campo normalmente proporcionan comunicación empleando redes de bus de campo industriales convencionales. Pero conectar tales dispositivos de bus de campo a redes Ethernet industriales requiere dispositivos de enlace (por ejemplo, puentes), que ocupan un nodo de red Ethernet y se suman a la configuración del sistema y la complejidad de mantenimiento.

El documento US5970069A describe un chip integrado para telecomunicaciones, que comprende multiplexores de intervalo de tiempo para manejar interfaces de multiplexación por división de tiempo como ISDN y otros estándares de telecomunicación. El documento CN103095538A enseña un adaptador multiprotocolo para Ethernet industrial.

Por lo tanto, sigue existiendo la necesidad de aparatos y métodos mejorados para soporte rentable y eficiente de múltiples protocolos Ethernet industriales. Por lo tanto, el objeto de la presente invención puede verse como proporcionar un circuito integrado que proporciona un soporte rentable y eficiente de diferentes conexiones de datos. Este objeto se resuelve mediante el circuito integrado monolítico de acuerdo con la reivindicación 1.

## COMPENDIO DE ALGUNAS REALIZACIONES ILUSTRATIVAS

Algunas realizaciones de la presente invención proporcionan un circuito integrado que soporta, entre otras cosas, múltiples protocolos Ethernet industriales, protocolos de bus de campo y procesamiento de aplicaciones industriales, proporcionando así una única plataforma de hardware que puede emplearse para construir diversos

dispositivos/equipos de automatización implementados en una red industrial, como controladores, dispositivos de campo, nodos de comunicación en red, etc.

En algunas realizaciones, un circuito integrado monolítico comprende: al menos un núcleo de procesador de aplicaciones utilizable para ejecutar una aplicación industrial y código de conectividad/gestión Ethernet, incluyendo código de conectividad/gestión Ethernet estándar y código de conectividad/gestión Ethernet industrial; un módulo de procesamiento en tiempo real configurado para soportar una pluralidad de capas de enlace de datos Ethernet industriales; una interfaz configurada para ser acoplada a una memoria externa no volátil (por ejemplo, Flash) desde la cual el al menos un procesador

de aplicaciones está configurado para ejecutar procesamiento *in situ*; y RAM en chip que tiene una capacidad suficiente para eliminar la necesidad de RAM externa en ejecución por el al menos un núcleo de procesador de aplicaciones de un sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet. En algunas implementaciones, el circuito integrado monolítico no incluye memoria Flash en chip.

Algunas realizaciones proporcionan un circuito integrado monolítico que comprende: al menos un procesador; RAM en chip configurada para ser utilizable como memoria de ejecución principal para ejecución por el al menos un procesador de (i) código de aplicación industrial, y (ii) código de conectividad/gestión Ethernet, incluyendo una pluralidad de pilas Ethernet industriales que corresponden a protocolos Ethernet industriales respectivos; circuitos que están configurados para soportar capa de enlace de datos para cada uno de la pluralidad de protocolos Ethernet industriales; y circuitos configurados para soportar protocolos de bus de campo heredados. Al menos uno del al menos un procesador puede estar configurado para ejecutar *in situ* desde una memoria externa no volátil al menos uno de (i) el código de aplicación industrial, (ii) al menos una porción del código de conectividad/gestión Ethernet, y (iii) un sistema operativo. En algunas implementaciones, el circuito integrado monolítico no incluye memoria flash en chip, y opcionalmente, el circuito integrado monolítico no incluye ninguna memoria no volátil en chip empleada para almacenar uno cualquiera o más de (i) la aplicación industrial, (ii) el código de conectividad/gestión Ethernet y (iii) el sistema operativo.

Algunas realizaciones proporcionan una red industrial que comprende: al menos un dispositivo de campo que comprende un circuito integrado monolítico según cualquiera de las realizaciones ilustrativas resumidas anteriormente; al menos una unidad de control de automatización que comprende un circuito integrado monolítico según cualquiera de las realizaciones ilustrativas resumidas anteriormente; y al menos una unidad de operador que tiene una interfaz de operador que comprende un circuito integrado monolítico según cualquiera de las realizaciones ilustrativas resumidas anteriormente. El al menos un dispositivo de campo puede comprender al menos uno de una unidad de entrada/salida, un sensor, y un actuador. La al menos una unidad de control puede comprender al menos un controlador lógico programable, un controlador de automatización programable, un módulo de comunicación, y un accionamiento. La al menos una unidad de operador puede comprender al menos uno de un dispositivo de interfaz hombre-máquina (HMI) y un dispositivo informático SCADA.

Algunas realizaciones proporcionan un método para ejecutar una aplicación industrial y código de conectividad/gestión Ethernet, incluyendo código de conectividad/gestión Ethernet estándar y código de conectividad/gestión Ethernet industrial, mediante al menos un núcleo de procesador de aplicaciones de un circuito integrado monolítico, comprendiendo el circuito integrado monolítico: un módulo de procesamiento en tiempo real configurado para soportar una pluralidad de capas de enlace de datos Ethernet industriales; una interfaz configurada para ser acoplada a una memoria externa no volátil (por ejemplo, Flash) desde la cual el al menos un procesador de aplicaciones está configurado para ejecutar procesamiento *in situ*; y RAM en chip; comprendiendo el método utilizar la RAM en chip como memoria de ejecución principal para ejecución por el al menos un núcleo de procesador de aplicaciones de un sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet.

Por facilidad de referencia, la presente descripción emplea el término UES (Solución Ethernet universal) para referirse a algunas realizaciones de tal circuito integrado. Además, por conveniencia y facilidad de referencia, el término "segmento de datos" (o, en ciertos contextos, el término datos) se emplea en esta memoria para referirse generalmente al segmento de datos inicializado y la porción de espacio de memoria del segmento de datos no inicializado (por ejemplo, BSS) asociados con un programa, comprendiendo estos segmentos variables estáticas y variables globales. De manera similar, por conveniencia y facilidad de referencia, cada uno de los términos "segmento sin código", "datos de usuario" y "datos de proceso" se emplea en esta memoria para referirse colectivamente al segmento de datos, la pila y las porciones de espacio de memoria de almacenamiento dinámico asociadas con la ejecución de un programa. Además, el término "Ethernet estándar" se emplea en esta memoria, donde se desee, para referirse expresamente a Ethernet que no está sujeta a una restricción de tiempo real estricto, mientras que el término general "Ethernet" puede referirse a cualquier protocolo Ethernet, esté o no sujeto a una restricción en tiempo real estricto, a menos que el contexto dicte claramente lo contrario.

Además, a lo largo de la descripción y las reivindicaciones, los siguientes términos adoptan al menos los significados explícitamente asociados en la presente memoria, a menos que el contexto dicte lo contrario. Los significados identificados a continuación no necesariamente limitan los términos, sino que simplemente proporcionan ejemplos ilustrativos de los términos. La frase "una realización" como se emplea en esta memoria no se refiere

necesariamente a la misma realización, aunque puede hacerlo. Además, el significado de "un/una" y "el/la" incluyen referencias plurales; así, por ejemplo, "una realización" no se limita a una sola realización sino que se refiere a una o más realizaciones. De manera similar, la frase "una realización" no se refiere necesariamente a la misma realización y no se limita a una sola realización. Como se emplea en esta memoria, el término "o" es un operador "o" inclusivo, y es equivalente al término "y/o", a menos que el contexto dicte claramente lo contrario. El término "basado en" no es exclusivo y permite basarse en factores adicionales no descritos, a menos que el contexto dicte claramente lo contrario. Además, como se emplea en esta memoria, a menos que el contexto dicte claramente lo contrario, el término "acoplado" se refiere a conectado directamente o conectado indirectamente a través de uno o más componentes intermedios y, en algunos contextos, también puede indicar o incluir acoplado eléctricamente, como acoplado conductivamente, acoplado capacitivamente y/o acoplado inductivamente.

Se apreciará por parte de los expertos en la técnica que el breve compendio anterior y la siguiente descripción son ejemplares (es decir, ilustrativos) y explicativos de algunas realizaciones de la presente invención, pero no son representativos ni inclusivos de todos los temas y realizaciones dentro del alcance de la presente invención, y no pretenden ser restrictivos de la presente invención o limitativos de las ventajas que pueden lograrse por la presente invención en diversas implementaciones. Por lo tanto, la siguiente descripción, junto con los dibujos adjuntos, que constituyen una parte de la misma y a algunos de los cuales se hace referencia en la presente memoria, sirven para explicar e ilustrar algunas realizaciones de la presente invención, así como los principios de algunas realizaciones.

#### BREVE DESCRIPCIÓN DE LOS DIBUJOS

Los aspectos, características y ventajas de algunas realizaciones de la invención, tanto en lo que se refiere a estructura como a funcionamiento, se entenderán y resultarán más evidentes en vista de la siguiente descripción de realizaciones no limitativas y no exclusivas junto con los dibujos adjuntos, en que los números de referencia similares designan las mismas partes o partes similares a lo largo de las diversas figuras, y en donde:

La FIGURA 1 representa esquemáticamente un diagrama de bloques de un chip de circuito integrado UES, de acuerdo con alguna realización;

La FIGURA 2 representa esquemáticamente una arquitectura de alto nivel ilustrativa de un chip UES, que representa una solución Ethernet de bajo coste, de acuerdo con algunas realizaciones de la presente invención;

La FIGURA 3 representa una versión ilustrativa de un chip UES de acuerdo con algunas realizaciones;

La FIGURA 4 representa una versión ilustrativa de un chip UES de acuerdo con algunas realizaciones;

La FIGURA 5 representa esquemáticamente una UES ilustrativa que comprende dos núcleos Cortex A7, de acuerdo con algunas realizaciones;

La FIGURA 6 es un gráfico ilustrativo que muestra requisitos de memoria ilustrativos para todos los servicios Ethernet de una biblioteca IPCL disponible ilustrativa, de acuerdo con algunas realizaciones;

La FIGURA 7 representa, a título de ejemplo no limitativo, todos los servicios disponibles en una biblioteca IPCL ilustrativa;

La FIGURA 8 representa la evolución de las arquitecturas de red industriales y cómo una UES según algunas realizaciones permite la evolución adicional de la red industrial hacia una red centrada en IP, ilustrando así una red centrada en IP de acuerdo con algunas realizaciones;

La FIGURA 9A representa esquemáticamente un chip UES ilustrativo implementado en controladores y otros dispositivos inteligentes, de acuerdo con algunas realizaciones;

La FIGURA 9B representa esquemáticamente un chip UES ilustrativo implementado como un coprocesador, como en una tarjeta de Opción Ethernet, de acuerdo con algunas realizaciones;

La FIGURA 9C representa esquemáticamente un chip UES ilustrativo implementado a nivel de dispositivo (por ejemplo, en dispositivos de E/S y de campo inteligentes), de acuerdo con algunas realizaciones;

La FIGURA 10 representa esquemáticamente un ejemplo de tres objetivos integrados en el mismo chip UES, de acuerdo con algunas realizaciones;

La FIGURA 11 muestra una arquitectura ilustrativa de una UES configurada para una aplicación de controlador, de acuerdo con algunas realizaciones;

La FIGURA 12 muestra la arquitectura de una UES ilustrativa configurada para una aplicación de controlador y dispositivo, de acuerdo con algunas realizaciones;

La FIGURA 13 muestra la arquitectura de una UES ilustrativa configurada para una aplicación de coprocesador y dispositivo, de acuerdo con algunas realizaciones;

La FIGURA 14 muestra la arquitectura de una UES ilustrativa configurada para una aplicación OneEsp, de acuerdo con algunas realizaciones;

La FIGURA 15 muestra esquemáticamente algunas características de un chip UES ilustrativo con respecto a la maestría de tecnología subyacente, componentes optimizados ilustrativos y sistema operativo integral y soporte de pila, que proporciona una solución Ethernet común de un solo chip aplicable a innumerables aplicaciones/plataformas objetivo a través de una red de automatización industrial, de acuerdo con algunas realizaciones.

#### DESCRIPCIÓN DE REALIZACIONES ILUSTRATIVAS

Como se muestra en la FIGURA 1, un chip de circuito integrado UES 10 según algunas realizaciones puede implementarse, por ejemplo, en una tecnología de silicio de baja potencia y bajo coste y puede incluir los siguientes

componentes integrados monolíticamente: uno o más núcleos de procesador de aplicaciones 12 utilizables para ejecutar un aplicación industrial y código de conectividad/gestión Ethernet (por ejemplo, firmware), incluyendo código de conectividad/gestión Ethernet industrial; un módulo de procesamiento en tiempo real 14 (por ejemplo, que incluye un núcleo) configurado para soportar una capa de enlace de datos Ethernet industriales (y, en general, múltiples capas de enlace de datos Ethernet industriales); una interfaz 16 a la memoria externa no volátil (por ejemplo, Flash, F-RAM, MRAM, etc.) desde la cual la UES está configurada para el procesamiento de ejecución *in situ* (XiP); RAM en chip 18 que tiene una capacidad suficiente para eliminar la necesidad de RAM externa en la ejecución por el (los) núcleo(s) de procesador de aplicaciones de un sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet; una interfaz de bus externo maestro/esclavo 20 configurada para proporcionar comunicaciones maestro/esclavo directas con otro microprocesador (por ejemplo, otra UES); un conmutador Ethernet "en tiempo real flexible" 22, interfaces Ethernet en "tiempo real estricto" 24, multiplexor(es) de puerto 26 e interfaces de bus de campo/comunicaciones a baja velocidad 28. El conmutador Ethernet, las interfaces Ethernet y las interfaces de bus de campo/comunicaciones a baja velocidad pueden incluir una capa física (PHY) para cada uno de los protocolos Ethernet (es decir, Ethernet estándar y Ethernet industrial) y el bus de campo/comunicaciones.

En la realización ilustrativa, la UES no incluye memoria Flash en chip. La UES también puede incluir una interfaz RAM externa 30, que normalmente es opcional basado en la capacidad de la RAM en chip.

Como se indica, por ejemplo, en los dibujos, las realizaciones de UES pueden incluir muchos periféricos adicionales 32, como, pero no limitados a temporizadores/contadores, RTC, un controlador de interrupción, interfaces serie básicas (por ejemplo, SPI, UART, I2C), una unidad de trazado y depuración, así como periféricos adicionales que normalmente pueden incluirse con cualquier núcleo en cualquier MCU/MPU. La realizaciones de UES ilustrativas también incluyen ROM en chip (por ejemplo, 32 kBytes) que puede almacenar el código de arranque. Como se representa esquemáticamente, en la realización ilustrativa, la red en chip (NoC) 34 gestiona las comunicaciones en chip y el flujo de datos entre los diversos módulos/núcleos funcionales en chip, etc.

Algunos aspectos ilustrativos y/o el valor asociado con estas diversas características/componentes integrados monolíticamente en algunas realizaciones (por ejemplo, la FIGURA 1) pueden resumirse como sigue:

Característica	Valor
Tecnología de silicio de baja potencia y bajo coste	Integración a gran escala, bajo coste, bajo consumo de energía mientras que se mantiene la resistencia
Núcleos de procesamiento de aplicaciones	Combinar la función de gestión Ethernet con la aplicación del producto principal para ahorrar coste, energía; y aumentar la consistencia de la aplicación y Ethernet
Núcleo de procesamiento en tiempo real	Ejecutar tareas críticas auxiliares (gestión de bus de campo, verificador de seguridad, ...)
RAM integrada "XXL" + Capacidad de ejecución <i>in situ</i> (XiP) de la Flash externa	Impedir el uso de RAM externa - Suficientemente grande como para ejecutar un sistema operativo complejo como Linux o VxWorks Permitir una tecnología de silicio más eficiente, con respecto a las estrategias de Flash integrada
Interfaz RAM externa opcional	Proporciona suficiente espacio para aplicaciones más grandes que no caben en la RAM interna
Interfaz de bus externo maestro/esclavo	El sistema puede emplearse junto con otro microprocesador
Conmutador Ethernet "en tiempo real flexible"	Conexión a redes "IT" Ethernet genéricas con múltiples topologías
Interfaces Ethernet "en tiempo real estricto"	Conexión a redes basadas en Ethernet industrial específicas
Multiplexores de puertos	Utilización flexible del producto dependiendo de los requisitos de instalación
Interfaces de bus de campo/comunicaciones a baja velocidad	Compatibilidad con bases instaladas. Conexión a transceptores inalámbricos externos

En las FIGURA 3 y 4 se muestran dos versiones ilustrativas (por ejemplo, implementaciones) de una UES de acuerdo con las realizaciones de las FIGURA 1 y 2. Más específicamente, la FIGURA 3 representa una UES ilustrativa que emplea un único núcleo Cortex A7 y una SRAM de 6 MB, mientras que la FIGURA 4 representa una UES ilustrativa que emplea núcleos Cortex A7 dobles y una SRAM de 2MB. Como se analiza con más detalle más adelante, cada una de estas realizaciones, como la realización de la FIGURA 2, también puede incluir opcionalmente un núcleo Cortex M3.

Aspectos adicionales de algunas realizaciones de los componentes de la UES ilustrativa según algunas realizaciones (por ejemplo, las FIGURA 1-4) se describen con más detalle como sigue.

*Núcleo(s) de procesador*

Como se muestra (por ejemplo, las FIGURA 2-4), cada núcleo de procesamiento de aplicaciones (por ejemplo, núcleo(s) de procesador 12) puede implementarse empleando un núcleo de procesador ARM®, como el núcleo de microprocesador ARM® Cortex™ A7. En algunas realizaciones (por ejemplo, las FIGURA 2 y 4), la UES puede comprender procesadores ARM Cortex-A7 dobles, capaces de proporcionar conjuntamente rendimiento de UES de hasta al menos aproximadamente 1900 DMIPS (Dhrystone MIPS) a 500 MHz de funcionamiento de la CPU.

La UES está configurada para ejecutar cualquiera de una variedad de sistemas operativos y, en implementaciones multinúcleo (por ejemplo, las realizaciones de doble núcleo ilustradas de las FIGURA 2 y 4), el entorno de ejecución de multiprocesamiento puede implementarse en cualquiera de los siguientes modos para ejecutar el código de aplicación industrial y los procesos de código de conectividad/gestión Ethernet (por ejemplo, pila Ethernet industrial): multiprocesamiento asimétrico (AMP), ya sea homogéneo o no homogéneo; multiprocesamiento simétrico (SMP); y multiprocesamiento unido (BMP). A título de ilustración, la FIGURA 5 representa esquemáticamente una UES ilustrativa que comprende dos núcleos Cortex A7, en donde (i) ambos núcleos pueden ejecutarse en modo SMP bajo el mismo sistema operativo o bajo un hipervisor para ejecutar el código de la aplicación y la conectividad/gestión Ethernet, y/o (ii) cada uno de los núcleos puede ejecutarse en modo AMP en sistemas operativos respectivos para ejecutar respectivamente conectividad/gestión Ethernet y código de aplicación.

*Módulo de procesamiento en tiempo real (por ejemplo, núcleo de procesamiento en tiempo real)*

La UES puede incluir un módulo de procesamiento en tiempo real que puede comprender hardware (por ejemplo, hardware dedicado y/o un núcleo de procesador (y firmware asociado)) que soporte protocolos Ethernet en tiempo real y/o cualquier otra tarea crítica.

Por ejemplo, en algunas realizaciones, para soportar protocolos Ethernet en tiempo real, la UES incluye un núcleo de procesamiento en tiempo real que incluye, por ejemplo, un núcleo de procesador como un ARM Cortex M3. El núcleo de procesador en tiempo real también puede soportar tareas críticas adicionales (por ejemplo, gestión de bus de campo, verificador de seguridad, etc.). También pueden emplearse motores de hardware dedicados para reducir la carga sobre la CPU del núcleo de procesador en tiempo real (por ejemplo, el Cortex M3). Por ejemplo, tales motores de hardware pueden incluir un acelerador de sistema operativo en tiempo real por hardware (HW-RTOS) y también pueden incluir un acelerador Ethernet por hardware (HW-EA; por ejemplo, que soporte suma de verificación IP/TCP/UDP, encabezamiento ENDEC, gestión de memoria intermedia, etc.).

Sin embargo, se entenderá que algunas realizaciones pueden no incluir una CPU de núcleo de procesador en tiempo real dedicada (por ejemplo, ARM Cortex M3), o pueden desactivar selectivamente su funcionamiento, o pueden desactivar selectivamente su funcionamiento al ejecutar protocolos Ethernet en tiempo real. Por ejemplo, en algunas de tales realizaciones, un núcleo de procesador de aplicaciones puede ejecutar un protocolo Ethernet en tiempo real, ya sea a través del MAC adicional, el conmutador Ethernet en tiempo real flexible o los recursos Ethernet en tiempo real estricto dedicados, sin la ayuda de HW-RTOS o HW-EA.

También a título de ejemplo, en diversas realizaciones alternativas en las que no se emplea una CPU de núcleo de procesador en tiempo real, la UES puede estar configurada de modo que el (los) núcleo(s) de procesador (o al menos uno de los núcleos) que ejecuta(n) la programación de aplicación industrial también puede ejecutar los protocolos Ethernet en tiempo real (por ejemplo, incluyendo la gestión de la capa de enlace de datos (por ejemplo, MAC)), pero con el soporte de motores de hardware como el HW-RTOS y el Acelerador Ethernet por hardware (HW-EA).

Alternativa o adicionalmente, en algunas realizaciones en las que no se emplea una CPU de núcleo de procesador en tiempo real, puede proporcionarse un motor MAC en chip adicional (por ejemplo, hardware/lógica/control dedicado adicional) que coopera (por ejemplo, a través del bus del sistema) con el HW-RTOS y HW-EA para soportar protocolos Ethernet en tiempo real y/o cualquier otra tarea crítica.

Como se indicó, en algunas realizaciones que emplean un núcleo de procesador en tiempo real, el núcleo de procesador en tiempo real también puede soportar funciones adicionales, como ser utilizable a la hora de soportar un verificador de seguridad. En algunas implementaciones, para diversas tareas o procesos, el llamado código "verificador de seguridad" ejecutado por el núcleo en tiempo real realiza la misma función que las partes "seguras" del núcleo de la aplicación. Uno u otro del núcleo (ya sea el núcleo del verificador de seguridad o el núcleo de la aplicación) se encarga de verificar que ambos códigos proporcionen los mismos resultados de cálculo para una tarea dada antes de aplicar esos resultados calculados a los actuadores (es decir, en el caso de que no coincidan, los resultados calculados no se aplicarán).

Además, en algunas realizaciones, otra entidad no mostrada en los diagramas pero ubicada generalmente en la red en chip 34 o en sus límites, se encarga de verificar que todos y cada uno de los maestros (por ejemplo, que podrían ser un núcleo o un Ethernet MAC, o un periférico USB, etc.) accede solo a los esclavos y las regiones de memoria a

las que se pretende acceder. Esta entidad es muy similar a una MMU pero al nivel de todo el chip en lugar de ser al nivel de un núcleo.

Tal verificador de seguridad y control de acceso a memoria, tal como lo soporta el núcleo de procesamiento en tiempo real, puede proporcionar el logro de la certificación SIL2 (según el estándar IEC61508) en un solo chip, mientras que mantiene un sistema operativo estándar en el (los) núcleo(s) de procesamiento de aplicaciones. En algunas realizaciones, puede proporcionarse un núcleo (por ejemplo, ARM Cortex M3) además del (de los) núcleo(s) de procesamiento de aplicaciones para soportar funciones adicionales (por ejemplo, verificador de seguridad, etc.), pero no puede configurarse para soportar protocolos Ethernet en tiempo real.

#### *Memoria principal en chip*

Como se indicó anteriormente, de acuerdo con algunas realizaciones, la UES incluye RAM en chip que tiene capacidad suficiente para eliminar la necesidad de RAM externa en la ejecución por parte del (de los) núcleo(s) de procesador de aplicaciones de un sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet. En otras palabras, en algunas realizaciones, la UES incluye suficiente RAM en chip configurada como memoria de ejecución principal (por ejemplo, no caché) de modo que no se requiere RAM externa para satisfacer los requisitos de memoria principal para ejecutar todos los servicios de Ethernet, programación de aplicaciones industriales y sistema(s) operativo(s). En diversas realizaciones, uno o más de estos programas pueden almacenarse y ejecutarse *in situ* desde la memoria externa no volátil (por ejemplo, Flash externa, que a título de ejemplo no limitativo, en algunas implementaciones puede interconectarse a la UES a través de una Quad SPI capaz de proporcionar hasta aproximadamente 50 MBps de anchura de banda).

La RAM en chip puede estar configurada para (i) almacenar al menos los datos de proceso modificables (por ejemplo, el segmento de datos no inicializados o los denominados BSS y las pilas y los almacenamientos dinámicos) asociados con la ejecución del sistema operativo, la aplicación industrial, y el código de conectividad/gestión Ethernet, y (ii) no almacenar código (es decir, no asignación de segmento de código/texto) asociado con cada uno del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet que está configurado para ejecución *in situ* desde la memoria externa no volátil.

Sin embargo, se entenderá que, en algunas realizaciones, como cuestión práctica, algún código normalmente se almacenará y ejecutará desde la RAM en chip, como uno o más de lo siguiente: (i) código crítico de rendimiento y de latencia, como el código de procesador en tiempo real (por ejemplo, particularmente en implementaciones en las que el procesador en tiempo real no tiene caché); (ii) código de automodificación (por ejemplo, la porción definida por el usuario de aplicación industrial generalmente escrita en lógica en escalera, por ejemplo); y (iii) código cuyo propósito de ejecución no es compatible con XIP; por ejemplo, rutinas de borrado/escritura para la flash.

Los datos de proceso no modificables (por ejemplo, segmento de datos inicializado) asociados con cada uno del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet que está configurado para la ejecución *in situ* desde la memoria externa no volátil pueden - o pueden no - almacenarse en la RAM en chip, de acuerdo con diversas realizaciones. Por ejemplo, en algunas realizaciones, para cada uno del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet que está configurado para ejecutarse *in situ* desde la memoria externa no volátil, la RAM en chip no almacena ni el segmento de datos inicializado asociado ni el código asociado. Pero en algunas realizaciones, por ejemplo, para al menos uno del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet que está configurado para ejecutarse *in situ* desde la memoria externa no volátil, la RAM en chip almacena el segmento de datos inicializado asociado y no almacena el código asociado.

En diversas realizaciones, la RAM en chip puede implementarse como SRAM o como cualquier otra tecnología RAM que pueda integrarse monolíticamente en la UES (por ejemplo, DRAM integrada). De acuerdo con diversas realizaciones ilustrativas, la RAM en chip puede tener una capacidad de aproximadamente 2 MB, o aproximadamente 4 MB, o aproximadamente 6 MB. Aunque en algunas realizaciones puede proporcionarse capacidad adicional (por ejemplo, más de aproximadamente 6 MB, tal como 10 MB, o 20 MB, etc.), la provisión de RAM en chip adicional debería considerarse en vista de los requisitos de diseño y compromisos, tales como el rendimiento, el nodo tecnológico (por ejemplo, 40 nm, 15 nm), el coste, módulos/motores/periféricos deseados, asignación de superficie ocupada, etc. Por ejemplo, como puede apreciarse, servicios básicos del sistema operativo y una pila TCP/IP pueden requerir normalmente 1 a 2 MB de datos, y una serie de servicios Ethernet, incluyendo, pero no limitados a, entre otros, HTTP, FTP, SNMP, además de algunos protocolos de capa de aplicación, pueden requerir normalmente 2 a 3 MB adicionales.

Un ejemplo ilustrativo más específico en consonancia con tales requisitos se indica en la FIGURA 6, que ilustra que todos los servicios Ethernet de una biblioteca IPCL ilustrativa disponible (siendo IPCL un lenguaje de control de procesos desarrollado por el presente cesionario/solicitante; ilustrándose en la FIGURA 7 los servicios disponibles en una biblioteca IPCL ilustrativa) requerirían casi 14 MB de código y asignación de memoria de datos, pero puede satisfacerse con 6 MB de RAM y operación de ejecución *in situ* (XIP).

Se entenderá, por lo tanto, que en algunas realizaciones, como la realización de un solo núcleo A7 ilustrada en las figuras (por ejemplo, la FIGURA 3), la RAM en chip (por ejemplo, 6 MB) puede ser la única RAM para el sistema; como tal, aloja datos, la pila y el almacenamiento dinámico para todos los elementos de software (por ejemplo, SO, protocolo Ethernet, aplicación industrial) para el (los) núcleo(s) de aplicación (por ejemplo, el único núcleo A7), así como para el núcleo en tiempo real (por ejemplo, Cortex M3). En diversas de tales implementaciones, el protocolo Ethernet puede ser ejecutado o bien por el núcleo de procesamiento de aplicaciones (por ejemplo, A7) o bien por el núcleo en tiempo real (por ejemplo, M3). Aunque el código para el A7 generalmente se ejecuta *in situ*, en diversas implementaciones, algo del código, como código crítico para algunas rutinas (por ejemplo, código de actualización flash) puede copiarse en la RAM en chip.

También se entenderá, por lo tanto, que en algunas realizaciones, como algunas implementaciones del núcleo A7 doble con 2 MB de realizaciones de RAM en chip ilustradas en las figuras (por ejemplo, las FIGURA 2 y 4), la RAM en chip puede alojar el código y datos del núcleo en tiempo real, así como algo de código y datos críticos en cuanto a tiempo de al menos uno de los núcleos A7, mientras que puede proporcionarse una RAM externa para alojar al menos datos asociados con aplicaciones adicionales ejecutadas (por ejemplo, ejecutadas *in situ*) por uno o más de los núcleos A7. En diversas implementaciones, el código para uno o más del (de los) núcleo(s) de procesador de aplicaciones (por ejemplo, los A7) puede ejecutarse *in situ* o copiarse en la RAM externa, mientras que, como se señaló, el código para algunas rutinas (por ejemplo, código de reactivación) ejecutado por uno o más de los núcleos de procesador de aplicaciones puede copiarse en la RAM en chip.

Como se indicó anteriormente, las realizaciones de UES ilustrativas discutidas en la presente memoria e ilustradas en las figuras no incluyen memoria flash en chip, permitiendo que se use el espacio ocupado del chip para RAM adicional y/o circuitos adicionales, sin requerir el uso de un nodo tecnológico más pequeño. Sin embargo, se entenderá que en algunas implementaciones (por ejemplo, que emplean un nodo tecnológico más pequeño) puede ser ventajoso incluir al menos algo de memoria flash en chip (por ejemplo, posiblemente para el núcleo del sistema operativo).

Como entienden los expertos en la técnica, las unidades microcontroladoras (MCU) y las unidades microprocesadoras (MPU) convencionales generalmente no proporcionan - y no están configuradas para proporcionar - suficiente RAM en chip para actuar como la memoria de ejecución principal para la ejecución por parte de la MCU o la MPU de un sistema operativo, una aplicación industrial y el código de conectividad/gestión Ethernet según lo proporcionado por realizaciones de la presente descripción.

Además, como reconocen los presentes inventores, eliminar la DRAM externa proporcionando RAM en chip como la memoria de ejecución principal proporciona distintas ventajas para soluciones de equipos de automatización industrial, no solo con respecto a la disipación de energía y la anchura de banda de la memoria, sino también con respecto al diseño térmico. Más específicamente, el entorno en el que se despliega el equipo de automatización industrial, y la sensibilidad a la temperatura de las DRAM, requiere proporcionar un control de temperatura estricto del circuito integrado de la DRAM externa además del control de temperatura del circuito integrado de la MPU. Eliminando el requisito de DRAM externa, la UES reduce significativamente la complejidad técnica, así como el coste asociado, asociado con el control por separado de la temperatura de una DRAM externa. Aunque las realizaciones de UES ilustrativas están configuradas para interactuar con una memoria Flash externa, la memoria Flash disipa menos calor que la DRAM y, por lo tanto, no requiere control de temperatura estricto. Además, la Flash externa es generalmente más fácil de implementar; por ejemplo, a diferencia de la DRAM, no requiere reglas estrictas de encaminamiento de la placa.

Por consiguiente, en vista de las realizaciones ilustrativas anteriores de un circuito integrado de UES, los expertos en la técnica comprenderán que, por ejemplo, al combinar el procesamiento de aplicaciones, la conmutación de Ethernet, el bus de campo y la memoria de la manera ilustrativa descrita, las realizaciones de la presente invención representan un nuevo concepto de microprocesador digital. Además, este nuevo concepto proporciona una solución Ethernet de bajo coste (por ejemplo, rentable), muy adecuada para implementación no solo en controladores, sino también en dispositivos de campo (por ejemplo, sensores, actuadores, etc.). Aunque las realizaciones de la presente descripción son óptimamente adecuadas, o al menos particularmente muy adecuadas para el presente software del cesionario/solicitante, las redes centrales y los requisitos operativos, los expertos en la técnica entenderán que diversas realizaciones son generalmente aplicables y proporcionan un ASSP (producto estándar de aplicación específica) que puede optimizarse para diversos dispositivos y aplicaciones de cualquier red de automatización/control industrial. Además, brindando conectividad y amplio rendimiento de procesamiento en un gran conjunto de dispositivos, diversas realizaciones de un chip UES permiten ofrecer digitalización y un modelo de negocio basado en servicios.

Y, a este respecto, los chips UES según algunas realizaciones de la presente descripción proporcionan convergencia IP, como se ilustra esquemáticamente por la FIGURA 8. Como se muestra, la UES permite la evolución de las arquitecturas de redes industriales desde arquitecturas escalonadas/en niveles de redes heredadas y actuales hacia una red centrada en IP, empleando una red IP unificada (por ejemplo, IP puede ser Ethernet cableada, Wifi, Zigbee, la nube, etc.). En otras palabras, combinando Ethernet, Ethernet industrial, bus de campo heredado y procesamiento de aplicaciones, las implementaciones de UES según las realizaciones de la presente

invención pueden estar dirigidas a innumerables dispositivos/nodos a través de la red, proporcionando rendimiento y características para conectar cualquier dispositivo a redes IP globalizadas (y, por ejemplo, manteniendo el coste en los niveles de bus de campo heredado).

5 Más específicamente, como se indica (y como se representa en la red objetivo de la FIGURA 8), una UES de acuerdo con diversas realizaciones de la presente invención, es aplicable a innumerables aplicaciones y dispositivos a través de diferentes niveles (por ejemplo, operador, control, campo) de una red de automatización/control industrial, incluyendo, por ejemplo, dispositivos de E/S, sensores, actuadores, controladores lógicos programables y ordenadores industriales, interfaz hombre-máquina (HMI), nodos de operador SCADA, así como conmutadores de red. Las FIGURA 9A, 9B y 9C ilustran además tres implementaciones específicas de una UES de acuerdo con algunas realizaciones. Particularmente, la FIGURA 9A muestra que una UES puede implementarse en controladores y otros dispositivos inteligentes, en los que una UES puede gestionar/ejecutar una aplicación global, así como Ethernet y buses de campo. Además, como se muestra en la FIGURA 9B, una UES puede implementarse como un coprocesador, como en una tarjeta de Opción Ethernet, en donde la UES gestiona protocolos Ethernet. Y, como se muestra en la FIGURA 9C, una UES puede implementarse a nivel de dispositivo (por ejemplo, en dispositivos de E/S inteligentes y de campo), en donde la UES puede gestionar tanto el plano posterior como el bus de campo y aplicación(es) especializada(s). Se entenderá que pueden implementarse diversas realizaciones de UES (por ejemplo, núcleo único, multinúcleo, etc.) en diferentes niveles/dispositivos/nodos según corresponda (por ejemplo, con respecto al coste, rendimiento, etc.), aunque es posible que puedan emplearse versiones de UES idénticas en diferentes niveles/dispositivos/nodos.

La FIGURA 10 representa esquemáticamente un ejemplo de tres objetivos integrados en el mismo chip UES, de acuerdo con algunas realizaciones; Como se muestra, el mismo chip UES (por ejemplo, implementado de acuerdo con una de las realizaciones de las FIGURA 2-4) es capaz de (i) soportar conectividad para múltiples protocolos Ethernet (Ethernet Real Time, IEEE 1588, EthernetIP, IEC 61850, etc.), (ii) soportar protocolos de bus de campo y pasarela y esquemas de direccionamiento (por ejemplo, PRP/HSR, Ethercat, Sercos, Profinet RT, ModBus, Can, Kampai, Xbus, etc.) y (iii) actuar como procesador de aplicaciones para cualquiera de diversos dispositivos/aplicaciones de control ilustrativos (por ejemplo, controlador de motor, E/S compleja, unidad terminal remota (RTU), aplicaciones de movimiento y accionamiento, aplicaciones de recuento complejas, etc.).

Las FIGURA 11 a 14 representan esquemáticamente la arquitectura de plataformas de hardware, firmware y software de UES ilustrativas que pueden estar configuradas para diferentes aplicaciones/objetivos ilustrativos. Más específicamente, la FIGURA 11 muestra una arquitectura ilustrativa de una UES configurada para una aplicación de controlador, que emplea hardware de doble núcleo y un hipervisor integrado que proporciona una capa de virtualización que divide el hardware de doble núcleo en cuatro particiones de núcleos virtuales, permitiendo la apertura heterogénea del sistema operativo y diversos modos/configuraciones, como el modo SMP con respecto a uno de los núcleos de hardware (por ejemplo, dos núcleos virtuales). También a título de ejemplo no limitativo, la FIGURA 12 muestra la arquitectura de una UES ilustrativa configurada para una aplicación de controlador y dispositivo, que emplea hardware de doble núcleo con soporte RTOS por hardware (por ejemplo, para Ethernet en tiempo real) y un paquete de soporte de placa integrado (Bsp), con un sistema operativo que se ejecuta en modo SMP en todos los núcleos. La FIGURA 13, a título de ejemplo no limitativo, muestra la arquitectura de una UES ilustrativa configurada para una aplicación de coprocesador y dispositivo, que emplea un único núcleo de hardware con soporte RTOS por hardware (por ejemplo, para Ethernet en tiempo real) y Bsp integrado. Y como ejemplo no limitativo adicional, la FIGURA 14 muestra la arquitectura de una UES ilustrativa configurada para una aplicación OneEsp (una plataforma de servicios integrados One patentada desarrollada por el presente solicitante/cesionario para proporcionar una plataforma de servicios integrados común que cumpla los requisitos de diversas empresas), que emplea hardware de doble núcleo con extensiones de hardware de tecnología Jazelle para soportar y acelerar el software Java Virtual Machine que ejecuta aplicaciones o componentes en forma de paquetes basados en OSGi.

En vista de las realizaciones ilustrativas anteriores, puede entenderse que un chip UES según algunas realizaciones de la presente invención representa una solución de control/automatización industrial (por ejemplo, un ASSP), como se representa ilustrativamente, por ejemplo, en la FIGURA 15, que muestra esquemáticamente algunas características de un chip UES ilustrativo 150 con respecto a la maestría tecnológica subyacente, componentes optimizados ilustrativos y sistema operativo integral y soporte de pila, que proporciona una solución Ethernet común de un solo chip aplicable a innumerables aplicaciones/plataformas objetivo en un red de automatización industrial, como para nodos de enrutamiento/pasarela, controladores, subestaciones, servicios web basados en la nube y plataformas de ciberseguridad, etc.

En otras palabras, en vista de la descripción anterior, los expertos en la técnica entenderán que algunas realizaciones de una UES proporcionan una solución Ethernet rentable, que tiene memoria escalable, rendimiento (por ejemplo, incluyendo potencia de alto rendimiento) y bajo consumo de energía, reemplazando así eficazmente la aplicación, el protocolo Ethernet y los procesadores de bus de campo (por ejemplo, proporcionando una solución de un solo chip para aplicaciones de dispositivos, controladores (por ejemplo, PLC de bajo coste), módulos Ethernet, etc. Por ejemplo, de acuerdo con la descripción anterior, se entenderá que un chip UES según algunas realizaciones puede proporcionar y soportar las siguientes características:

Característica	UES
Máquina Java	Sí
<i>Característica principal:</i>	
Solución abierta estándar ARM	Buena
Rendimiento	Alto
Memoria flexible (RAM integrada)	Alta
Sin limitación de tamaño de memoria	Buena
Ciberseguridad criptográfica	Sí
Consumo	Bueno
OPent a todos los SO: Quadros, VxWork, etc.	Buena
Biblioteca IPCL, Mx80, SoControl, OPC	Buena
Características Ethernet avanzadas:	Sí
Ethernet IP & MODBUS/TCP	Sí

(continuación)

<i>Característica principal:</i>	
Sercos3	Sí
Ethercat, Profinet, etc.	Sí
PRP/HSR	Sí
61850	Sí
Filtrado GOOSE y de valor de muestreo	Sí
RSTP, bucle de cadena tipo margarita, 1588	Sí
<i>Conectividad:</i>	
Bus de campo heredado	Sí
Conectividad inalámbrica (Zigbee, Wifi, etc.)	Sí
<i>Objetivo</i>	
Coste de reutilización de PLC muy bajo	Sí
Aplicación de dispositivo (p. ej., E/S, Accionamiento, Recuento, Analógico, etc.)	Sí
Módulo Ethernet de bajo coste	Sí
Aplicación HMI de bajo coste	Sí
Controlador (PLC, PMC, pasarela, etc.)	Sí

Así, por ejemplo, una UES según algunas realizaciones proporciona numerosas ventajas, características y valor asociado para desarrolladores basada en tales características, incluyendo las resumidas a continuación:

Las realizaciones de UES permiten a los Desarrolladores...	Propuesta/característica de valor único según lo provisto por algunas realizaciones de UES
Concentrarse en añadir nuevas características y mejorar el TTM (tiempo de comercialización), no optimizar el código y (re-re-re)escribir código de bajo nivel	La RAM integrada tiene significativamente más espacio para datos que las estrategias alternativas actuales disponibles. Puede tener en cuenta sistemas operativos populares y el soporte de pilas de aplicaciones patentadas (p. ej., Schneider).
Mantener bajo el coste del producto	Las opciones de diseño permiten la optimización del coste del sistema global (conjunto reducido de componentes alrededor del chip).
Reducir el número de plataformas soportadas, para facilitar el mantenimiento y reducir el coste de desarrollo	Diferentes versiones del chip permiten usar la misma plataforma, el mismo sistema operativo, los mismos controladores, p. ej., tanto en dispositivos de campo como en controladores.
Reducir la dependencia del proveedor hacia un fabricante específico no industrial	El conmutador Ethernet gestionado integrado tiene todas las características actualmente poseídas, por ejemplo, por conmutadores Marvell y es portable a otra tecnología
Reutilizar el código de otra entidad por eficiencia de diseño (p. ej., protocolo de construcción en producto energético, protocolo de energía en producto industrial)	Proporciona una estrategia de paquete de software corporativo y solución global que garantiza el uso y la reutilización en muchos proyectos y actividades, haciendo que se disponga de una amplia biblioteca de códigos.

5 Y, por ejemplo, una UES según algunas realizaciones proporciona numerosas ventajas, características y valor asociado para un cliente basada en tales características, incluyendo las resumidas a continuación:

La UES proporciona al cliente...	Propuesta/característica de valor único según lo provisto por algunas realizaciones de UES
Ethernet en todas partes con valor real	Permite el uso de servicios IPCL completos sin características o compromiso de rendimiento incluso en productos del menor coste.
Consistencia e interoperabilidad en características e interfaces	Reutilización del mismo chip, con el mismo software, en muchos productos, ya sean dispositivos o controladores, gracias a la nueva estrategia de escalabilidad de rendimiento y coste.
Disponibilidad, flexibilidad y transparencia de arquitecturas de red	Las amplias características de Ethernet permite aplicaciones de pasarela y encaminador Conmutador integrado, permite arquitecturas de anillo, estrella, doble estrella y cadena directamente desde dispositivos de campo.
Sostenibilidad en instalaciones existentes y futuras	Amplio soporte para protocolos de plano posterior y de bus de campo existentes. Soporte de Gigabit Ethernet en algunos puertos Ethernet
Rendimiento en el mundo real	La última tecnología ARM de alto rendimiento para tiempos de ejecución rápidos y amplias características. Las optimizaciones para el innovador concepto de memoria de Ethernet en tiempo real reduce el tiempo de arranque del dispositivo.

10 De lo anterior, se entenderá que pueden implementarse innumerables variaciones y realizaciones adicionales o alternativas sin apartarse del alcance de la presente descripción. La presente invención se ha ilustrado y descrito con respecto a realizaciones específicas de la misma, realizaciones que son meramente ilustrativas de los principios de algunas realizaciones de la invención y no pretenden ser realizaciones exclusivas o limitativas de otro modo. Por  
15 consiguiente, aunque la descripción anterior de realizaciones ilustrativas de la presente invención, así como diversas modificaciones y características ilustrativas de las mismas, proporciona muchas especificidades, estos detalles habilitantes no deberían interpretarse como limitativos del alcance de la invención, y se entenderá fácilmente por los

5 expertos en la técnica que la presente invención es susceptible de muchas modificaciones, adaptaciones, variaciones, omisiones, adiciones e implementaciones equivalentes sin apartarse de este alcance y sin disminuir sus ventajas inherentes. Por ejemplo, excepto en la medida necesaria o inherente a los procesos en sí, no se supone ningún orden en particular para las etapas o fases de los métodos o procesos descritos en esta descripción, incluyendo las figuras. En muchos casos, el orden de las etapas del proceso puede variarse, y diversas etapas ilustrativas pueden combinarse, alterarse u omitirse, sin cambiar el propósito, el efecto o la importancia de los métodos descritos. De manera similar, la estructura y/o función de un componente puede combinarse en un solo componente o dividirse entre dos o más componentes. Se observa además que los términos y expresiones se han empleado como términos de descripción y no términos de limitación. No existe intención de emplear los términos o expresiones para excluir ningún equivalente de las características mostradas y descritas o partes de las mismas. 10 Además, la presente invención puede llevarse a la práctica sin proporcionar necesariamente una o más de las ventajas descritas en la presente memoria o entenderse de otro modo en vista de la descripción y/o que puedan realizarse en algunas realizaciones de la misma. Por lo tanto, se pretende que la presente invención no se limite a las realizaciones descritas, sino que debería definirse de acuerdo con las reivindicaciones que se basan en la presente descripción, ya que tales reivindicaciones pueden presentarse en la presente memoria y/o en cualquier solicitud de patente que reivindique la prioridad respecto a, y/o basada en, y/o que corresponda a la presente descripción. 15

## REIVINDICACIONES

1. Un circuito integrado monolítico (10), que comprende:
- 5 al menos un núcleo de procesador de aplicaciones (12) utilizable para ejecutar una aplicación industrial y código de conectividad/gestión Ethernet, incluyendo código de conectividad/gestión Ethernet estándar y código de conectividad/gestión Ethernet industrial;
- 10 un módulo de procesamiento en tiempo real (14) configurado para soportar una pluralidad de capas de enlace de datos Ethernet industriales; una interfaz (16) configurada para ser acoplada a una memoria externa no volátil desde la cual el al menos un núcleo de procesador de aplicaciones (12) está configurado para ejecutar procesamiento *in situ*; y
- 15 RAM en chip (18) que tiene una capacidad suficiente para eliminar la necesidad de RAM externa en ejecución por el al menos un núcleo de procesador de aplicaciones (12) de un sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet.
- en donde el al menos un núcleo de procesador de aplicaciones (12) está configurado para ejecutar *in situ* desde la memoria externa no volátil al menos uno del sistema operativo, la aplicación industrial, y el código de conectividad/gestión Ethernet.
2. El circuito integrado monolítico (10) según la reivindicación 1, que comprende además una interfaz de bus externo maestro/esclavo (20) configurada para proporcionar comunicaciones maestro/esclavo directas con otro microprocesador.
3. El circuito integrado monolítico (10) según cualquiera de las reivindicaciones precedentes, que comprende además un conmutador Ethernet en tiempo real flexible (22), interfaces Ethernet en tiempo real estricto (24) y al menos una interfaz de bus de campo/comunicaciones a baja velocidad (28).
4. El circuito integrado monolítico (10) según la reivindicación 3, que comprende además al menos un multiplexor de puertos (26) configurado para multiplexar dichos conmutador Ethernet en tiempo real flexible (22) e interfaces Ethernet en tiempo real estricto (24) a al menos un puerto del circuito integrado monolítico (10).
5. El circuito integrado monolítico (10) según la reivindicación 3 o 4, en donde el conmutador Ethernet en tiempo real flexible (22), las interfaces Ethernet en tiempo real estricto (24) y la al menos una interfaz de bus de campo/comunicaciones a baja velocidad (28) incluyen cada uno circuitos de capa física (PHY) correspondientes para cada uno de los protocolos respectivos necesarios para la Ethernet y el al menos un bus de campo/comunicaciones.
6. El circuito integrado monolítico (10) según cualquiera de las reivindicaciones precedentes, en donde el circuito integrado monolítico (10) no incluye memoria Flash en chip.
7. El circuito integrado monolítico (10) según la reivindicación 6, en donde el circuito integrado monolítico (10) no incluye ninguna memoria no volátil en chip empleada para almacenar uno cualquiera o más de (i) la aplicación industrial, (ii) el código de conectividad/gestión Ethernet y (iii) el sistema operativo.
8. El circuito integrado monolítico según cualquiera de las reivindicaciones precedentes, en donde el circuito integrado monolítico (10) está configurado de modo que, durante la ejecución, la RAM en chip (18) (i) almacena al menos los datos de proceso modificables asociados con la ejecución del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet, y (ii) no almacena código asociado con cada uno del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet que está sometido a ejecución *in situ*.
9. El circuito integrado monolítico (10) según la reivindicación 8, en donde, durante la ejecución, al menos uno del siguiente código se almacena y ejecuta desde la RAM en chip (18): (i) código crítico de rendimiento y de latencia, como el código de procesador en tiempo real; (ii) código de automodificación; y (iii) código cuyo propósito de ejecución no es compatible con XIP, incluyendo cualquier rutina de borrado/escritura para la memoria externa no volátil.
10. El circuito integrado monolítico (10) según la reivindicación 8, en donde, para cada uno del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet que está configurado para ejecutarse *in situ* desde la memoria externa no volátil, la RAM en chip (18) no almacena ni el segmento de datos inicializado asociado ni el código asociado,
- o
- en donde, para al menos uno del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet que está configurado para ejecutarse *in situ* desde la memoria externa no volátil, la RAM en chip (18) almacena el segmento de datos inicializado asociado y no almacena el código asociado.
11. El circuito integrado monolítico (10) según cualquiera de las reivindicaciones precedentes, en donde la RAM en chip (18) tiene una capacidad de al menos 2 MB, siendo suficiente la capacidad como memoria de ejecución

principal para ejecución por el al menos un núcleo de procesador de aplicaciones (12) del sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet.

5 12. El circuito integrado monolítico (10) según cualquiera de las reivindicaciones precedentes, en donde el módulo de procesamiento en tiempo real (14) comprende (i) un núcleo de procesador en tiempo real utilizable para ejecutar código de conectividad/gestión Ethernet, incluyendo código de conectividad/gestión Ethernet estándar y código de conectividad/gestión Ethernet industrial, y (ii) motores de hardware dedicados, incluyendo un acelerador de sistema operativo en tiempo real y un acelerador Ethernet, configurados para reducir la carga en el núcleo de procesador en tiempo real.

10 13. El circuito integrado monolítico (10) según la reivindicación 12, en donde la capacidad de la RAM en chip (18) es al menos 6 MB.

15 14. El circuito integrado monolítico (10) según cualquiera de las reivindicaciones 1 a 12, en donde la RAM en chip (18) tiene una capacidad de aproximadamente 2 MB a aproximadamente 128 MB, o en donde la RAM en chip (18) tiene una capacidad de aproximadamente 2 MB a aproximadamente 6 MB, o en donde la RAM en chip (18) tiene una capacidad de aproximadamente 6 MB a aproximadamente 15 MB, o en donde la RAM en chip (18) tiene una capacidad de aproximadamente 15 MB a aproximadamente 25 MB, o en donde la RAM en chip (18) tiene una capacidad de aproximadamente 50 MB a aproximadamente 128 MB.

20 15. Una red industrial, que comprende:  
 al menos un dispositivo de campo que comprende un circuito integrado monolítico (10) según cualquiera de las reivindicaciones precedentes; al menos una unidad de control de automatización que comprende un  
 25 circuito integrado monolítico (10) según cualquiera de las reivindicaciones precedentes; y  
 al menos una unidad de operador que tiene una interfaz de operador que comprende un circuito integrado monolítico (10) según cualquiera de las reivindicaciones precedentes.

30 16. Una red industrial según la reivindicación 15, en donde el al menos un dispositivo de campo comprende al menos uno de una unidad de entrada/salida, un sensor, y un actuador; en donde la al menos una unidad de control comprende al menos uno de un controlador lógico programable, un controlador de automatización programable, un módulo de comunicación, y un accionamiento; y en donde la al menos una unidad de operador comprende al menos uno de un dispositivo de interfaz hombre-máquina (HMI) y un  
 35 dispositivo informático SCADA.

40 17. Un método para ejecutar una aplicación industrial y código de conectividad/gestión Ethernet, incluyendo código de conectividad/gestión Ethernet estándar y código de conectividad/gestión Ethernet industrial por al menos un núcleo de procesador de aplicaciones (12) de un circuito integrado monolítico (10), comprendiendo el circuito integrado monolítico (10):

un módulo de procesamiento en tiempo real (14) configurado para soportar una pluralidad de capas de enlace de datos Ethernet industriales; una interfaz (16) configurada para ser acoplada a una memoria externa no volátil (por ejemplo, Flash) desde la cual el al menos un núcleo de procesador de aplicaciones (12) está  
 45 configurado para ejecutar procesamiento *in situ*;  
 y RAM en chip (18) que tiene una capacidad suficiente para eliminar la necesidad de RAM externa;  
 comprendiendo el método utilizar la RAM en chip (18) como memoria de ejecución principal para ejecución por el al menos un núcleo de procesador de aplicaciones (12) de un sistema operativo, la aplicación industrial y el código de conectividad/gestión Ethernet,  
 50 en donde el al menos un núcleo de procesador de aplicaciones (12) está configurado para ejecutar *in situ* desde la memoria externa no volátil al menos uno del sistema operativo, la aplicación industrial, y el código de conectividad/gestión Ethernet.

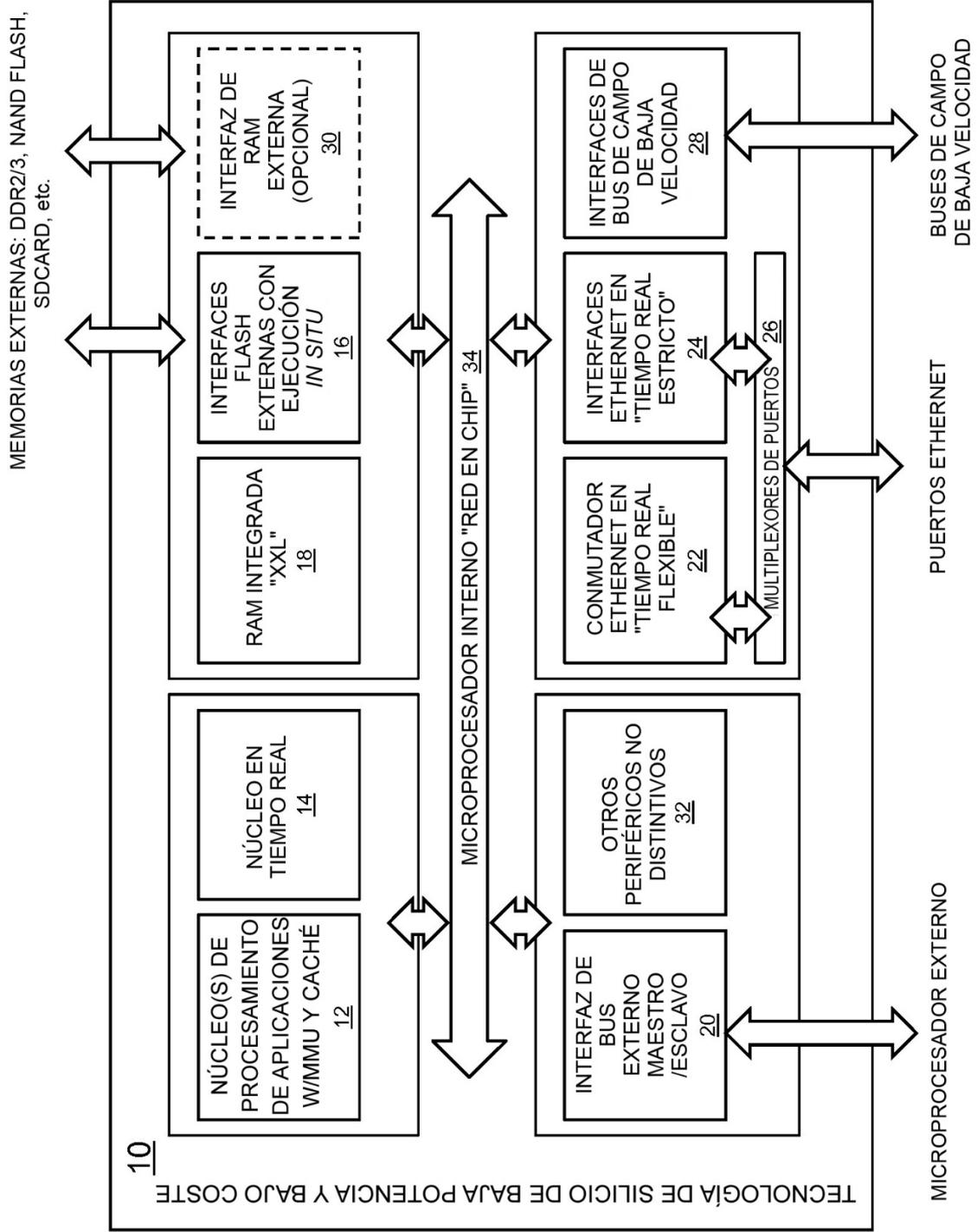


FIG. 1



FIG. 3

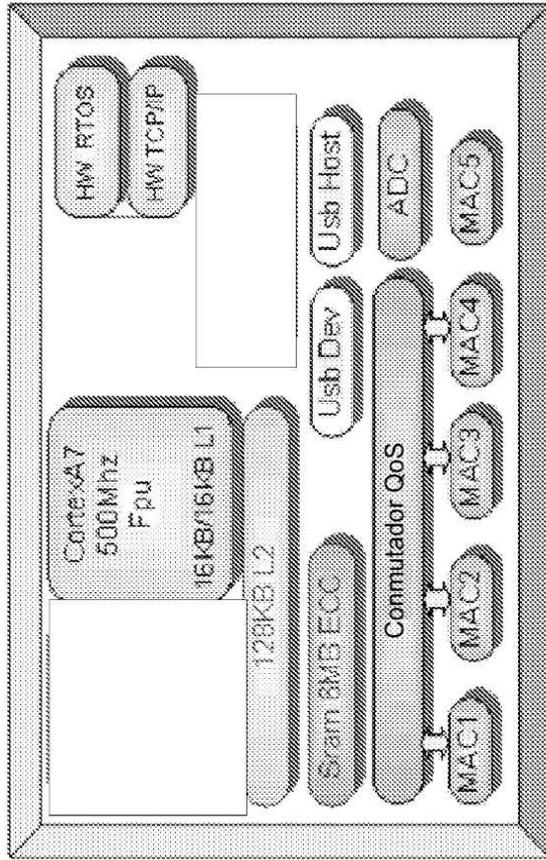
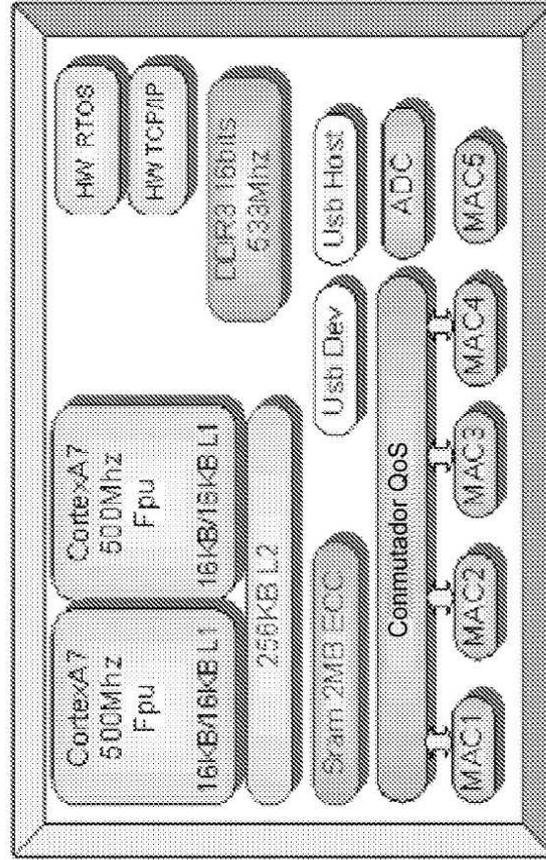
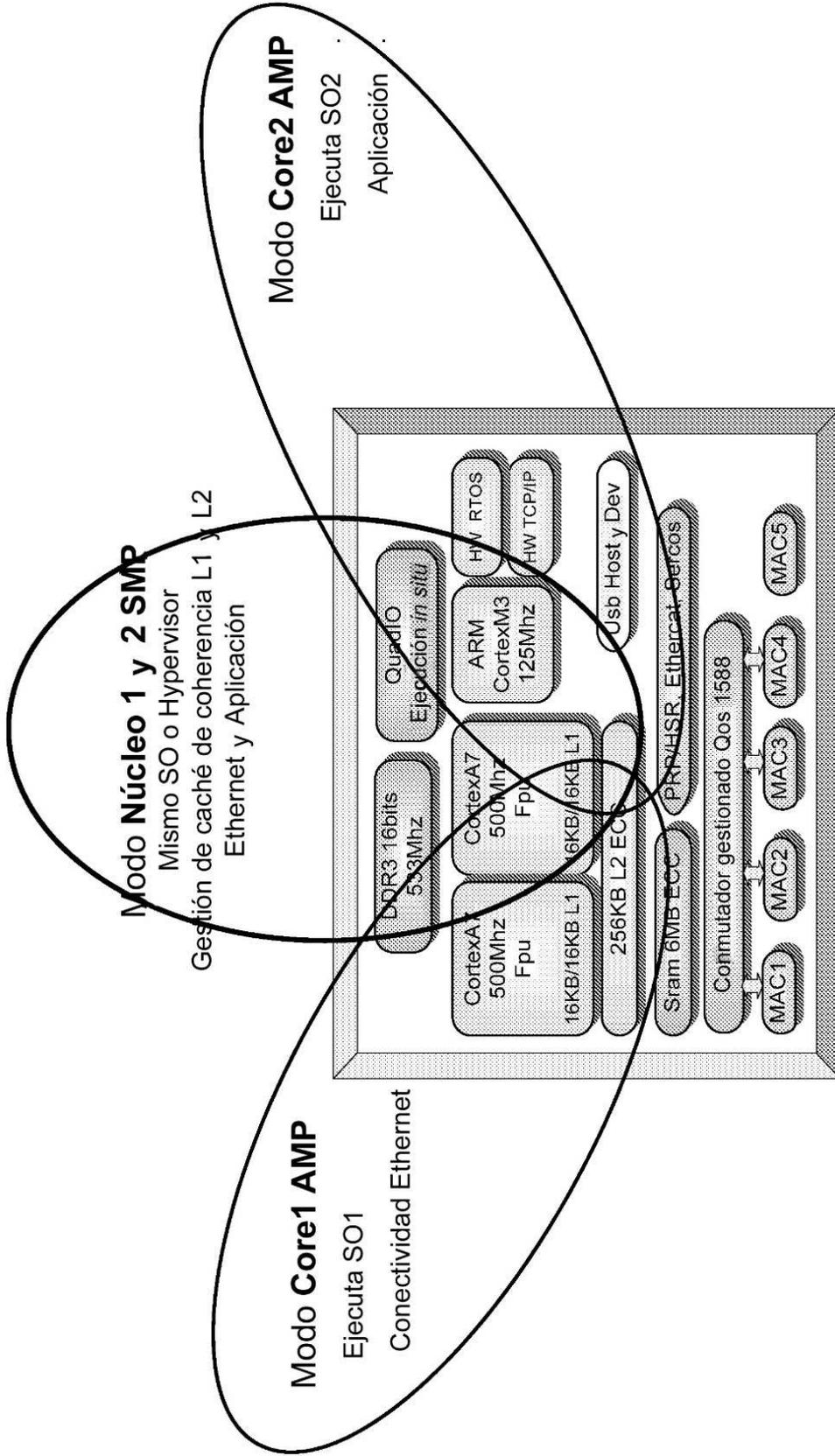


FIG. 4



CortexM3 (no mostrado) opcional y/o habilitado selectivamente



(CortexM3 opcional y/o habilitado selectivamente)

FIG. 5

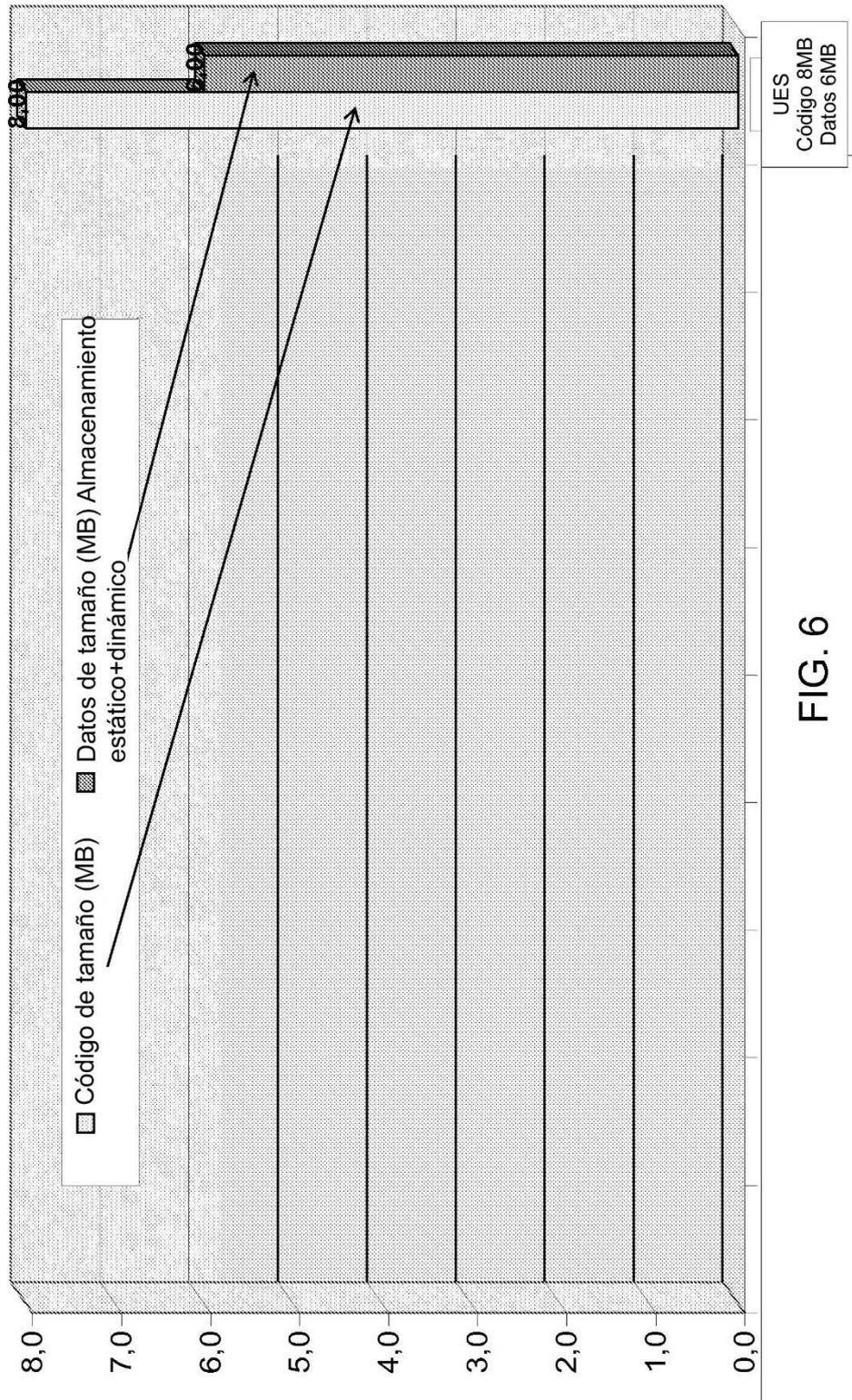


FIG. 6

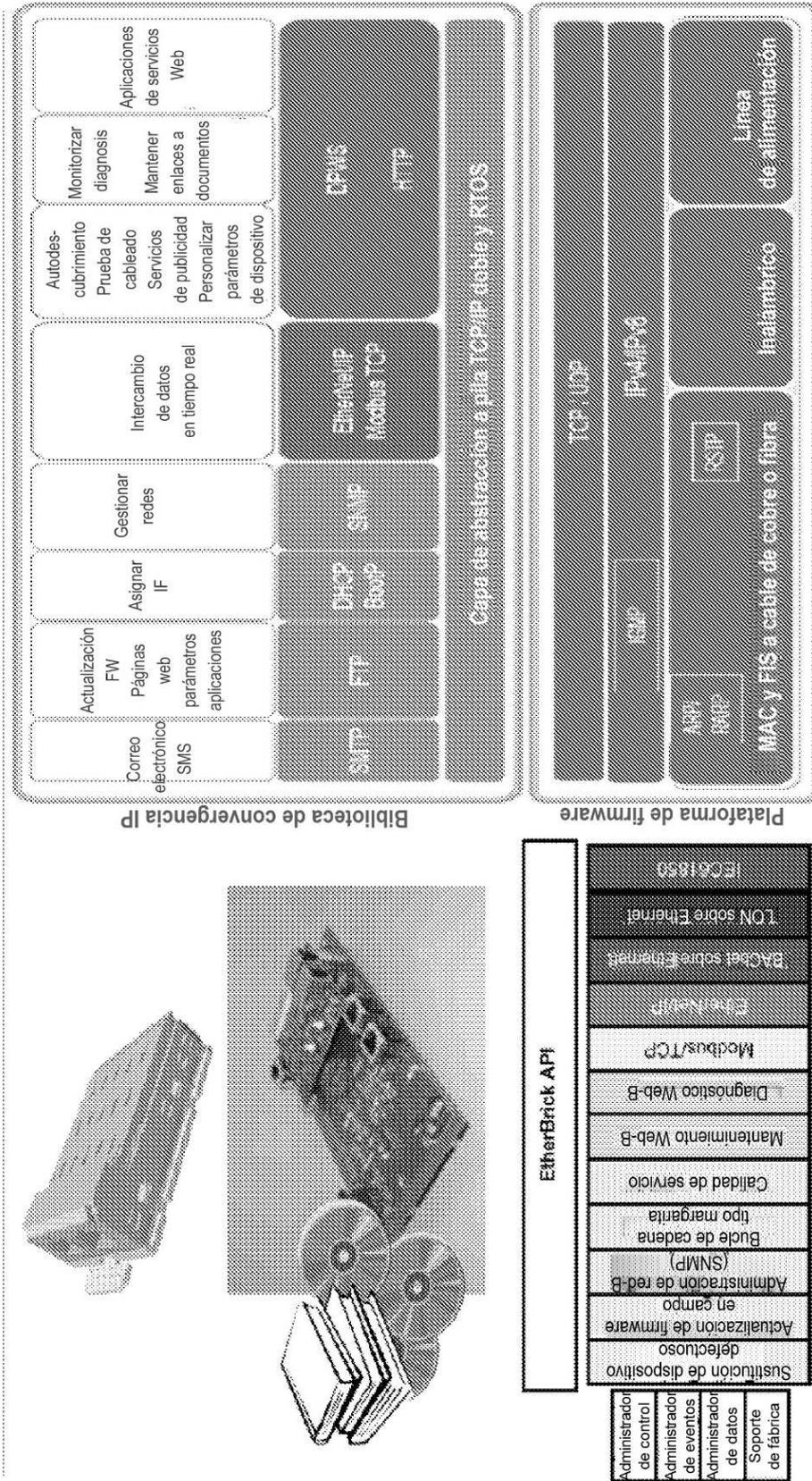


FIG. 7

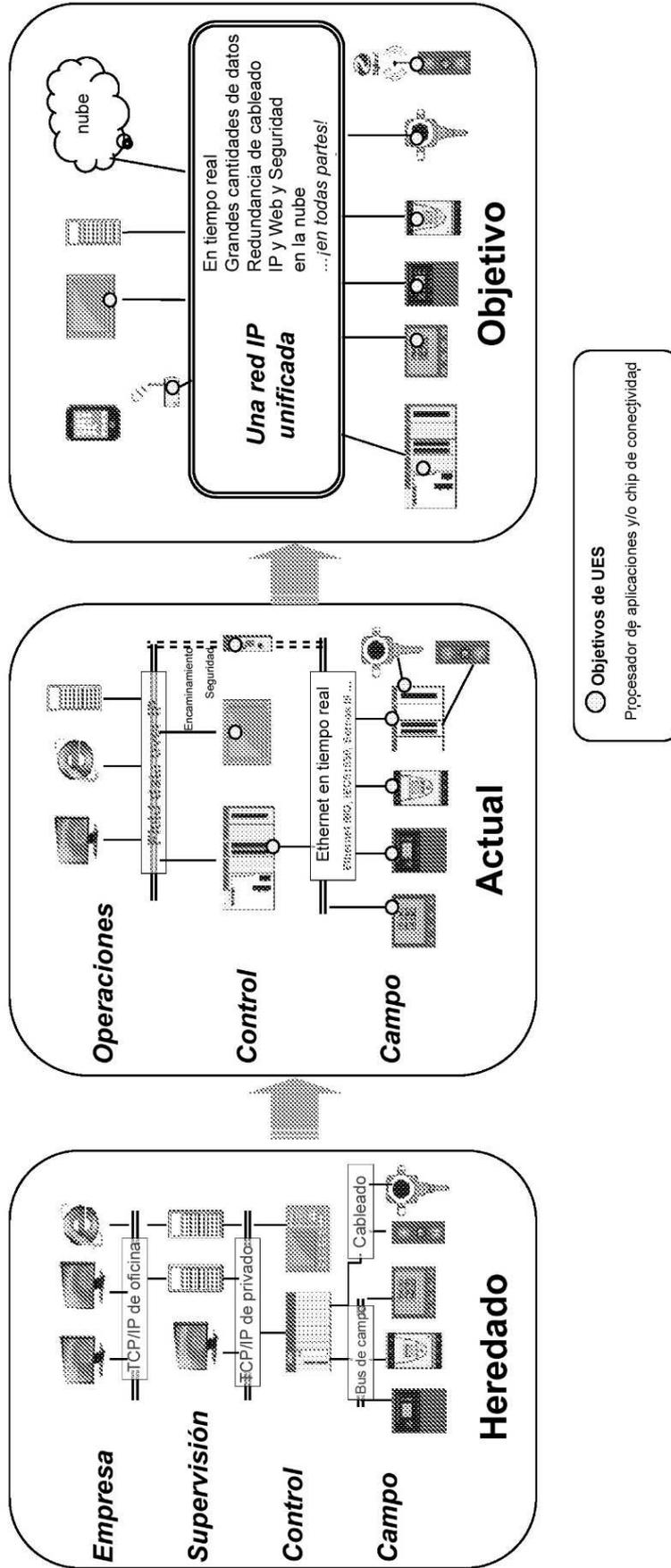


FIG. 8

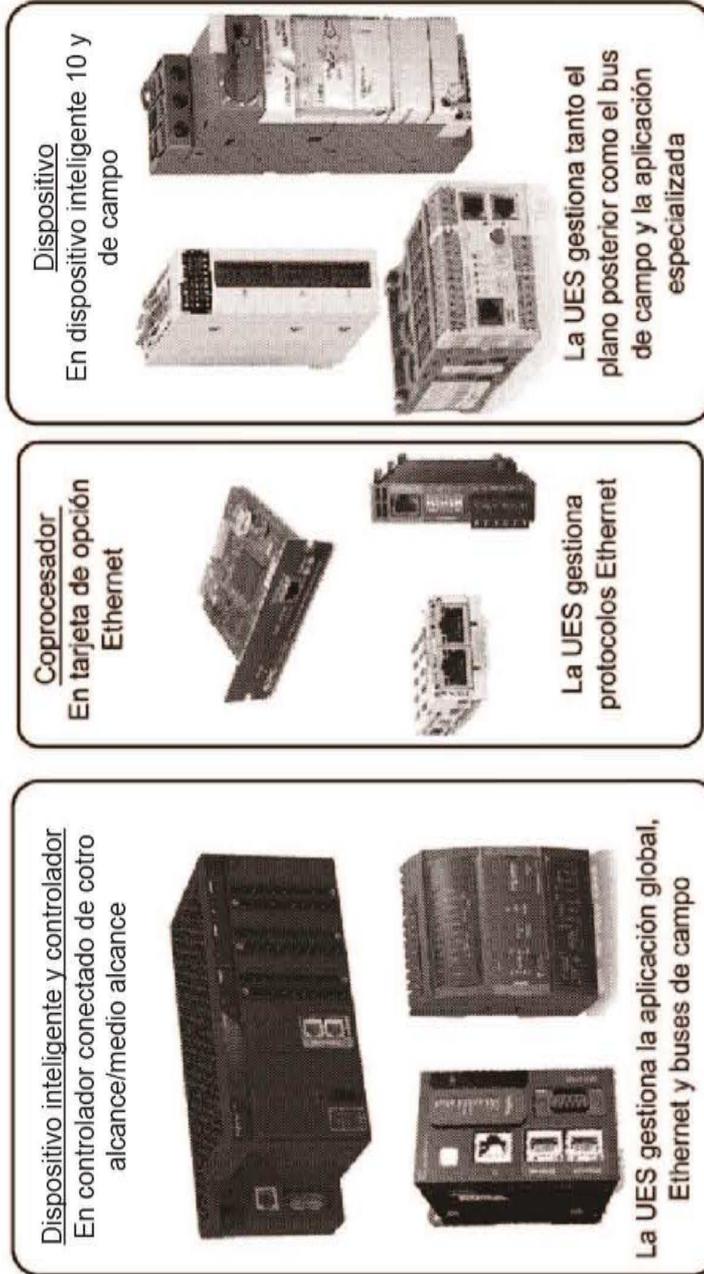


FIG. 9A

FIG. 9B

FIG. 9C

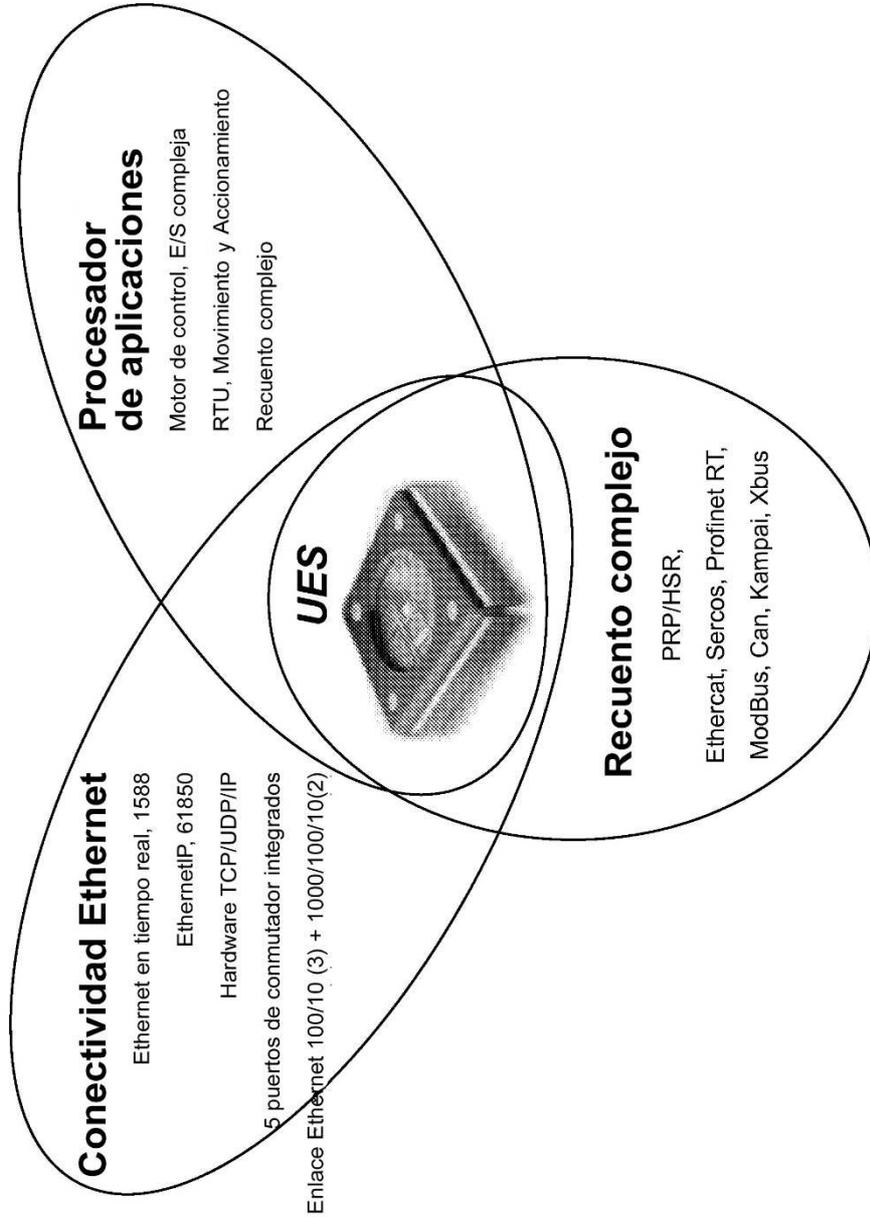


FIG. 10

FIG. 11

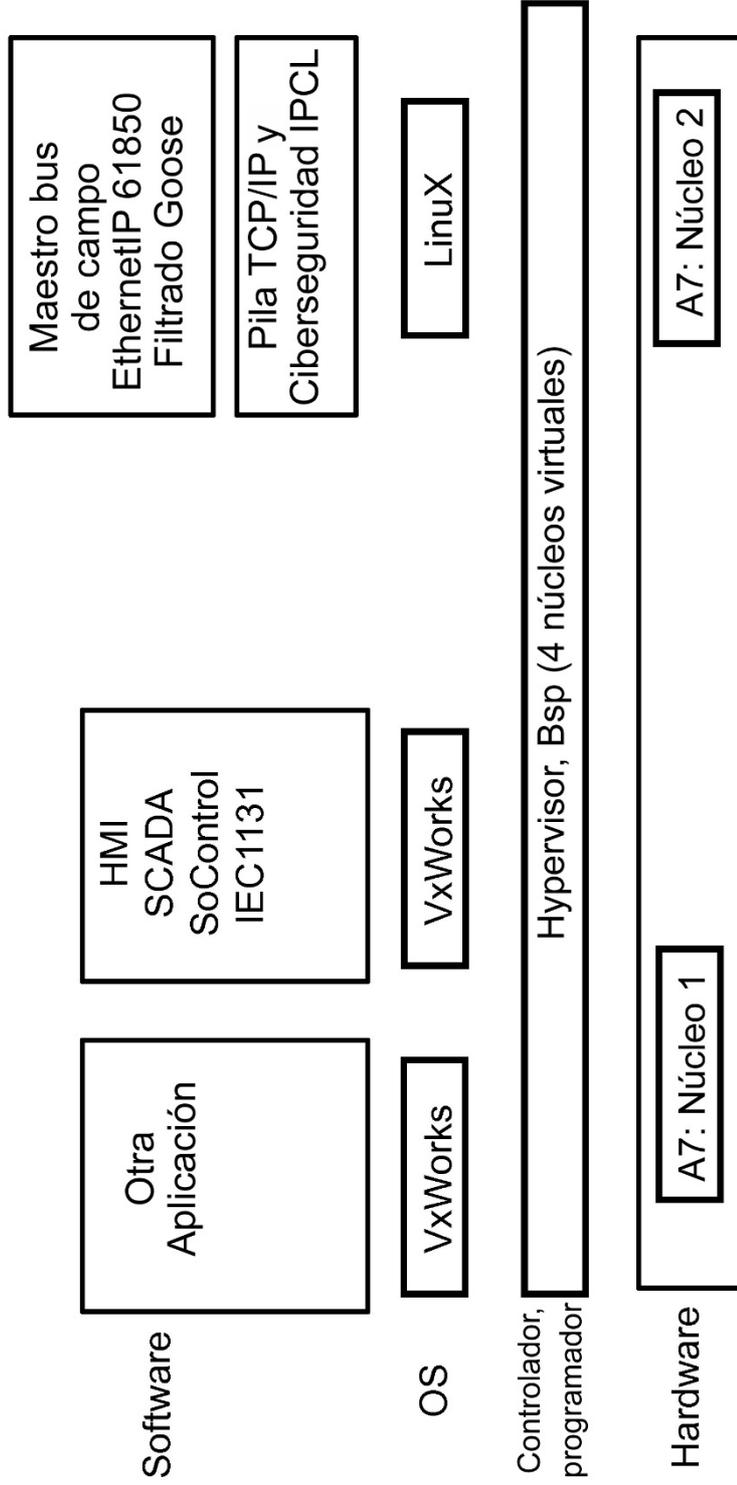


FIG. 12

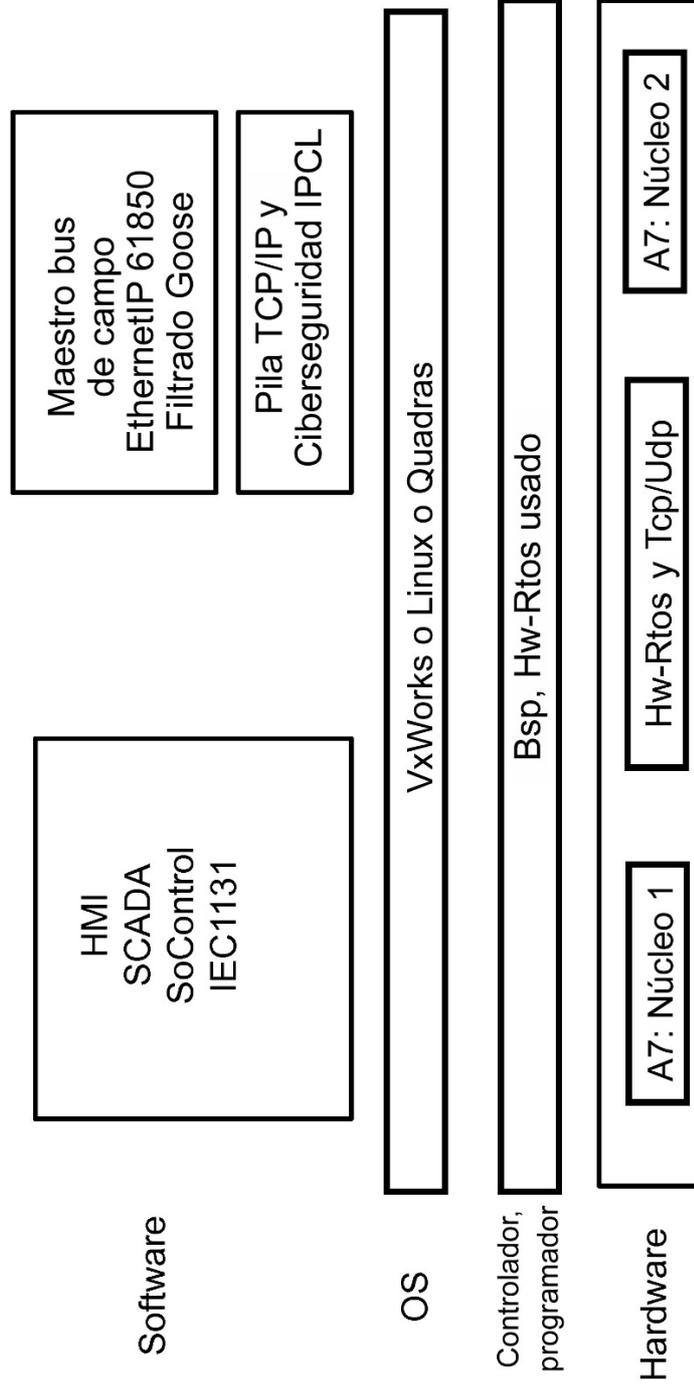


FIG. 13

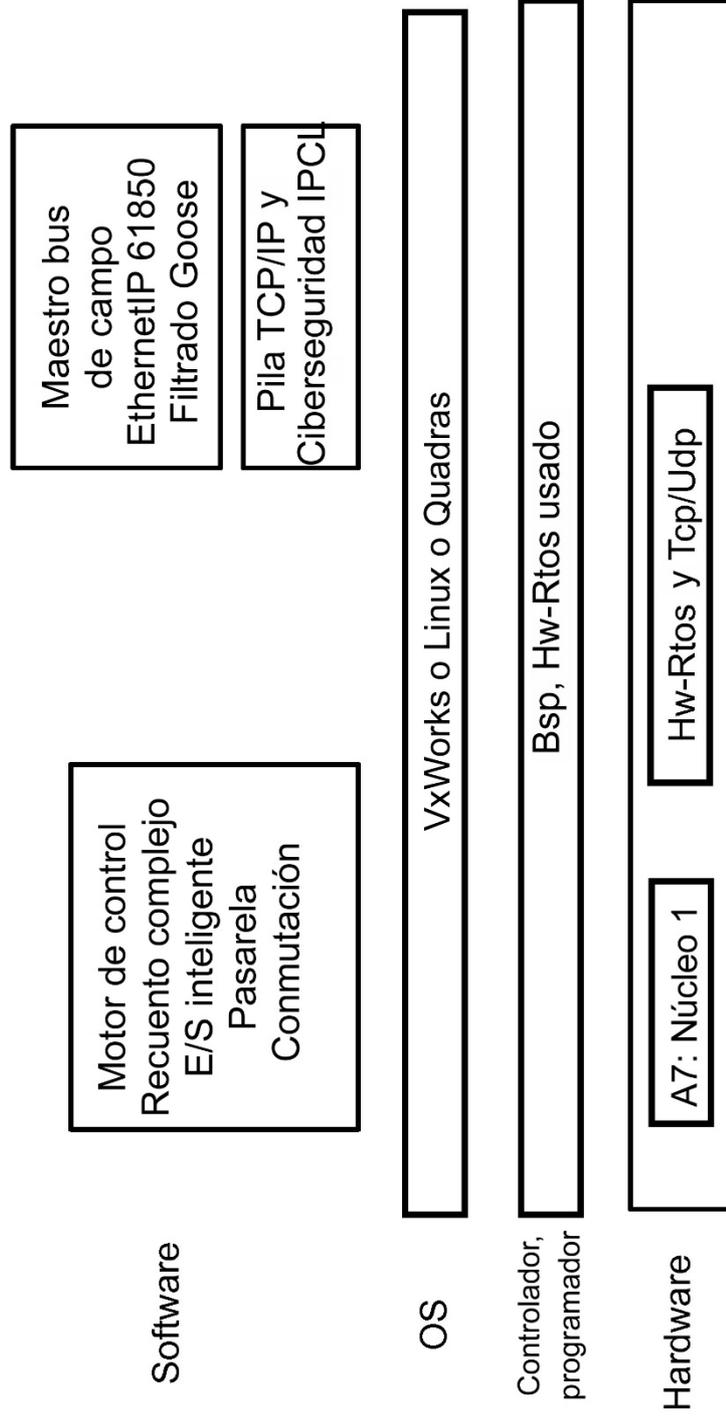


FIG. 14

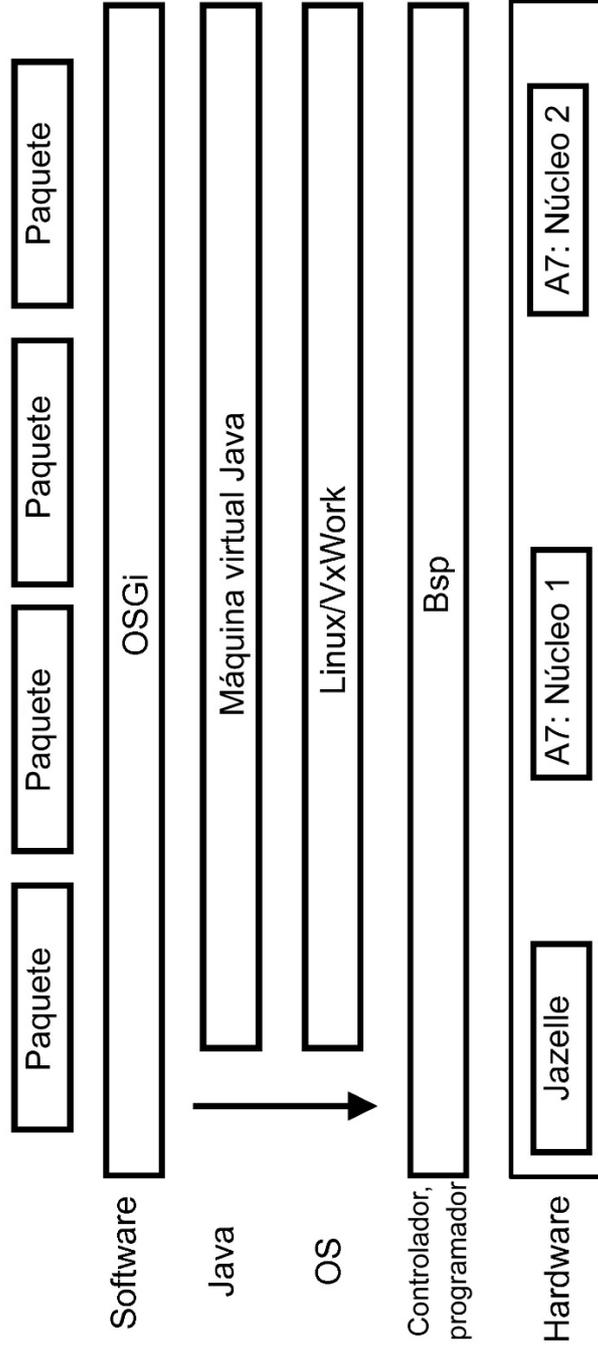


FIG. 15

