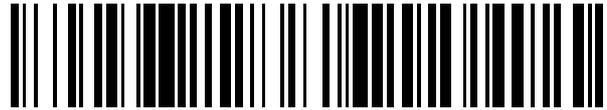


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 767 746**

51 Int. Cl.:

**H03K 3/037**

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.01.2009 PCT/US2009/030521**

87 Fecha y número de publicación internacional: **16.07.2009 WO09089403**

96 Fecha de presentación y número de la solicitud europea: **09.01.2009 E 09700763 (7)**

97 Fecha y número de publicación de la concesión europea: **23.10.2019 EP 2241008**

54 Título: **Sistema y procedimiento de control condicional de dispositivos de circuito de retención**

30 Prioridad:

**09.01.2008 US 971353**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**18.06.2020**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration, 5775  
Morehouse Drive  
San Diego, CA 92121 , US**

72 Inventor/es:

**RAO, HARI M.;  
ZHONG, CHENG y  
CHEN, ZHIQIN**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

**ES 2 767 746 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Sistema y procedimiento de control condicional de dispositivos de circuito de retención

5 **I. Campo**

[0001] La presente divulgación se refiere en general a un sistema y procedimiento de control condicional de dispositivos de circuito de retención.

10 **II. Descripción de la técnica relacionada**

15 [0002] En general, los elementos de circuito secuenciales, como los elementos de almacenamiento lógico de tipo retención y biestables síncronos y asíncronos, representan bloques de construcción fundamentales de dispositivos de circuito. Un registro puede incluir un par de inversores que están en acoplamiento cruzado para crear un dispositivo biestable que puede almacenar un valor que representa un cero o un uno. Al acoplar otras compuertas lógicas, como inversores, compuertas NAND y compuertas OR, al registro, se pueden crear circuitos lógicos más complejos.

20 [0003] Dichos elementos de almacenamiento pueden usarse solos o en conjuntos de elementos de almacenamiento en una variedad de ubicaciones dentro de un circuito. Por ejemplo, dichos elementos de almacenamiento pueden usarse en un circuito para almacenar temporalmente bits de datos, como los bits de datos recibidos en una interfaz o en la entrada o salida de una etapa de ejecución dentro de un procesador. Antes de que se ejecute un proceso posterior, a menudo es deseable reiniciar el elemento de almacenamiento a un estado conocido antes de una operación posterior. Para elementos de almacenamiento en una salida de una unidad de ejecución de un procesador, puede ser deseable reiniciar cada elemento de almacenamiento antes de cada ciclo de ejecución. Dicha operación de reinicio puede incluir afirmar un nivel lógico de alta tensión en una entrada de reinicio del elemento de almacenamiento.

25 [0004] Desafortunadamente, la aserción del nivel lógico de alta tensión (es decir, la señal de reinicio) da como resultado una disipación de potencia no deseada, que puede ser el resultado de capacitancias parásitas debido a las trazas de cables y los transistores de conmutación. Por lo tanto, existe la necesidad de mejorar la circuitería de reinicio de la retención.

35 **III. Resumen**

[0005] En un modo de realización particular, se describe un dispositivo de circuito de retención como se define en la reivindicación 1 que incluye una primera entrada para recibir una señal de control de reinicio y una segunda entrada en respuesta a una salida de un registro. El dispositivo de circuito incluye además un circuito lógico adaptado para reiniciar condicionalmente el registro basado en la segunda entrada en respuesta a la recepción de la señal de control de reinicio en la primera entrada. El circuito lógico comprende: una compuerta NAND, uno o más inversores y una compuerta OR; y un transistor que incluye un terminal de compuerta acoplado a una salida de la compuerta OR y que responde a la compuerta OR para reiniciar el registro a un estado conocido; en el que la compuerta NAND incluye una primera entrada que responde a la señal de control de reinicio y una segunda entrada que responde a la salida del registro; y la compuerta OR recibe una salida desde la compuerta NAND en una primera entrada y recibe una salida de los uno o más inversores en una segunda entrada.

40 [0006] En otro modo de realización particular, se divulga un procedimiento como se define en la reivindicación 4 que incluye recibir una señal de reinicio que indica una operación de reinicio para una pluralidad de registros y detectar un valor de estado asociado con cada uno de la pluralidad de registros. El procedimiento también incluye, en respuesta a la señal de reinicio, reiniciar de manera selectiva, mediante circuitos lógicos, algunos, pero no todos, de la pluralidad de registros en función de los valores de estado detectados. Cada circuito lógico comprende: una compuerta NAND, uno o más inversores y una compuerta OR; y un transistor que incluye un terminal de compuerta acoplado a una salida de la compuerta OR y que responde a la compuerta OR para reiniciar un registro respectivo a un estado conocido; en el que la compuerta OR recibe una salida desde la compuerta NAND en una primera entrada y recibe una salida de los uno o más inversores en una segunda entrada.

45 [0007] Se proporciona una ventaja particular proporcionada por los modos de realización de un circuito lógico de reinicio condicional para reiniciar selectivamente los registros en función de sus respectivos valores de estado de salida de modo que se reduce el consumo global de potencia. Además, dado que cada operación de reinicio puede introducir un evento de corriente de sobrecarga en un circuito de suministro de potencia, la reducción de un número de operaciones de reinicio puede resultar en una reducción global de los eventos de corriente de sobrecarga.

50 [0008] Se proporciona otra ventaja particular porque el consumo de potencia reducido puede permitir una mayor duración de la batería para dispositivos portátiles. De forma alternativa, el consumo de potencia reducido permite que el fabricante pueda utilizar una batería más barata (es decir, de menor duración) sin degradar la portabilidad global del dispositivo.

**[0009]** Se proporciona otra ventaja particular más, ya que se reduce el ruido de acoplamiento cruzado. Al reiniciar condicionalmente cada uno de los registros, los registros adyacentes no se reinician necesariamente al mismo tiempo. En consecuencia, el ruido de acoplamiento cruzado puede reducirse y también pueden reducirse un número de condensadores de desacoplo.

**[0010]** Otros aspectos, ventajas y características de la presente divulgación resultarán evidentes después de revisar la solicitud completa, incluyendo las siguientes secciones: Breve descripción de los dibujos, Descripción detallada y Reivindicaciones.

**[0011]** El documento US4806786 describe un circuito de retención que puede establecerse en un estado lógico predeterminado en respuesta a un borde de transición positivo de una señal establecida y reiniciarse a un estado lógico opuesto en respuesta a un borde de transición negativo de una señal de reinicio.

**[0012]** El documento US4894557 divulga un circuito biestable tipo RS activado por flanco que puede cambiar su estado en respuesta a una transición de señal significativa aplicada a una entrada actualmente activa (SET o RESET) e independientemente del estado actual de la otra entrada (RESET o SET).

#### **IV. Breve descripción de los dibujos**

**[0013]**

La FIG. 1 es un diagrama de bloques de un modo de realización de un dispositivo de circuito que incluye circuitería lógica de reinicio condicional para reiniciar condicionalmente un circuito de retención;

la FIG. 2 es un diagrama de un modo de realización de un sistema que incluye circuitería lógica de reinicio condicional para reiniciar condicionalmente un circuito de retención;

la FIG. 3 es un diagrama de un modo de realización de un sistema que incluye circuitería lógica de control de reinicio condicional para reiniciar condicionalmente una pluralidad de circuitos de retención;

la FIG. 4 es un diagrama de flujo de un modo de realización ilustrativo particular de un procedimiento de control condicional de circuitos de retención de datos; y

la FIG. 5 es un diagrama de bloques de un modo de realización ilustrativa de un dispositivo de comunicación inalámbrica que incluye un dispositivo de circuito con circuitería lógica de control de reinicio condicional para reiniciar condicionalmente una pluralidad de circuitos de retención.

#### **V. Descripción detallada**

**[0014]** Con referencia a la FIG. 1, se representa un dispositivo de circuito 100 que incluye un registro 102 y un circuito lógico de reinicio condicional 110. El registro 102 tiene una entrada de registro 104 y proporciona una salida de datos 106. En un modo de realización particular, el registro 102 comprende un dispositivo de retención asíncrono. El registro 102 recibe una segunda entrada 116 del circuito lógico de reinicio condicional 110. El circuito lógico de reinicio condicional 110 tiene una primera entrada para recibir una señal de control de reinicio 114 y una segunda entrada para recibir una señal de retroalimentación desde una ruta de retroalimentación 112, que está acoplada a la salida de datos 106. La salida de datos 106 está acoplada a una fuente de tensión a través del condensador 108 para mantener un valor de datos en la salida de datos 106.

**[0015]** En un modo de realización particular, el circuito lógico de reinicio condicional 110 está adaptado para reiniciar condicionalmente el registro 102 basado en la señal de control de reinicio 114 y basado en un valor de datos en la salida de datos 106 del registro 102, que se recibe en la segunda entrada del circuito lógico de reinicio condicional 110 a través de la ruta de retroalimentación 112. El circuito lógico de reinicio condicional 110 está configurado para reiniciar condicionalmente el registro 102 en respuesta a la recepción de la señal de control de reinicio 114 cuando un valor en la salida de datos 106 representa un valor sin reiniciar. En un modo de realización particular, el circuito lógico de reinicio condicional 110 reinicia el registro 102 cuando un estado de la salida de datos 106 representa el valor lógico "1" (es decir, un valor sin reiniciar), y no reinicia el registro 102 cuando el estado de la salida de datos 106 representa un valor lógico "0" (es decir, un valor de reinicio). Se entenderá que los términos "lógico "0" y lógico "1" se usan para distinguir entre valores de señal lógicos y pueden representar diversos niveles de tensión o características de señal, como puede determinarse mediante implementaciones particulares de los sistemas y procedimientos divulgados en el presente documento.

**[0016]** Dado que el circuito lógico 110 reinicia condicionalmente el registro 102 solo cuando un valor de datos en la salida de datos 106 representa un valor sin reiniciar, tal como un valor de datos lógico alto (por ejemplo, un valor de datos lógico "1"), se reduce el consumo de potencia debido a la actividad de reinicio de registro del registro 102. En un dispositivo de circuito que incluye múltiples circuitos de retención que responden a la lógica de reinicio

condicional, se reduce el consumo de potencia para uno o más elementos de registro, lo que reduce el consumo de potencia global. Además, el ruido de acoplamiento cruzado y el ruido de la fuente de alimentación también pueden reducirse.

5 **[0017]** Con referencia a la FIG. 2, se muestra un modo de realización particular de un sistema 200 que incluye circuitería lógica de reinicio condicional para reiniciar condicionalmente un circuito de retención. El sistema 200 incluye un circuito de retención de datos representativo 204, que tiene una entrada de datos 206 y una salida de datos 208. El sistema 200 incluye un condensador 210 acoplado a la salida de datos 208 para mantener un valor en la salida de datos 208. El sistema 200 incluye además un circuito lógico de reinicio condicional 202 que tiene  
10 una primera entrada 212 y una segunda entrada 214. El circuito lógico de reinicio condicional 202 responde a una señal de reinicio 218 recibida en la primera entrada 212, y responde además a la salida de datos 208 del circuito de retención de datos 204 recibida en la segunda entrada 214, para reiniciar condicionalmente el registro 204 basado en un valor de datos en la salida de datos 208.

15 **[0018]** En un modo de realización particular, una salida de control 216 está acoplada a la entrada 203 a través de un dispositivo de conmutación 240, tal como a través de un transistor que está configurado para acoplar la entrada 203 a un tensión de suministro en respuesta a una señal recibida en un terminal de compuerta a través de la salida de control 216. En otro modo de realización particular, el dispositivo de conmutación 240 puede no estar incluido en el circuito lógico de reinicio condicional 202, y en su lugar puede configurarse como un dispositivo de control separado, como parte del circuito de retención de datos 204, como parte de uno o más circuitos de control (no se muestran), o cualquier combinación de los mismos.

20 **[0019]** En un modo de realización particular, el circuito lógico de reinicio condicional 202 incluye una compuerta NAND lógica 222, una compuerta OR lógica 224 y un circuito de retardo 226 que incluye una pluralidad de inversores 228, 230 y 232 dispuestos en serie. La compuerta OR lógica 224 recibe una salida 234 de la compuerta NAND lógica 222 en una primera entrada y recibe una salida 236 del circuito de retardo 226 en una segunda entrada. La compuerta NAND lógica 222 está acoplada para recibir la primera entrada 212 que responde a la señal de control de reinicio 218 y está acoplada además para recibir la segunda entrada 214 que responde a la salida de datos 208 del circuito de retención de datos 204.  
25

30 **[0020]** En un modo de realización ilustrativa particular, durante una etapa sin reiniciar, un valor de una señal de control de reinicio 218 en la primera entrada 212 está en un nivel lógico "0". Un valor correspondiente en la salida 234 de la compuerta NAND lógica 222 es un valor lógico "1". El primer inversor 228 invierte el valor lógico "1" en un valor lógico "0". El segundo inversor 230 invierte el valor lógico "0" por un valor lógico "1", y el tercer inversor 232 invierte el valor lógico "1" por un valor lógico "0". La compuerta OR lógica 224 recibe el valor lógico "1" desde la salida 234 de la compuerta NAND 222 y también recibe el valor lógico "0" desde la salida 236 del circuito de retardo 226, dando como resultado que la salida de control 216 tenga un valor lógico "1". Cuando la señal de reinicio 218 cambia a un valor lógico "1" en la primera entrada 212, un valor en la salida 234 de la compuerta NAND 222 cambia solo si la segunda entrada 214 también tiene un valor lógico "1" (es decir, un valor en la salida de datos 208 del circuito de retención de datos 204 también está en un valor lógico "1"). Si un valor de datos en la salida de datos 208 está en un nivel lógico "0", la salida 234 de la compuerta NAND lógica 222 permanece en un nivel lógico "1" y la salida de control 216 de la compuerta OR lógica 224 permanece en un valor lógico "1".  
35

40 **[0021]** Cuando el valor de datos en la salida de datos 208 está en un nivel lógico "1" cuando la señal de reinicio 218 se afirma en la primera entrada 212 del circuito lógico de reinicio condicional 202, el valor de datos en la salida 234 de la compuerta NAND lógica 222 cambia a un valor lógico "0" y un valor en la salida 236 del circuito de retardo 226 permanece temporalmente en un valor lógico "0". Por lo tanto, la salida de control 216 de la compuerta OR lógica 224 cambia temporalmente a un nivel lógico "0". El valor lógico "0" en la salida 234 de la compuerta NAND 222 es invertido por el primer inversor 228 por un nivel lógico "1". El segundo inversor 230 invierte el lógico "1" por un lógico "0", y el tercer inversor 232 invierte el lógico "0" por un lógico "1". Cada uno de los inversores 228, 230 y 232 introduce un retardo de compuerta. En este caso, después de tres retardos de compuerta, el tercer inversor 232 proporciona un valor lógico "1" a una entrada de la compuerta OR lógica 224, y un nivel de tensión en la salida de control 216 vuelve a un nivel de tensión lógico "1".  
45

50 **[0022]** Cuando la salida de datos 208 del circuito de retención de datos 204 se reinicia a un valor lógico "0" después de recibir la señal de reinicio condicionada en la entrada 203, se proporciona un valor lógico en la salida de datos 208 a través de una ruta de retroalimentación a la segunda entrada 214 de la compuerta NAND 222. La salida 234 de la compuerta NAND 222 se convierte entonces en un valor lógico "1" y la salida de control 216 de la compuerta OR lógica 224 se mantiene en un valor lógico "1".  
55

60 **[0023]** Con referencia a la FIG. 3, se muestra un sistema 300 que incluye un dispositivo de circuito que incluye circuitería lógica de control de reinicio condicional para reiniciar condicionalmente una pluralidad de circuitos de retención. El sistema 300 incluye una pluralidad de circuitos de retención de datos 304 que están adaptados para almacenar datos. Cada uno de los circuitos de retención de datos 304 incluye una entrada de registro y una salida de registro. Las entradas y salidas representativas de los circuitos de retención de datos 304 se indican en general con 310 y 312, respectivamente. Las salidas de registro individuales se representan con 316 y 318 en la FIG. 3. El  
65

sistema 300 incluye una pluralidad de rutas de retroalimentación 314. Cada una de la pluralidad de rutas de retroalimentación 314 está acoplada a una salida de registro respectiva 312 que está asociada con una respectiva de la pluralidad de circuitos de retención de datos 304. El sistema 300 también incluye circuitería lógica de reinicio condicional 302 que responde a cada una de la pluralidad de rutas de retroalimentación 314 e incluye una entrada que responde a una o más señales de control de reinicio 308. La circuitería lógica de reinicio condicional 302 está adaptada para reiniciar selectivamente uno o más de la pluralidad de circuitos de retención de datos 304 en respuesta a los valores proporcionados por la pluralidad de rutas de retroalimentación 314 y en respuesta a las señales de control de reinicio 308.

**[0024]** En un modo de realización particular, la circuitería lógica de reinicio condicional 302 incluye una pluralidad de circuitos lógicos donde cada uno de la pluralidad de circuitos lógicos está acoplado a una señal particular de las señales de control de reinicio 308 y también está acoplado a un circuito de retención correspondiente de la pluralidad de circuitos de retención de datos 304. Cada circuito lógico dentro de la circuitería lógica de reinicio condicional 302 comprende una primera entrada para recibir la señal de reinicio 308 y una segunda entrada que está acoplada a una ruta de retroalimentación respectiva particular 314, que está acoplada a una salida particular de los circuitos de retención de datos 304, tales como la salida 316. En un modo de realización particular, uno o más de los circuitos lógicos de los circuitos lógicos de reinicio condicional 302 pueden implementarse como el circuito lógico de reinicio condicional 202 que se muestra en la FIG. 2.

**[0025]** En un modo de realización ilustrativa particular, la circuitería lógica de reinicio condicional 302 está adaptada para reiniciar selectivamente uno o más de los circuitos de retención de datos 304 en respuesta a la recepción de valores de datos correspondientes a las salidas respectivas 312 a través de las rutas de retroalimentación 314. Por ejemplo, el circuito lógico de reinicio condicional 302 está adaptado para reiniciar selectivamente una primera salida 316 y la segunda salida 318 a un valor cero lógico en respuesta a la recepción de la señal de reinicio 308. Además, el circuito lógico de reinicio condicional 302 está adaptado para impedir la aserción de la señal de reinicio 308 para reiniciar los circuitos de retención de datos 304 que ya tienen un valor cero en la salida respectiva 312.

**[0026]** Con referencia a la FIG. 4, se muestra un procedimiento para controlar condicionalmente uno o más circuitos de retención de datos. En un modo de realización particular, el procedimiento incluye recibir una señal de reinicio que indica una operación de reinicio para una pluralidad de registros, en 402, y detectar un valor de estado asociado con cada uno de la pluralidad de registros, como se muestra en 404. En un modo de realización particular, el valor de estado es la salida de datos (por ejemplo, "1" lógico o "0" lógico de cada uno de los respectivos registros). El procedimiento incluye además reiniciar selectivamente algunos, pero no todos, de la pluralidad de registros en base a los valores de estado detectados en respuesta a la recepción de la señal de reinicio, como se muestra en 406. En un modo de realización particular, los registros que tienen una salida de datos de un valor lógico "1" se reinician y los registros que tienen una salida de datos de un "0" lógico no se reinician por lógica de reinicio condicional. En un modo de realización particular, la lógica de reinicio condicional puede ser el circuito lógico de reinicio condicional 110 que se muestra en la FIG. 1, el circuito lógico de reinicio condicional 202 que se muestra en la FIG. 2 o la circuitería lógica de reinicio condicional 302 que se muestra en la FIG. 3.

**[0027]** En general, cada uno de la pluralidad de registros puede estar acoplado a una fuente de alimentación y la operación de reinicio condicional que incluye el reinicio selectivo de algunos de los registros está asociada con una reducción del ruido de la fuente de alimentación correspondiente. Por ejemplo, cuando se reinician algunos pero no todos los registros, solo los registros de reinicio contribuyen al ruido de la fuente de alimentación. De esta manera, el procedimiento divulgado reduce el consumo de potencia y reduce el ruido de la fuente de alimentación correspondiente en una fuente de alimentación acoplada a cada uno de la pluralidad de registros. Además, cuando se reinician algunos, pero no todos los registros, se puede reducir el acoplamiento cruzado entre los registros adyacentes, reduciendo así el ruido de la fuente de alimentación debido a los efectos del acoplamiento cruzado.

**[0028]** En un modo de realización particular, cada uno de los registros que se reinician reciben una señal de habilitación que reinicia condicionalmente los circuitos de retención seleccionados. Los circuitos de retención que se seleccionan para el reinicio condicional tienen un valor de salida, tal como un valor lógico "1", que es un valor diferente a un valor de reinicio (por ejemplo, un valor lógico "0"). Si bien el "1" lógico y el "0" lógico se han descrito en este ejemplo, debe entenderse que se pueden usar diferentes valores para proporcionar la funcionalidad de reinicio condicional.

**[0029]** En un modo de realización particular, el procedimiento incluye además recibir una segunda señal de reinicio en 408 y detectar un segundo valor de estado asociado con cada uno de una pluralidad de registros, como se muestra en 410. En respuesta a la recepción de la segunda señal de reinicio, el procedimiento incluye reiniciar selectivamente algunos, pero no todos, de la pluralidad de registros en base a los segundos valores de estado detectados, como se muestra en 412. El conjunto de registros seleccionados en respuesta a la segunda señal de reinicio puede ser igual o diferente al conjunto de registros seleccionados para la señal de reinicio inicial. El procedimiento termina como se muestra en 414.

- 5 **[0030]** Con referencia a la FIG. 5, se representa un dispositivo de comunicación inalámbrico que incluye un dispositivo de circuito con circuitería lógica de control de reinicio condicional para reiniciar condicionalmente una pluralidad de registros y en general se designa como 500. El dispositivo de comunicación inalámbrica 500 incluye un sistema en un chip 522 que incluye un procesador, tal como el procesador de señal digital 510, un procesador de propósito general, otros tipos de procesadores o cualquier combinación de los mismos. El dispositivo de comunicación 500 también incluye una memoria no volátil 562 y una memoria volátil 564. El procesador de señal digital (DSP) 510 incluye circuitos de retención con circuitería lógica de reinicio condicional 560, tales como los circuitos de retención y los circuitos lógicos de reinicio condicional que se ilustran en las FIG. 1 a 3. Además, la memoria volátil 564 incluye una pluralidad de dispositivos de circuito de retención 566. Un circuito lógico de reinicio 568 está acoplado a la memoria volátil 564 y responde a la retroalimentación de la pluralidad de dispositivos de circuito de retención 566 para establecer selectivamente algunos, pero no todos, los dispositivos de circuito de retención 566. En un modo de realización particular, el circuito lógico de reinicio 568 puede estar incluido en la memoria volátil 564, incluido en el DSP 510 o integrado con los dispositivos de circuito de retención 566.
- 10
- 15 **[0031]** El dispositivo de comunicación 500 incluye un circuito de fuente de alimentación 544 con una batería 545. El circuito de fuente de alimentación 544 está acoplado al sistema en un chip 522, que incluye el DSP 510 y la memoria volátil 564. Además, el circuito de fuente de alimentación 544 también puede estar acoplado a otros componentes del dispositivo de comunicación 500.
- 20 **[0032]** La FIG. 5 también muestra un controlador de pantalla 526 que está acoplado al procesador de señal digital 510 y a una pantalla 528. Además, un dispositivo de entrada 530 está acoplado al procesador de señal digital 510. También se puede acoplar un codificador/decodificador (CÓDEC) 534 al procesador de señal digital 510. Un altavoz 536 y un micrófono 538 se pueden acoplar al CÓDEC 534.
- 25 **[0033]** La FIG. 5 también indica que un controlador inalámbrico 540 se puede acoplar al procesador de señal digital 510 y a una antena inalámbrica 542. Además, como se ilustra en la FIG. 5, la pantalla 528, el dispositivo de entrada 530, el altavoz 536, el micrófono 538, la antena inalámbrica 542 y la fuente de alimentación 544 son externos al sistema en un chip 522. Sin embargo, cada uno está acoplado a un componente del sistema en un chip 522.
- 30 **[0034]** Los circuitos de retención con circuitería lógica de reinicio condicional 560 pueden incluir una pluralidad de circuitos de retención que se reinician selectivamente en base a un circuito lógico de reinicio condicional. De manera similar, los dispositivos de circuito de retención 566 pueden reiniciarse selectivamente en base a la lógica condicional implementada en el circuito lógico de reinicio 568. Dichos subsistemas pueden implementarse como se muestra con respecto a los sistemas y dispositivos de las FIG. 1 a 3, el procedimiento de la FIG. 4 o cualquier combinación de los mismos. Si bien el circuito de retención con circuitería lógica de reinicio condicional 560 se muestra dispuesto dentro del DSP 510, debe entenderse que los circuitos de retención con circuitería lógica de reinicio condicional 560 pueden estar dispuestos en otros componentes del dispositivo de comunicación 500, tal como dentro del CÓDEC 534, dentro de la memoria no volátil 562, dentro de la memoria volátil 564, dentro del controlador inalámbrico 540, dentro de otros componentes o cualquier combinación de los mismos.
- 35
- 40 **[0035]** En un modo de realización ilustrativa particular, los circuitos de retención con circuitería lógica de reinicio condicional 560 están adaptados para reiniciar selectivamente algunos, pero no todos, los circuitos de retención en respuesta a la recepción de una señal de habilitación de reinicio. Los circuitos de retención con circuitería lógica de reinicio condicional 560 reducen el consumo global de potencia por el dispositivo de comunicación inalámbrica 500 al reducir un número de dispositivos de circuito de retención que conmutan en respuesta a una señal de reinicio. Además, los circuitos de retención con circuitos lógicos de reinicio condicional 560 reducen el ruido global de la fuente de alimentación al reducir un número de dispositivos que contribuyen al ruido de la fuente de alimentación a través de las operaciones de reinicio.
- 45
- 50 **[0036]** En un modo de realización ilustrativa particular, el circuito lógico de reinicio 568 está adaptado para reiniciar selectivamente algunos, pero no todos, los dispositivos de circuito de retención 566 en respuesta a la recepción de una señal de habilitación de reinicio. El circuito lógico de reinicio 568 puede reducir el consumo de potencia total por el dispositivo de comunicación inalámbrica 500 al reducir un número de los dispositivos de circuito de retención 566 que conmutan en respuesta a una señal de reinicio. Además, el ruido global de la fuente de alimentación puede reducirse reduciendo un número de dispositivos de circuito de retención 566 que contribuyen al ruido de la fuente de alimentación a través de las operaciones de reinicio.
- 55
- 60 **[0037]** Los expertos apreciarán, además, que los diversos bloques lógicos, configuraciones, módulos, circuitos y etapas de algoritmo ilustrativos, descritos en relación con los modos de realización divulgados en el presente documento se pueden implementar como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito diversos componentes, bloques, configuraciones, módulos, circuitos y etapas ilustrativas en general en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la aplicación y las restricciones de diseño particulares impuestas en el sistema global. Los expertos en la técnica pueden implementar
- 65

la funcionalidad descrita de diferentes maneras para cada aplicación particular, pero no se debe interpretar que dichas decisiones de implementación suponen una desviación del alcance de la presente divulgación.

5 **[0038]** Las etapas de un procedimiento o algoritmo descrito en relación con los modos de realización divulgados en el presente documento se pueden realizar directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en una memoria RAM, en una memoria flash, en una memoria ROM, en una memoria PROM, en una memoria EPROM, en una memoria EEPROM, en registros, en un disco duro, en un disco extraíble, en un CD-ROM o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento ejemplar se acopla al procesador de modo que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. De 10 forma alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un dispositivo informático o en un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un dispositivo informático o en un terminal de usuario.

15 **[0039]** La descripción anterior de los modos de realización divulgados se proporciona para posibilitar que un experto en la técnica elabore o use los modos de realización divulgados. Diversas modificaciones de estos modos de realización resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otros modos de realización sin apartarse del alcance de la divulgación. Por tanto, la presente divulgación no pretende limitarse a los modos de realización mostrados en el presente 20 documento, sino que se le ha de conceder el alcance más amplio posible consecuente con los principios y características novedosas, como se define en las reivindicaciones siguientes.

**REIVINDICACIONES**

1. Un dispositivo de circuito de retención (200) que comprende:

5 una primera entrada (212) para recibir una señal de control de reinicio (218);  
una segunda entrada (214) que responde a una salida de un registro (208); y  
un circuito lógico (202) adaptado para reiniciar condicionalmente el registro (208) basado en la segunda  
10 entrada (214) en respuesta a la recepción de la señal de control de reinicio (218) en la primera entrada (212);

**caracterizado por que** el circuito lógico (202) comprende:

15 una compuerta NAND (222), uno o más inversores (228, 230, 232) y una compuerta OR (224); y  
un transistor (240) que incluye un terminal de compuerta acoplado a una salida de la compuerta OR y  
que responde a la compuerta OR para reiniciar el registro (208) a un estado conocido;  
20 en el que la compuerta NAND (222) incluye una primera entrada (212) que responde a la señal de  
control de reinicio (218) y una segunda entrada (214) que responde a la salida del registro (208); y  
la compuerta OR (224) recibe una salida de la compuerta NAND (222) en una primera entrada y recibe  
una salida de los uno o más inversores (228, 230, 232) en una segunda entrada (236).

25 **2.** El dispositivo de circuito de la reivindicación 1, en el que el circuito lógico (202) reinicia el registro (208) cuando  
un estado de la salida representa un valor de uno y no reinicia el registro (208) cuando el estado de la salida  
representa un valor cero.

30 **3.** El dispositivo de circuito de la reivindicación 1, en el que:

el registro (208) comprende un dispositivo de retención asíncrono; o  
el circuito lógico (202) está adaptado para reiniciar el registro (208) cuando la salida del registro (208)  
representa un valor de estado distinto de un valor de estado de reinicio.

35 **4.** Un procedimiento (400) que comprende:

recibir una señal de reinicio que indica una operación de reinicio para una pluralidad de registros (402);  
40 detectar un valor de estado asociado con cada uno de la pluralidad de registros (404); y  
en respuesta a la señal de reinicio, reiniciar selectivamente, mediante circuitos lógicos, algunos, pero no  
todos, de la pluralidad de registros (402) en base a los valores de estado detectados (406), en el que cada  
circuito lógico comprende:  
45 una compuerta NAND (222), uno o más inversores (228, 230, 232) y una compuerta OR (224); y  
un transistor (240) que incluye un terminal de compuerta acoplado a una salida de la compuerta OR y que  
responde a la compuerta OR para reiniciar un registro respectivo a un estado conocido; en el que la compuerta  
OR (224) recibe una salida desde la compuerta NAND (222) en una primera entrada y recibe una salida de  
50 los uno o más inversores (228, 230, 232) en una segunda entrada (236).

**5.** El procedimiento de la reivindicación 4, en el que cada uno de la pluralidad de registros está acoplado a una  
fuente de alimentación (544) y en el que la operación de reinicio está asociada con el ruido de la fuente de  
55 alimentación correspondiente.

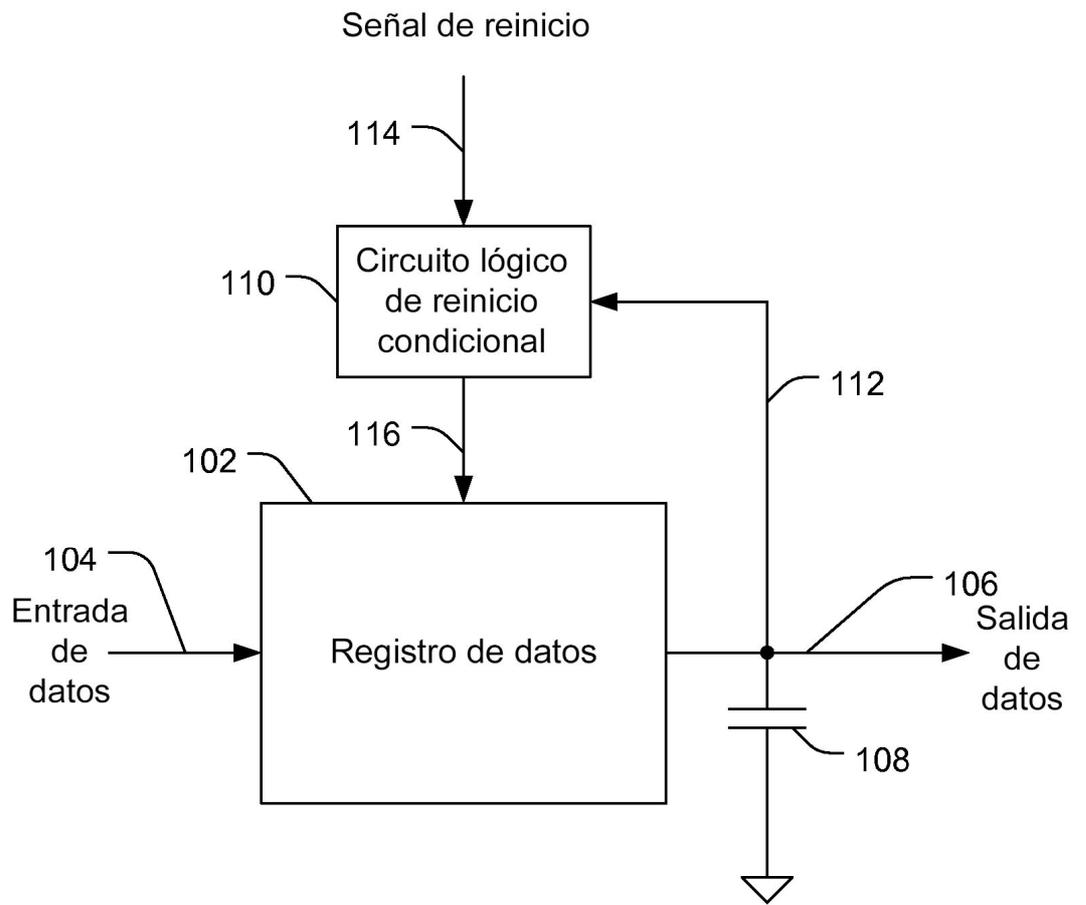
**6.** El procedimiento de la reivindicación 5, en el que el reinicio selectivo de algunos, pero no todos, de la pluralidad  
de registros reduce el ruido de la fuente de alimentación correspondiente.

60 **7.** El procedimiento de acuerdo con la reivindicación 4, en el que el reinicio selectivo de algunos, pero no todos,  
de la pluralidad de registros comprende habilitar selectivamente una señal de reinicio en registros seleccionados,  
los registros seleccionados que incluyen algunos, pero no todos, de la pluralidad de registros.

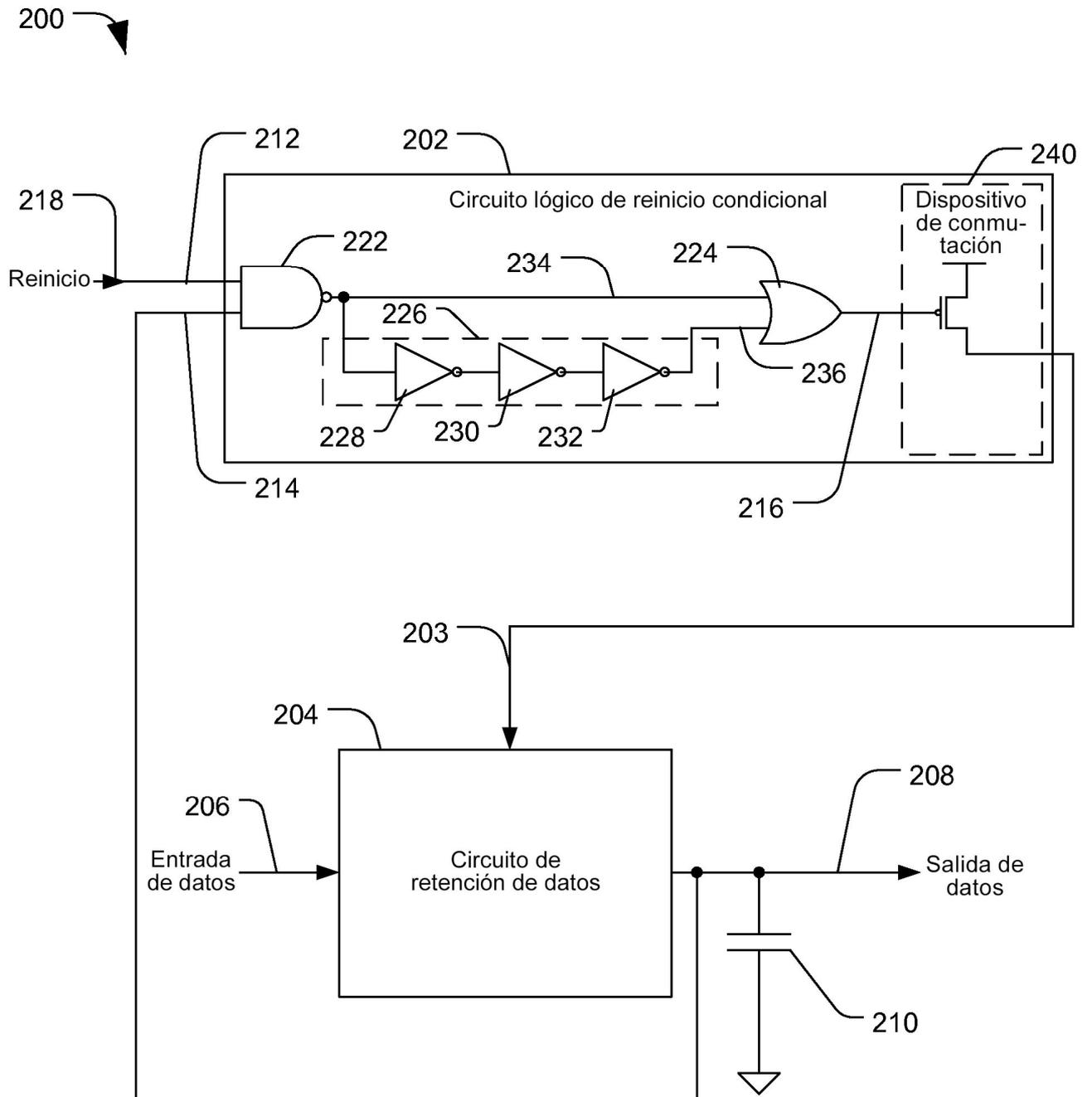
**8.** El procedimiento de la reivindicación 7, en el que los registros seleccionados incluyen registros que tienen un  
valor de salida que es diferente a un valor de reinicio.  
65

9. El procedimiento de la reivindicación 4, que comprende además:  
recibir una segunda señal de reinicio (408);  
5 detectar un segundo valor de estado asociado con cada uno de la pluralidad de registros (410); y  
en respuesta a la recepción de la segunda señal de reinicio, reiniciar selectivamente algunos, pero no todos, de la pluralidad de registros en base a los segundos valores de estado detectados (412).
- 10 **10.** Un dispositivo de circuito que comprende  
una pluralidad de circuitos de retención (304) como se define en la reivindicación 1.
- 15 **11.** El dispositivo de circuito de la reivindicación 10, en el que cada circuito lógico está adaptado para determinar un valor de salida del circuito de retención respectivo y para reiniciar condicionalmente el circuito de retención respectivo basado en el valor de salida determinado.
- 12.** El dispositivo de circuito de la reivindicación 10, en el que cada circuito lógico está acoplado a una entrada de reinicio del respectivo circuito de retención.  
20
- 13.** El dispositivo de circuito de la reivindicación 12, en el que cada circuito lógico comprende una primera entrada para recibir una señal de reinicio y una segunda entrada acoplada a una ruta de retroalimentación respectiva.
- 25 **14.** Un dispositivo de comunicación (500), que comprende:  
un procesador de señal digital (510);  
una memoria volátil (564) acoplada al procesador de señal digital (510) y que incluye una pluralidad de dispositivos de circuito de retención (566) como se define en la reivindicación 1.  
30
- 15.** El dispositivo de comunicación de la reivindicación 14, en el que:  
la memoria volátil responde al procesador de señal digital para almacenar datos; o la retroalimentación comprende un valor en una salida de cada uno de la pluralidad de dispositivos de circuito de retención.  
35
- 16.** El dispositivo de comunicación de la reivindicación 14, que comprende además:  
un transceptor inalámbrico (540, 542) acoplado al procesador de señal digital y adaptado para comunicarse de forma inalámbrica con una red de comunicaciones; o un circuito de fuente de alimentación (544) que comprende una batería (545) acoplada al procesador de señal digital y a la memoria volátil, en el que la pluralidad de circuitos lógicos de reinicio está adaptada para reducir el consumo de potencia global por la memoria volátil (562).  
40

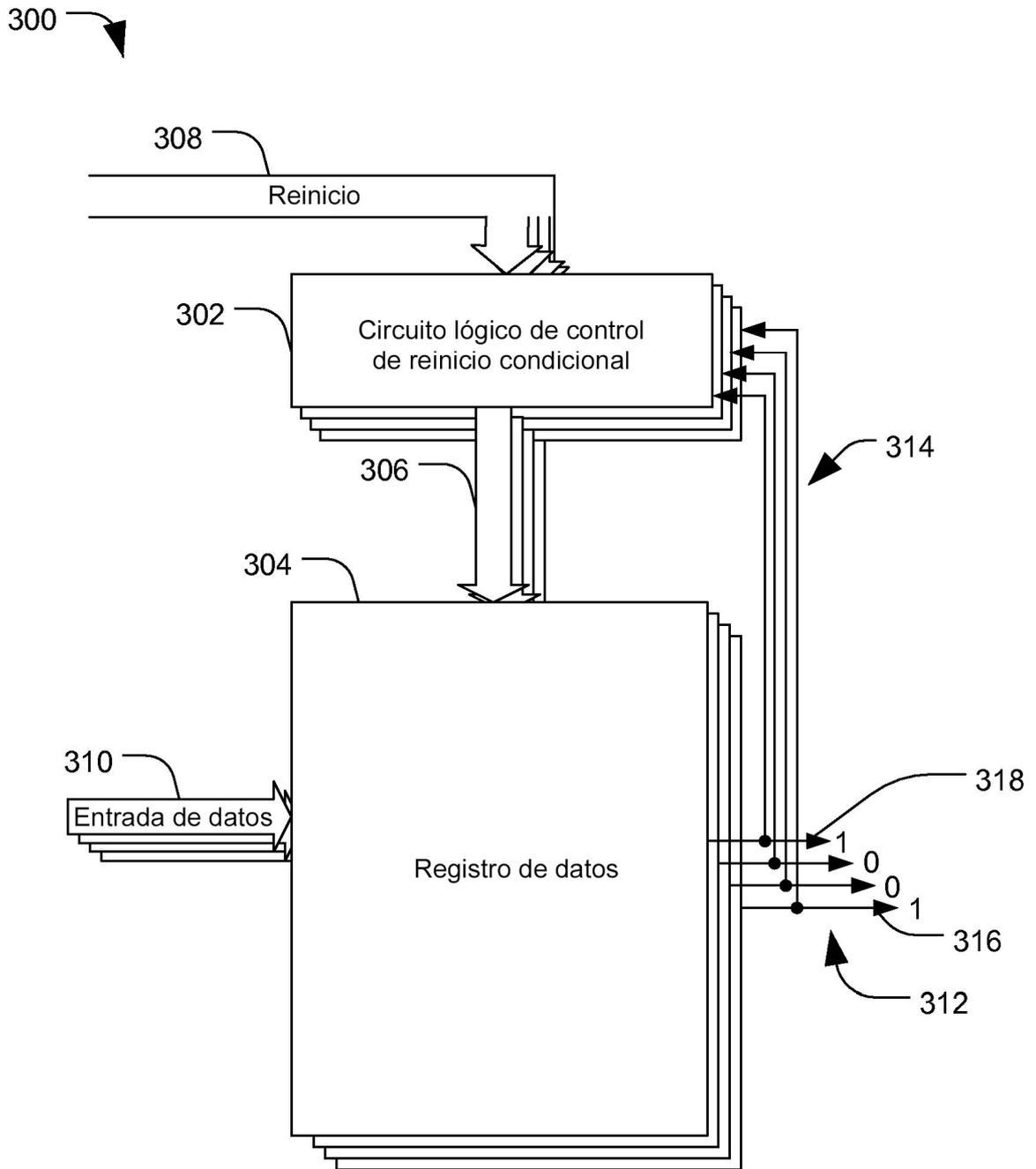
100



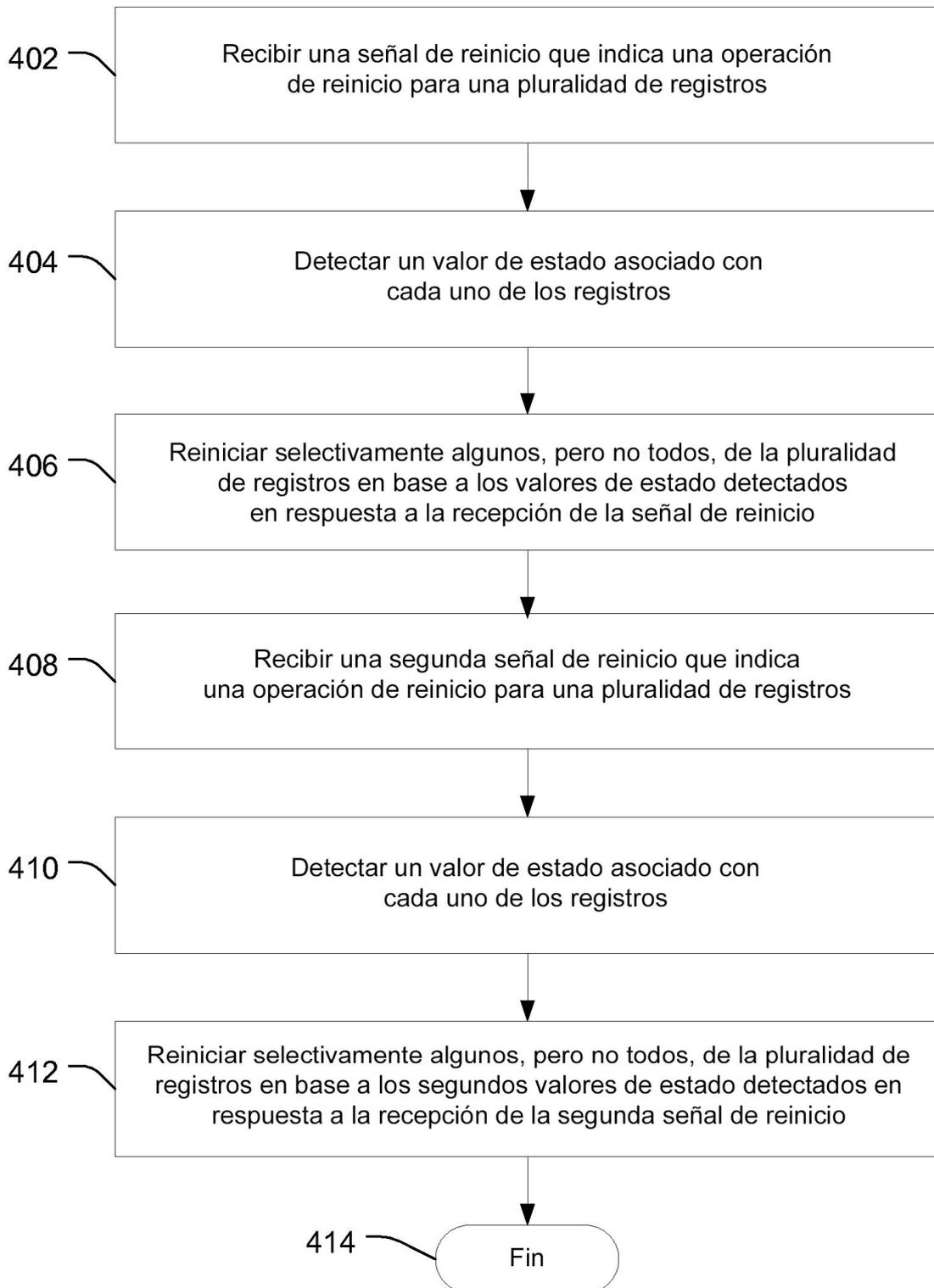
**FIG. 1**



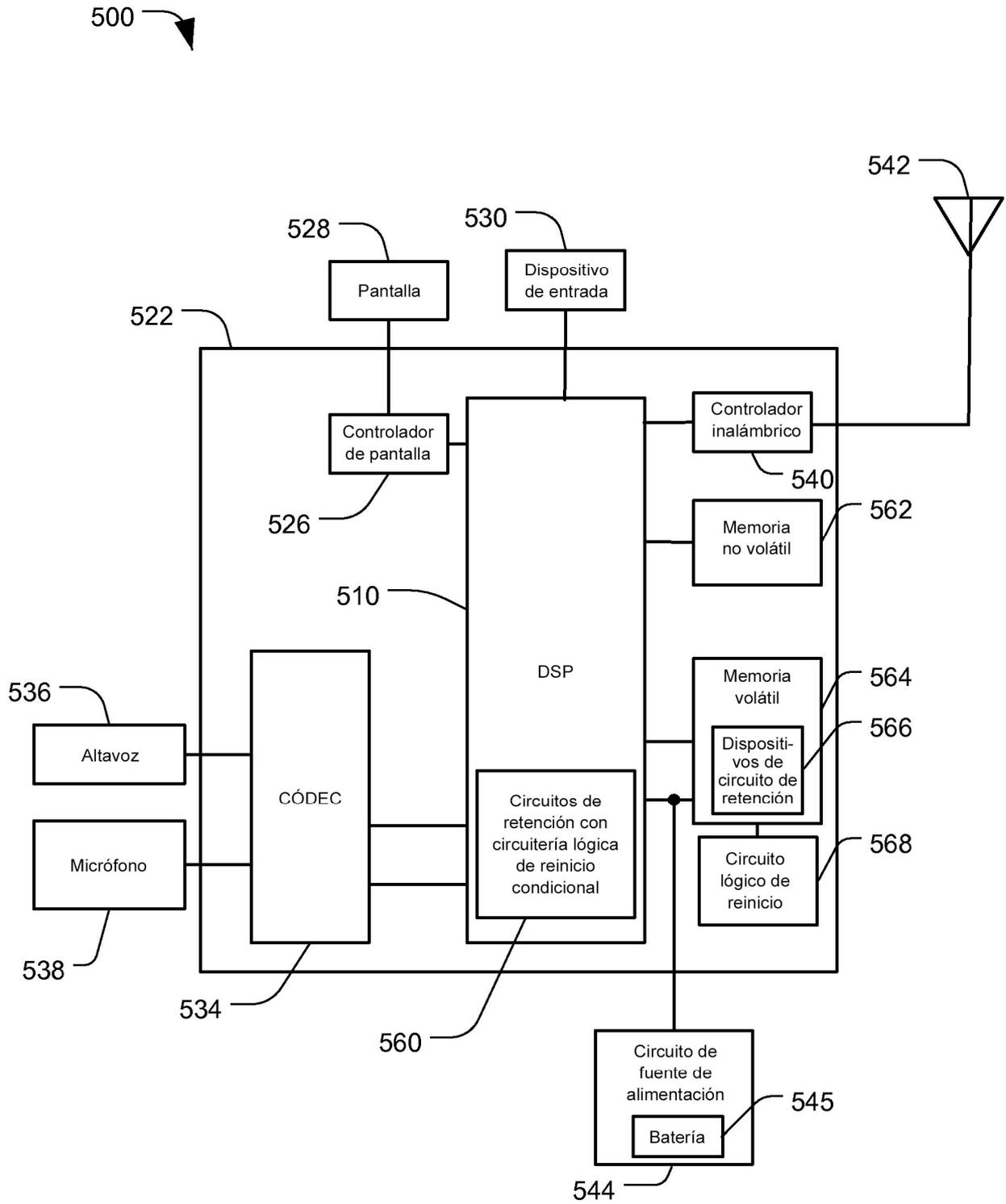
**FIG. 2**



**FIG. 3**



**FIG. 4**



**FIG. 5**