

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 770 608**

51 Int. Cl.:

G11C 11/4074 (2006.01)

G11C 11/406 (2006.01)

G11C 11/4076 (2006.01)

G11C 11/4072 (2006.01)

G11C 11/4091 (2006.01)

G11C 11/4096 (2006.01)

G11C 11/4094 (2006.01)

G11C 7/06 (2006.01)

G11C 5/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.01.2018 E 18151717 (8)**

97 Fecha y número de publicación de la concesión europea: **04.12.2019 EP 3355308**

54 Título: **Dispositivos de memoria y procedimientos de operación de los mismos**

30 Prioridad:

25.01.2017 US 201715415489

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

02.07.2020

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)
No. 8 Keya 1st Rd. Daya District Central Taiwan
Science Park
42881 Taichung City, TW**

72 Inventor/es:

PARK, SAN-HA

74 Agente/Representante:

GONZÁLEZ PECES, Gustavo Adolfo

ES 2 770 608 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivos de memoria y procedimientos de operación de los mismos

Campo técnico

5 La presente solicitud se refiere a tecnologías de memoria de semiconductores, y más particularmente, a dispositivos de memoria de baja potencia y procedimientos de operación de los mismos.

Antecedentes

10 Las memorias dinámicas de acceso aleatorio (DRAM) proporcionan memorias rápidas y de alto volumen para el acceso a datos en ordenadores y sistemas informáticos móviles. El consumo de energía ha sido una preocupación de las DRAM porque las DRAM requieren la actualización periódica de datos. Un diseño convencional para DRAM incluye la introducción de un modo de apagado profundo (DPD). Sin embargo, en el modo DPD, los datos almacenados en una DRAM pueden destruirse. Además, puede necesitar un largo período de tiempo, por ejemplo, 500 µs, para recuperar el acceso a la DRAM desde un modo DPD.

15 Un enfoque convencional para evitar la pérdida de datos en DRAM en un modo DPD es usar memorias estáticas de acceso aleatorio (SRAM) para retener datos mientras se encuentra en un modo DPD. Sin embargo, agregar células SRAM puede generar una sobrecarga en un área grande y aumentar el tiempo de respuesta para el acceso a datos. Otro enfoque convencional para reducir el consumo de energía es utilizar un modo de actualización automática para mantener los datos y proporcionar acceso a los datos a las DRAM dentro de aproximadamente 100 ns desde el modo de actualización automática. Sin embargo, este modo de auto actualización puede requerir un consumo de energía considerable.

20 El documento US 2004/008544 A1 desvela que un área parcial para retener datos durante el modo de bajo consumo de energía se compone de una primera célula de memoria única de una pluralidad de células de memoria conectadas a una línea de bits. Un circuito de control de operación opera cualquiera de las células de memoria seleccionadas de acuerdo con una señal de dirección durante el modo de operación normal para realizar una operación de lectura y una operación de escritura. El circuito de control de operación mantiene los datos de bloqueo retenidos por la primera célula de memoria en el área parcial en un amplificador de detección durante el modo de bajo consumo de energía. Esto elimina la necesidad de una operación de actualización para retener los datos en la primera célula de memoria durante el modo de bajo consumo de energía. Puesto que los datos pueden conservarse sin una operación de actualización, es posible reducir el consumo de energía durante el modo de bajo consumo de energía.

30 El documento US 2006/291311 A1 desvela un dispositivo de memoria que incluye un amplificador de detección de la línea de bits, un decodificador de comandos configurado para generar una señal de control interna que indica un modo de operación del dispositivo de memoria y un controlador de amplificador de detección de la línea de bits configurado para aplicar selectivamente una tensión externa como una tensión de suministro al amplificador de detección de la línea de bits en respuesta a la señal de control interna.

35 El documento US 2007/053226 A1 desvela un generador de tensión periférica para reducir una corriente de operación mediante la generación de una tensión periférica dentro de una SDRAM móvil, y una corriente utilizada en un modo de apagado profundo y un modo de actualización automática para mejorar las características operativas. El generador de tensión periférica incluye una unidad generadora de tensión de referencia para generar una tensión de referencia periférica que tiene un nivel diferente en respuesta a una señal de habilitación y una señal de actualización automática; una unidad de comparación para comparar la tensión de referencia periférica con una tensión de accionamiento periférica para así emitir una señal de control de tensión periférica basándose en el resultado de comparación; y una unidad de control de tensión periférica para generar la tensión de accionamiento periférica que tiene un primer nivel periférico en respuesta a la señal de control de tensión periférica.

Sumario

45 De acuerdo con un aspecto de la presente invención, se proporciona un dispositivo de memoria como se establece en la reivindicación 1.

De acuerdo con otro aspecto de la presente invención, se proporciona un procedimiento de operación para un dispositivo de memoria como se establece en la reivindicación 6.

Las realizaciones preferidas de la presente invención pueden recogerse de las reivindicaciones dependientes.

Breve descripción de los dibujos

50 La Figura 1A es una ilustración de un dispositivo de memoria ejemplar, de acuerdo con una realización desvelada. La Figura 1B es una ilustración de un controlador de modo ejemplar. La Figura 2 es una ilustración de una matriz de memoria ejemplar en el dispositivo de memoria ejemplar mostrado en la Figura 1A. La Figura 3 es una ilustración de un circuito amplificador de detección ejemplar en el dispositivo de memoria

ejemplar mostrado en la Figura 1A.

La Figura 4 es un diagrama de temporización ejemplar de un dispositivo de memoria ejemplar que retiene datos en un modo DPD, de acuerdo con una realización desvelada.

La Figura 5 es una ilustración de un bloqueo ejemplar acoplado al amplificador de detección de la Figura 3.

La Figura 6 es un diagrama de temporización ejemplar de un dispositivo de memoria ejemplar que incluye una pluralidad de los bloqueos ejemplares en la Figura 5 y opera en un modo DPD, de acuerdo con una realización desvelada.

La Figura 7 es otro diagrama de temporización ejemplar de un dispositivo de memoria ejemplar que incluye una pluralidad de los bloqueos ejemplares en la Figura 5 y opera en un modo DPD, de acuerdo con una realización desvelada.

La Figura 8 es una ilustración de dos bloqueos ejemplares acoplados al amplificador de detección de la Figura 3.

La Figura 9 es un diagrama de temporización ejemplar de un dispositivo de memoria ejemplar que incluye una pluralidad de los bloqueos en la Figura 8 y opera en un modo DPD, de acuerdo con una realización desvelada.

La Figura 10 es otra ilustración de dos bloqueos ejemplares acoplados al amplificador de detección de la Figura 3.

La Figura 11 es un diagrama de temporización ejemplar de un dispositivo de memoria ejemplar que incluye una pluralidad de los bloqueos ejemplares en la Figura 10 y opera en un modo DPD, de acuerdo con una realización desvelada.

La Figura 12 es una ilustración de una disposición ejemplar de matrices de memoria, amplificadores de detección y controladores de sublínea de palabras en un dispositivo de memoria ejemplar, de acuerdo con una realización desvelada.

La Figura 13 es una ilustración de una disposición ejemplar de amplificadores de detección, controladores de sublínea de líneas y bloqueos en un dispositivo de memoria ejemplar, de acuerdo con una realización desvelada.

La Figura 14 es una ilustración de una disposición ejemplar de amplificadores de detección, controladores de sublínea de líneas y bloqueos en un dispositivo de memoria ejemplar, de acuerdo con una realización desvelada.

La Figura 15 es una ilustración de una configuración de abrazadera de tensión ejemplar en un dispositivo de memoria ejemplar, de acuerdo con una realización desvelada.

La Figura 16 es una ilustración de un aparato ejemplar para el procesamiento de datos, de acuerdo con una realización desvelada.

La Figura 17 es un diagrama de flujo que ilustra un procedimiento ejemplar de retener datos en un modo DPD en un dispositivo de memoria ejemplar, de acuerdo con una realización desvelada.

Descripción detallada

Esta divulgación se refiere por lo general a dispositivos de memoria de baja potencia, tales como dispositivos DRAM, y procedimientos de operación de los mismos para retener datos en un modo DPD. Se contempla que un dispositivo de memoria puede retener un grupo de datos almacenados en el dispositivo de memoria mientras el dispositivo de memoria está en modo DPD. Se puede seleccionar el grupo de datos que se va a retener. El grupo de datos puede retenerse en amplificadores de detección del dispositivo de memoria mientras el dispositivo de memoria se encuentra en el modo DPD. También se contempla que el dispositivo de memoria puede incluir una pluralidad de bloqueos para retener datos en el modo DPD. El dispositivo de memoria puede retener un grupo de datos almacenados en el dispositivo de memoria en los bloqueos y/o los amplificadores de detección mientras el dispositivo de memoria se encuentra en modo DPD.

La Figura 1A es una ilustración de un dispositivo 100 de memoria ejemplar, de acuerdo con una realización desvelada. El dispositivo 100 de memoria incluye un controlador 120 de modo, un decodificador 140 de direcciones, un controlador 160 de actualización, una matriz 180 de memoria, una pluralidad de circuitos 130 amplificadores de detección y un búfer 150 de datos, acoplados entre sí como se muestra en la Figura 1A. El búfer 150 de datos puede incluir hardware apropiado, tal como una pluralidad de registros, circuitos integrados y/o matrices de puertas programables en campo. El búfer 150 de datos está configurado para contener temporalmente datos de salida o entrada durante la lectura o escritura de datos desde o hacia el dispositivo 100 de memoria. La matriz 180 de memoria incluye una pluralidad de células de memoria acopladas a una pluralidad de líneas de bits y una pluralidad de líneas de palabras (mostradas en la Figura 2). La pluralidad de células de memoria es para almacenar datos para acceso posterior. El dispositivo 100 de memoria puede proporcionarse como un dispositivo DRAM.

Cada circuito 130 amplificador de detección incluye un amplificador de detección y un circuito periférico (mostrado en la Figura 3). La pluralidad de circuitos 130 amplificadores de detección está acoplado a la pluralidad de líneas de bits en la matriz 180 de memoria. Cada circuito 130 amplificador de detección está configurado para detectar y amplificar una diferencia de tensión entre dos líneas de bits acopladas al mismo. Una diferencia de tensión en dos líneas de bits es causada por los datos almacenados en una de las células de memoria acopladas a las dos líneas de bits y que se leen durante el acceso a los datos. El decodificador 140 de direcciones recibe y decodifica direcciones de células de memoria para habilitar las líneas de bits y líneas de palabras correspondientes para el acceso a datos. El controlador 160 de actualización incluye hardware apropiado, como circuitos integrados y/o matrices de puertas programables en campo. El controlador 160 de actualización está configurado para controlar la actualización periódica de los datos almacenados en las células de memoria.

El controlador 120 de modo incluye hardware apropiado, tal como circuitos integrados y/o conjuntos de puertas programables configurados para generar señales de control. El controlador 120 de modo está configurado para

generar tales señales de control para controlar el dispositivo 100 de memoria para operar en diferentes modos de operación, tales como los modos lectura, escritura, actualización y DPD. El controlador 120 de modo está acoplado para recibir señales de control generadas externamente, tales como, por ejemplo, un procesador o temporizador, del sistema dentro del cual se implementa el dispositivo 100 de memoria. El dispositivo 100 de memoria es controlado por el controlador 120 de modo para entrar al modo DPD cuando el controlador 120 de modo recibe una señal de control generada externamente que instruye la entrada en el modo DPD. El controlador 120 de modo controla los datos de un grupo de células de memoria para enclavarse cuando el dispositivo 100 de memoria está en el modo DPD. En algunas realizaciones, los datos del grupo de células de memoria pueden enclavarse en los amplificadores de detección acoplados a los mismos a través de las líneas de bits. Los datos del grupo de células de memoria se restauran al grupo de células de memoria cuando el dispositivo 100 de memoria sale del modo DPD.

La Figura 1B es una ilustración de un controlador 120 de modo ejemplar. Como se muestra en la Figura 1B, el controlador 120 de modo incluye un generador 125 de señales configurado para generar una o más de varias señales de control para controlar las operaciones del dispositivo 100 de memoria. El generador 125 de señales genera las diversas señales de control (por ejemplo, Habilitar SA y Habilitar Bloqueo) de acuerdo con las señales de control externo recibidas del sistema dentro del que se implementa el dispositivo 100 de memoria. Como se ha descrito anteriormente, el generador 125 de señales incluye hardware apropiado, tal como circuitos integrados, y/o conjuntos de puertas programables para generar las diversas señales de control para controlar la operación del dispositivo 100 de memoria. Las señales incluyen señales de control para permitir amplificadores de detección y bloqueos, así como otros, como se describe más detalladamente a continuación.

La Figura 2 es una ilustración de la matriz 180 de memoria ejemplar en el dispositivo 100 de memoria ejemplar, de acuerdo con una realización desvelada. La matriz 180 de memoria incluye una pluralidad de células de memoria, por ejemplo, células 201 y 202 de memoria, acopladas a una pluralidad de líneas de bits, por ejemplo, las líneas 221, 222, 223 y 224 de bits, y una pluralidad de líneas de palabras, por ejemplo, las líneas 211, 212, 213, 214, 215, 216, 217 y 218 de palabras. Por ejemplo, las células 201 y 202 de memoria están acopladas a dos líneas 211 y 212 de palabras, respectivamente, y están acopladas a la misma línea 221 de bits como se muestra en la Figura 2. Cada célula de memoria incluye un transistor y un condensador acoplado al sumidero o fuente del transistor. Cada célula de memoria es capaz de almacenar un bit de datos en su condensador. La puerta del transistor está acoplada a una línea de palabras. La fuente o sumidero restante del transistor que no está acoplado al condensador está acoplado a una línea de bits. Cuando se activa la línea de palabras, los datos de la línea de bits se conducen al condensador en una operación de escritura. En una operación de lectura, los datos almacenados en el condensador se conducen a la línea de bits cuando se activa la línea de palabras. Cada línea de palabras se puede acoplar, por ejemplo, a 1, 2, 4, 8 o 16 células de memoria. Cuando se activa la línea de palabras, se puede acceder a todas las células de memoria acopladas al mismo tiempo. Una línea de bits está acoplada a un amplificador de detección y una pluralidad de células de memoria que están acopladas a diferentes líneas de palabras. Cuando se activa una de estas líneas de palabras, los datos almacenados en la célula de memoria acoplada se conducen a la línea de bits, y el amplificador de detección los detecta y amplifica. Por ejemplo, cuando se activa la línea 211 de palabras, los datos almacenados en la célula 201 de memoria se conducen a la línea 221 de bits, detectados y amplificados por un amplificador 251 de detección acoplado a la línea 221 de bits, y conducidos después a una salida. Como otro ejemplo, cuando se activa la línea 212 de palabras, los datos almacenados en la célula 202 de memoria se conducen a la línea 221 de bits, y se detectan y amplifican mediante el amplificador 251 de detección, y se conducen después a una salida.

La Figura 3 es una ilustración del circuito 130 de amplificador de detección ejemplar que incluye un amplificador 330 de detección correspondiente a uno de un par de líneas de bits del dispositivo 100 de memoria ejemplar, de acuerdo con una realización desvelada. El amplificador 330 de detección está acoplado entre dos líneas 321 y 322 de bits. El amplificador 330 de detección incluye varios transistores para detectar y amplificar una pequeña diferencia de tensión entre las líneas 321 y 322 de bits a un nivel lógico reconocible para que los datos puedan ser interpretados por circuitos lógicos fuera de la memoria. El amplificador 330 de detección incluye, por ejemplo, dos MOSFET de tipo p en cascada y dos MOSFET de tipo n en cascada, con acoplamiento cruzado como se muestra en la Figura 3. El controlador 120 de modo genera señales de control para activar y conducir el amplificador 330 de detección a un nivel de tensión máximo o mínimo, que sirve como el nivel lógico reconocible correspondiente a los datos que se están leyendo. En algunas realizaciones, el amplificador 330 de detección puede incluir diferentes números, tipos y/o acoplamientos de transistores.

Además del amplificador 330 de detección, el circuito del 130 amplificador de detección incluye un ecualizador 320 y un conmutador 310 que están acoplados entre las líneas 321 y 322 de bits. Para una operación de lectura, el ecualizador 320 precarga las líneas 321 y 322 de bits para garantizar que sus respectivas tensiones sean sustancialmente iguales antes de conectar una célula de memoria a una de las líneas de bits. Una señal EQ de control controla el ecualizador 320 para ecualizar las tensiones de las líneas 321 y 322 de bits. Posteriormente, después de que la célula de memoria está conectada a una de las líneas de bits y el amplificador 330 de detección ha amplificado la diferencia de tensión detectada entre las líneas de bits, una señal CSL de control controla el conmutador 310 para activar los transistores de salida para proporcionar la tensión amplificada en la salida para leer del dispositivo 100 de memoria.

La Figura 4 es un diagrama de temporización ejemplar del dispositivo 100 de memoria ejemplar que retiene datos en un modo DPD ejemplar, de acuerdo con una realización desvelada. El controlador 120 de modo controla las señales

de control relacionadas en la Figura 4 para activar los módulos o circuitos correspondientes del dispositivo 100 de memoria de acuerdo con el diagrama de temporización. Cuando el dispositivo 100 de memoria recibe una señal para entrar al modo DPD, el controlador 120 de modo controla el dispositivo 100 de memoria para que opere en un período de retención de datos DPD (DPD-DH) que incluye un período de retención de datos y un período DPD. El controlador de modo controla las señales de control relacionadas para retener datos en el dispositivo 100 de memoria durante el período de retención de datos antes de entrar al modo DPD (correspondiente al período DPD). Por ejemplo, el dispositivo 100 de memoria recibe una señal de indicación DPD-DH para solicitar entrar al modo DPD y retener los datos almacenados en el dispositivo 100 de memoria, como se muestra en la Figura 4. El controlador 120 de modo está configurado para retener los datos almacenados en una célula de memoria acoplada a la línea i , $WL(i)$ de palabras. El controlador 120 de modo activa la línea i de palabras por la señal $WL(i)$ y el ecualizador 320 y el amplificador 330 de detección acoplados a línea de palabras i por las señales de *habilitar EQ* y *SA* respectivamente, como se muestra en la Figura 4. La señal de *Habilitar SA* habilita el amplificador 330 de detección, haciendo que el amplificador 330 de detección detecte y amplifique una diferencia de tensión causada por los datos almacenados en la célula de memoria activados por $WL(i)$. Los datos almacenados en la célula de memoria acoplados a la línea de palabras yo se retiene en las líneas de bits, *Línea de bits/Línea de bits*, acoplado a la célula de memoria. Los datos de la célula de memoria están boqueados en el amplificador 330 de detección porque el amplificador 330 de detección en sí mismo es un circuito de retención. El amplificador 330 de detección retiene los datos en su interior siempre que se suministre energía al amplificador 330 de detección y el amplificador 330 de detección esté habilitado por la señal de *Habilitar SA*.

Para otro ejemplo, en la Figura 2, cuando los datos de un grupo de células 21 de memoria están configurados para retenerse en un modo DPD, el controlador 120 de modo activa la línea de palabras 218 y retiene los datos almacenados en el grupo de células 21 de memoria en los amplificadores 251-254 de detección en el período DPD-DH. El controlador 120 de modo restaura los datos retenidos al grupo de células 21 de memoria cuando el dispositivo 100 de memoria sale del modo DPD.

El controlador 120 de modo controla el dispositivo 100 de memoria para entrar al modo DPD después de que los datos se retienen en el amplificador 330 de detección. El controlador 120 de modo mantiene una fuente de alimentación del amplificador 330 de detección para retener los datos boqueados en su interior. En algunas realizaciones, el controlador 120 de modo puede desactivar la fuente de alimentación de otros circuitos del dispositivo 100 de memoria para reducir el consumo de energía en el modo DPD. Por ejemplo, el controlador 120 de modo puede desactivar la fuente de alimentación de la matriz 180 de memoria, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando el dispositivo 100 de memoria entra al modo DPD.

En algunas realizaciones, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación del amplificador 330 de detección encerrando los datos en su interior en el modo DPD. Por ejemplo, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación del amplificador 330 de detección desde V_{nucleo} a $V_{nucleo, DPD}$, en el que $V_{nucleo, DPD}$ es un nivel de tensión más bajo que V_{nucleo} , para reducir el consumo de corriente. El amplificador 330 de detección aún conserva los datos boqueados en su interior en el nivel de tensión más bajo. El controlador 120 de modo mantiene el dispositivo 100 de memoria en el modo DPD con los datos retenidos hasta recibir una señal para salir del modo DPD.

Cuando el dispositivo 100 de memoria recibe una señal para salir del modo DPD, el controlador 120 de modo controla el dispositivo 100 de memoria para salir del modo DPD en consecuencia. Por ejemplo, cuando una señal de indicación DPD-DH se desactiva como se muestra en la Figura 4, el controlador 120 de modo controla el amplificador 330 de detección que retiene los datos para restaurar los datos a la célula de memoria, y controla el dispositivo 100 de memoria para salir del modo DPD (correspondiente al período tDPD-DH). Por ejemplo, el controlador 120 de modo activa $WL(i)$ y los datos boqueados en el amplificador 330 de detección se restauran en la célula de memoria a través de la *Línea de bits/Línea de bits*.

En algunas realizaciones, si el controlador 120 de modo ha desactivado la fuente de alimentación de otros circuitos del dispositivo 100 de memoria en el modo DPD, el controlador 120 de modo activa la fuente de alimentación a esos circuitos del dispositivo 100 de memoria durante el Período de recuperación V_{nucleo} & V_{peri} antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha desactivado la fuente de alimentación a la matriz 180 de memoria, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando el dispositivo 100 de memoria entra al modo DPD, el controlador 120 de modo se activa la fuente de alimentación a estos elementos antes de restaurar los datos.

En algunas realizaciones, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación del amplificador 330 de detección que bloquea los datos dentro en el modo DPD, el controlador 120 de modo recupera la tensión de la fuente de alimentación para una operación normal durante el Período de recuperación V_{nucleo} & V_{peri} antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación del amplificador 330 de detección de V_{nucleo} a $V_{nucleo, DPD}$, el controlador 120 de modo recupera la tensión de la fuente de alimentación del amplificador 330 de detección como V_{nucleo} antes de restaurar los datos. En algunas realizaciones, los datos retenidos se vuelven accesibles una vez que la tensión de la fuente de alimentación se recupera a la normalidad V_{nucleo} porque dicha tensión de la fuente de alimentación del amplificador 330 de detección proporciona

suficiente capacidad de conducción para pasar los datos retenidos a otros circuitos.

La Figura 5 es una ilustración del circuito 130 del amplificador de detección ejemplar que incluye un bloqueo 540 acoplado a líneas de bits al que se acopla el amplificador 330 de detección ejemplar en el dispositivo 100 de memoria, de acuerdo con una realización desvelada. El bloqueo 540 está acoplado, a través de un conmutador 520 de bloqueo, a las dos líneas de bits, *Línea de bits/Línea de bits*, a las que se acopla el amplificador 330 de detección. En otras palabras, en este ejemplo, el circuito 130 del amplificador de detección incluye además el bloqueo 540 y el conmutador 520 de bloqueo. El conmutador 520 de bloqueo permite que el bloqueo 540 retenga datos en las líneas de bits acopladas cuando su señal de habilitación, *SW1*, está activada. El bloqueo 540 incluye, por ejemplo, dos MOSFET de tipo p en cascada y dos MOSFET de tipo n en cascada, con acoplamiento cruzado como se muestra en la Figura 5. El controlador 120 de modo genera señales de control (por ejemplo, *NCS1* y *PCS1*) para activar y accionar el bloqueo 540 para retener datos en las líneas de bits acopladas. En algunas realizaciones, el bloqueo 540 puede incluir diferentes números, tipos y/o acoplamientos de transistores.

La Figura 6 es un diagrama de temporización ejemplar del dispositivo 100 de memoria ejemplar que incluye una pluralidad de bloqueos ejemplares en la Figura 5 y retiene datos en el modo DPD, de acuerdo con una realización desvelada. El controlador 120 de modo controla las señales de control relacionadas en la Figura 6 para activar los módulos o circuitos correspondientes del dispositivo 100 de memoria de acuerdo con el diagrama de temporización. Cuando el dispositivo 100 de memoria recibe una señal para entrar al modo DPD, el controlador 120 de modo controla las señales de control relacionadas para retener los datos en el dispositivo 100 de memoria antes de entrar al modo DPD. Por ejemplo, el dispositivo 100 de memoria recibe una señal de indicación DPD-DH para provocar el ingreso al modo DPD y retener los datos almacenados en el dispositivo 100 de memoria, como se muestra en la Figura 6. El controlador 120 de modo está configurado para retener los datos almacenados en una célula de memoria acoplada a la línea *i*, *WL (i)* de palabras. El controlador 120 de modo activa la línea de palabras *i* por la señal *WL(i)*, y activa el ecualizador 320 y el amplificador 330 de detección acoplados a la línea *i* de palabras por las señales de *Habilitar EQ* y *SA* respectivamente, como se muestra en las Figuras 5 y 6. Cuando la señal de *Habilitar SA* habilita el amplificador 330 de detección, el amplificador 330 de detección detecta y amplifica una diferencia de tensión entre las líneas 321 y 322 de bit causada por los datos almacenados en la célula de memoria activados por *WL(i)*. Los datos almacenados en la célula de memoria acoplados a la línea de palabras *yo* se retiene en las líneas de bits, *Línea de bits/Línea de bits*, acoplado a la célula de memoria. El controlador 120 de modo activa el bloqueo 540 y el conmutador 520 de bloqueo, acoplado a las líneas de bits, por las señales *Habilitar Bloqueo-540* y *SW1*, respectivamente, como se muestra en la Figura 6. Los datos de la célula de memoria se pasan al bloqueo 540. El bloqueo 540 retiene los datos después de desactivar el conmutador 520 de bloqueo. El bloqueo 540 retiene los datos siempre que se suministre energía al bloqueo 540 y el bloqueo 540 se habilita por la señal de *Habilitar Bloqueo-540*.

Como otro ejemplo, en la Figura 2, cuando los datos del grupo de células 21 de memoria están configurados para retenerse en un modo DPD, el controlador 120 de modo activa la línea 218 de palabras y retiene los datos almacenados en el grupo de células 21 de memoria en cuatro bloqueos respectivamente acoplado a las líneas 221-224 de bits en el período DPD-DH. El controlador 120 de modo restaura los datos retenidos en el grupo de células 21 de memoria cuando el dispositivo 100 de memoria sale del modo DPD.

El controlador 120 de modo controla el dispositivo 100 de memoria para entrar al modo DPD después de que los datos se retienen en el bloqueo. El controlador 120 de modo mantiene la fuente de alimentación del bloqueo 540 para retener los datos retenidos. En algunas realizaciones, el controlador 120 de modo puede desactivar la fuente de alimentación de otros circuitos del dispositivo 100 de memoria para reducir el consumo de energía en el modo DPD. Por ejemplo, el controlador 120 de modo puede desactivar la fuente de alimentación de la matriz 180 de memoria, los amplificadores 330 de detección en la pluralidad de circuitos 130 de los amplificadores de detección, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando el dispositivo 100 de memoria entra al modo DPD.

En algunas realizaciones, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación del bloqueo 540 que retiene los datos en el modo DPD. Por ejemplo, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación del bloqueo 540 del V_{nucleo} al $V_{nucleo, DPD}$, en el que $V_{nucleo, DPD}$ es un nivel de tensión más bajo que V_{nucleo} , para reducir el consumo de corriente. El bloqueo 540 aún conserva los datos retenidos en el nivel de tensión más bajo. El controlador 120 de modo mantiene el dispositivo 100 de memoria en el modo DPD con los datos retenidos hasta recibir una señal para salir del modo DPD.

Cuando el dispositivo 100 de memoria recibe una señal para salir del modo DPD, el controlador 120 de modo controla el dispositivo 100 de memoria para salir del modo DPD en consecuencia. Por ejemplo, cuando la señal de indicación DPD-DH está desactivada, como se muestra en la Figura 6, el controlador 120 de modo controla el bloqueo 540 que retiene los datos para restaurar los datos en la célula de memoria, y controla el dispositivo 100 de memoria para salir del modo DPD. Por ejemplo, el controlador 120 de modo activa *WL(i)* y *SW1*, y los datos retenidos en el bloqueo 540 se restauran a la célula de memoria a través de *línea de bits/Línea de bits*, como se muestra en la Figura 6.

En algunas realizaciones, si el controlador 120 de modo ha desactivado la fuente de alimentación de otros circuitos del dispositivo 100 de memoria en el modo DPD, el controlador 120 de modo activa la fuente de alimentación de esos circuitos del dispositivo 100 de memoria antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha

desactivado la fuente de alimentación de la matriz 180 de memoria, los amplificadores 330 de detección en la pluralidad de circuitos 130 de los amplificadores de detección, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando la memoria el dispositivo 100 entra al modo DPD, el controlador 120 de modo activa la fuente de alimentación de estos elementos antes de restaurar los datos.

En algunas realizaciones, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación del bloqueo 540 reteniendo los datos en el interior en el modo DPD, el controlador 120 de modo recupera la tensión de la fuente de alimentación para la operación normal antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación del bloqueo 540 de $V_{núcleo}$ a $V_{núcleo, DPD}$, el controlador 120 de modo recupera la tensión de la fuente de alimentación del bloqueo 540 como $V_{núcleo}$ antes de restaurar los datos. En algunas realizaciones, los datos retenidos se vuelven accesibles una vez que la tensión de la fuente de alimentación se recupera a la normalidad $V_{núcleo}$ porque dicha tensión de la fuente de alimentación del bloqueo 540 proporciona suficiente capacidad de accionamiento para pasar los datos retenidos a otros circuitos.

La Figura 7 es otro diagrama de temporización ejemplar del dispositivo 100 de memoria ejemplar que incluye una pluralidad de los bloqueos ejemplares en la Figura 5 y retiene datos en el modo DPD, de acuerdo con una realización desvelada. El controlador 120 de modo controla las señales de control relacionadas en la Figura 7 para activar los módulos o circuitos correspondientes del dispositivo 100 de memoria de acuerdo con el diagrama de temporización. Cuando el dispositivo 100 de memoria recibe una señal para entrar al modo DPD, el controlador 120 de modo controla las señales de control relacionadas para retener los datos en el dispositivo 100 de memoria antes de entrar al modo DPD. El controlador 120 de modo retiene los datos de una célula de memoria acoplada a la línea i de palabras en el bloqueo 540. Las operaciones son similares a las descritas anteriormente para retener los datos en el bloqueo 540 de acuerdo con las señales mostradas en la Figura 6. Sin embargo, como se muestra en la Figura 7, después de que los datos de $WL(i)$ se retienen en el bloqueo 540, el controlador 120 de modo puede retener también datos de otra célula de memoria acoplada a otra línea j , $WL(j)$, de palabras en el amplificador 330 de detección acoplado a la *Línea de bits/Línea de bits*. Las operaciones son similares a las descritas anteriormente para retener los datos en el amplificador 330 de detección en la Figura 4.

Como otro ejemplo, en la Figura 2, cuando los datos del grupo de células 21 de memoria y el grupo de células 22 de memoria están configurados para retenerse en un modo DPD, el controlador 120 de modo activa la línea 218 de palabras y retiene los datos almacenados en el grupo de células 21 de memoria en cuatro bloqueos (no mostrados) acoplados respectivamente a las líneas 221-224 de bits en el período DPD-DH. El controlador 120 de modo activa también la línea 216 de palabras y retiene los datos almacenados en el grupo de células 22 de memoria en los amplificadores 251-254 de detección en el modo DPD. Cuando el dispositivo de memoria sale del modo DPD, el controlador 120 de modo restaura los datos retenidos en los amplificadores 251-254 de detección en el grupo de células 22 de memoria. El controlador 120 de modo restaura también los datos retenidos en los cuatro bloqueos en el grupo de células 21 de memoria.

Como se muestra en la Figura 7, el controlador 120 de modo controla el dispositivo 100 de memoria para entrar al modo DPD después de que los datos se retienen en el bloqueo 540 y el amplificador 330 de detección. El controlador 120 de modo mantiene la fuente de alimentación para cada bloqueo 540 y el amplificador 330 de detección para mantener los datos boqueados. En algunas realizaciones, el controlador 120 de modo puede desactivar la fuente de alimentación de otros circuitos del dispositivo 100 de memoria para reducir el consumo de energía en modo DPD. Por ejemplo, el controlador 120 de modo puede desactivar la fuente de alimentación de la matriz 180 de memoria, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando el dispositivo 100 de memoria entra al modo DPD.

En algunas realizaciones, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación de cada bloqueo 540 y amplificador 330 de detección que retiene los datos en el modo DPD. Por ejemplo, el controlador 120 de modo reduce la tensión de la fuente de alimentación del bloqueo 540 y el amplificador 330 de detección de $V_{núcleo}$ a $V_{núcleo, DPD}$, para reducir el consumo de corriente. El bloqueo 540 y el amplificador 330 de detección aún conservan los datos en cerrados a un nivel de tensión más bajo. El controlador 120 de modo mantiene el dispositivo 100 de memoria en el modo DPD con los datos retenidos hasta recibir una señal para salir del modo DPD.

Cuando el dispositivo 100 de memoria recibe una señal para salir del modo DPD, el controlador 120 de modo controla el dispositivo 100 de memoria para salir del modo DPD en consecuencia. Por ejemplo, cuando la señal de indicación DPD-DH se desactiva como se muestra en la Figura 7, el controlador 120 de modo controla cada amplificador 330 de detección y el bloqueo 540 que retiene los datos para restaurar los datos en las células de memoria, y controla el dispositivo 100 de memoria para salir del modo DPD. Por ejemplo, el controlador 120 de modo activa $WL(j)$, y los datos retenidos en el amplificador 330 de detección se restauran en la célula de memoria acoplada a la línea j de palabras mediante *línea de bits/Línea de bits*, como se muestra en la Figura 7. El controlador 120 de modo activa también $WL(i)$ y SWI y los datos retenidos en el bloqueo 540 pueden restaurarse a la célula de memoria acoplada a la línea i de palabras mediante la *línea de bits/Línea de bits*, como se muestra en la Figura 7.

En algunas realizaciones, si el controlador 120 de modo ha desactivado la fuente de alimentación de otros circuitos del dispositivo 100 de memoria en el modo DPD, el controlador 120 de modo activa la fuente de alimentación de esos

5 circuitos del dispositivo 100 de memoria antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha desactivado la fuente de alimentación a la matriz 180 de memoria, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando el dispositivo 100 de memoria entra al modo DPD, el controlador 120 de modo se activa la fuente de alimentación a estos elementos antes de restaurar los datos.

10 En algunas realizaciones, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación a cada bloqueo 540 y el amplificador 330 de detección que retiene los datos en el interior en el modo DPD, el controlador 120 de modo recupera la tensión de la fuente de alimentación para una operación normal antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación de cada bloqueo 540 y amplificador 330 de detección de V_{nucleo} a $V_{nucleo, DPD}$, el controlador 120 de modo recupera la tensión de la fuente de alimentación del bloqueo 540 y el amplificador 330 de detección como V_{nucleo} antes de restaurar los datos. En algunas realizaciones, los datos retenidos se vuelven accesibles una vez que la tensión de la fuente de alimentación se recupera a la normalidad V_{nucleo} porque dicha tensión de suministro de energía a cada bloqueo 540 y amplificador 330 de detección que retiene datos proporciona suficiente capacidad de activación para pasar los datos retenidos a otros circuitos.

15 La Figura 8 es una ilustración del circuito 130 de amplificador de detección a modo de ejemplo que incluye dos bloques 840 y 880 ejemplares acoplados a líneas de bits a las que se acopla el amplificador 330 de detección en el dispositivo 100 de memoria, de acuerdo con una realización desvelada. El bloqueo 840 está acoplado a *Línea de bits/Línea de bits* a través de un conmutador 820 de bloqueo.

20 El conmutador 820 de bloqueo permite que el bloqueo 840 retenga datos en las líneas de bits acopladas cuando su señal de habilitación, *SW1*, está activada. El controlador 120 de modo genera señales de control (por ejemplo, NCS1 y PCS1) para activar y accionar el bloqueo 840 para retener datos en las líneas de bits acopladas. Cada uno de los bloques 840 y 880 incluye, por ejemplo, dos MOSFET de tipo p en cascada y dos MOSFET de tipo n en cascada, con acoplamiento cruzado como se muestra en la Figura 8. En algunas realizaciones, los bloques 840 y 880 pueden incluir diferentes números, tipos y/o acoplamientos de transistores.

25 El bloqueo 880 se acopla también a la *Línea de bits/Línea de bits* a través de un conmutador 860 de bloqueo y un conmutador 820 de bloqueo. La combinación del conmutador 860 de bloqueo y el conmutador 820 de bloqueo permite que el bloqueo 880 retenga datos en las líneas de bits acopladas cuando las señales de habilitar, *SW1* y *SW2*, están ambas activadas. El controlador 120 de modo genera señales de control (por ejemplo, NCS2 y PCS2) para activar y accionar el bloqueo 880 para retener datos en las líneas de bits acopladas. En otras palabras, en este ejemplo, el circuito 130 del amplificador de detección incluye además los bloques 840 y 880, así como sus correspondientes conmutadores 820 y 860 de bloqueo.

30 La Figura 9 es un diagrama de temporización ejemplar del dispositivo 100 de memoria ejemplar que incluye dos pluralidades de bloques 840 y 880 ejemplares, así como sus correspondientes conmutadores 820 y 860 de bloqueo en la Figura 8 y retiene datos en el modo DPD, de acuerdo con una realización desvelada. El controlador 120 de modo controla las señales de control relacionadas en la Figura 9 para activar los elementos o circuitos correspondientes del dispositivo 100 de memoria de acuerdo con el diagrama de temporización. Cuando el dispositivo 100 de memoria recibe una señal para entrar al modo DPD, el controlador 120 de modo controla las señales de control relacionadas para retener los datos en el dispositivo 100 de memoria antes de entrar al modo DPD. El controlador 120 de modo causa datos de una célula de memoria acoplada a la línea *i* de palabras para retenerse en el bloqueo 880. Las operaciones son similares a las descritas anteriormente para retener los datos en el bloqueo 540 en la Figura 6, excepto por la habilitación del bloqueo 880. Como se ha indicado anteriormente, la combinación del conmutador 860 de bloqueo y el conmutador 820 de bloqueo permite el bloqueo 880. El controlador 120 de modo activa tanto *SW1* como *SW2* para retener los datos de *WL(i)* en el bloqueo 880. Después de que los datos de *WL(i)* se retienen en el bloqueo 880, el controlador 120 de modo retiene también los datos de una célula de memoria acoplada a otra línea *j* de palabras en el bloqueo 840. Las operaciones son similares a las descritas anteriormente para retener los datos en el bloqueo 540 en la Figura 6.

35 Como otro ejemplo, en la Figura 2, cuando los datos de los grupos de células 21, 22 de memoria están configurados para retenerse en el modo DPD, el controlador 120 de modo activa la línea 218 de palabras y retiene los datos almacenados en el grupo de células 21 de memoria en cuatro bloques (no mostrados) respectivamente acoplado a las líneas 221-224 de bits en el período DPD-DH. El controlador 120 de modo también activa la línea 216 de palabras y retiene los datos almacenados en el grupo de células 22 de memoria en otros cuatro bloques (no mostrados) acoplados respectivamente a las líneas 221-224 de bits en el modo DPD. Cuando el dispositivo 100 de memoria sale del modo DPD, el controlador 120 de modo restaura los datos retenidos en los últimos cuatro bloques al grupo de células 22 de memoria. El controlador 120 de modo también restaura los datos retenidos en los cuatro bloques anteriores al grupo de células 21 de memoria.

40 El controlador 120 de modo controla el dispositivo 100 de memoria para entrar al modo DPD después de que los datos se retienen en los bloques 840 y 880. El controlador 120 de modo mantiene la fuente de alimentación a los bloques 840 y 880 para retener los datos boqueados. En algunas realizaciones, el controlador 120 de modo puede desactivar la fuente de alimentación de otros circuitos del dispositivo 100 de memoria para reducir el consumo de energía en el

modo DPD. Por ejemplo, el controlador 120 de modo puede desactivar la fuente de alimentación de la matriz 180 de memoria, los amplificadores 330 de detección en la pluralidad de circuitos 130 de los amplificadores de detección, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando el dispositivo 100 de memoria entra al modo DPD.

5 En algunas realizaciones, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación de los bloqueos 840 y 880 reteniendo los datos en el modo DPD. Por ejemplo, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación de los bloqueos 840 y 880 de V_{nucleo} a $V_{nucleo, DPD}$, para reducir el consumo de corriente. Los bloqueos 840 y 880 aún conservan los datos boqueados en el interior a un nivel de tensión más bajo. El controlador 120 de modo mantiene el dispositivo 100 de memoria en el modo DPD con los datos retenidos hasta recibir una señal para salir del modo DPD.

10 Cuando el dispositivo 100 de memoria recibe la señal para salir del modo DPD, el controlador 120 de modo controla el dispositivo 100 de memoria para salir del modo DPD en consecuencia. Por ejemplo, cuando la señal de indicación DPD-DH está desactivada, como se muestra en la Figura 9, el controlador 120 de modo controla los bloqueos 840 y 880 que retienen los datos para restaurar los datos a las células de memoria, y controla el dispositivo 100 de memoria para salir del modo DPD. Por ejemplo, el controlador 120 de modo activa $WL(j)$ y $SW1$, y los datos retenidos en el bloqueo 840 se restauran a la célula de memoria a través de *Línea de bits/Línea de bits*, como se muestra en la Figura 9. Después de eso, el controlador 120 de modo activa también $WL(i)$, $SW1$, y $SW2$, y los datos retenidos en el bloqueo 880 se restauran a la célula de memoria a través de *Línea de bits/Línea de bits*, como se muestra en la Figura 9.

15 En algunas realizaciones, si el controlador 120 de modo ha desactivado la fuente de alimentación de otros circuitos del dispositivo 100 de memoria en el modo DPD, el controlador 120 de modo activa la fuente de alimentación de esos circuitos del dispositivo 100 de memoria antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha desactivado la fuente de alimentación de la matriz 180 de memoria, los amplificadores 330 de detección en la pluralidad de circuitos 130 de los amplificadores de detección, el decodificador 140 de direcciones, el controlador 160 de actualización y el búfer 150 de datos, o cualquier combinación de los mismos, cuando la memoria el dispositivo 100 entra al modo DPD, el controlador 120 de modo activa la fuente de alimentación de estos elementos antes de restaurar los datos.

20 En algunas realizaciones, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación de los bloqueos 840 y 880 reteniendo los datos en el modo DPD, el controlador 120 de modo recupera la tensión de la fuente de alimentación para la operación normal antes de restaurar los datos. Por ejemplo, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación de los bloqueos 840 y 880 de V_{nucleo} a $V_{nucleo, DPD}$, el controlador 120 de modo recupera la tensión de la fuente de alimentación para enganchar 840 y 880 como V_{nucleo} antes de restaurar los datos. Los datos retenidos son accesibles una vez que la tensión de la fuente de alimentación se recupera a la normal V_{nucleo} debido a que la tensión de la fuente de alimentación de los bloqueos 840 y 880 puede proporcionar suficiente capacidad de conducción para pasar los datos retenidos a otros circuitos.

25 En algunas realizaciones, el controlador 120 de modo retiene además datos de otra célula de memoria acoplada a otra línea de palabras en el amplificador 330 de detección. Las operaciones son similares a las descritas anteriormente para retener los datos en el amplificador 330 de detección en la Figura 7. El controlador 120 de modo retiene los datos en el amplificador 330 de detección después de retener los datos en los bloqueos 880 y 840. El controlador 120 de modo restaura los datos retenidos en el amplificador 330 de detección antes de restaurar los datos retenidos en los bloqueos 840 y 880.

30 Por ejemplo, en la Figura 2, cuando los datos de los grupos de células 21, 22 y 23 de memoria están configurados para retenerse en el modo DPD, el controlador 120 de modo activa la línea 218 de palabras y retiene los datos almacenados en el grupo de células 21 de memoria en cuatro bloqueos respectivamente acoplado a las líneas 221-224 de bits en el período DPD-DH. El controlador 120 de modo también activa la línea 216 de palabras y retiene los datos almacenados en el grupo de células 22 de memoria en otros cuatro bloqueos acoplados respectivamente a las líneas 221-224 de bits en el modo DPD. El controlador 120 de modo activa además la línea 214 de palabras y retiene los datos almacenados en el grupo de células 23 de memoria en los amplificadores 251-254 de detección en el modo DPD. Cuando el dispositivo 100 de memoria recibe una señal para salir del modo DPD, el controlador 120 de modo restaura los datos retenidos en los amplificadores 251-254 de detección en el grupo de células 23 de memoria. El controlador 120 de modo restaura después los datos retenidos de la línea 216 de palabras en el grupo de células 22 de memoria. El controlador 120 de modo restaura además los datos retenidos de la línea 218 de palabras en el grupo de células 21 de memoria.

35 La Figura 10 es una ilustración del circuito 130 de amplificador de detección a modo de ejemplo que incluye dos bloqueos 1040 y 1080 ejemplares acoplados a líneas de bits a las que se acopla el amplificador 330 de detección en el dispositivo 100 de memoria ejemplar, de acuerdo con una realización desvelada. El bloqueo 1040 está acoplado a *Línea de bits/Línea de bits*a través de un conmutador 1020 de bloqueo. El conmutador de bloqueo 1020 permite que el bloqueo 1040 retenga datos en las líneas de bits acopladas cuando su señal de habilitar, $SW1$, está activada. El controlador 120 de modo genera señales de control para activar y activar el bloqueo 1040 para retener datos en las líneas de bits acopladas. Cada uno de los bloqueos 1040 y 1080 incluye, por ejemplo, dos MOSFET de tipo p en cascada y dos MOSFET de tipo n en cascada, con acoplamiento cruzado como se muestra en la Figura 10. En algunas

realizaciones, los bloqueos 1040, 1080 pueden incluir diferentes números, tipos y/o acoplamientos de transistores.

El bloqueo 1080 está acoplado a *Línea de bits/Línea de bitsa* través de un conmutador 1060 de bloqueo. El conmutador de bloqueo 1060 permite que el bloqueo 1080 retenga datos en las líneas de bits acopladas cuando su señal de habilitar, SW2, está activada. El controlador 120 de modo genera señales de control para activar y activar el bloqueo 1080 para retener datos en las líneas de bits acopladas. En otras palabras, el circuito 130 del amplificador de detección incluye además dos pluralidades de bloqueos 1040 y 1080, así como sus respectivos conmutadores 1020 y 1060 de bloqueo.

La Figura 11 es un diagrama de temporización ejemplar del dispositivo 100 de memoria ejemplar que incluye dos pluralidades de bloqueos 1040 y 1080 ejemplares, así como sus conmutadores 1020 y 1060 de bloqueo respectivos en la Figura 10 y retiene datos en el modo DPD, de acuerdo con una realización desvelada. El controlador 120 de modo controla las señales de control relacionadas en la Figura 11 para activar los módulos o circuitos correspondientes del dispositivo 100 de memoria de acuerdo con el diagrama de temporización. Cuando el dispositivo 100 de memoria recibe una señal para entrar al modo DPD, el controlador 120 de modo controla las señales de control relacionadas para retener los datos en el dispositivo 100 de memoria antes de entrar al modo DPD. El controlador 120 de modo retiene los datos de una célula de memoria acoplada a la línea *i* de palabras en el bloqueo 1080. Las operaciones son similares a las descritas anteriormente para retener los datos en el bloqueo 540 en la Figura 6. El controlador 120 de modo retiene también datos de una célula de memoria acoplada a otra línea *j* de palabras en el bloqueo 1040. Las operaciones son similares a las descritas anteriormente para retener los datos en el bloqueo 540 en la Figura 6.

Como otro ejemplo, en la Figura 2, cuando los datos de los grupos de células 21, y 22 de memoria están configurados para retenerse en el modo DPD, el controlador 120 de modo activa la línea 218 de palabras y retienen los datos almacenados en el grupo de células 21 de memoria en cuatro bloqueos respectivamente acoplado a las líneas 221-224 de bits en el período DPD-DH. El controlador 120 de modo también activa la línea 216 de palabras y retiene los datos almacenados en el grupo de células 22 de memoria en otros cuatro bloqueos acoplados respectivamente a las líneas 221-224 de bits en el modo DPD. Cuando el dispositivo 100 de memoria sale del modo DPD, el controlador 120 de modo restaura los datos retenidos en los últimos cuatro bloqueos al grupo de células 22 de memoria. El controlador 120 de modo restaura después los datos retenidos en los cuatro bloqueos anteriores al grupo de células 21 de memoria.

El controlador 120 de modo controla el dispositivo 100 de memoria para entrar al modo DPD después de que los datos se retienen en los bloqueos 1040 y 1080. El controlador 120 de modo mantiene la fuente de alimentación a los bloqueos 1040 y 1080 para retener los datos boqueados dentro. En algunas realizaciones, el controlador 120 de modo desactiva la fuente de alimentación de otros circuitos del dispositivo 100 de memoria para reducir el consumo de energía en el modo DPD. Las operaciones son similares a las descritas anteriormente para desactivar la fuente de alimentación de otros circuitos. En algunas realizaciones, el controlador 120 de modo puede reducir la tensión de la fuente de alimentación de los bloqueos 1040 y 1080 reteniendo los datos dentro en el modo DPD. Las operaciones son similares a las descritas anteriormente para reducir la tensión de la fuente de alimentación a los bloqueos 840 y 880 como se describe con referencia a la Figura 9. El controlador 120 de modo mantiene el dispositivo 100 de memoria en el modo DPD con los datos retenidos hasta recibir una señal para salir del modo DPD.

Cuando el dispositivo 100 de memoria recibe una señal para salir del modo DPD, el controlador 120 de modo controla el dispositivo 100 de memoria para salir del modo DPD en consecuencia. Por ejemplo, cuando la señal de indicación DPD-DH está desactivada, como se muestra en la Figura 11, el controlador 120 de modo controla los bloqueos 1040 y 1080 que retienen los datos para restaurar los datos a las células de memoria, y controla el dispositivo 100 de memoria para salir del modo DPD. Las operaciones para restaurar los datos retenidos de los bloqueos 1040 y 1080 son similares a las descritas anteriormente para restaurar los datos retenidos del bloqueo 840 en la Figura 9 porque los bloqueos 1040 y 1080 tienen conmutadores 1020 y 1060 de bloqueo individuales. No es necesario habilitar ambos conmutadores 1020 y 1060 de bloqueo para obtener datos retenidos en el bloqueo 1040 o en el bloqueo 1080.

En algunas realizaciones, si el controlador 120 de modo ha desactivado la fuente de alimentación de otros circuitos del dispositivo 100 de memoria en el modo DPD, el controlador 120 de modo activa la fuente de alimentación de esos circuitos del dispositivo 100 de memoria antes de restaurar los datos. Las operaciones son similares a las descritas anteriormente para activar la fuente de alimentación de otros circuitos como se describe con referencia a la Figura 9.

En algunas realizaciones, si el controlador 120 de modo ha reducido la tensión de la fuente de alimentación de los bloqueos 1040 y 1080 reteniendo los datos dentro en el modo DPD, el controlador 120 de modo recupera la tensión de la fuente de alimentación para las operaciones normales antes de restaurar los datos. Las operaciones son similares a las descritas anteriormente para recuperar la tensión de la fuente de alimentación a los bloqueos 840 y 880 en las Figuras 8 y 9. Los datos retenidos son accesibles una vez que la tensión de la fuente de alimentación se recupera a la normal V_{nucleo} debido a que la tensión de la fuente de alimentación de los bloqueos 1040 y 1080 proporciona suficiente capacidad de conducción para pasar los datos retenidos a otros circuitos.

En algunas realizaciones, el controlador 120 de modo provoca además que los datos de otra célula de memoria acoplada a otra línea de palabra adicional se retengan en el amplificador 330 de detección. Las operaciones son similares a las descritas anteriormente para retener los datos en el amplificador 330 de detección en la Figura 7. El

controlador 120 de modo retiene los datos en el amplificador 330 de detección después de retener los datos en los bloqueos 1040 y 1080. El controlador 120 de modo restaura los datos retenidos en el amplificador 330 de detección antes de restaurar los datos retenidos en los bloqueos 1040 y 1080.

5 Por ejemplo, en la Figura 2, cuando los datos de los grupos de células 21, 22, 23 de memoria están configurados para retenerse en el modo DPD, el controlador 120 de modo activa la línea 218 de palabras y retiene los datos almacenados en el grupo de células 21 de memoria en cuatro bloqueos acoplados a las líneas 221-224 de bits en el período DPD-DH. El controlador 120 de modo también activa la línea 216 de palabras y retiene los datos almacenados en el grupo de células 22 de memoria en otros cuatro bloqueos acoplados a las líneas 221-224 de bits en el modo DPD. El controlador 120 de modo activa además la línea 214 de palabras y retiene los datos almacenados en el grupo de células 23 de memoria en los amplificadores 251-254 de detección en el modo DPD. Cuando el dispositivo 100 de memoria recibe una señal para salir del modo DPD, el controlador 120 de modo restaura los datos retenidos en los amplificadores 251-254 de detección en el grupo de células 23 de memoria. El controlador 120 de modo restaura también los datos retenidos en los cuatro bloqueos anteriores en el grupo de células 22 de memoria. El controlador 120 de modo restaura adicionalmente los datos retenidos en los cuatro bloqueos anteriores al grupo de células 21 de memoria.

En algunas realizaciones, el dispositivo 100 de memoria incluye además una o más pluralidades de bloqueos acoplados a las líneas de bits. La una o más pluralidades de bloqueos están acopladas en serie a las líneas de bits como se muestra en la Figura 8, acopladas en paralelo a las líneas de bits como se muestra en la Figura 10, o cualquier combinación de las mismas. Las operaciones de retención de datos son similares a las operaciones ilustradas en las Figuras 9 y 11. En otras palabras, el dispositivo 100 de memoria es capaz de retener datos para varios números de grupos de células de memoria acoplados a las líneas de bits agregando una o más pluralidades de bloqueos al dispositivo 100 de memoria.

La Figura 12 es una ilustración de una disposición ejemplar de matrices de memoria, amplificadores de detección y controladores de sublíneas de palabras (SWD) en el dispositivo 100 de memoria, de acuerdo con una realización desvelada. Los amplificadores de detección pueden colocarse entre dos matrices de memoria a lo largo de una dirección horizontal, como se ve en la Figura 12, mientras que los controladores de sublíneas de palabras pueden colocarse entre dos matrices de memoria a lo largo de una dirección vertical. En algunas realizaciones, los bloqueos y los conmutadores de bloqueo se colocan con su amplificador de detección asociado. Por consiguiente, en algunas realizaciones, el bloqueo 540 y el conmutador 520 de bloqueo en la Figura 5 se colocan con el amplificador 330 de detección, los bloqueos 840 y 880 y los conmutadores 820 y 860 de bloqueo en la Figura 8 se colocan con el amplificador 330 de detección, y los bloqueos 1040 y 1080 y los conmutadores 1020 y 1060 de bloqueo en la Figura 10 se colocan con el amplificador 330 de detección.

Como alternativa, en algunas realizaciones, los bloqueos 540 y los conmutadores 520 de bloqueo en la Figura 5 se pueden colocar, por ejemplo, en las intersecciones 1201, 1202 de los amplificadores de detección y controladores de sublíneas de palabras. En algunas realizaciones, los bloqueos 840 y 880 y los conmutadores 820 y 860 de bloqueo en la Figura 8 se pueden colocar, por ejemplo, en las intersecciones 1201, 1202 de los amplificadores de detección y los controladores de sublíneas de palabras. En algunas realizaciones, los bloqueos 1040 y 1080 y los conmutadores 1020 y 1060 de bloqueo en la Figura 10 se pueden colocar, por ejemplo, en las intersecciones 1201, 1202 de los amplificadores de detección y los controladores de sublíneas de palabras.

La Figura 13 es una ilustración de una disposición ejemplar de amplificadores de detección, controladores de sublíneas de palabras y bloqueos (bloqueo 1 y bloqueo 2) en el dispositivo 100 de memoria, de acuerdo con una realización desvelada. En algunas realizaciones, los bloqueos 540 y los conmutadores 520 de bloqueo en la Figura 5 se pueden colocar, por ejemplo, debajo de los amplificadores de detección en una dirección vertical, como se ve en la Figura 13. En algunas realizaciones, los bloqueos 840 y 880 y los conmutadores 820 y 860 de bloqueo en la Figura 8 pueden colocarse, por ejemplo, debajo de amplificadores de detección en una dirección vertical, como se ve en la Figura 13. En algunas realizaciones, los bloqueos 1040 y 1080 y los conmutadores 1020 y 1060 de bloqueo se pueden colocar, por ejemplo, debajo de los amplificadores de detección en una dirección vertical, como se ve en la Figura 13. La Figura 13 ilustra también circuitos periféricos dispuestos en bloqueos cercanos. Los controladores de bloqueo y ecualizadores 1320, 1340, 1360, 1380 se pueden colocar, por ejemplo, en las intersecciones 1201, 1202 de amplificadores de detección y controladores de sublíneas de palabras.

En algunas realizaciones, el dispositivo 100 de memoria incluye además una pluralidad de circuitos de selección (no mostrados) acoplados a la pluralidad de líneas de palabras en la matriz 180 de memoria. Los circuitos de selección incluyen hardware apropiado, como circuitos integrados o matrices de puertas programables en campo, o circuitos de fusibles electrónicos programables. Los circuitos de selección pueden configurarse para seleccionar un grupo de células de memoria cuyos datos se retendrán cuando el dispositivo 100 de memoria entra en el modo DPD. Por ejemplo, los circuitos de selección pueden configurarse para seleccionar datos de uno de los grupos de células 21, 22, 23 de memoria en la Figura 2 para retener cuando el dispositivo 100 de memoria entra al modo DPD. En este ejemplo, los circuitos de selección están configurados para activar una de las líneas 214, 216, 218 de palabras de acuerdo con la selección. En algunas realizaciones, los circuitos de selección pueden incluir una pluralidad de circuitos de fusible electrónico programables acoplados a líneas de palabras. En tal caso, el controlador 120 de modo controla la programación de la pluralidad de circuitos de fusible electrónico para seleccionar datos de una o más líneas de

palabras que se retendrán cuando el dispositivo de memoria entre en el modo DPD.

La Figura 14 es una ilustración de un ejemplo de controlador de bloqueo y ecualizador 1320 para el bloqueo 540, 840, 880, 1040 o 1080 en el dispositivo 100 de memoria, de acuerdo con una realización desvelada. El controlador de bloqueo y el ecualizador 1320 incluyen un MOSFET 1420 de tipo p conectado a una fuente V_{nucleo} de tensión y un MOSFET 1440 de tipo n conectado a tierra, habilitado a través de las señales de *Habilitar Bloqueo* y *Habilitar Bloqueo*, respectivamente. La señal de *Habilitar Bloqueo* es, por ejemplo, las señales de *Habilitar Bloqueo-540*, *Habilitar Bloqueo-840*, *Habilitar Bloqueo-880*, *Habilitar Bloqueo-1040*, *Habilitar Bloqueo-1080*, *Habilitar Bloqueo-1*, o *Habilitar Bloqueo-2*, como se describe con referencia a las Figuras 6, 7, 9, 11 y 13. El controlador de bloqueo y el ecualizador 1320 incluyen también un ecualizador 1460 para garantizar que las señales $PCS(i)$ y $NCS(i)$ de control generadas por el controlador de bloqueo y el ecualizador 1320 estén equilibradas. El generador 125 de señales del controlador 120 de modo genera la señal de *Habilitar Bloqueo* para habilitar el controlador de bloqueo y el ecualizador 1320 para generar las señales $PCS(i)$ y $NCS(i)$ para accionar su bloqueo correspondiente para retener datos en las líneas de bits.

La Figura 15 es una ilustración de un circuito 1520 de fijación de tensión ejemplar en un dispositivo 100 de memoria ejemplar, de acuerdo con una realización desvelada. El circuito 1520 de fijación de tensión está configurado para generar V_{nucleo} como una tensión de fuente de alimentación para operar cualquiera de los amplificadores de detección y bloqueos descritos en el presente documento. Además, como se ha descrito anteriormente, la tensión de fuente de alimentación del amplificador 330 de detección y los bloqueos 540, 840, 880, 1040, 1080 puede reducirse a $V_{nucleo, DPD}$, en el que $V_{nucleo, DPD}$ es más bajo que V_{nucleo} . La tensión más baja se puede obtener usando el circuito 1520 de fijación de tensión con un número seleccionado de transistores en cascada. En algunas realizaciones, dado que el amplificador 330 de detección y los bloqueos 540, 840, 880, 1040, 1080 solo retienen datos en el modo DPD, el controlador 120 de modo selecciona una tensión de fuente de alimentación $V_{nucleo, DPD}$ a un nivel de tensión que sea suficiente para retener los datos. En algunas realizaciones, el controlador 120 de modo controla además la tensión de la fuente de alimentación de los bloqueos 540, 840, 880, 1040, 1080, para mantenerse a un nivel de tensión aún más bajo, $V_{bloqueo, DPD}$. Mientras $V_{bloqueo, DPD}$ es suficiente para que los bloqueos 540, 840, 880, 1040, 1080 retengan datos en el modo DPD. Por lo tanto, el controlador 120 de modo puede usar $V_{bloqueo, DPD}$, en el que $V_{bloqueo, DPD} < V_{nucleo, DPD}$, como la tensión de alimentación de los bloqueos 540, 840, 880, 1040, 1080 en el modo DPD. En otras palabras, el $V_{nucleo, DPD}$ nivel mostrado como el V_{nucleo} señal en las Figuras 6, 7, 9, 11 pueden ser reemplazados por $V_{bloqueo, DPD}$, en el que $V_{bloqueo, DPD} < V_{nucleo, DPD}$.

La Figura 16 es una ilustración de un aparato de procesamiento de datos ejemplar 1600, de acuerdo con una realización desvelada. El aparato 1600 de procesamiento de datos incluye un dispositivo de memoria ejemplar 1620, una unidad de almacenamiento ejemplar 1640, un procesador ejemplar 1660 y una interfaz 1610 de E/S ejemplar. El procesador 1660 está acoplado al dispositivo 1620 de memoria, la unidad 1640 de almacenamiento e incluso la interfaz 1610 de E/S. El dispositivo 1620 de memoria está acoplado al procesador 1660 y la interfaz 1610 de E/S. La unidad 1640 de almacenamiento está acoplada al procesador 1660 y la interfaz 1610 de E/S. Por ejemplo, el aparato 1600 de procesamiento de datos puede ser un ordenador móvil, un teléfono móvil, un ordenador portátil o un ordenador de escritorio. El procesador 1660 es un procesador en cualquiera de estos dispositivos. La unidad 1640 de almacenamiento puede ser un almacenamiento en disco o una memoria flash en cualquiera de estos dispositivos. El dispositivo 1620 de memoria puede incluir una o más DRAM en cualquiera de estos dispositivos. El dispositivo 1620 de memoria puede ser el dispositivo 100 de memoria descrito anteriormente, y puede retener un grupo de datos cuando entra en el modo DPD de acuerdo con las descripciones anteriores del dispositivo 100 de memoria. La interfaz 1610 de E/S puede almacenar en memoria intermedia los datos de entrada y salida, y pasar dichos datos a otros módulos.

La unidad 1640 de almacenamiento almacena un sistema operativo para que el procesador 1660 se cargue en el dispositivo 1620 de memoria cuando se activa el aparato 1600 de procesamiento de datos. El procesador 1660 accede a instrucciones, estado de ejecución, datos de usuario almacenados en el dispositivo 1620 de memoria durante el procesamiento de datos. Cuando el aparato 1600 de procesamiento de datos entra en un modo de suspensión, el procesador 1660 ejecuta una instrucción para enviar una señal al dispositivo 1620 de memoria para entrar al modo DPD. Un modo de suspensión del aparato 1600 de procesamiento de datos es un modo de operación en el que el aparato 1600 de procesamiento de datos no procede con ninguna operación de procesamiento de datos. Un grupo de datos en el dispositivo 1620 de memoria se retiene cuando el aparato 1600 de procesamiento de datos entra al modo de suspensión. El grupo de datos a retener en el dispositivo 1620 de memoria puede ser, por ejemplo, el núcleo del sistema operativo y el último estado de ejecución. Cuando el aparato 1600 de procesamiento de datos sale del modo de suspensión, el procesador 1660 puede acceder inmediatamente al núcleo del sistema operativo y al estado de ejecución almacenado en el dispositivo 1620 de memoria debido a la capacidad de retención de datos del dispositivo 1620 de memoria. Como resultado, el procesador 1660 puede no necesitar volver a cargar el sistema operativo desde la unidad 1640 de almacenamiento. En algunas realizaciones, el procesador 1660 puede no necesitar cargar todos los datos del usuario nuevamente desde la unidad 1640 de almacenamiento o entradas externas a través de la interfaz 1610 de E/S.

La Figura 17 es un diagrama de flujo que ilustra un procedimiento 1700 ejemplar de retención de datos en el modo DPD en el dispositivo 100 de memoria ejemplar, de acuerdo con una realización desvelada. El procedimiento 1700 incluye recibir una señal para entrar al modo DPD (etapa 1710), retener datos de un grupo de células de memoria en un dispositivo de memoria (etapa 1730) y controlar el dispositivo de memoria para entrar al modo DPD (etapa 1740).

La etapa 1710 incluye recibir una señal para entrar al modo DPD. Por ejemplo, recibir una señal para entrar al modo DPD en la etapa 1710 puede incluir recibir, mediante el dispositivo 100 de memoria, una señal para entrar al modo DPD desde un procesador en un sistema informático. Por ejemplo, recibir una señal para entrar al modo DPD en la etapa 1710 incluye recibir, mediante el dispositivo 1620 de memoria, una señal para entrar al modo DPD desde el procesador 1660 cuando el aparato 1600 de procesamiento de datos intenta entrar al modo de suspensión. Recibir una señal para entrar al modo DPD en la etapa 1710 puede incluir, por ejemplo, recibir una señal de tiempo de espera de un temporizador que se utiliza para detectar un período inactivo de acceso a la memoria o procesamiento de datos. Cuando el acceso a la memoria o el procesamiento de datos está inactivo durante un período de tiempo predefinido, el temporizador puede enviar la señal de tiempo de espera. Un período de tiempo predefinido puede ser, por ejemplo, 1, 2, 3, 5, 10, 20, 30 minutos.

La etapa 1730 incluye la retención de datos de un grupo de células de memoria en un dispositivo de memoria. Por ejemplo, la retención de datos de un grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir la retención de datos del grupo de células 21 de memoria en la Figura 2. La retención de datos de un grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir, por ejemplo, la retención de datos de una célula de memoria acoplada a la línea i de palabras como se muestra en la Figura 4.

En algunas realizaciones, la retención de datos de un grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir enganchar los datos del grupo de células de memoria en los amplificadores de detección acoplados a los mismos a través de líneas de bits. La retención de datos del grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir, por ejemplo, el bloqueo de datos del grupo de células 21 de memoria en la Figura 2 en amplificadores 251-254 de detección. Por ejemplo, la retención de datos de un grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir el bloqueo de datos de células de memoria acopladas a la línea $WL(i)$ de palabras en el amplificador 330 de detección mostrado en la Figura 4.

En algunas realizaciones, la retención de datos de un grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir el bloqueo de los datos en una pluralidad de bloqueos acoplados a líneas de bits a los que se acopla el grupo de células de memoria. Por ejemplo, la retención de datos de un grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir datos de bloqueo del grupo de células 21 de memoria en la Figura 2 a cuatro bloqueos acoplados a los mismos a través de las líneas 221-224 de bits. El resultado es unir los datos de las células de memoria acopladas a la línea $WL(i)$ de palabras en bloqueos respectivos, tales como el bloqueo 540, como se muestra en la Figura 6, a través de líneas de bits a las que se acoplan las células de memoria.

En algunas realizaciones, la retención de datos de un grupo de células de memoria en un dispositivo de memoria en la etapa 1730 puede incluir la retención de datos de un primer grupo y un segundo grupo de células de memoria. Por ejemplo, la etapa 1730 puede incluir datos de bloqueo del grupo de células 21 de memoria en cuatro bloqueos acoplados a los mismos a través de las líneas 221-224 de bits, y datos de bloqueo del grupo de células 22 de memoria en amplificadores 251-254 de detección. El resultado es retener datos de células de memoria acopladas a líneas $WL(i)$ y $WL(j)$ de palabras en el bloqueo 540 y el amplificador 330 de detección como se muestra en la Figura 7.

La etapa 1740 incluye controlar el dispositivo de memoria para entrar al modo DPD. Por ejemplo, controlar el dispositivo de memoria para entrar al modo DPD en la etapa 1740 puede incluir controlar el dispositivo 100 de memoria para entrar al modo DPD. En el modo DPD, el dispositivo 100 de memoria puede no permitir ningún acceso a datos.

En algunas realizaciones, el procedimiento 1700 también puede incluir el control de la fuente de alimentación de los elementos del dispositivo de memoria (etapa 1750). Por ejemplo, controlar la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1750 puede incluir controlar la fuente de alimentación de los amplificadores de detección para estar en el modo DPD y controlar la fuente de alimentación de al menos uno de la matriz de memoria, un decodificador de dirección y un controlador de actualización en el dispositivo de memoria para que estén desactivados en el modo DPD. Además, por ejemplo, controlar la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1750 puede incluir controlar la fuente de alimentación del amplificador 330 de detección para estar en el modo DPD y controlar la fuente de alimentación de la matriz 180 de memoria, el decodificador 140 de direcciones y el controlador 160 de actualización en el dispositivo 100 de memoria para que estén desactivados en el modo DPD, como se muestra en la Figura 4.

En algunas realizaciones, controlar la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1750 puede incluir controlar la fuente de alimentación de los bloqueos para estar en el modo DPD, y controlar la fuente de alimentación de al menos uno de la matriz de memoria, una dirección decodificadora y un controlador de actualización en el dispositivo de memoria para que estén desactivados en el modo DPD. Además, por ejemplo, controlar la fuente de alimentación de los módulos del dispositivo de memoria en la etapa 1750 puede incluir controlar la fuente de alimentación del bloqueo 540 para estar en el modo DPD, y controlar la fuente de alimentación de la matriz 180 de memoria, los amplificadores 330 de detección en la pluralidad de circuitos 130 de los amplificadores de detección, el decodificador 140 de direcciones y el controlador 160 de actualización en el dispositivo 100 de memoria para que estén desactivados en el modo DPD, como se muestra en la Figura 6.

En algunas realizaciones, controlar la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1750 puede incluir controlar la fuente de alimentación de los bloqueos y los amplificadores de detección para estar en

el modo DPD, y controlar la fuente de alimentación de al menos uno de la matriz de memoria, un decodificador de direcciones y un controlador de actualización en el dispositivo de memoria para que estén desactivados en el modo DPD. Además, por ejemplo, controlar la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1750 puede incluir controlar la fuente de alimentación del bloqueo 540 y el amplificador 330 de detección para estar en el modo DPD, y controlar la fuente de alimentación de la matriz 180 de memoria, el decodificador 140 de direcciones y actualice el controlador 160 en el dispositivo 100 de memoria para que estén desactivados en el modo DPD, como se muestra en la Figura 7.

En algunas realizaciones, el procedimiento 1700 también incluye controlar la tensión de la fuente de alimentación de los elementos del dispositivo de memoria (etapa 1760). Por ejemplo, controlar la tensión de la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1760 puede incluir controlar la tensión de la fuente de alimentación de los amplificadores de detección en el modo DPD para que esté en un nivel de tensión más bajo que el de al menos uno de los otros modos de operación. Además, por ejemplo, controlar la tensión de la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1760 puede incluir controlar la tensión de la fuente de alimentación del amplificador 330 de detección para estar en $V_{núcleo, DPD}$, en el que $V_{núcleo, DPD}$ es más bajo que $V_{núcleo}$, como se muestra en las Figuras 4 y 7. El amplificador 330 de detección opera en modos de operación de lectura y escritura con la tensión de la fuente de alimentación en $V_{núcleo}$.

En algunas realizaciones, controlar la tensión de la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1760 puede incluir controlar la tensión de la fuente de alimentación de los bloqueos en el modo DPD a una tensión más baja que la de al menos uno de la matriz de memoria, los amplificadores de detección, el decodificador de direcciones y el controlador de actualización en al menos uno de los otros modos. Por ejemplo, controlar la tensión de la fuente de alimentación de los elementos del dispositivo de memoria en la etapa 1760 puede incluir controlar la tensión de la fuente de alimentación del bloqueo 540 en la Figura 6 o 7 en $V_{núcleo, DPD}$. La matriz 180 de memoria, los amplificadores 330 de detección en la pluralidad de circuitos de 130 del amplificador de detección, el decodificador 140 de direcciones o el controlador 160 de actualización en el dispositivo 100 de memoria pueden operar en modos de operación de lectura y escritura con la tensión de la fuente de alimentación de $V_{núcleo}$, en el que $V_{núcleo} > V_{núcleo, DPD}$, como se muestra en la Figura 6 o 7.

En algunas realizaciones, el procedimiento 1700 también puede incluir la selección de un grupo de células de memoria cuyos datos se retienen en el modo DPD (etapa 1720). Por ejemplo, la selección de un grupo de células de memoria cuyos datos se retienen en el modo DPD en la etapa 1720 puede incluir la selección del grupo de células de memoria acopladas a la primera línea de palabras en cada línea de bits como el grupo de células de memoria cuyos datos se retienen en el modo DPD. Por ejemplo, en la Figura 2, el grupo de células 21 de memoria puede seleccionarse porque la línea de palabras 218 es la más cercana a los amplificadores 251-254 de detección. En algunas realizaciones, la selección de un grupo de células de memoria cuyos datos se retienen en el modo DPD en la etapa 1720 puede incluir la programación de una pluralidad de fusibles electrónicos programables. La pluralidad de fusibles electrónicos programables puede configurarse para seleccionar un grupo de células de memoria cuyos datos se retienen en el modo DPD. La selección del grupo de células de memoria cuyos datos se retienen en el modo DPD en la etapa 1720 puede incluir la programación de la pluralidad de fusibles electrónicos programables para la selección del grupo de células de memoria.

En algunas realizaciones, el procedimiento 1700 también puede incluir recibir una señal para salir del modo DPD (etapa 1770), almacenar los datos retenidos en el grupo de células de memoria (etapa 1780) y controlar el dispositivo de memoria para salir del modo DPD (etapa 1790).

La etapa 1770 incluye recibir una señal para salir del modo DPD. Por ejemplo, recibir la señal para salir del modo DPD en la etapa 1770 puede incluir recibir, mediante el dispositivo 1620 de memoria, una señal para salir del modo DPD desde el procesador 1660 cuando el aparato 1600 de procesamiento de datos sale de su modo de suspensión. Por ejemplo, recibir la señal para salir del modo DPD en la etapa 1770 puede incluir recibir, por el dispositivo 100 de memoria, una solicitud de acceso a datos por un procesador o un módulo externo.

La etapa 1780 incluye restaurar los datos retenidos al grupo de células de memoria. Por ejemplo, la restauración de los datos retenidos al grupo de células de memoria en la etapa 1780 incluye la restauración de los datos retenidos del grupo de células 21 de memoria en la Figura 2 al grupo de células 21 de memoria, que sirve para restaurar los datos retenidos de la memoria célula acoplada a línea i de palabras a la célula de memoria.

En algunas realizaciones, la restauración de los datos retenidos al grupo de células de memoria en la etapa 1780 puede incluir la restauración de los datos retenidos bloqueados en los amplificadores de detección antes de restaurar los datos retenidos en los bloqueos. Más particularmente, la restauración de los datos retenidos al grupo de células de memoria en la etapa 1780 incluye la restauración de los datos retenidos en el amplificador 330 de detección antes de restaurar los datos retenidos en el bloqueo 540, como se muestra en la Figura 7. En algunas realizaciones, cuando los bloqueos se acoplan en serie, la restauración de los datos retenidos al grupo de células de memoria en la etapa 1780 incluye la restauración de los datos retenidos en el primer bloqueo cerca del amplificador de detección o las células de memoria. Más particularmente, la restauración de los datos retenidos al grupo de células de memoria en la etapa 1780 incluye la restauración de los datos retenidos en el bloqueo 840 antes de restaurar los datos retenidos en el bloqueo 880, como se muestra en la Figura 9.

La etapa 1790 incluye controlar el dispositivo de memoria para salir del modo DPD. Por ejemplo, controlar el dispositivo de memoria para salir del modo DPD en la etapa 1790 incluye controlar el dispositivo 1620 de memoria para salir del modo DPD. El dispositivo 1620 de memoria puede permitir el acceso a datos después de que salga del modo DPD. Por ejemplo, controlar el dispositivo de memoria para salir del modo DPD en la etapa 1790 incluye controlar el dispositivo 100 de memoria para salir del modo DPD. El dispositivo 100 de memoria puede permitir el acceso a datos después de que salga del modo DPD.

[Explicación de las etiquetas]

21, 22, 23: grupo de células de memoria; 100, 1620: dispositivo de memoria; 120: controlador de modo; 125: generador de señales; 130: circuito del amplificador de detección; 140: decodificador de direcciones; 150: búfer de datos; 160: controlador de actualización; 180: matriz de memoria; 201, 202: célula de memoria; 211, 212, 213, 214, 215, 216, 217, 218, $WL(i)$, $WL(j)$: línea de palabras; 221, 222, 223, 224, 321, 322: línea de bits; 251, 252, 253, 254, 330: amplificador de detección; 310: conmutador; 320, 1460: ecualizador; 520, 820, 860, 1020, 1060: conmutador de bloqueo; 540, 840, 880, 1040, 1080: bloqueo; 1201, 1202: intersección; 1320, 1340, 1360, 1380: controlador de bloqueo y ecualizador; 1420: MOSFET tipo p; 1440: MOSFET de tipo n; 1520: circuito de fijación de tensión; 1600: aparato de procesamiento de datos; 1610: interfaz de E/S; 1640: unidad de almacenamiento; 1660: procesador; 1700: procedimiento; 1710, 1720, 1730, 1740, 1750, 1760, 1770, 1780, 1790: etapas; *Línea de bits/Línea de bits*: línea de bits; CSL: señal de control; EQ: señal/señal de control; *Habilitar Bloqueo-1*, *Habilitar Bloqueo-2*, *Habilitar Bloqueo-540*, *Habilitar Bloqueo-840*, *Habilitar Bloqueo-880*, *Habilitar Bloqueo-1040*, *Habilitar Bloqueo-1080*, *Habilitar Bloqueo*, *Habilitar Bloqueo*, *NCS(i)*, *PCS (j)*, *Habilitar SA*: señal; *SW1*, *SW2*: señal de habilitar; $V_{núcleo}$: tensión de la fuente de alimentación; $V_{núcleo}$, *DPD*: Tensión de alimentación.

REIVINDICACIONES

1. Un dispositivo (100, 1620) de memoria, siendo el dispositivo (100, 1620) de memoria una memoria dinámica de acceso aleatorio, DRAM, y que comprende:

5 una matriz (180) de memoria que incluye un primer grupo de células (21, 22, 23) de memoria y un segundo grupo de células (21, 22, 23) de memoria acopladas a una pluralidad de líneas (221, 222, 223, 224, 321, 322) de bits y una pluralidad de líneas (211, 212, 213, 214, 215, 216, 217, 218) de palabras;
 una pluralidad de circuitos (130) de los amplificadores de detección acoplados a la pluralidad de líneas (221, 222, 223, 224, 321, 322) de bits, en el que cada circuito (130) del amplificador de detección incluye un amplificador (251, 252, 253, 254, 330) de detección y está configurado para detectar y amplificar una diferencia de tensión entre
 10 dos de las líneas (221, 222, 223, 224, 321, 322) de bits acopladas a los mismos, en el que la pluralidad de circuitos (130) de los amplificadores de detección incluye además:

una pluralidad (520, 820, 860, 1020, 1060) de conmutadores de bloqueo acoplados a aquellas correspondientes de las líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria;
 15 una pluralidad de bloqueos (540, 840, 880, 1040, 1080) acoplados a través de la pluralidad de conmutadores (520, 820, 860, 1020, 1060) de bloqueo a las líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria, en el que cada circuito (130) del amplificador de detección incluye uno de los conmutadores (520, 820, 860, 1020, 1060) de bloqueo y uno de los bloqueos (540, 840, 880, 1040, 1080),
 20 en el que cada conmutador (520, 820, 860, 1020, 1060) de bloqueo permite el bloqueo de datos en el bloqueo (540, 840, 880, 1040, 1080) acoplado al mismo; en el que el segundo grupo de células (21, 22, 23) de memoria está acoplado a las líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria;

un decodificador (140) de direcciones configurado para recibir y decodificar las direcciones del primer grupo de células de memoria y del segundo grupo de células (21, 22, 23) de memoria para habilitar las correspondientes de las líneas (221, 222, 223, 224, 321, 322) de bits y las líneas (211, 212, 213, 214, 215, 216, 217, 218) de palabras; un controlador de actualización (160) configurado para controlar la actualización de datos de las células (201, 202) de memoria; y
 25 un controlador (120) de modo configurado para controlar el dispositivo (100, 1620) de memoria para operar en diferentes modos de operación, incluido un modo de apagado profundo, DPD, en el que el controlador (120) de modo está configurado para controlar los correspondientes de los bloqueos (540, 840, 880, 1040, 1080) y amplificadores (251, 252, 253, 254, 330) de detección para que los datos del primer grupo de las células (21, 22, 23) de memoria se encierren en los bloqueos (540, 840, 880, 1040, 1080) correspondientes acoplados a los mismos a través de las líneas (221, 222, 223, 224, 321, 322) de bits mientras que los datos del
 35 segundo grupo de células (21, 22, 23) de memoria se bloquea en los amplificadores (251, 252, 253, 254, 330) de detección correspondientes acoplados a los mismos a través de las líneas (221, 222, 223, 224, 321, 322) de bits cuando el dispositivo (100, 1620) de memoria entra al modo DPD.

2. El dispositivo (100, 1620) de memoria de la reivindicación 1, en el que la matriz (180) de memoria incluye además un tercer grupo de células (21, 22, 23) de memoria acopladas a las líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria, la pluralidad de conmutadores (520, 820, 860, 1020, 1060) de bloqueo y la pluralidad de bloqueos (540, 840, 880, 1040, 1080) son los primeros conmutadores (820, 1020) de bloqueo y los primeros bloqueos (840, 1040), incluyendo además la pluralidad de circuitos (130) de los
 40 amplificadores de detección:

una pluralidad de segundos conmutadores (860, 1060) de bloqueo acoplados a las líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria; y
 45 una pluralidad de segundos bloqueos (880, 1080) acoplados a través de la pluralidad de segundos conmutadores (860, 1060) de bloqueo a las líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria, en el que cada segundo conmutador (860, 1060) de bloqueo permite bloquear datos en el segundo bloqueo (880, 1080) acoplado al mismo, y
 50 en el que el controlador (120) de modo controla los correspondientes de los circuitos (130) de los amplificadores de detección de modo que los datos del tercer grupo de células (21, 22, 23) de memoria se encierren en la pluralidad de segundos bloqueos (880, 1080) cuando el dispositivo (100, 1620) de memoria entra al modo DPD.

3. El dispositivo (100, 1620) de memoria de la reivindicación 2, en el que el controlador (120) de modo está configurado para controlar aquellos correspondientes de los circuitos (130) de los amplificadores de detección de modo que los datos del segundo grupo de células (21, 22, 23) de memoria se bloquean en los amplificadores (130, 251, 252, 253, 254, 330) de detección correspondientes acoplados a los mismos a través de las líneas (221, 222, 223, 224, 321, 322) de bits después de que los datos del primer grupo de células (21, 22, 23) de memoria y los datos del tercer grupo de células (21, 22, 23) de memoria se han boqueado en los bloqueos (540, 840, 880, 1040, 1080) correspondientes y en la pluralidad de segundos bloqueos (880, 1080), respectivamente, cuando el dispositivo (100, 1620) de memoria entra
 55 60

al modo DPD.

4. El dispositivo (100, 1620) de memoria de la reivindicación 2,

5 en el que la pluralidad de segundos bloqueos (880, 1080) se acoplan a través de la pluralidad de primeros conmutadores (820, 1020) de bloqueo y la pluralidad de segundos conmutadores (860, 1060) de bloqueo a las líneas de bits (221, 222, 223, 224, 321, 322) a las que se acopla el primer grupo de células (21, 22, 23) de memoria, en el que cada combinación de uno de los primeros conmutadores (820, 1020) de bloqueo y uno de los segundos conmutadores (860, 1060) de bloqueo permite el bloqueo de datos en el segundo bloqueo (880, 1080) acoplado al mismo.

5. El dispositivo (100, 1620) de memoria de la reivindicación 1, que comprende además:

10 una pluralidad de circuitos de selección acoplados a la pluralidad de líneas (211, 212, 213, 214, 215, 216, 217, 218) de palabras, en el que la pluralidad de circuitos de selección permite la selección del grupo de células (21, 22, 23) de memoria cuyos datos se bloquean cuando el dispositivo (100, 1620) de memoria entra al modo DPD.

15 6. Un procedimiento de operación de un dispositivo (100, 1620) de memoria, siendo el dispositivo (100, 1620) de memoria una memoria dinámica de acceso aleatorio, DRAM e incluye una matriz (180) de memoria y una pluralidad de líneas (221, 222, 223, 224, 321, 322) de bits acopladas a la matriz (180) de memoria, comprendiendo el procedimiento:

20 recibir (1710) una señal para entrar en un modo de apagado profundo, DPD; controlar (1740) el dispositivo (100, 1620) de memoria para entrar al modo DPD, bloquear los datos de un primer grupo de células (21, 22, 23) de memoria de la matriz (180) de memoria en una pluralidad de bloqueos (540, 840, 880, 1040, 1080) cuando el dispositivo (100, 1620) de memoria entra al modo DPD, en el que cada uno de la pluralidad de bloqueos (540, 840, 880, 1040, 1080) se acopla a una correspondiente de la pluralidad de líneas (221, 222, 223, 224, 321, 322) de bits a través de uno de una pluralidad de conmutadores (520, 820, 860, 1020, 1060) de bloqueo acoplados a aquellas correspondientes de la pluralidad de líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria; 25 bloquear los datos de un segundo grupo de células (21, 22, 23) de memoria de la matriz (180) de memoria en amplificadores (251, 252, 253, 254, 330) de detección acoplados a las mismas a través de la pluralidad de líneas (221, 222, 223, 224, 321, 322) de bits cuando el dispositivo (100, 1620) de memoria entra al modo DPD, en el que el segundo grupo de células (21, 22, 23) de memoria se acoplan a la pluralidad de líneas (221, 222, 223, 224, 321, 322) de bits a las que se acopla el primer grupo de células (21, 22, 23) de memoria; 30 recibir (1770) una señal para salir del modo DPD; restaurar (1780) los datos retenidos al grupo de células de memoria; y controlar (1790) el dispositivo (100, 1620) de memoria para salir del modo DPD, y controlar el dispositivo (100, 1620) de memoria para operar en otros modos de operación distintos del modo DPD.

35 7. El procedimiento de acuerdo con la reivindicación 6, que comprende además:

40 controlar la fuente de alimentación de los amplificadores (251, 252, 253, 254, 330) de detección para que estén en modo DPD; y controlar la fuente de alimentación de al menos uno de la matriz (180) de memoria, un decodificador (140) de direcciones y un controlador (160) de actualización en el dispositivo (100, 1620) de memoria para que esté desactivada en el modo DPD.

8. El procedimiento de acuerdo con la reivindicación 6, que comprende además:

45 controlar la fuente de alimentación de los bloqueos (540, 840, 880, 1040, 1080) para que esté en modo DPD; y controlar la fuente de alimentación de al menos uno de la matriz (180) de memoria, los amplificadores (251, 252, 253, 254, 330) de detección, el decodificador (140) de direcciones y el controlador (160) de actualización para que esté desactivada en el DPD modo.

9. El procedimiento de acuerdo con la reivindicación 7, que comprende además:

controlar la fuente de alimentación de los amplificadores (251, 252, 253, 254, 330) de detección en el modo DPD para que tenga una tensión más baja que la de al menos uno de los otros modos de operación.

50 10. El procedimiento de acuerdo con la reivindicación 8, que comprende además:

controlar la fuente de alimentación de los bloqueos (540, 840, 880, 1040, 1080) en el modo DPD para que tenga una tensión más baja que la de al menos uno de la matriz (180) de memoria, los amplificadores (251, 252, 253, 254, 330) de detección, el decodificador (140) de direcciones y el controlador (160) de actualización en al menos uno de los otros modos de operación.

11. El procedimiento de acuerdo con la reivindicación 6, que comprende además:

ES 2 770 608 T3

seleccionar el grupo de células (21, 22, 23) de memoria cuyos datos están bloqueados en el modo DPD antes de bloquear los datos del grupo de células (21, 22, 23) de memoria, en el que retener los datos del grupo de células (21, 22, 23) de memoria incluye retener los datos del grupo seleccionado de células (21, 22, 23) de memoria.

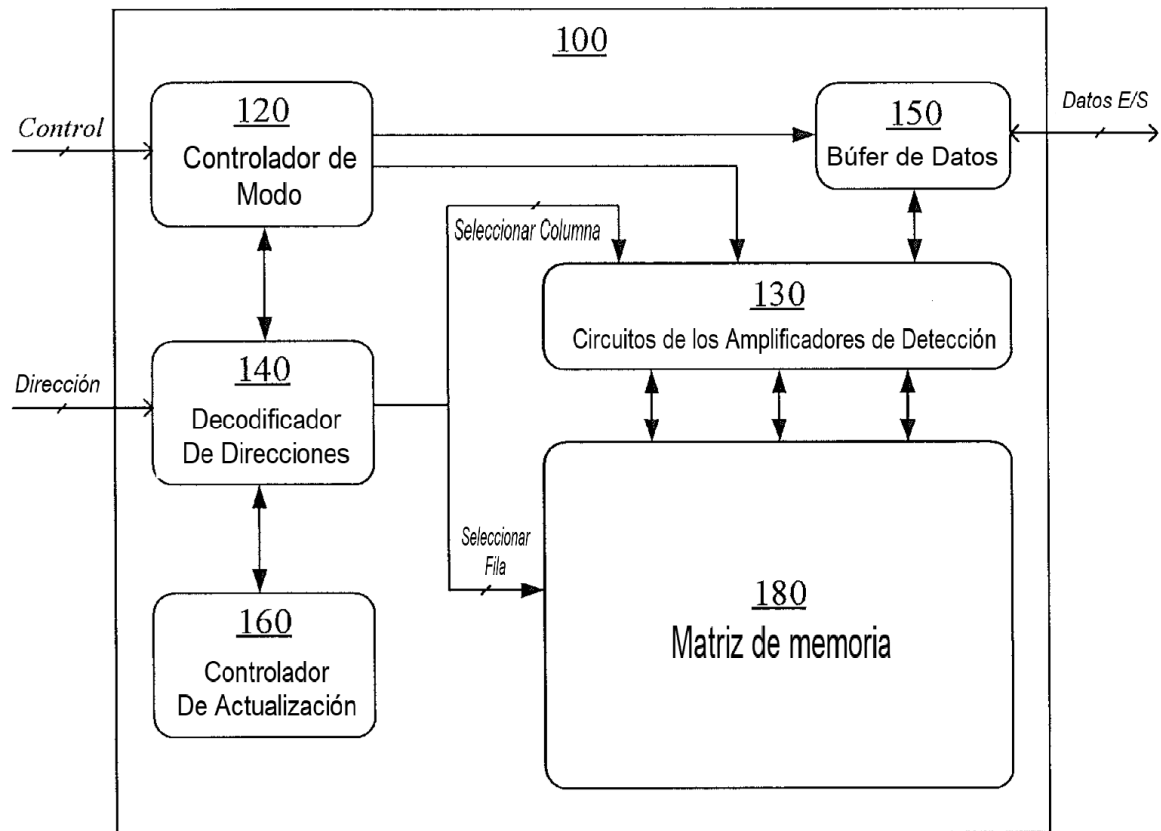


FIG. 1A

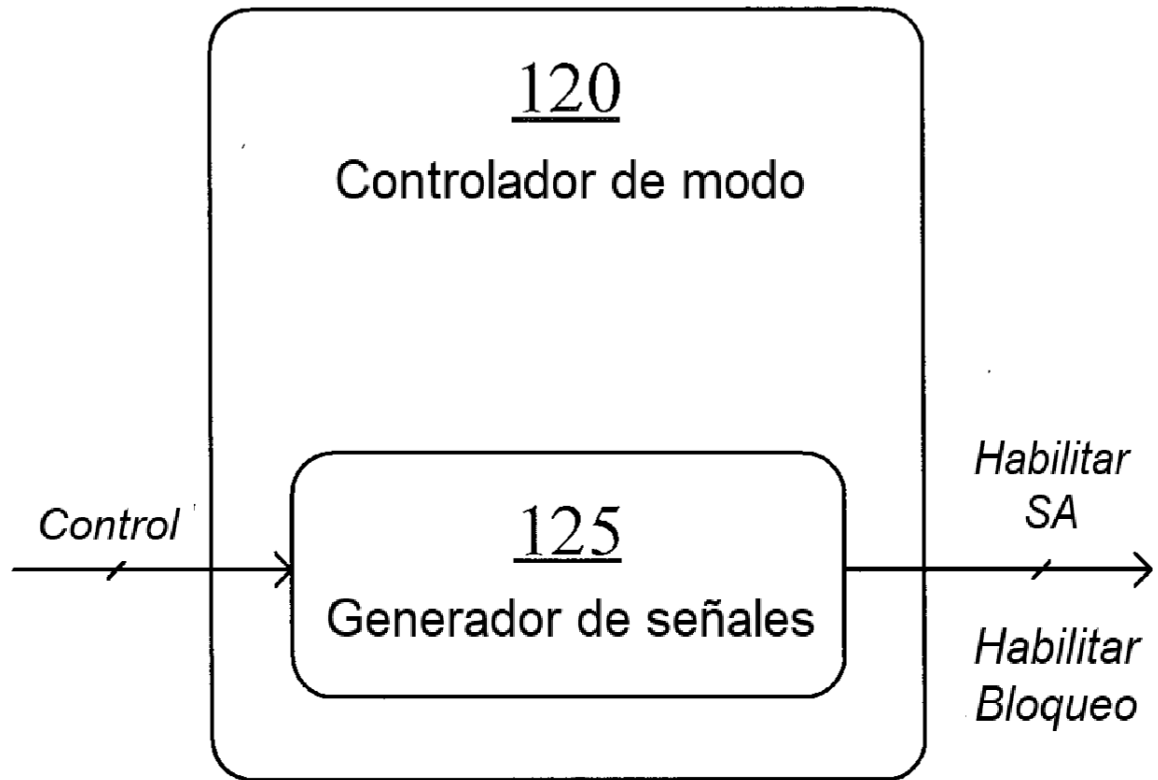


FIG. 1B

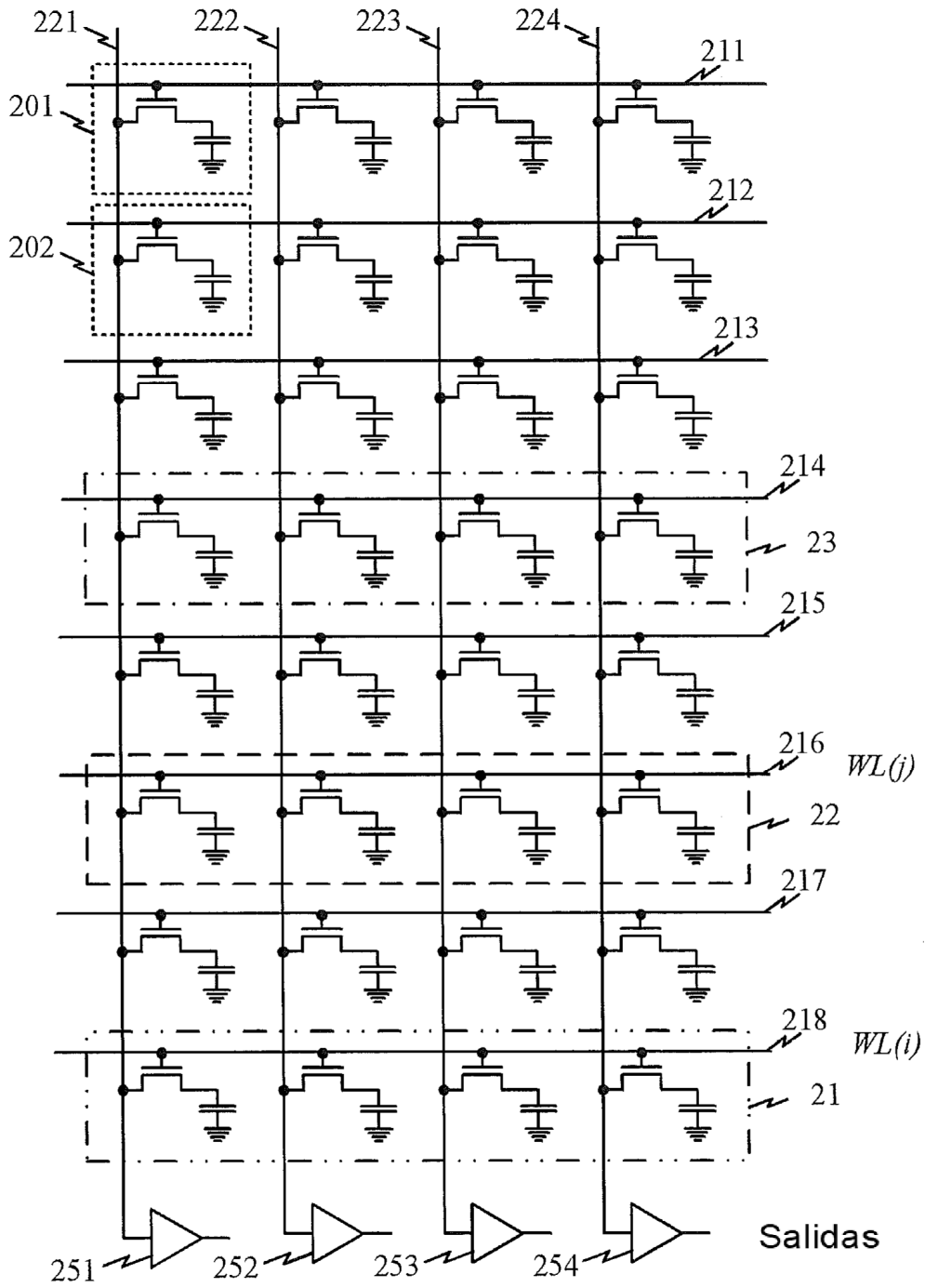


FIG. 2

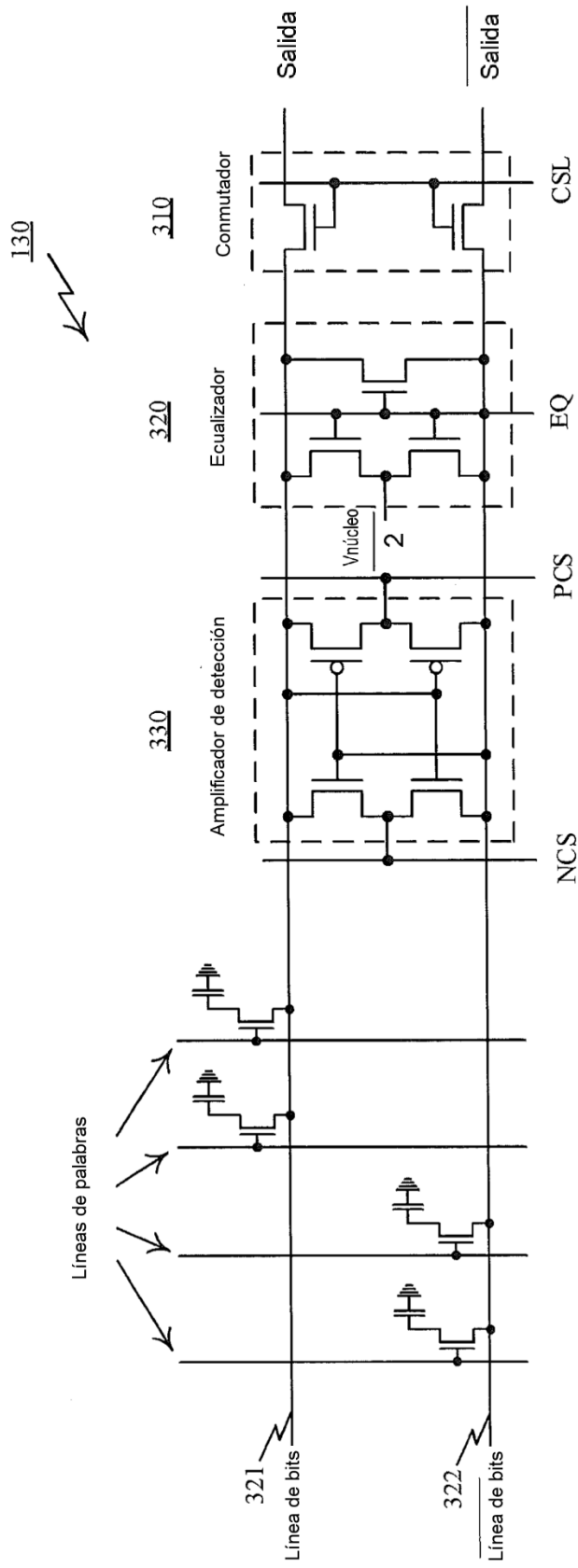


FIG. 3

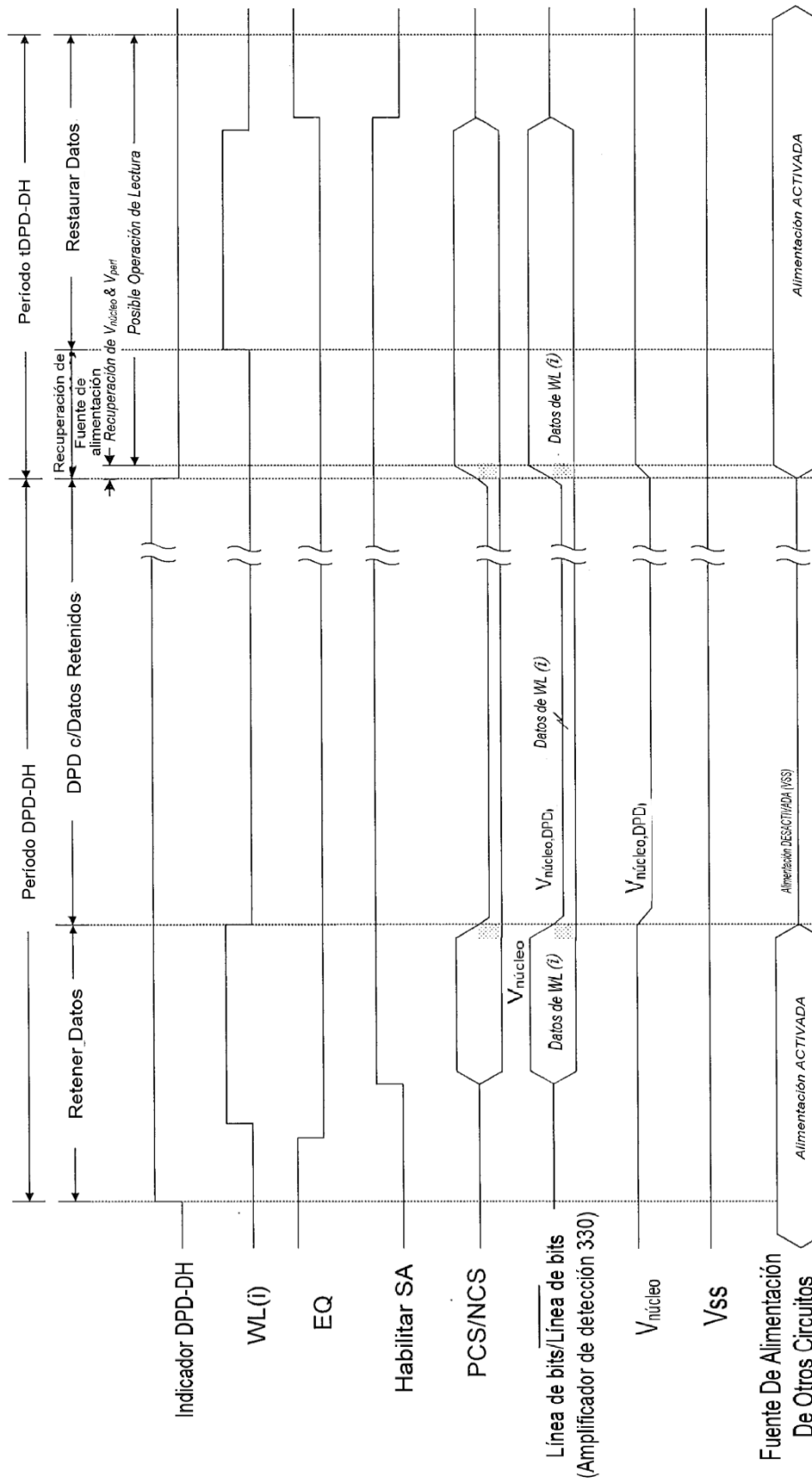


FIG. 4

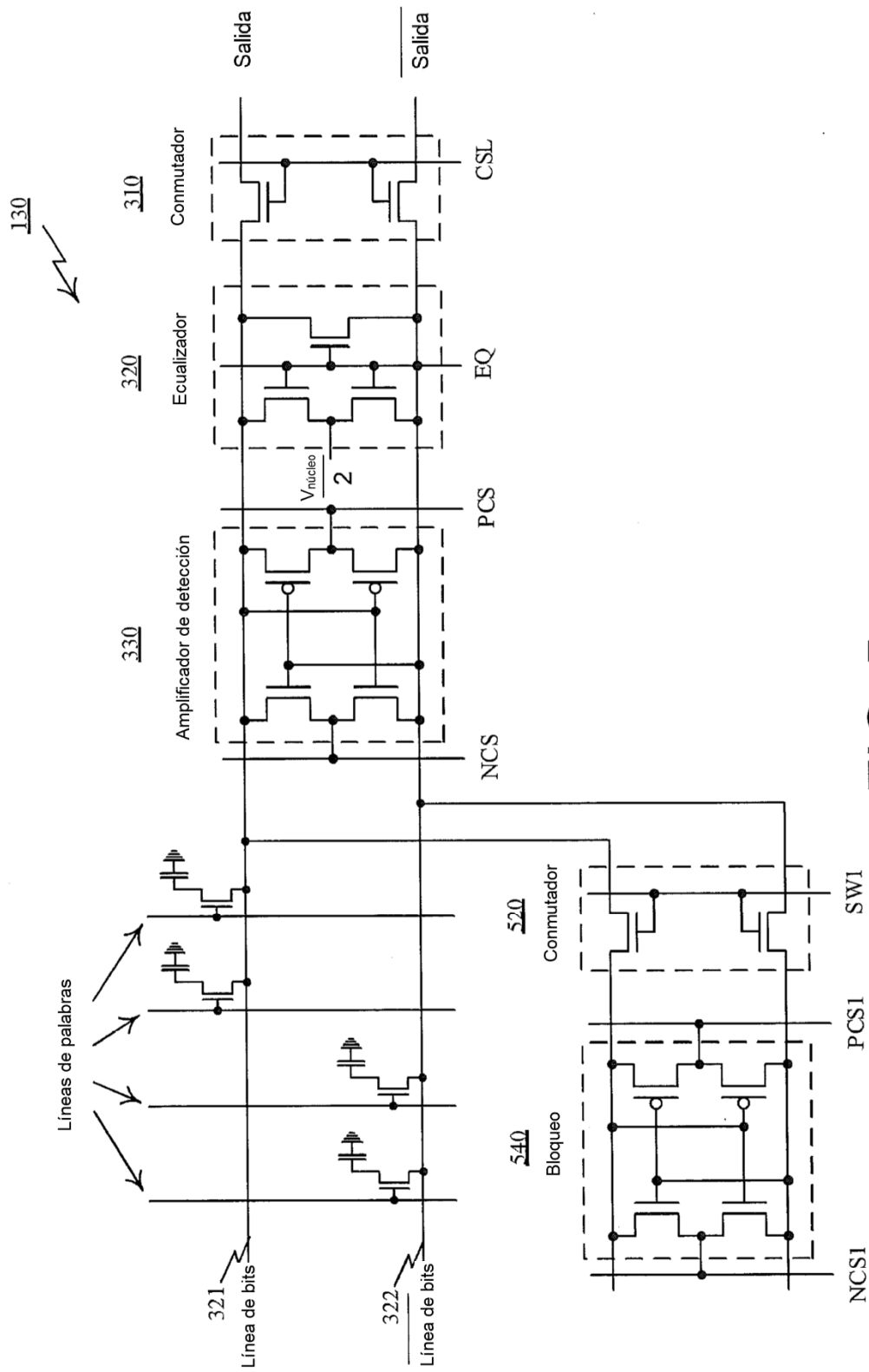


FIG. 5

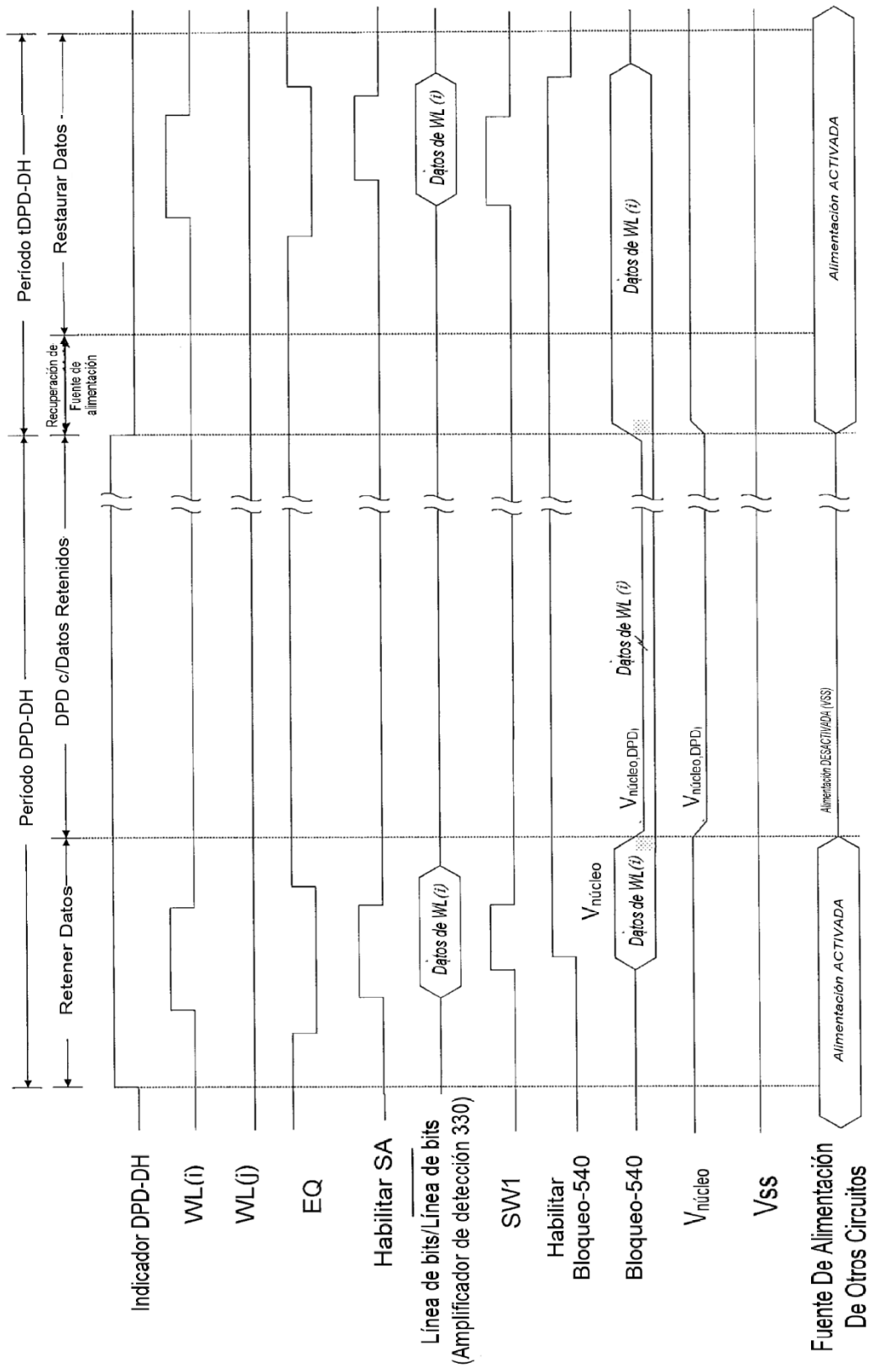


FIG. 6

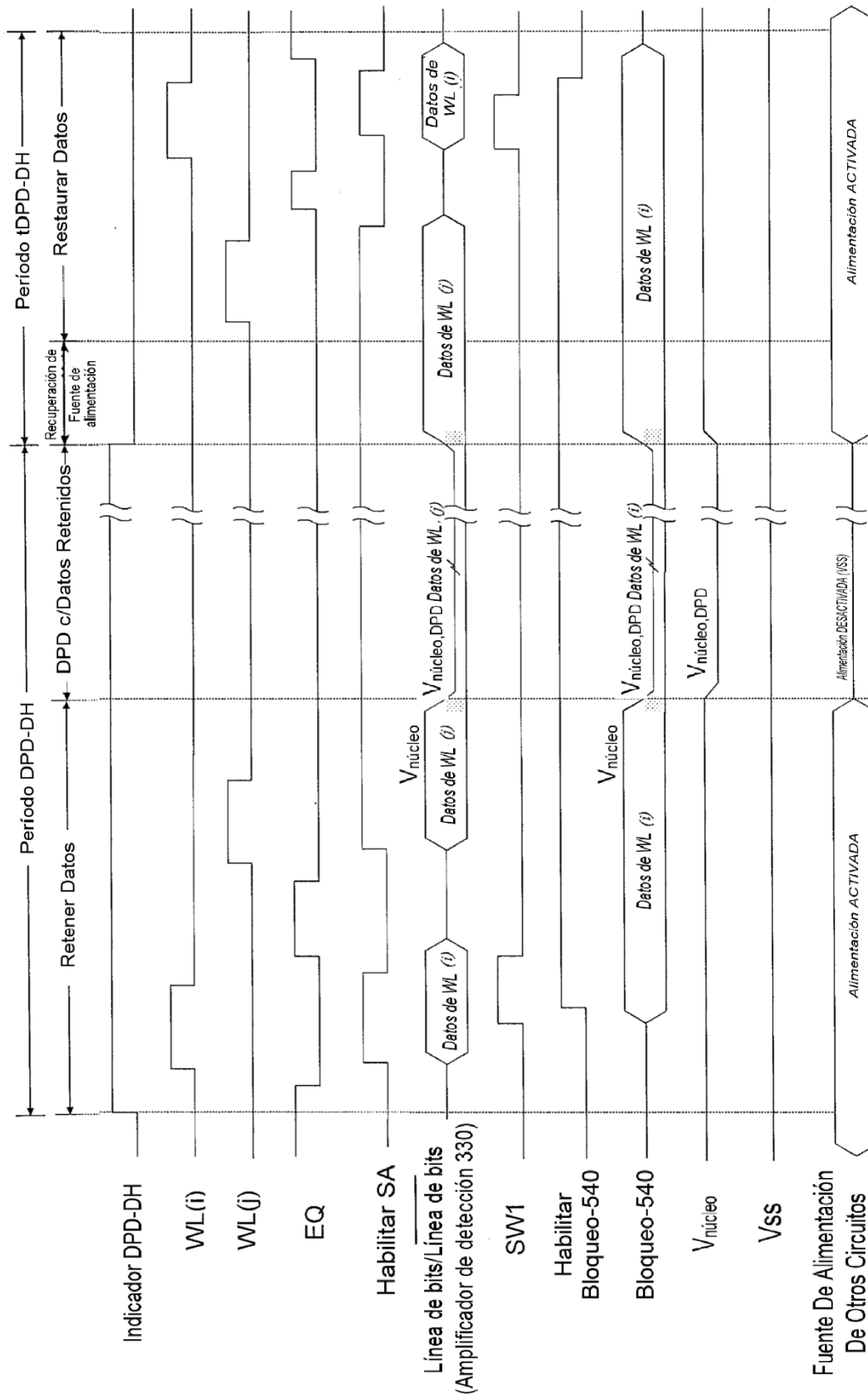


FIG. 7

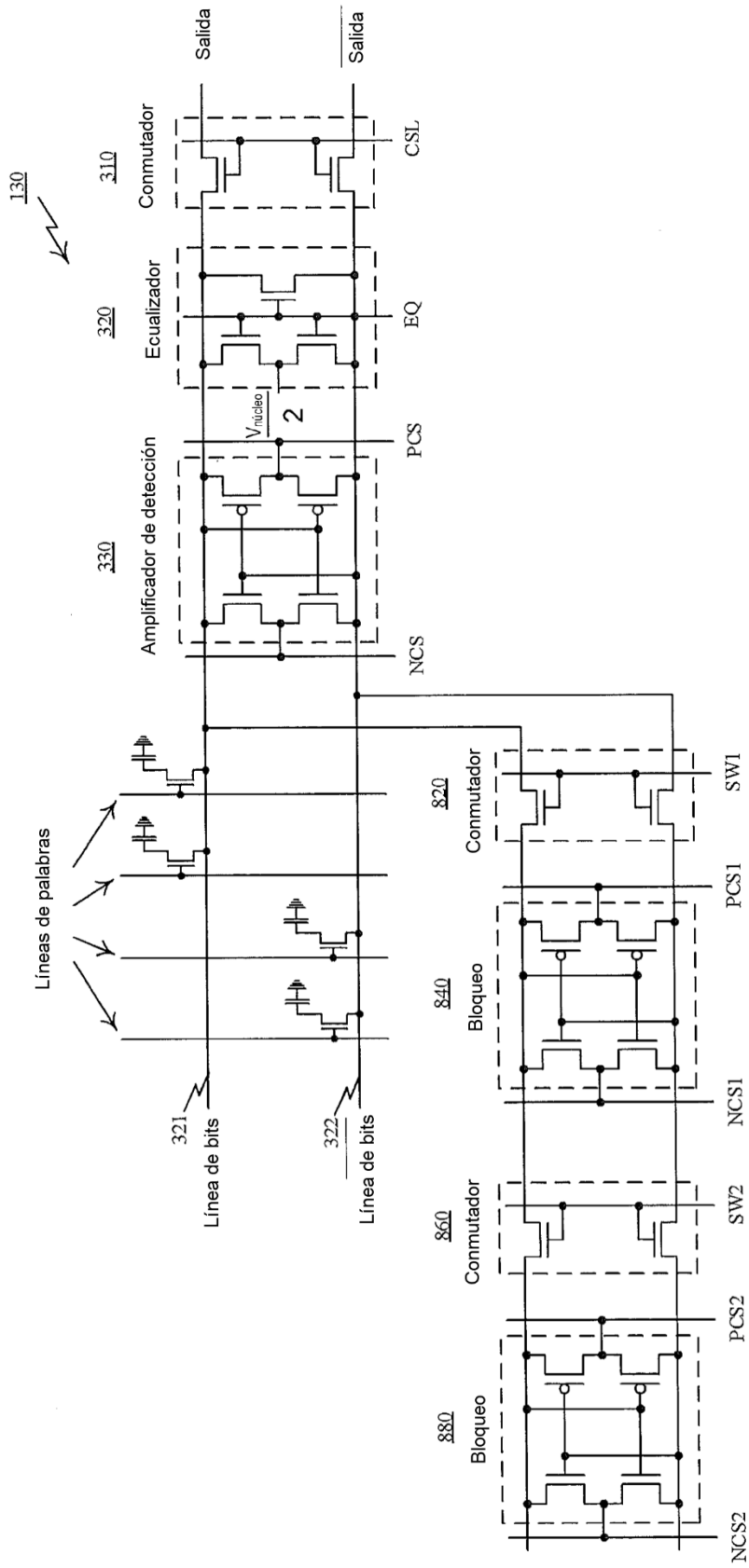


FIG. 8

Salida

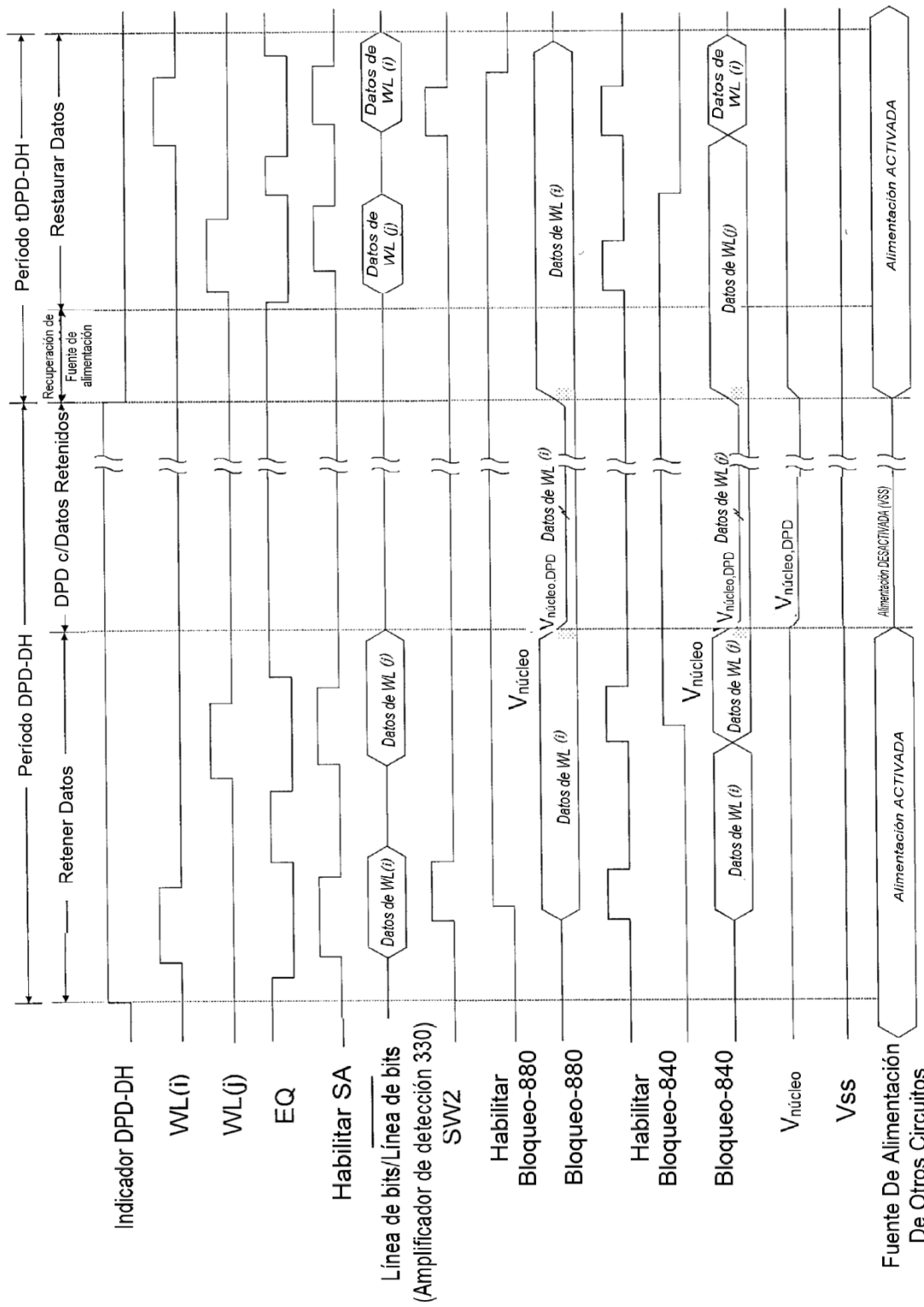


FIG. 9

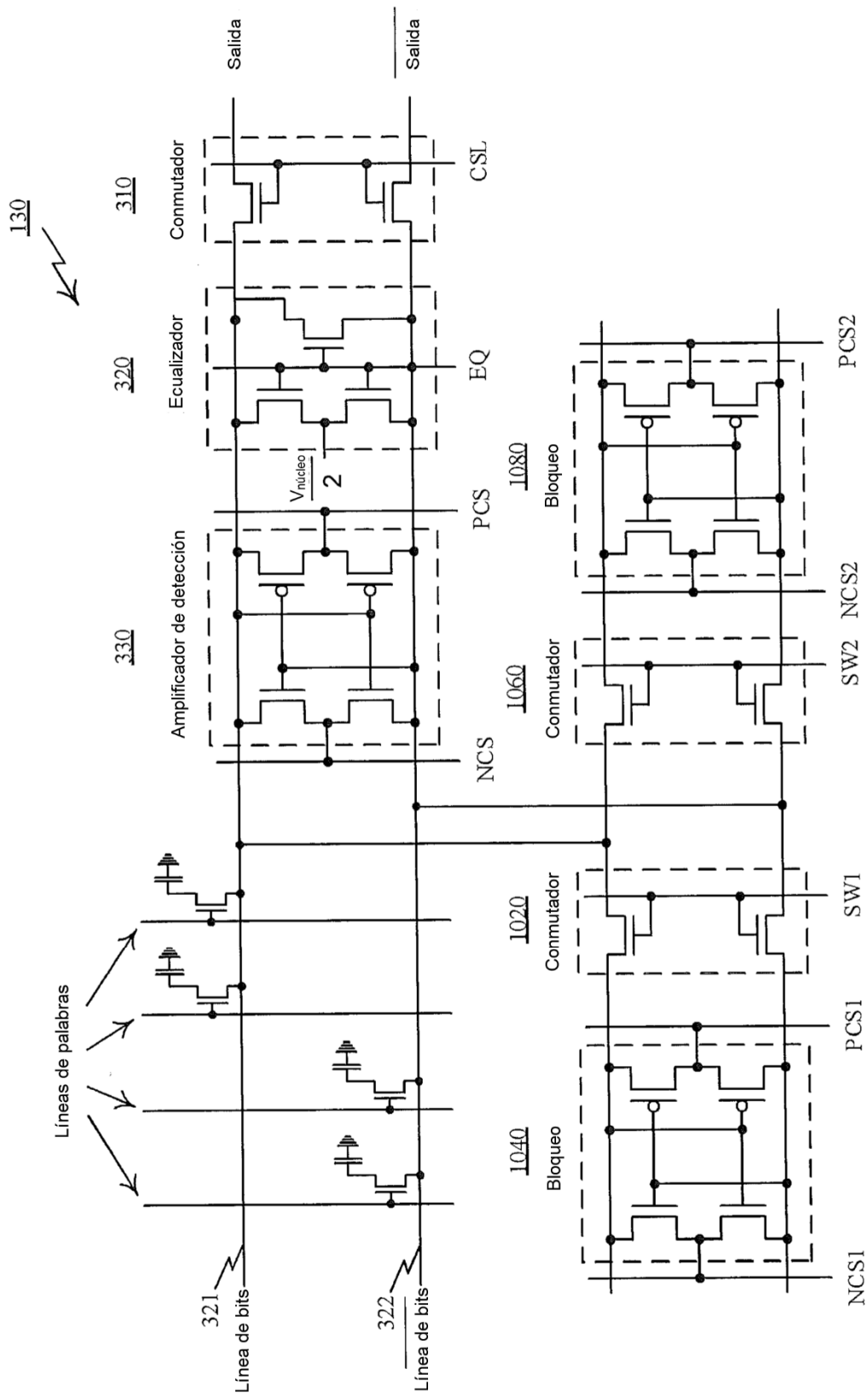


FIG. 10

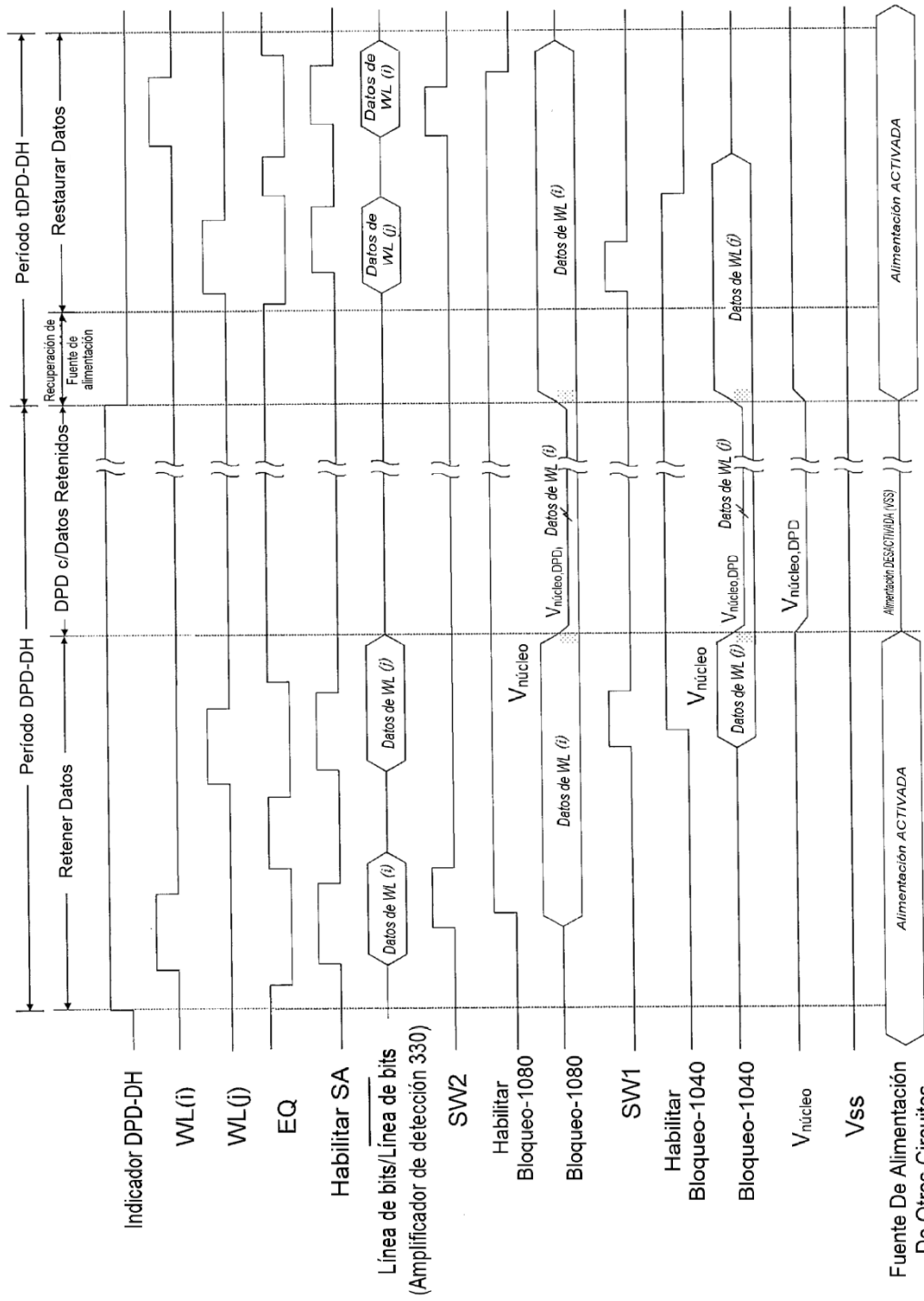


FIG. 11

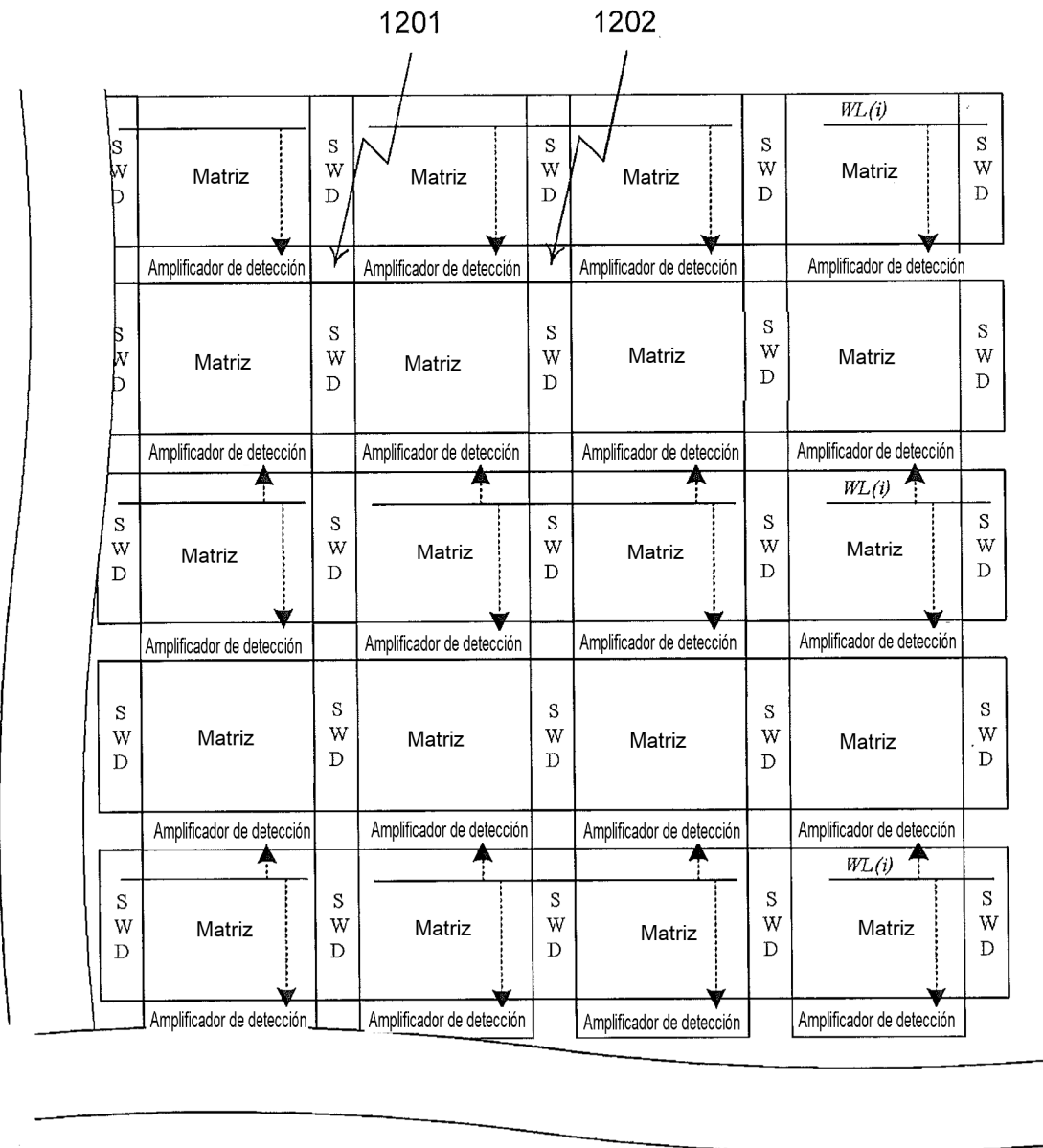


FIG. 12

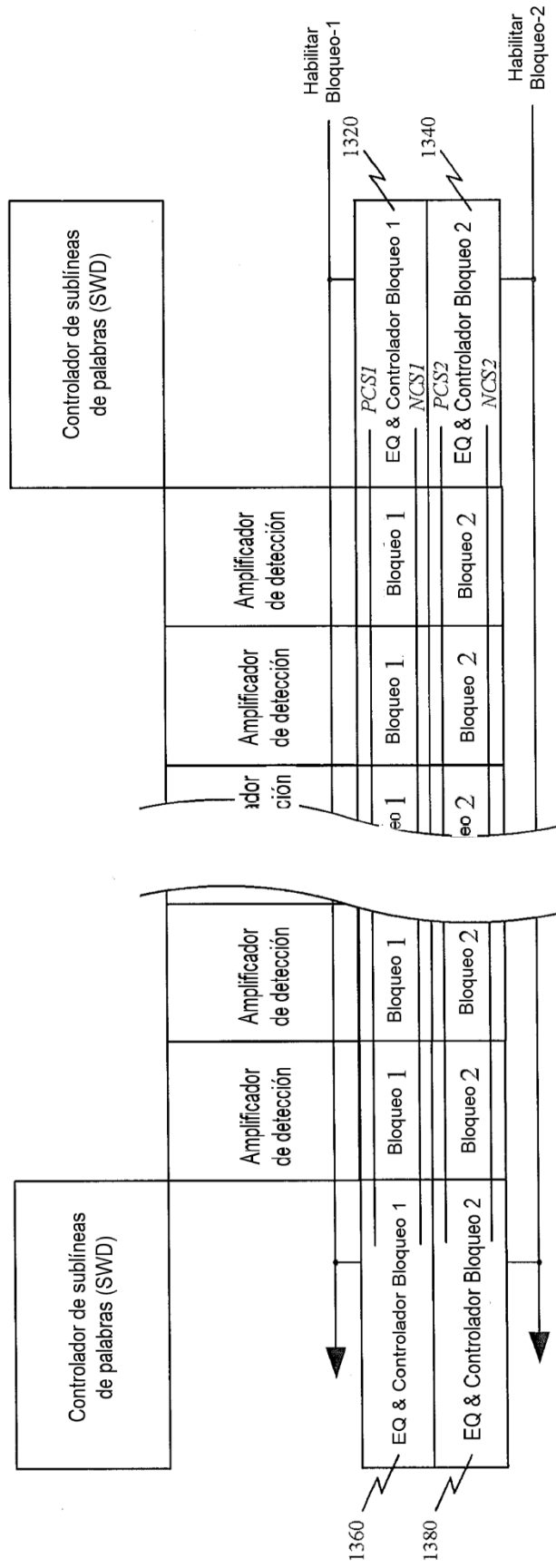


FIG. 13

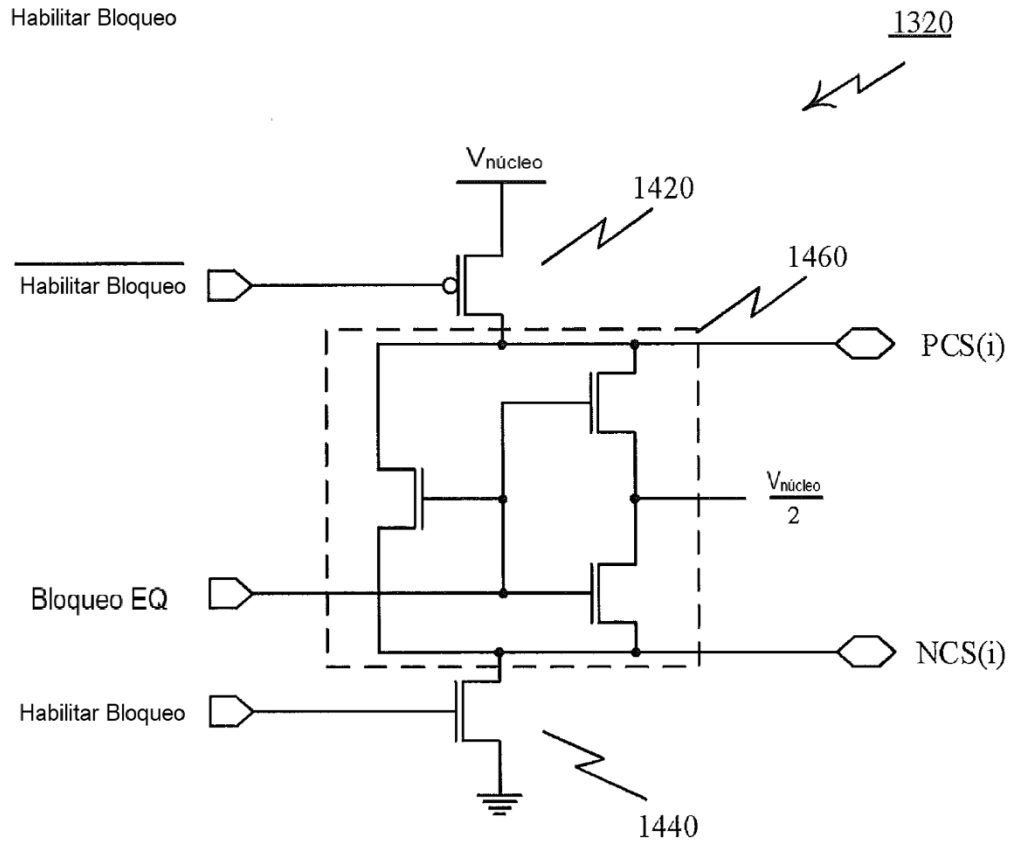
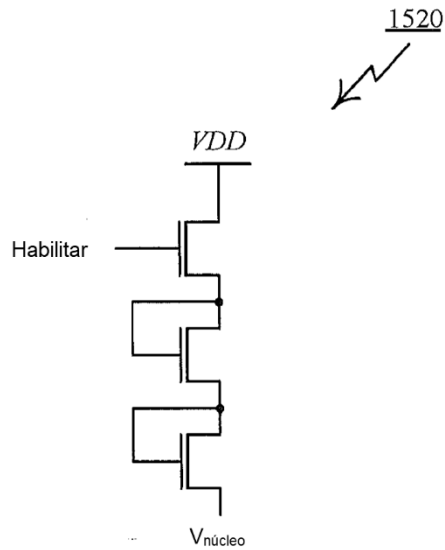


FIG. 14



$$V_{núcleo} = VDD - n V_{tn}$$

FIG. 15

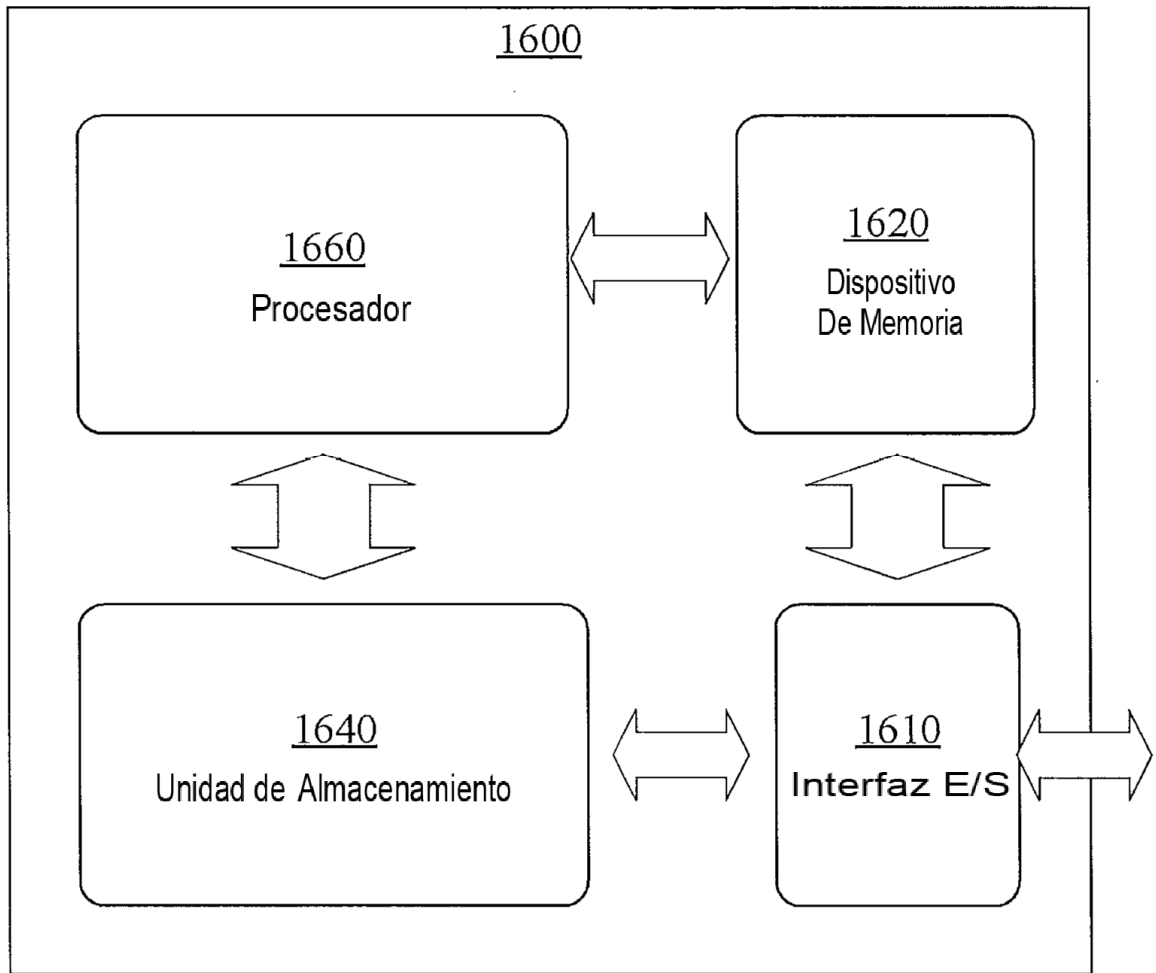


FIG. 16

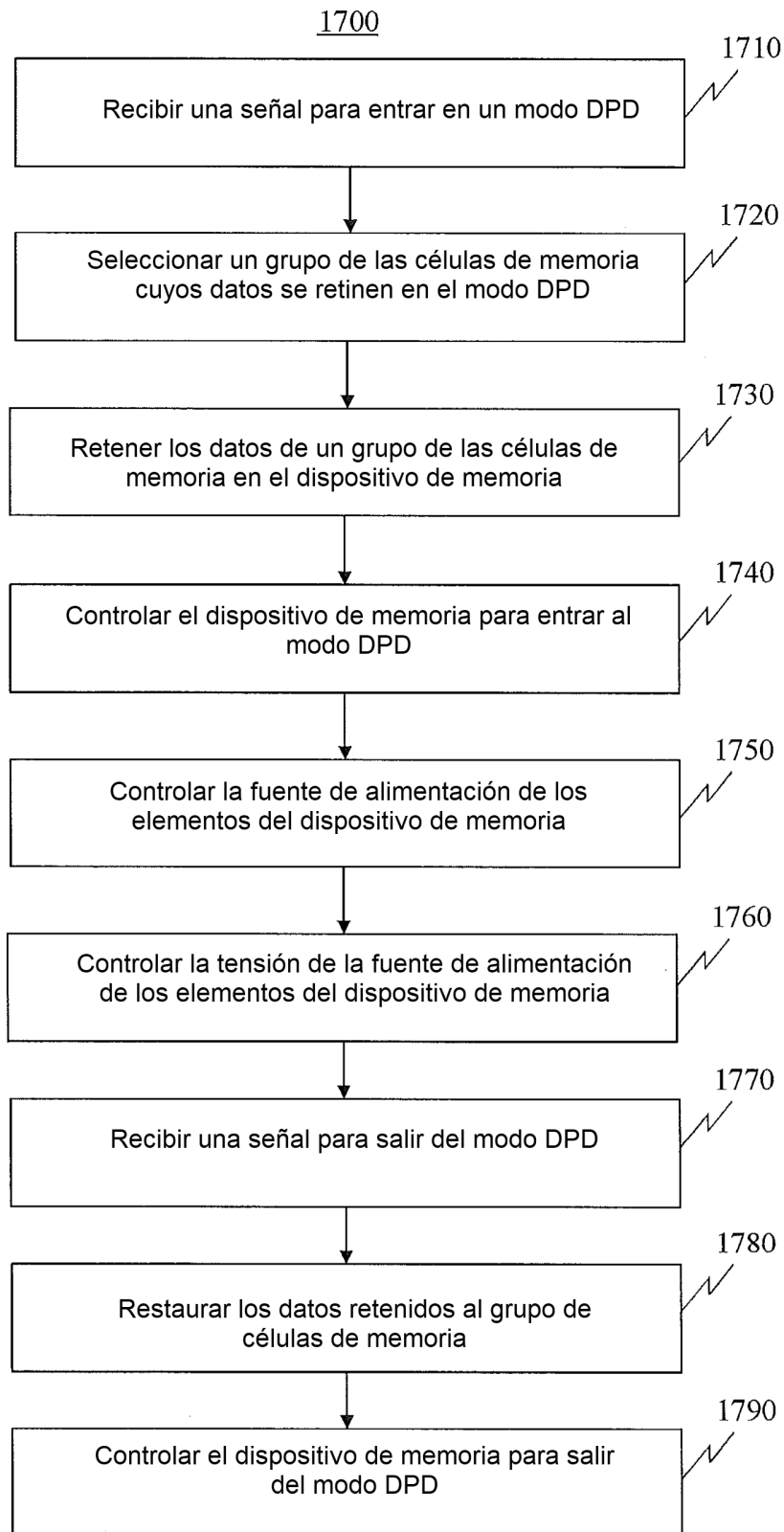


FIG. 17