

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 773 941**

51 Int. Cl.:

G01N 27/414 (2006.01)

H01L 27/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **06.10.2011 PCT/GB2011/051920**

87 Fecha y número de publicación internacional: **12.04.2012 WO12046071**

96 Fecha de presentación y número de la solicitud europea: **06.10.2011 E 11776825 (9)**

97 Fecha y número de publicación de la concesión europea: **04.12.2019 EP 2625513**

54 Título: **Protección contra descargas electrostáticas para un transistor de efecto de campo sensible a iones**

30 Prioridad:

08.10.2010 GB 201016980

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

15.07.2020

73 Titular/es:

**DNAE GROUP HOLDINGS LIMITED (100.0%)
Ugli Campus Block C, 56 Wood Lane
London W12 7SB, GB**

72 Inventor/es:

**GARNER, DAVID y
BAI, HUA**

74 Agente/Representante:

RIZZO , Sergio

ES 2 773 941 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Protección contra descargas electrostáticas para un transistor de efecto de campo sensible a iones

CAMPO DE LA INVENCION

5 **[0001]** La invención se refiere a una protección contra descarga electrostática para transistores de efecto de campo sensibles a iones. La invención puede ser relevante en concreto, aunque no necesariamente, a la hora de proporcionar protección contra descarga electrostática para transistores de efecto de campo sensibles a iones que se fabrican mediante tecnología CMOS.

ANTECEDENTES

10 **[0002]** La descarga electrostática (ESD por sus siglas en inglés) es el flujo repentino de corriente eléctrica entre dos objetos a distintos potenciales eléctricos. Esto se debe normalmente a una acumulación de cargas en uno de los objetos (o cargas opuestas en los dos objetos), que se descarga cuando los objetos entran en contacto o están muy próximos. Cuando el campo eléctrico entre dos objetos es suficiente para provocar una tensión disruptiva en el aire que los separa, se produce una chispa. No obstante, la ESD puede producirse de forma menos visible cuando dos objetos entran simplemente en contacto y la diferencia de potencial se descarga simplemente a través de la conducción. Normalmente, la acumulación estática se produce a través de tribocarga, que es la separación de cargas cuando se separan dos objetos que están en contacto.

15 **[0003]** La ESD es un problema importante en el uso y fabricación de productos eléctricos y electrónicos. La descarga repentina de una diferencia de potencial de incluso 12v puede estropear algunos dispositivos como los transistores. Una solución habitual en la fabricación consiste en conectar a tierra todos los componentes incluyendo el operador y las herramientas de forma que cualquier estática se descargue a tierra a través de tiras de alambre.

20 **[0004]** Los transistores de efecto de campo sensibles a iones (ISFET por sus siglas en inglés) [que incluyen transistores de efecto de campo sensibles químicamente (ChemFET) y Transistores de efecto de campo enzimáticos (EnFET)] son transistores diseñados para detectar una especie en una muestra de fluido. La carga de la especie cerca o en contacto con el transistor afecta al funcionamiento del transistor, lo cual puede monitorizarse mediante aparatos eléctricos. La capa superior del transistor puede estar recubierta de una capa de detección para localizar una especie en concreto.

25 **[0005]** Este tipo de transistores se ven afectados por la ESD, especialmente aquellos que presentan una estructura de puerta flotante. Como su propio nombre indica, una puerta flotante no está conectada de forma eléctrica a las partes restantes del transistor, con el fin de que la puerta sea sensible a las cargas iónicas.

30 **[0006]** No obstante, esto también hace que la estructura sea vulnerable a impactos de ESD que pueden dejar cargas residuales en la estructura. El evento de descarga electrostática (ESD) provocará el atrapamiento de una carga en la puerta flotante, lo que provoca un gran cambio de tensión umbral del ISFET e incluso un daño irreversible al dispositivo. Una vez cambia la tensión umbral, aumenta la dificultad del diseño del aparato para leer la tensión umbral correcta en el intervalo esperado. La ESD también puede dañar los ISFET al degradar de forma física o química los materiales o dejar cargas residuales en diversas estructuras como óxidos. En consecuencia, resulta muy necesaria una forma de protección contra la ESD para los ISFET.

35 **[0007]** El documento WO9520243 (Baxter) da a conocer un circuito de protección para un ISFET para proteger el dispositivo de un evento de ESD al líquido. El circuito está hecho de elementos protectores convencionales, integrados en un chip de silicio en un proceso no de CMOS. El documento US2010/0137143 (Rothberg) da a conocer métodos para la gestión de cargas atrapadas durante la fabricación de una gran red de ISFET y después de esta.

40 **[0008]** El documento WO 2005/075969 (Siemens) da a conocer un sensor de gas caracterizado por que los componentes que contienen silicio están recubiertos de una capa hecha de material hidrófobo. El documento EP1729121 (Bernasconi) da a conocer un ISFET sin puerta flotante que presenta una capa de ESD por encima de la capa sensible a iones.

45 **[0009]** El documento DE102006052863 (Sorge) da a conocer una estructura protectora de MIS monolítica situada junto a un ISFET sin puerta metálica.

[0010] Los sistemas de protección contra la EDS conocidos o bien no proporcionan la suficiente protección o bien exigen unas etapas adicionales de fabricación tras un proceso estándar de CMOS, lo que encarece el dispositivo.

Los presentes inventores han apreciado este problema y han inventado un dispositivo novedoso que proporciona una protección contra la ESD rentable en un proceso de CMOS sin modificar.

SUMARIO DE LA INVENCION

5 **[0011]** De acuerdo con un primer aspecto de la invención, se proporciona un dispositivo que comprende una estructura de protección contra descargas electrostáticas, un transistor de efecto de campo sensible a iones (ISFET) que presenta una puerta flotante que incluye al menos una capa metálica y una capa de detección situada por encima de la puerta flotante. El dispositivo tiene una estructura plana en capas y la estructura de protección contra descargas electrostáticas está situada en un plano entre la capa de detección y la puerta flotante de forma que la impedancia eléctrica desde dicha capa de detección a la estructura de protección contra descargas electrostáticas es menor que la impedancia eléctrica desde dicha capa de detección a la puerta flotante. La estructura de protección contra descargas electrostáticas incluye una capa metálica y está acoplada a una toma de tierra eléctrica y/o a una línea de alimentación eléctrica del dispositivo.

[0012] Las formas de realización preferidas de la invención están expuestas en las reivindicaciones dependientes adjuntas.

15 **[0013]** Por tanto, la invención proporciona una estructura de protección contra ESD compatible con el procesamiento de CMOS estándar, sin que sean necesarias etapas adicionales posteriores al procesamiento.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0014] Las formas de realización específicas de la invención se describirán a continuación a modo de ejemplo en referencia a las figuras adjuntas, en las cuales:

20 La Figura 1 es una ilustración transversal de un ISFET con una novedosa estructura para la protección contra ESD;

La Figura 2 es una ilustración de planta de un ISFET con una estructura novedosa para la protección contra ESD;

La Figura 3 es una ilustración de planta de un ISFET con dos almohadillas de guarda;

25 La Figura 4 es una ilustración de planta de dos redes de ISFET con diferentes disposiciones de anillos de guarda;

La Figura 5 es una ilustración de planta de dos redes de ISFET con diferentes disposiciones de almohadillas de guarda;

La Figura 6 es una ilustración de planta de una red de ISFET con una estructura de guarda en serpentina.

30 La Figura 7 es una vista transversal de un ISFET que muestra la estructura de protección contra ESD conectada al sustrato; y

La Figura 8 es un diagrama de circuitos de un circuito de protección.

DESCRIPCIÓN DETALLADA

35 **[0015]** A continuación se presentan varias formas de realización preferidas que proporcionan una protección contra descargas electrostáticas (ESD) para transistores de efecto de campo sensibles a iones (ISFET).

40 **[0016]** La Figura 1 muestra una ilustración transversal de un ISFET novedoso con una estructura de puerta flotante (5, 6, 7, 9 y 10) y un anillo de guarda 8. Puede observarse que el anillo de guarda está situado por encima de la puerta flotante y por debajo de la capa de detección 12 (que en este caso también es la capa de pasivación diseñada para proteger físicamente al semiconductor) del dispositivo. Durante un impacto de ESD a la capa de detección 12, el camino al anillo de guarda proporciona una impedancia eléctrica a la capa de detección menor que a la puerta flotante, de forma que el impacto se descarga en el anillo de guarda en lugar de en la puerta flotante.

[0017] Un dispositivo de este tipo puede fabricarse por medio de un proceso de CMOS estándar y sin modificar que se forma con las siguientes etapas:

- Provisión de un sustrato 1, por ejemplo una galleta de silicio tipo P de aproximadamente 1 mm de grosor.
- Diagrama y ataque para formar el óxido de puerta 4 (también denominada puerta intrínseca), que también define y alinea automáticamente la fuente 2 y drenador 3;
- 5 • Formación de unas regiones de difusión de la fuente 2 y el drenador 3 en el sustrato 1 por medio de difusión iónica de impurezas;
- Formación de una puerta flotante sobre el óxido de puerta con una puerta de polisilicio 5 y al menos una capa metálica (normalmente aluminio), con unas vías de conducción que conectan unas capas metálicas si se emplea más de una capa metálica. Se puede depositar material dieléctrico intermetálico entre las capas metálicas y alrededor de estas para proporcionar aislamiento eléctrico;
- 10 • Formación de una capa de protección contra ESD 8 en una capa metálica por encima de la(s) capa(s) de puerta flotante, conectando de forma opcional la capa 8 a la toma de tierra eléctrica, normalmente a través de un circuito de protección contra ESD 13;
- Colocación de una capa de pasivación 12 para proteger el chip de la manipulación y creación de microplaquetas mecánica. El material de la capa de pasivación puede ser, por ejemplo, nitruro de silicio (Si₃N₄) u oxinitruro de silicio (S_xN_yO);
- 15 • De manera opcional, colocación de una capa de detección selectiva donde el material de la capa de pasivación no es selectivo con respecto a la especie de interés.

[0018] Un electrodo de referencia puede fijarse al chip bien de forma externa o mediante procesamiento posterior en el chip para establecer la tensión de puerta de referencia para el ISFET.

- 20 **[0019]** El experto en las técnicas de fabricación de CMOS apreciará que otras etapas estándar acompañarán a las descritas anteriormente para completar el dispositivo y que existen procesos y componentes alternativos. Dichos procesos se desarrollarán y mejorarán con el tiempo, y dichas mejoras se seguirán considerando dentro del alcance de la invención.

- 25 **[0020]** Normalmente, se usa fotolitografía para construir las capas, transfiriendo el trazado del circuito a la galleta. Una máscara, junto con un material fotorresistente curable con UV, proporciona el patrón de las partes que se han de retirar o construir. El material puede añadirse a la galleta por medio de métodos conocidos de deposición como deposición química de vapor asistida por plasma (PECVD), deposición química de vapor a baja presión (LPCVD) etc.

- 30 **[0021]** La fotolitografía, implantación iónica, oxidación, ataque y métodos de deposición son de sobra conocidos para los expertos en el procesamiento de CMOS, pero existen otras técnicas o pueden estar disponibles en el futuro que sean igualmente apropiadas para proporcionar métodos de fabricación que entren dentro del alcance de la invención.

- 35 **[0022]** Las capas metálicas se fabrican normalmente durante el procesamiento «de unidad final». Después de que en la etapa de silicidación se cubran las zonas activas y de polisilicio con una fina capa de material conductor (como metal), se deposita una capa de material aislante (como un óxido). La litografía junto con el ataque químico por plasma puede usarse para retirar óxido y formar «agujeros de contacto». El metal se deposita en el óxido y también en los agujeros de contacto, formando una capa metálica que está acoplada de forma conductora a la capa de abajo. Más litografía retira partes no deseadas del metal para crear la «capa Metal 1». Se crean capas metálicas adicionales repitiendo las etapas de depósito de un aislador, creación de agujeros de contacto por
40 ataque, depósito de metal y ataque del metal.

[0023] Cabe señalar que mientras que la Figura 1 muestra una estructura hecha a partir de un proceso de CMOS de 3 capas metálicas (los componentes 8, 7, 6 de la Figura 1), las formas de realización no están limitadas a los procesos de 3 capas metálicas.

- 45 **[0024]** En una forma de realización, el dispositivo se forma en un proceso de CMOS con múltiples capas metálicas, formando el anillo de guarda la capa más alejada de la puerta intrínseca, y formando la puerta flotante la capa más próxima a la puerta intrínseca. En algunas formas de realización, el proceso de CMOS tiene más de 3 capas, más de 4 capas, más de 5 capas, más de 6 capas, más de 7 capas, más de 8 capas, más de 9 capas, más de 10 capas o más de 11 capas.

[0025] El anillo de guarda también puede comprender múltiples capas y una o más capas pueden estar al mismo nivel de una o más capas de puerta flotante (estando las estructuras de anillo de guarda y puerta flotante separadas de forma lateral por medio de material aislante).

5 **[0026]** Una implementación de ejemplo ilustrada en la vista transversal de la Figura 1 muestra una estructura de protección contra ESD 8 que rodea al menos parcialmente la estructura de puerta flotante. En la vista de planta, la estructura contra ESD forma un anillo de forma parcial (Figura 3) o total (Figura 2) que comprende la puerta de detección del ISFET. Las partes del anillo de guarda están separadas entre sí, exponiendo la capa superior de la puerta flotante a las cargas iónicas presentes en la capa de pasivación/capa de detección 12. El anillo de guarda está más cerca de la capa de detección 12 que de la capa superior de la estructura de puerta flotante 7, de forma
10 que la impedancia eléctrica desde la capa de detección al anillo de guarda es menor que la impedancia eléctrica desde dicha capa de detección a la estructura de puerta flotante.

15 **[0027]** Como se ve en la Figura 3, la estructura de protección contra ESD no está necesariamente en forma de anillo, sino que puede diseñarse en una forma arbitraria. Puede que la forma no abarque en su totalidad la puerta de detección del ISFET, pero está situada lo bastante cerca de la puerta flotante del ISFET para proporcionar una vía preferente para un impacto electrostático. En algunas formas de realización, la distancia lateral (la distancia «a» en las Figuras 1 y 3) entre la dicha estructura de protección contra las ESD y la puerta flotante del ISFET es preferiblemente inferior a 0,5 μm , inferior a 1 μm , inferior a 2 μm , inferior a 10 μm , o inferior a 100 μm . Cuanto más próxima sea la distancia, mejor será la protección contra ESD.

20 **[0028]** Cuando se produce un evento de ESD, las cargas tratarán de buscar la vía de menor impedancia para su descarga. El anillo de guarda 8 (p. ej., implementado con la capa de metal 3) proporciona una vía de impedancia mucho menor en comparación con la capa superior de la puerta flotante 7 (p. ej., implementado con la capa de metal 2). No es necesario conectar el anillo de guarda directamente a tierra, siempre que se proporcione una vía conductora para que las cargas acumuladas se disipen cuando se produce un evento de ESD. La vía conductora podría estar hecha de uno o varios de los siguientes: un conductor metálico, un diodo, una resistencia, un MOSFET de óxido delgado o un condensador, que puede ser interno al chip de CMOS o externo al chip de CMOS. Los dispositivos a partir de los que se fabrica la vía conductora no se limitan a los dispositivos anteriormente
25 mencionados.

30 **[0029]** La Figura 2 es una ilustración de planta de una forma de realización que muestra un anillo de guarda 8 que abarca la superficie superior 7 de la estructura de puerta flotante. La muestra de fluido está en contacto con la capa de detección 12 proporcionada por la capa de pasivación. Cabe apreciar que los componentes 8, 7, 12 se encuentran todos en distintas capas. Las formas y tamaños y posiciones relativas que se muestran son únicamente a título ilustrativo.

35 **[0030]** Aunque las dimensiones de los componentes del dispositivo pueden variar considerablemente, determinadas dimensiones pueden estar condicionadas por el proceso de CMOS empleado. En formas de realización de ejemplo:

- el grosor de cada capa metálica es de entre 0,5 μm y 1,5 μm ;
- el ancho o diámetro de la puerta flotante es de entre 0,1 μm y 1000 μm ;
- el espacio lateral «a» entre los bordes del anillo de guarda y la puerta flotante es de entre 0.1 μm y 100 μm (de forma alternativa, los bordes del anillo de guarda y la puerta flotante pueden solaparse hasta un 20 %);
- 40 • el ancho del anillo de guarda es de entre 0,1 μm y 1000 μm ;
- la impedancia entre el anillo de guarda 8 y la capa de detección 12 es inferior al 50 % de la impedancia entre la puerta flotante 7 y la capa de detección 12, preferiblemente inferior al 30 % de la impedancia entre la puerta flotante y la capa de detección, más preferiblemente inferior al 20 % de la impedancia entre la puerta flotante y la capa de detección.

45 **[0031]** En otra forma de realización (mostrada en la Figura 3), la estructura de protección contra ESD comprende dos o más elementos de protección contra ESD 8 situados en torno a la puerta flotante que se protege. Las formas y tamaños y posiciones relativas que se muestran son únicamente a título ilustrativo.

[0032] Puede formarse una red que comprenda una pluralidad de ISFET, por ejemplo 8 ISFET, más de 10 ISFET, más de 100 ISFET, más de 1000 ISFET, más de 10 000 ISFET o más de 100 000 ISFET. Una sola estructura de

protección contra ESD puede proteger varios ISFET o puede haber una estructura de protección contra ESD para cada ISFET, o puede haber más de una estructura de protección contra ESD para cada ISFET.

5 **[0033]** La Figura 4 ilustra una vista de planta con redes de ISFET de ejemplo. La red superior de ocho ISFET muestra la capa superior 7 de cada puerta flotante que abarca un anillo de guarda 8. La red inferior muestra una disposición alternativa en la que un anillo de guarda 8 abarca una pluralidad de puertas flotantes. La Figura 5 ilustra la forma en que las estructuras de protección contra ESD 8 pueden comprender almohadillas de formas arbitrarias distribuidas en torno a una o más estructuras de puerta flotante que se protegen. La Figura 6 ilustra que la estructura de protección contra ESD puede comprender un área continua que pasa junto a sustancialmente todos los ISFET de la red.

10 **[0034]** En el uso, la capa de detección 12 del ISFET o red de ISFET está dispuesta para entrar en contacto con una muestra de fluido. Normalmente habrá una estructura microfluídica para encaminar o contener los fluidos deseados con respecto a los ISFET. La muestra contendrá una concentración de iones, que pueden detectarse por medio del ISFET de la forma habitual. Si se produce un impacto de ESD en el fluido o la estructura microfluídica, la capa de detección 12 experimentará un alto potencial estático. La estructura de protección contra ESD 8 protege los ISFET al proporcionar una impedancia menor a la superficie que a la superficie de la puerta flotante 7. La estructura de protección contra ESD 8 acepta la carga y proporciona preferiblemente una vía de baja impedancia para encaminarla a tierra (p. ej., a través de un circuito conectado 13).

20 **[0035]** Un circuito de descarga 13 puede estar acoplado al anillo de guarda 8 para proporcionar un conducto controlado a tierra. La Figura 8 muestra una forma de realización de un circuito de protección con diodos 14 para descargar una carga en el anillo de guarda a cualquiera de las líneas de tensión de alimentación Vdd o Vss, dependiendo la dirección de descarga de la polaridad de la carga estática. El circuito de bloqueo en forma de línea 15 impide que se produzca un cortocircuito en la alimentación, al descargar cualquier carga estática entre las líneas de alimentación.

25 **[0036]** En una forma de realización preferida, la estructura contra ESD está conectada al sustrato a través de una serie de vías de interconexión y capas metálicas. El sustrato en sí puede entonces conectarse a tierra o conectarse a un circuito de descarga. La Figura 7 es una sección transversal de una forma de realización de este tipo. La conexión de la estructura contra ESD al sustrato puede ser a un pozo 18 en el sustrato para crear una unión de diodos. Cada elemento de ESD 8 puede estar conectado al sustrato a través de estas vías y capas metálicas, o un elemento de ESD 8 conectado al sustrato también puede estar conectado a elementos de ESD adicionales.

30 **[0037]** En los dibujos adjuntos se muestran los siguientes componentes:

1. Sustrato de silicio
2. Región de difusión de fuente
3. Región de difusión de drenador
4. Óxido de puerta
- 35 5. Puerta de polisilicio
6. Puerta flotante formada a partir de metal 1
7. Puerta flotante formada a partir de metal 2
8. anillo de guarda de ESD formado a partir de metal 3
9. Contacto de metal 1 a poli1
- 40 10. Contacto de metal 2 a metal 1
11. Dieléctricos intermetálicos
12. Capa de pasivación/capa de detección superior
13. Circuito de descarga de ESD

- 14. Diodo
- 15. Circuito de bloqueo en forma de línea de ESD
- 16. Vdd
- 17. Vss
- 5 18. Pozo en sustrato

[0038] Las formas de realización preferidas pueden tener uno o varios de los siguientes atributos:

- La estructura de protección contra ESD tiene forma de anillo.
- 10 • La estructura de protección contra ESD es un área continua que pasa junto a sustancialmente todos los ISFET de la red.
- La estructura de protección contra ESD se forma a partir de uno o más elementos conductores dispuestos cerca del dispositivo de ISFET, donde dichos elementos conductores no forman un anillo cerrado en torno a la puerta flotante del dispositivo de ISFET.
- 15 • El anillo tiene el grosor de una capa metálica; el ancho puede ser de una magnitud similar.
- El anillo puede ser abierto o cerrado; y en vista de planta puede ser circular, rectangular o seguir de forma general el contorno de la puerta flotante.

REIVINDICACIONES

1. Dispositivo que comprende una estructura de protección contra descargas electrostáticas (8), un transistor de efecto de campo sensible a iones (7, 10, 6, 9, 5, 4, 3, 2) que presenta una puerta flotante (7, 10, 6, 9, 5) que incluye al menos una capa metálica y una capa de detección (12) situada por encima de la puerta flotante, **caracterizado por que**
5
el dispositivo tiene una estructura plana en capas y la estructura de protección contra descargas electrostáticas está situada en un plano entre la capa de detección y la puerta flotante de forma que la impedancia eléctrica desde dicha capa de detección a la estructura de protección contra descargas electrostáticas es menor que la impedancia eléctrica desde dicha capa de detección a la puerta flotante, donde la estructura de protección contra descargas electrostáticas (8) incluye una capa metálica y está acoplada a una toma de tierra eléctrica (17) y/o a una línea de alimentación eléctrica (16) del dispositivo.
10
2. Dispositivo según la reivindicación 1, en el que la capa de detección está más próxima a la estructura de protección electrostática que a la puerta flotante.
3. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que el dispositivo está configurado de forma que, en el uso, dicha capa de detección entre en contacto con una muestra de fluido.
15
4. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que la capa de detección es una capa de pasivación, que comprende preferiblemente nitruro de silicio.
5. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que la estructura de protección contra descargas electrostáticas está en forma de una pista de circuito cerrado sustancialmente plana, preferiblemente donde un ancho plano de la pista de circuito cerrado es mayor que un ancho plano de la puerta flotante.
20
6. Dispositivo según cualquiera de las reivindicaciones 1 a 4, en el que la estructura de protección contra descargas electrostáticas comprende una pluralidad de elementos conductores discretos.
7. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que la estructura de protección contra descargas electrostáticas está acoplada a la toma de tierra y/o a la línea de alimentación eléctrica del dispositivo a través de uno o varios entre: un componente de conducción pasiva, un circuito de bloqueo en forma de línea (15) y un diodo (14).
30
8. Dispositivo según cualquiera de las reivindicaciones anteriores, que comprende además una base de sustrato (1) conectada a la estructura de protección contra descargas electrostáticas, estando preferiblemente conectado el sustrato a tierra de forma eléctrica.
35

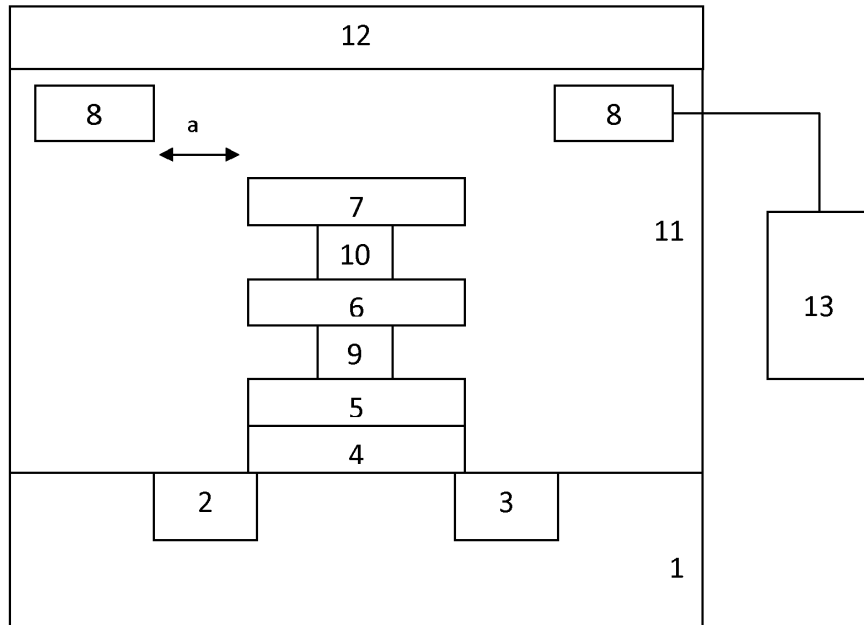


Figura 1/8

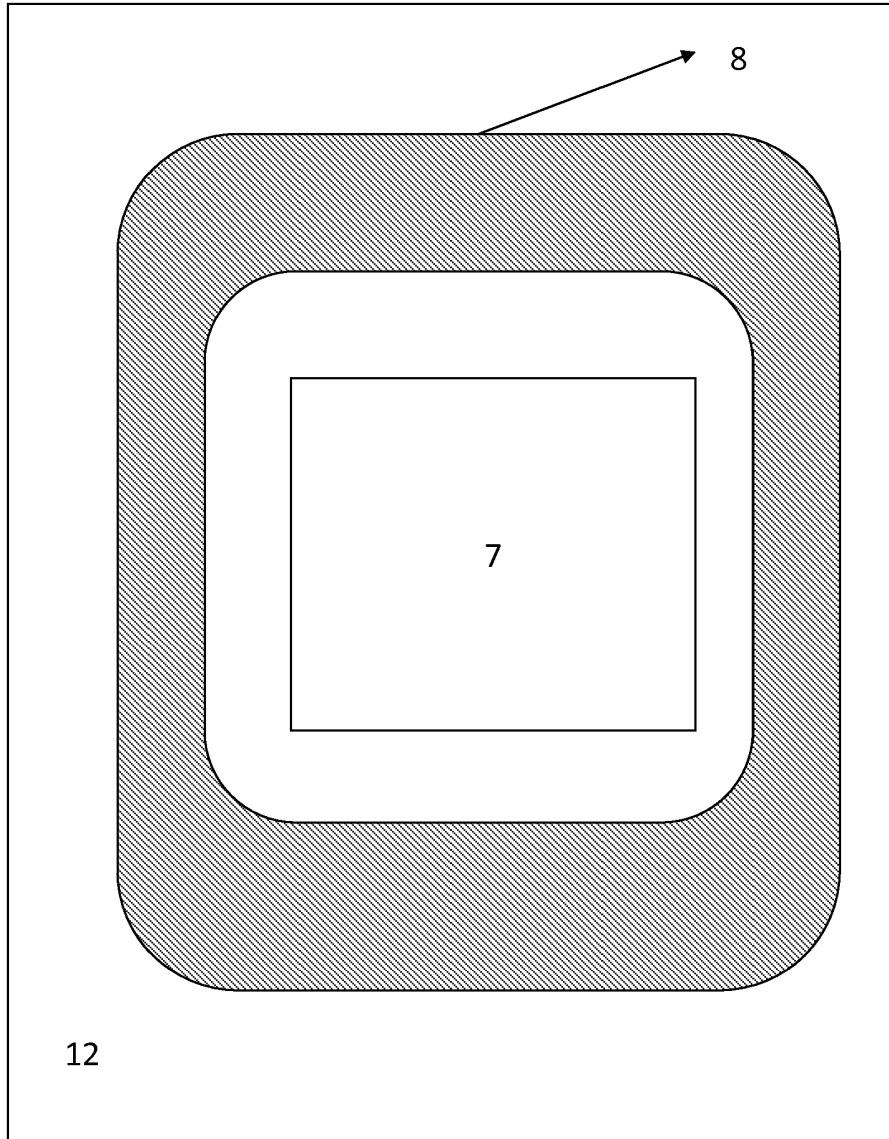


Figura 2/8

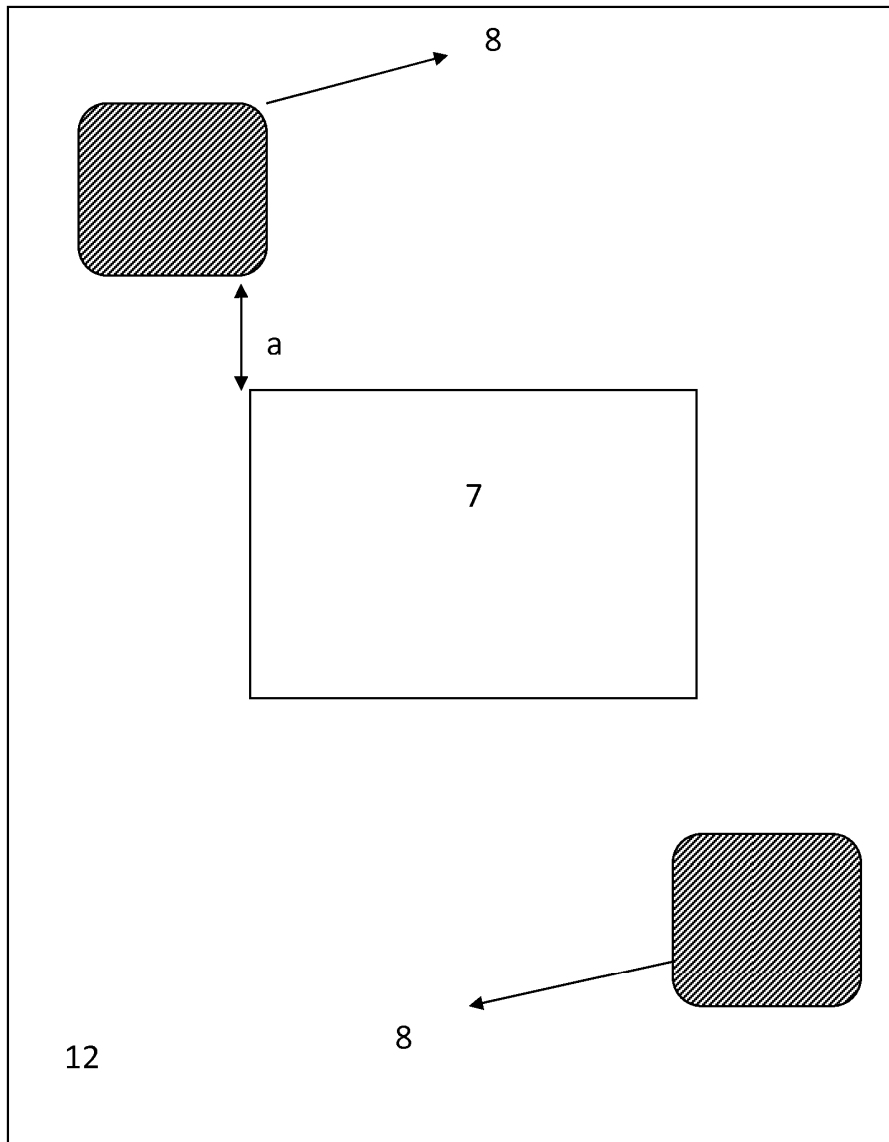


Figura 3/8

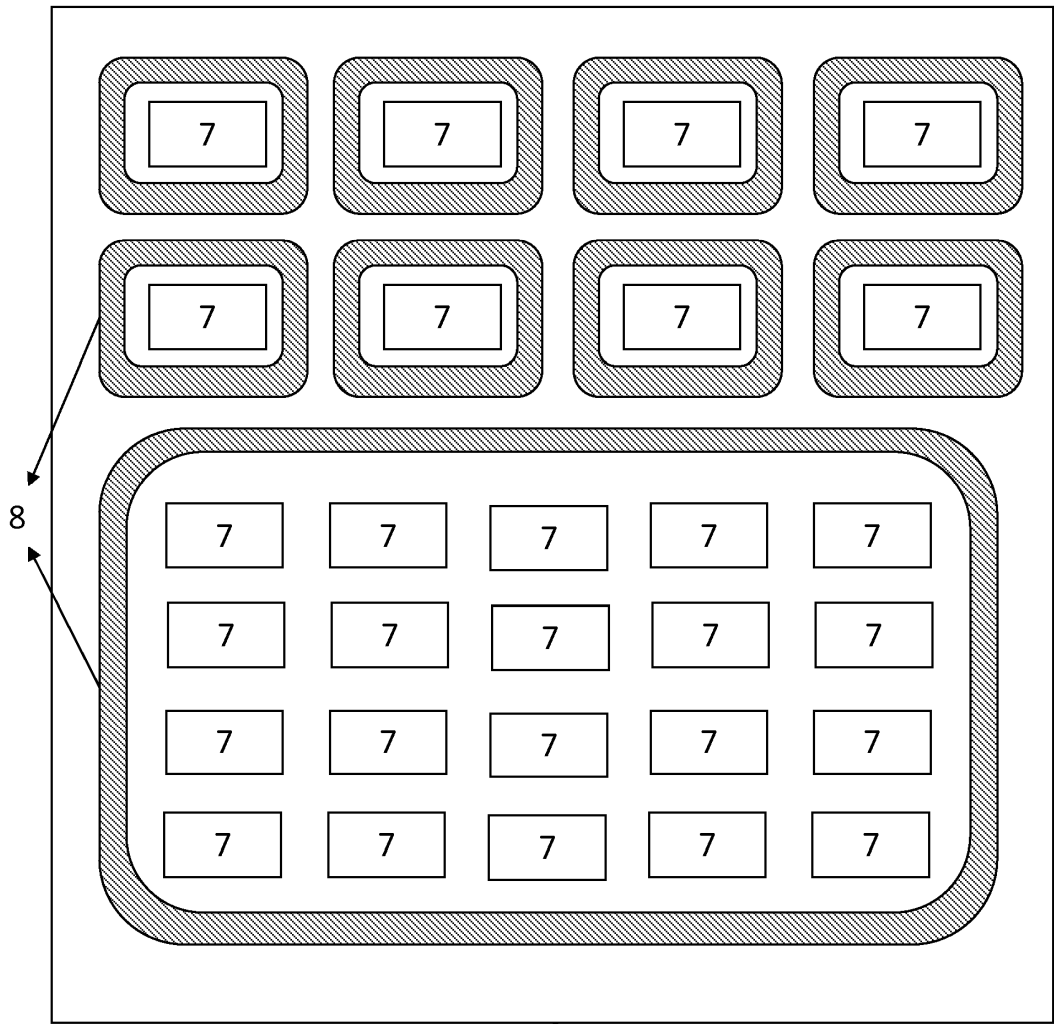


Figura 4/8

12

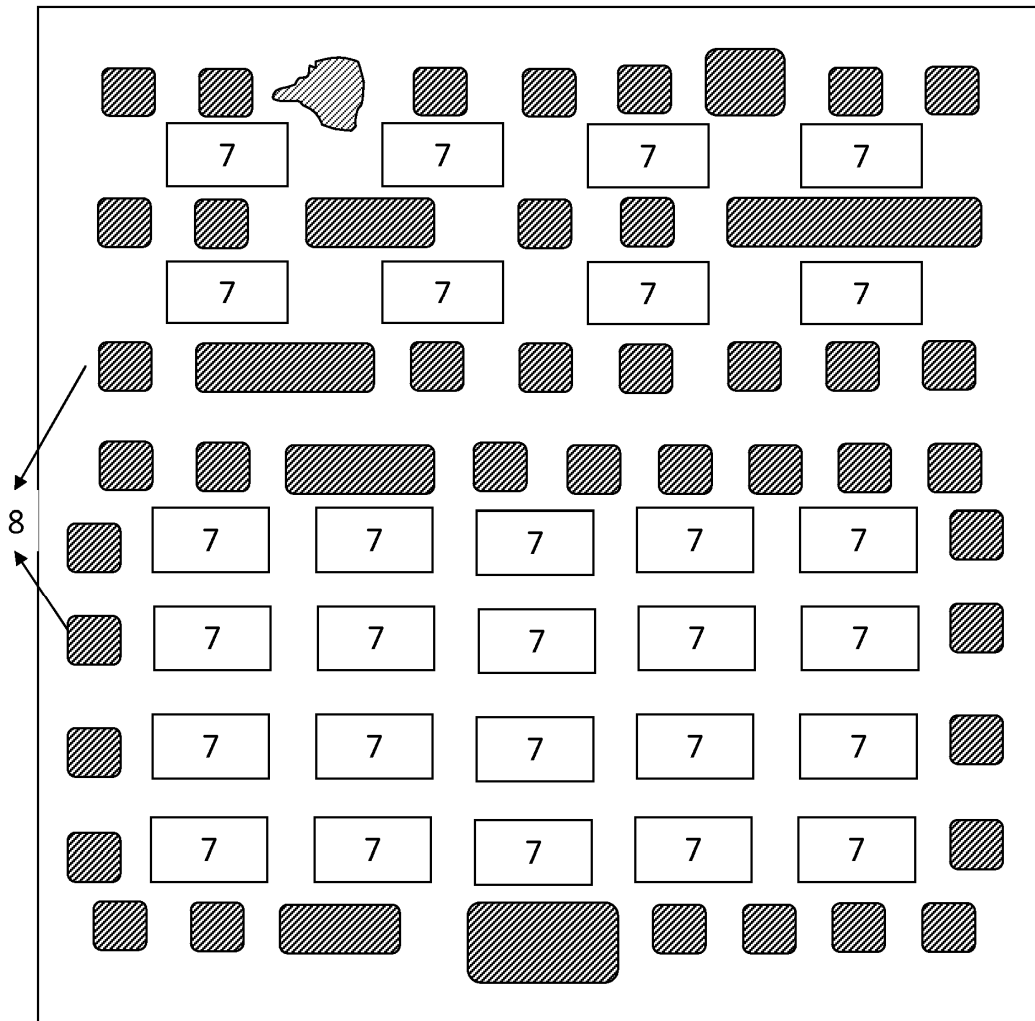


Figura 5/8

12

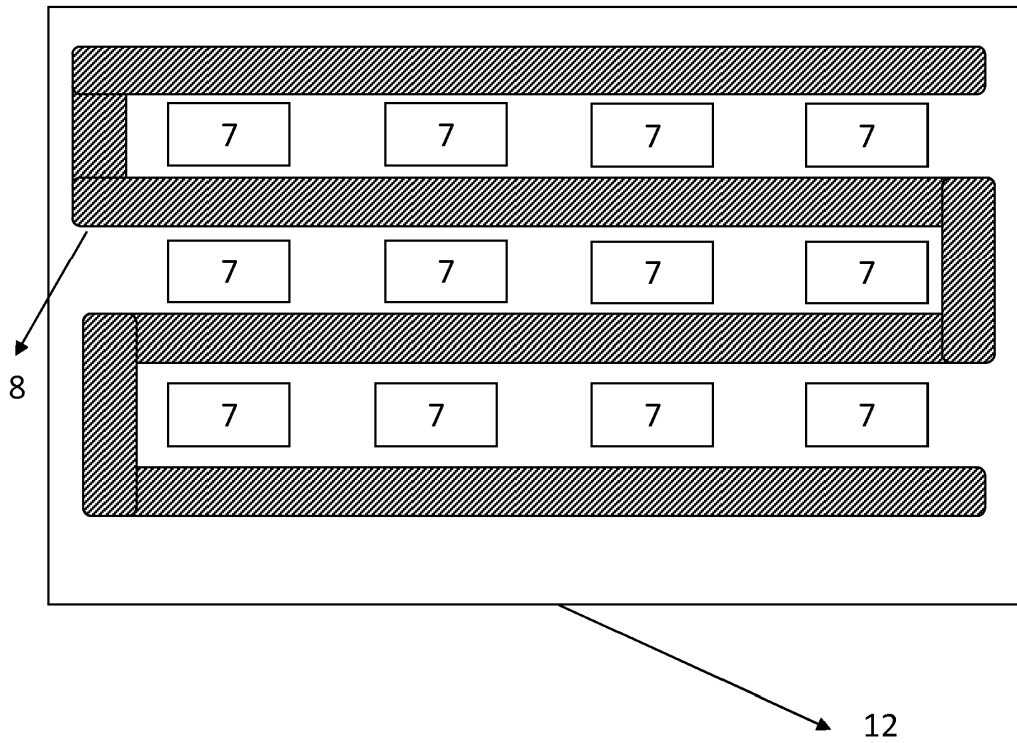


Figura 6/8

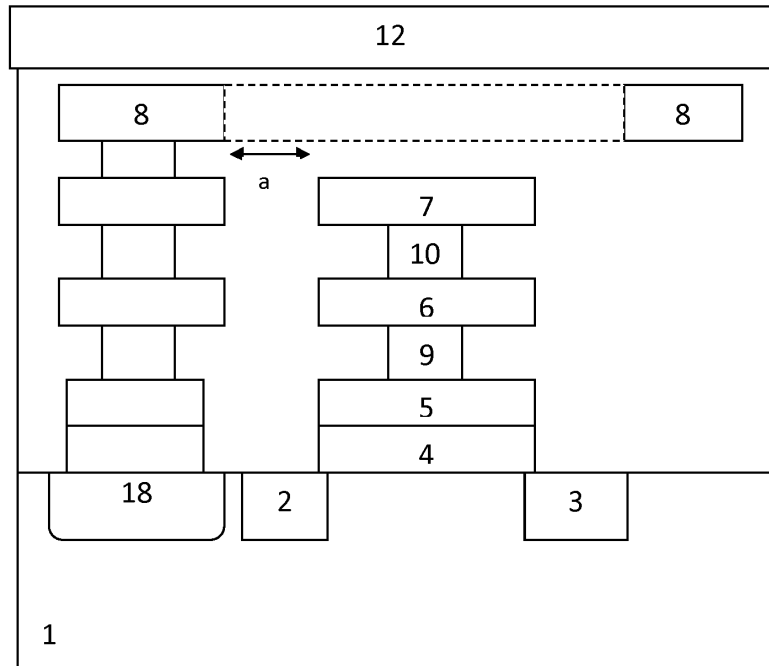


Figura 7/8

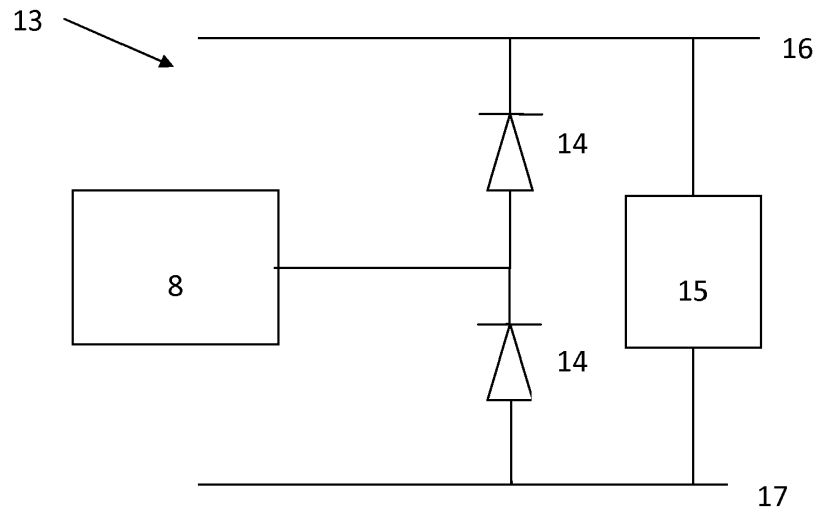


Figura 8/8