

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 776 390**

51 Int. Cl.:

G11C 8/08 (2006.01)

G11C 8/14 (2006.01)

G11C 8/12 (2006.01)

G11C 17/16 (2006.01)

G11C 17/18 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **13.02.2017 PCT/US2017/017725**

87 Fecha y número de publicación internacional: **08.09.2017 WO17151302**

96 Fecha de presentación y número de la solicitud europea: **13.02.2017 E 17706385 (6)**

97 Fecha y número de publicación de la concesión europea: **08.01.2020 EP 3424051**

54 Título: **Sistema y procedimiento para reducir el esfuerzo de tensión de programación en dispositivos de celdas de memoria**

30 Prioridad:

04.03.2016 US 201615061882

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

30.07.2020

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**YOON, SEI SEUNG;
KOTA, ANIL y
GRUBELICH, BJORN**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 776 390 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento para reducir el esfuerzo de tensión de programación en dispositivos de celdas de memoria

5 ANTECEDENTES

Campo

10 [0001] Los aspectos de la presente divulgación se refieren en general a memorias, y en particular, a un sistema y procedimiento para reducir el esfuerzo de tensión de óxido de compuerta durante la programación de dispositivos de celdas de memoria.

Antecedentes

15 [0002] A menudo, un circuito integrado (IC), tal como un sistema en chip (SOC), incluye una memoria programable una vez (OTP) que permite que uno o más núcleos del IC escriban datos permanentemente en la memoria. La memoria OTP típicamente no contiene datos cuando se fabrica el IC. Durante la inicialización o posteriormente a lo largo del funcionamiento del IC, uno o más núcleos pueden escribir permanentemente datos en la OTP, tal como, por ejemplo, datos de calibración, datos de inicialización, datos de identificación u otros datos según sea necesario.

20 [0003] Una memoria OTP típicamente incluye una matriz bidimensional de celdas de memoria. Las celdas de memoria comunes a las filas se acoplan a líneas de palabra correspondientes (WL) de la memoria. Las celdas de memoria comunes a una columna se acoplan a líneas de bits correspondientes (BL) de la memoria. Cada celda de memoria de una memoria OTP puede configurarse como una celda de tipo fusible electrónico (EFUSE), donde la celda incluye un elemento fusible acoplado en serie con un transistor (por ejemplo, en serie con el drenaje y la fuente de un transistor de efecto de campo (FET)) entre la línea de bits correspondiente (BL) y un VSS de guía de alimentación (por ejemplo, tierra). Cada transistor de cada celda de memoria incluye un terminal de control (por ejemplo, compuerta) acoplado a la línea de palabra (WL) correspondiente.

30 [0004] En general, la programación de (escribir datos en) una memoria OTP puede realizarse de un solo bit a la vez. A este respecto, las tensiones en la línea de palabra (WL) y la línea de bits (BL) correspondientes a la celda de memoria (a programar) se elevan a la tensión de programación (por ejemplo, 1,8 V). Esto produce una corriente a través del elemento fusible correspondiente y FET suficiente para fundir el elemento fusible (por ejemplo, se produce una abertura en la metalización del fusible debido a la electromigración). A una celda de memoria que tiene su fusible fundido se le puede asignar un valor de bit (por ejemplo, un uno lógico (1)), y a una celda de memoria cuyo fusible no se ha fundido se le puede asignar otro valor de bit (por ejemplo, un cero lógico (0)).

40 [0005] En general, la tensión de programación de una celda de memoria OTP es más alta que una clasificación para dispositivos centrales (por ejemplo, FET). Por ejemplo, un FET central puede tener una clasificación de tensión de no más de 1,0 V, mientras que una tensión de programación de 1,8 V excedería la clasificación de dicho dispositivo central. Como consecuencia, las celdas de memoria OTP se han configurado tradicionalmente con dispositivos de mayor clasificación, como los usados para operaciones de entrada/salida (I/O) donde el óxido de compuerta de dichos dispositivos se hace más grueso para poder soportar la tensión de programación. Sin embargo, el uso de dispositivos de mayor calificación tiene un inconveniente ya que la memoria OTP tiene que ocupar una cantidad sustancial de área de un IC.

50 [0006] Sería deseable implementar una memoria OTP usando dispositivos de menor calificación, como dispositivos centrales, para reducir el área de IC requerida para implementar la memoria y, al mismo tiempo, reducir el esfuerzo en los dispositivos centrales asociados con la tensión de programación.

55 [0007] Se hace referencia al documento US 2011/063890 A1. Este describe un dispositivo de memoria semiconductor que comprende: un elemento de cambio de fase y un transistor de celda de memoria que controla la escritura y lectura de datos con respecto al elemento de cambio de fase; el transistor de celda de memoria suministra una corriente al elemento de cambio de fase (RP) basada en un primer potencial en un primer modo de operación (lectura), y en un segundo modo de operación (escritura) suministra una corriente basada en el primer potencial, y posteriormente suministra una corriente basada en un segundo potencial (VPP) más alto que el primer potencial. En una operación de escritura, la corriente consumida se reduce.

60 [0008] Además, se hace referencia al documento US 2013/208526 A1. Aquí, se menciona que los diodos de unión fabricados en procesos lógicos CMOS estándar se pueden usar como selectores de programa para dispositivos programables una vez (OTP). El dispositivo OTP tiene al menos un elemento OTP acoplado a al menos un diodo en una celda de memoria. El diodo puede estar estructurado por regiones activas P+ y N+ en un pocillo CMOS N o en una región activa aislada como los terminales P y N del diodo. El aislamiento entre P+ y las regiones activas N+ del diodo en una celda o entre celdas puede proporcionarse mediante aislamientos de compuerta MOS simulada, SBL o STI/LOCOS. La celda OTP puede tener un MOS en serie con el elemento OTP como selector de lectura. El

65

elemento OTP puede ser polisilicio, polisilicio siliconado, siliciuro, polimetalo, metal 0, metal, aleación metálica, interconexión local, región activa aislada térmicamente, compuerta CMOS o una combinación de los mismos.

5 **[0009]** Finalmente, se hace referencia a un artículo de YASUHIRO HOTTA *ET AL.*, titulado "A 26ns 1MBIT CMOS MASK ROM", IEICE TRANSACTIONS. INSTITUTE OF ELECTRONICS INFORMATION AND COMM. ENG. TOKIO, JP, (19910401), vol. E74, n.º 4, ISSN 0917-1673, páginas 890 - 895.

SUMARIO

10 **[0010]** La presente invención se define por una memoria OTP programable una vez de acuerdo con la reivindicación independiente 1 del dispositivo y un procedimiento para acceder a al menos uno de un conjunto de celdas OTP de acuerdo con la reivindicación independiente 13 del procedimiento. Los modos de realización preferentes se definen en las reivindicaciones dependientes 2-12, 14 y 15.

15 **[0011]** A continuación se presenta un sumario simplificado de uno o más modos de realización con el fin de proporcionar un entendimiento básico de dichos modos de realización. Este sumario no es una descripción general exhaustiva de todos los modos de realización contemplados y no está destinado a identificar ni elementos clave o críticos de todos los modos de realización ni a delimitar el alcance de algunos o de todos los modos de realización. Su único propósito es presentar algunos conceptos de uno o más modos de realización de manera simplificada como preludio a la descripción más detallada que se presenta posteriormente.

20 **[0012]** Para conseguir los objetivos anteriores y otros relacionados, los uno o más modos de realización incluyen las características descritas con detalle de aquí en adelante y expuestas particularmente en las reivindicaciones. La descripción siguiente y los dibujos adjuntos exponen con detalle determinados aspectos ilustrativos de los uno o más modos de realización. Sin embargo, estos aspectos son indicativos de apenas unas cuantas de las diversas maneras en que pueden emplearse los principios de diversos modos de realización, y los modos de realización de la descripción pretenden incluir todos dichos aspectos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

30 **[0013]**

La FIG. 1 ilustra un diagrama de bloques de un circuito integrado ejemplar (IC) de acuerdo con un aspecto de la divulgación.

35 La FIG. 2 ilustra un diagrama esquemático de una memoria OTP EFUSE ejemplar de acuerdo con otro aspecto de la divulgación.

40 La FIG. 3 ilustra un diagrama esquemático de una memoria OTP ejemplar de acuerdo con otro aspecto de la divulgación.

La FIG. 4 ilustra un diagrama esquemático de una memoria OTP EFUSE ejemplar de acuerdo con otro aspecto de la divulgación.

45 La FIG. 5 ilustra un diagrama esquemático de un controlador de línea de palabra global ejemplar (WL) de acuerdo con otro aspecto de la divulgación.

La FIG. 6 ilustra un diagrama esquemático de un circuito de compuerta OR de entrada múltiple ejemplar de acuerdo con otro aspecto de la divulgación.

50 La FIG. 7 ilustra un diagrama esquemático de un controlador de línea de palabra local ejemplar (LWL) de acuerdo con otro aspecto de la divulgación.

55 La FIG. 8 ilustra un diagrama de flujo de un procedimiento ejemplar para acceder a al menos uno de un conjunto de celdas de memoria de acuerdo con otro aspecto de la divulgación.

DESCRIPCIÓN DETALLADA

60 **[0014]** La descripción detallada expuesta a continuación, en relación con los dibujos adjuntos, está prevista como una descripción de diversas configuraciones y no está prevista para representar las únicas configuraciones en las cuales se pueden llevar a la práctica los conceptos descritos en el presente documento. La descripción detallada incluye detalles específicos con el propósito de proporcionar un pleno entendimiento de los diversos conceptos. Sin embargo, resultará evidente a los expertos en la técnica que estos conceptos se pueden llevar a la práctica sin estos detalles específicos. En algunos ejemplos, se muestran estructuras y componentes bien conocidos en forma de diagrama de bloques para evitar oscurecer dichos conceptos.

[0015] La FIG. 1 ilustra un diagrama de bloques de un circuito integrado ejemplar (IC) 100 de acuerdo con un aspecto de la divulgación. Como ejemplo, el IC 100 puede configurarse como un sistema en chip (SOC). El IC 100 incluye un conjunto de uno o más núcleos, tal como los núcleos 110, 120, 130 y 140. Cada núcleo puede configurarse para realizar una determinada función. Por ejemplo, puede haber un núcleo de unidad central de procesamiento (CPU), un núcleo de gráficos, un núcleo de módem y otros.

[0016] Como se analiza anteriormente, el IC 100 incluye una memoria programable una vez (OTP) 160 y un árbitro asociado o procesador de seguridad 150. La memoria OTP 160 puede basarse en celdas de tipo EFUSE o celdas de tipo antifusible. Cuando se ha completado la fabricación del IC 100, la memoria OTP 160 puede estar en blanco, por ejemplo, no contiene ningún dato. La memoria OTP 160 se puede usar por uno o más núcleos 110-140 según sea necesario para escribir datos permanentemente en la memoria. Como se analizó anteriormente, a menudo el uno o más núcleos 110-140 pueden escribir datos en la memoria OTP 160 durante la inicialización del IC 100. Dichos datos pueden incluir datos de calibración, datos de identificación (tipos o versiones de los núcleos) y otros datos de inicialización. Adicionalmente, si es necesario, el uno o más núcleos 110-140 pueden escribir permanentemente datos en la memoria OTP 160 durante las operaciones después de la inicialización. Cuando se accede a la OTP 160 con fines de programación y lectura, el uno o más 110-140 envía solicitudes de acceso al árbitro 150, que otorga o niega dichas solicitudes por razones de seguridad.

[0017] La FIG. 2 ilustra un diagrama esquemático de una memoria OTP EFUSE ejemplar 200 de acuerdo con otro aspecto de la divulgación. La memoria OTP 200 incluye un descodificador de línea de palabra (WL) 210, un regulador de fusión EFUSE 220 (para programación de un solo bit) y una matriz bidimensional MxN de celdas de memoria C₁₁ a C_{MN}.

[0018] El descodificador WL 210 incluye los controladores de línea de palabra M WD1 a WDM con salidas acopladas a las líneas de palabra WL1 a WLM, respectivamente. Como se analiza más adelante en el presente documento, para la programación de celdas de memoria de un solo bit, uno de los controladores de línea de palabra seleccionados WD1 a WDN, que corresponde a la línea de palabra acoplada a la única celda a programar, está configurado para generar una tensión de programación VDD_PX (por ejemplo, 1,8 V) en la línea de palabra correspondiente. Para leer una fila completa de celdas de memoria, uno de los controladores de línea de palabra WD1 a WDN seleccionado, que corresponde a la línea de palabra acoplada a las celdas a leer, está configurado para generar una tensión de lectura inferior (núcleo) VDD_MX (por ejemplo, 1,0 V).

[0019] El regulador de fusión EFUSE 220 está configurado para generar señales de programación de línea de bits bl1 a bln como entradas a un conjunto de controladores de línea de bits BD1 a BDN, respectivamente. Los controladores de línea de bits BD1 a BDN están configurados para generar una tensión de programación VDD PX (por ejemplo, 1,8 V) suficiente para realizar una programación de celda de memoria de un solo bit. Las salidas de los controladores de línea de bits BD1 a BDN están acopladas a las líneas de bits BL1 a BLN, respectivamente. En consecuencia, para efectuar una programación de celda de memoria de un solo bit, se confirma que una de las señales de programación de línea de bits bl1 a bln, que corresponde a la línea de bits acoplada a la celda de memoria única a programar, haga que uno de los controladores de línea de bits correspondiente BD1 a BDN genere la tensión de programación VDD_PX (por ejemplo, 1,8 V) en la línea de bits correspondiente.

[0020] Las celdas de memoria C₁₁ a C_{MN} comprenden transistores de efecto de campo (FET) M₁₁ a M_{MN} y elementos fusibles F₁₁ a F_{MN}, respectivamente. Cada uno de los FET M₁₁ a M_{MN} puede configurarse como un FET semiconductor de óxido metálico de n canales (NMOS). Cada uno de los elementos fusibles F₁₁ a F_{MN} puede configurarse como una delgada tira de metalización que puede abrirse ("fundirse") cuando se impulsa una cantidad suficiente de corriente a través de la tira de metalización debido a la electromigración.

[0021] En cada celda, el elemento fusible está acoplado en serie con el drenaje y la fuente del FET entre la línea de bits correspondiente y una guía de tensión VSS (por ejemplo, tierra). El FET correspondiente incluye una compuerta acoplada a la línea de palabra correspondiente.

[0022] La operación de programación de un solo bit de la memoria OTP EFUSE 200 puede ser como sigue: En este ejemplo, se ejemplifica la programación de celda C₁₁. La programación de otras celdas funciona de manera similar. Cuando se va a producir la programación de la celda C₁₁, lo que significa que se debe fundir el elemento fusible correspondiente F₁₁ de la celda C₁₁, el descodificador WL 210 activa el controlador de línea de palabra WD1, acoplado a la compuerta del FET M₁₁ de la celda C₁₁, para generar una tensión de programación VDD_PX (por ejemplo, 1,8 V). Los otros controladores de línea de palabra WD2 a WDM del descodificador WL 210 no se activan durante la programación de la celda C₁₁.

[0023] Adicionalmente, el regulador de fusión EFUSE 220 confirma la señal de programación de línea de bits bl1 para hacer que el controlador de línea de bits BD1 genere una tensión de programación VDD_PX (por ejemplo, 1,8 V) en la línea de bits BL1 acoplada a la celda C₁₁. Como esto es solo programación de un solo bit, el regulador de fusión EFUSE 220 no confirma las otras señales de programación de línea de bits bl2 a bln correspondientes a las otras líneas de bits BL2 a BLN, respectivamente. La línea de palabra WL1 y la línea de bits BL1 que se impulsan a

las tensiones de programación respectivas VDD_PX (por ejemplo, 1,8 V) producen suficiente corriente (por ejemplo, 10-15 miliamperios (ma)) a través del elemento fusible F₁₁ y el FET M₁₁, lo que provoca la fusión del elemento F₁₁.

5 **[0024]** A una celda de memoria con un elemento fusible fusionado se le puede asignar un nivel lógico particular, tal como un uno lógico (1), mientras que una celda de memoria cuyo elemento fusible no se ha fundido se puede asignar al nivel lógico opuesto, tal como un cero lógico (0). Después de la programación de la celda C₁₁, la siguiente celda C₁₂ puede programarse si el bit correspondiente debe ser, por ejemplo, un uno lógico (1). En este ejemplo, el número máximo de celdas por fila que se puede programar es N, que podría ser, por ejemplo, 64.

10 **[0025]** Un problema que surge con la memoria OTP EFUSE 200 es el esfuerzo inducido en los FET expuestos a la tensión de programación VDD_PX. Por ejemplo, cuando se está programando la celda C₁₁, la línea de palabra activada WL1 en la tensión de programación (por ejemplo, 1,8 V) induce esfuerzo en los FET M₁₂ a M_{1N} de las celdas restantes C₁₂ a C_{1N}, aunque las líneas de bits correspondientes BL2-BLN estén conectadas a tierra. Si los FET de las celdas están diseñados para manejar la tensión de programación, tal como configurando las celdas con óxidos más gruesos como en los dispositivos de entrada/salida (I/O), esto no sería un problema. Sin embargo, la configuración de la memoria OTP 200 con dispositivos de óxido más grueso requeriría un área de IC sustancial para implementar la memoria OTP 200, lo cual en general no es deseable.

20 **[0026]** En cambio, para reducir el área de IC necesaria para implementar la memoria OTP 200, los FET de las celdas pueden configurarse como dispositivos centrales. Como dispositivos centrales, cada uno de los FET solo se puede clasificar para manejar, por ejemplo, una tensión máxima continua de 1,2 V para un dispositivo de 28 nm o 0,8 V para un dispositivo de 10 nm. En consecuencia, para tratar de minimizar el esfuerzo en los FET sometidos a una tensión de programación (por ejemplo, 1,8 V) por encima de su tensión nominal, el tiempo de programación se hace muy corto (por ejemplo, 10 microsegundos (μs)), solo el tiempo suficiente para fundir el elemento fusible).

25 **[0027]** La confiabilidad de cualquiera de los FET es una función de la tensión de programación que se le aplica y la duración de la aplicación de la tensión de programación. Tomando el ejemplo en el que la duración de la programación es 10 μs, si el número N de celdas en cada fila es 64, entonces la duración máxima en la cual cualquiera de los FET correspondientes se somete a la tensión de programación es 640 μs. Este puede ser el caso cuando todos los elementos fusibles de las celdas en la fila están fundidos. Dicha exposición prolongada a la tensión de programación puede causar una ruptura dieléctrica dependiente del tiempo (TDDB) en el FET debido a la tunelización de corriente a través del óxido de compuerta.

30 **[0028]** Por tanto, existe la necesidad de una memoria OTP que use dispositivos de núcleo pequeño para reducir la cantidad de área de IC necesaria para implementar la memoria y, al mismo tiempo, reducir la cantidad de esfuerzo en los FET debido a la alta tensión de programación.

35 **[0029]** La FIG. 3 ilustra un diagrama esquemático de una memoria OTP ejemplar 300 de acuerdo con otro aspecto de la divulgación. En resumen, las celdas de memoria de la memoria OTP 300 se dividen en submatrices a lo largo de la dimensión de línea de palabra para reducir el número de FET sujetos a la tensión de programación de línea de palabra VDD_PX. Cada una de las celdas de la memoria OTP 300 puede configurarse como una celda de memoria EFUSE, una celda de memoria antifusible u otro tipo de celda de memoria OTP.

40 **[0030]** En particular, la memoria OTP 300 incluye una submatriz de celdas de memoria OTP C₁₁ a C_{MJ} acopladas a las líneas de bits BL1 a BLJ y las líneas de palabra locales LWL11 a LWLM1. En particular, las celdas de memoria C₁₁ a C_{1J} están acopladas a la línea de palabra local LWL11 y a las líneas de bits BL1 a BLJ, respectivamente. De forma similar, las celdas de memoria C₂₁ a C_{2J} están acopladas a la línea de palabra local LWL21 y a las líneas de bits BL1 a BLJ, respectivamente. Y las celdas de memoria C_{M1} a C_{MJ} están acopladas a la línea de palabra local LWLM1 y a las líneas de bits BL1 a BLJ, respectivamente.

45 **[0031]** La submatriz de celdas de memoria C₁₁ a C_{MJ} incluye controladores locales (línea de palabra) LD11 a LDM1 con salidas acopladas a las líneas de palabra locales LWL11 a LWLM1, respectivamente. Los controladores locales LD11 a LDM1 están configurados para generar señales de línea de palabra locales lwll a lwlm en las líneas de palabra locales LWL11 a LWLM1, respectivamente. Los controladores locales LD11 a LDM1 incluyen las primeras entradas respectivas acopladas a las líneas de palabra globales GWL1 a GLWM, respectivamente. Los controladores locales LD11 a LDM1 incluyen además segundas entradas respectivas acopladas a una salida de un circuito de compuerta OR de entrada múltiple 330-1. Las señales de programación de línea de bits bl1 a blj, asociadas con la activación de las líneas de bits respectivas BL1 a BLJ para fines de programación, se aplican a las entradas del circuito de compuerta OR de entrada múltiple 330-1. Adicionalmente, se aplica una señal de habilitación de lectura R_EN a una entrada de la compuerta OR de entrada múltiple 330-1.

50 **[0032]** La memoria OTP 300 incluye al menos otra submatriz de celdas de memoria C_{1K} a C_{MN} acopladas a las líneas de bits BLK a BLN y las líneas de palabra locales LWL1K a LWLMK. En particular, las celdas de memoria C_{1K} a C_{1N} están acopladas a la línea de palabra local LWL1K y a las líneas de bits BLK a BLN, respectivamente. De forma similar, las celdas de memoria C_{2K} a C_{2N} están acopladas a la línea de palabra local LWL2K y a las líneas de

bits BLK a BLN, respectivamente. Y las celdas de memoria C_{MK} a C_{MN} están acopladas a la línea de palabra local LWLMK y a las líneas de bits BLK a BLN, respectivamente.

5 **[0033]** La submatriz de celdas de memoria C_{1K} a C_{MN} incluye controladores locales (línea de palabra) LD1K a LDMK con salidas acopladas a las líneas de palabra locales LWL1K a LWLMK, respectivamente. Los controladores locales LD1K a LDMK están configurados para generar señales de línea de palabra locales $lwlk$ a $lwlmk$ en las líneas de palabra locales LWL1K a LWLMK, respectivamente. Los controladores locales LD1K a LDMK incluyen las primeras entradas respectivas acopladas a las líneas de palabra globales GWL1 a GLWM, respectivamente. Los controladores locales LD1K a LDMK incluyen además las segundas entradas respectivas acopladas a una salida de un circuito de compuerta OR de entrada múltiple 330-K. Las señales de programación de línea de bits blk a bln , asociadas con la activación de las líneas de bits respectivas BLK a BLN para fines de programación, se aplican a las entradas del circuito de compuerta OR de entrada múltiple 330-K. Adicionalmente, la señal de habilitación de lectura R_EN se aplica a una entrada de la compuerta OR de entrada múltiple 330-K.

15 **[0034]** La memoria OTP 300 incluye además un descodificador de línea de palabra (WL) 310 que incluye un número M de controladores de línea de palabra globales WD1 a WDM con salidas acopladas a las líneas de bits globales GWL1 a GWLM, respectivamente. Los controladores de línea de palabra WD1 a WDM están configurados para generar señales de línea de palabra globales $gwl1$ a $gwlm$ en las líneas de palabra globales GWL1 a GWLN, respectivamente. Durante la programación, una de las señales de línea de palabra globales seleccionadas $gwl1$ a $gwlm$ se establece en una tensión de programación VDD_PX (por ejemplo, 1,8 V). Durante la lectura, una de las señales de línea de palabra globales seleccionadas $gwl1$ a $gwlm$ se establece en una tensión de lectura (núcleo) VDD_MX (por ejemplo, 1,0 V).

25 **[0035]** La memoria OTP 300 también incluye un descodificador de programación BL 320. El descodificador de programación BL 320 genera señales de programación de línea de bits bll a blj , que se aplican a las entradas respectivas de los controladores de línea de bits BD1 a BDJ, y a las entradas del circuito de compuerta OR de entrada múltiple 330-1. Adicionalmente, el descodificador de programación BL 320 genera la señal de habilitación de lectura R_EN aplicada a otras entradas respectivas de los controladores de línea de bits BD1 a BDJ, y a otra entrada del circuito de compuerta OR 330-1. En respuesta al conjunto ORed de señales de programación de línea de bits bll a blj y R_EN , el circuito de compuerta OR de entrada múltiple 330-1 genera una señal de habilitación de submatriz sa_en1 .

35 **[0036]** Los controladores de línea de bits BD1 a BDJ incluyen salidas acopladas a las líneas de bits BL1 a BLJ, respectivamente. Los controladores de línea de bits BD1 a BDJ están configurados para generar una tensión de programación VDD_PX (por ejemplo, 1,8 V) suficiente para programar la celda de memoria seleccionada. Durante la programación, uno de los controladores de línea de bits BD1 a BDJ seleccionado está configurado para generar el voltaje de programación VDD_PX , y los controladores de línea de bits restantes generan un VSS lógico de baja tensión (por ejemplo, tierra) para evitar la programación de celdas no deseadas. Durante la lectura, todos los controladores de línea de bits BD1 a BDJ tienen tres estados (por ejemplo, configurados para producir impedancias suficientemente altas en sus respectivas salidas para no afectar negativamente la lectura de las celdas de memoria por un amplificador de detección 340, como se analiza más adelante en el presente documento).

45 **[0037]** De forma similar, el descodificador de programación BL 320 genera al menos otro conjunto de señales de programación de línea de bits blk a bln , que se aplican a las entradas respectivas de los controladores de línea de bits BDK a BDN, y a las entradas del circuito de compuerta OR de entrada múltiple 330- K. Adicionalmente, el descodificador de programación BL 320 genera la señal de habilitación de lectura R_EN aplicada a otras entradas respectivas de los controladores de línea de bits BDK a BDN, y a otra entrada del circuito de compuerta OR 330-K. En respuesta al conjunto ORed de señales de programación de línea de bits blk a bln y R_EN , el circuito de compuerta OR de entrada múltiple 330-K genera una señal de habilitación de submatriz sa_enk .

50 **[0038]** Los controladores de línea de bits BDK a BDN incluyen salidas acopladas a las líneas de bits BLK a BLN, respectivamente. Los controladores de línea de bits BD1 a BDJ están configurados para generar una tensión de programación VDD_PX (por ejemplo, 1,8 V) suficiente para programar la celda de memoria seleccionada. Durante la programación, uno de los controladores de línea de bits BD1 a BDJ seleccionado está configurado para generar el voltaje de programación VDD_PX , y los controladores de línea de bits restantes generan un VSS lógico de baja tensión (por ejemplo, tierra) para evitar la programación de celdas no deseadas. Durante la lectura, todos los controladores de línea de bits BD1 a BDJ tienen tres estados (por ejemplo, están configurados para producir impedancias suficientemente altas en sus respectivas salidas para no afectar negativamente la lectura de las celdas de memoria por el amplificador de detección 340).

60 **[0039]** Como se mencionó anteriormente, la memoria OTP 300 incluye además un amplificador de detección 340 acoplado a las líneas de bits BD1 a BDN. Durante una operación de lectura, el amplificador de detección 340 está configurado para leer datos de una fila de celdas de memoria a la vez. El amplificador de detección 340 está configurado para emitir los datos leídos.

65

- 5 [0040] La memoria OTP 300 incluye además un regulador 350 que tiene entradas para recibir datos de escritura, dirección y señales de control de lectura/escritura (R/W). En base a estas señales de entrada, el regulador 350 está configurado para controlar el decodificador WL 310, el decodificador de programación BL 320 y el amplificador de detección 340. Por ejemplo, basándose en la dirección, los datos de escritura y la señal de control R/W que indican una operación de programación, el regulador 350 controla el decodificador WL 310 para producir una tensión de programación VDD_PX en una línea de palabra global seleccionada correspondiente a la celda de memoria a programar y controla el decodificador de programación BL 320 para producir la tensión de programación VDD_PX en la línea de bits seleccionada acoplada a la celda de memoria a programar.
- 10 [0041] Basándose en la dirección y la señal de control R/W que indican una operación de lectura, el regulador 350 controla el decodificador WL 310 para producir una tensión de lectura (núcleo) VDD_MX en una línea de palabra global seleccionada que corresponde a una fila de las celdas de memoria a leer, y controla el amplificador de detección 340 para detectar tensiones y/o corrientes en las líneas de bits para leer los datos correspondientes. Durante una operación de lectura, el regulador 350 también controla el decodificador de programación BL 320 para reafirmar la señal de habilitación de lectura R_EN, que establece tres estados para los controladores de línea de bits BD1 a BDN para que produzcan impedancias suficientemente altas en sus respectivas salidas y no afectar negativamente la operación de lectura realizada por el amplificador de detección 340. Adicionalmente, la señal de habilitación de lectura confirmada R_EN hace que los circuitos de compuerta OR 330-1 a 330-K generen señales de habilitación de submatriz confirmadas sa_en1 a sa_enk, respectivamente.
- 15 20 [0042] La operación de programación de un solo bit de la memoria OTP 300 es como sigue: En este ejemplo, se ejemplifica la programación (acceso general) de la celda C₁₁. La programación de otras celdas funciona de manera similar.
- 25 [0043] El regulador 350 recibe la dirección que indica que se debe programar la celda de memoria C₁₁, y los datos de escritura indican un uno lógico (1) para que la tensión de programación que se va a generar altere permanentemente el estado de la celda de memoria C₁₁ (por ejemplo, fusiona un fusible en el caso de una celda EFUSE), y la señal de control R/W que indica que la operación de memoria a realizar es una operación de programación (escritura). En respuesta a la recepción de estas señales, el regulador 350 envía las señales de control correspondientes al decodificador WL 310 y al decodificador de programación BL 320. Como respuesta, el decodificador WL 310 hace que el controlador de línea de palabra WD1 genere una señal de línea de palabra global de confirmación de escritura gwll (por ejemplo, ajustándola a la tensión de programación VDD_PX). La señal de línea de palabra global de confirmación de escritura gw11 se aplica a las primeras entradas respectivas de los controladores locales LD11 a LD1K. El decodificador WL 310 también hace que los controladores de línea de palabra restantes WD2 a WDM generen señales de línea de palabra globales sin confirmación de escritura gw12 a gw1m (por ejemplo, ajustándolas en VSS (por ejemplo, tierra)) para evitar la programación de celdas de memoria no deseadas.
- 30 35 40 [0044] Adicionalmente, en respuesta al regulador 350, el decodificador de programación BL 320 genera una señal de programación de línea de bits confirmada bl1 (por ejemplo, ajustándola a la tensión de programación VDD_PX) para hacer que el controlador de línea de bits BD1 genere la tensión de programación VDD_PX (por ejemplo, 1,8 V) en la línea de bits BL1 acoplada a la celda C₁₁. La señal de programación de línea de bits confirmada bl1, que se aplica a una de las entradas del circuito de compuerta OR 330-1, hace que el circuito de compuerta OR 330-1 confirme la señal habilitada de submatriz sa_en1 (por ejemplo, ajustándola a la tensión de programación VDD_PX). La señal de submatriz confirmada habilitada sa_en1 se aplica a las segundas entradas respectivas de los controladores locales LD11 a LDM1. El decodificador de programación BL 320 genera señales de línea de bits no confirmadas bl2 a bln (por ejemplo, ajustándolas a VSS (por ejemplo, tierra)) para hacer que los controladores de línea de bits correspondientes BD2 a BDN generen señales no confirmadas (por ejemplo, ajustándolas a VSS (por ejemplo, tierra)) para evitar la programación accidental de celdas de memoria no deseadas. Como ninguna de las señales de programación de línea de bits blk a bln aplicadas al circuito de compuerta OR 330-K, se confirma, el circuito de compuerta OR 330-K genera una señal de habilitación de submatriz no confirmada sa_enk.
- 45 50 55 [0045] Un controlador local genera una señal de confirmación de escritura en la tensión de programación VDD_PX (por ejemplo, 1,8 V) en respuesta a que ambas entradas reciban señales confirmadas. Por tanto, en este ejemplo, como la primera entrada del controlador local LD11 recibe la señal de línea de palabra global confirmada gwll, y la segunda entrada del controlador local LD11 recibe la señal habilitada de submatriz confirmada sa_en1, el controlador local LD11 genera una señal de línea de palabra local de confirmación de escritura lwl11 en la tensión de programación VDD_PX (por ejemplo, 1,8 V). Dado que el controlador de línea de bits BD1 también genera una tensión de programación VDD_PX (por ejemplo, 1,8 V), la celda C₁₁ está programada.
- 60 65 [0046] Durante la programación de la celda C₁₁, los controladores locales restantes no generan señales de línea de palabra locales de confirmación de escritura lwl12 a lwlmk, ya que sus respectivas entradas no reciben dos señales confirmadas. Por ejemplo, la segunda entrada del controlador local LD1K recibe una señal de habilitación de submatriz no confirmada sa_enk, ya que la celda de memoria C₁₁ a programar no está en la misma submatriz que el controlador local LD1K. De forma similar, las primeras entradas respectivas de los controladores locales LD21

a LDM1 reciben las respectivas señales de línea de palabra global no confirmadas gwl2 a gwlm, ya que la celda de memoria C₁₁ a programar no está en las filas correspondientes a las señales de línea de palabra global gwl2 a gwlm. Los controladores locales restantes LD2K a LDMK también reciben señales no confirmadas en sus dos entradas respectivas porque estos controladores locales no pertenecen a la submatriz de la celda de memoria a programar C₁₁, y tampoco están acoplados a la línea de palabra global asociada con la celda de memoria C₁₁. En consecuencia, estos controladores locales restantes generan señales de línea de palabra locales no confirmadas (por ejemplo, en VSS (por ejemplo, tierra)) para evitar la programación de celdas de memoria no intencionadas.

[0047] Aunque se ejemplifica la programación de una sola celda, se debe entender que pueden programarse una o más celdas (por ejemplo, tal como una o más de las celdas C₁₁ a C_{1J}) acopladas a un controlador local habilitado (por ejemplo, el controlador local LD11). En dicho caso, el descodificador de programación BL 320 confirma una o más señales de programación de líneas de bits (por ejemplo, tal como una o más de bli a blj) para hacer que el uno o más controladores de línea de bits correspondientes (por ejemplo, tal como uno o más de BD1 a BDJ) genere una o más tensiones de programación VDD_PX, respectivamente.

[0048] Por tanto, un concepto detrás de la memoria OTP 300 es hacer que un controlador local genere una señal de línea de palabra local de confirmación de escritura a una tensión de programación en respuesta a la recepción de una señal de línea de palabra global confirmada por medio de una línea de palabra global correspondiente y recibir una señal de habilitación de submatriz confirmada por medio de un circuito de compuerta OR de entrada múltiple correspondiente.

[0049] Una ventaja de la memoria OTP 300 es que la tensión de programación VDD_PX se aplica a menos FET; reduciendo de este modo el esfuerzo en los FET. Por ejemplo, si el número de celdas acopladas a una línea de palabra local es ocho (8) (por ejemplo, una matriz de memoria de 64 celdas por fila dividida en ocho (8) submatrices), el número máximo de veces que cada una de las celdas puede someterse a la tensión de programación es ocho (8), en comparación con 64 veces para las celdas de OTP 200. Si, por ejemplo, el tiempo de programación es de 10 μs, entonces la duración máxima a la cual una celda en la memoria OTP 300 puede someterse a la tensión de programación es de 80 μs, en comparación con 640 μs para las celdas de memoria OTP 200.

[0050] Por tanto, las celdas de memoria OTP 300 están sometidas a un esfuerzo sustancialmente menor durante la programación, lo que ayuda a evitar daños a los FET de las celdas. Esto permite que la memoria OTP 300 se implemente con dispositivos centrales para reducir el área de IC para implementar la misma capacidad de memoria en comparación con la de una memoria que usa dispositivos de óxido más gruesos, como los dispositivos de E/S.

[0051] La operación de lectura de la memoria OTP 300 es como sigue: En este ejemplo, se ejemplifica la lectura (acceso general) de datos de la fila de celdas de memoria C₁₁ a C_{1N}. La lectura de datos de otras filas de celdas de memoria funciona de forma similar.

[0052] El regulador 350 recibe la señal de dirección que indica que deben leerse los datos en la fila de celdas de memoria C₁₁ a C_{1N}, y la señal de control R/W que indica que la operación de memoria se realizará en una operación de lectura (en una operación de lectura, el regulador 350 puede ignorar la señal de escritura de datos). En respuesta a la recepción de estas señales, el regulador 350 envía las señales de control correspondientes al descodificador WL 310, al descodificador de programación BL 320 y al amplificador de detección 340.

[0053] Como respuesta, el descodificador WL 310 hace que el controlador de línea de palabra WD1 genere una señal de línea de palabra global de confirmación de lectura gwll (por ejemplo, ajustándola a una tensión de lectura (núcleo) VDD_MX). La señal de línea de palabra global de confirmación de lectura gwll se aplica a las primeras entradas respectivas de los controladores locales LD11 a LD1K. El descodificador WL 310 también hace que los controladores de línea de palabra restantes WD2 a WDM generen señales de línea de palabra globales no confirmadas gwl2 a gwlm (por ejemplo, ajustándolas a VSS (por ejemplo, tierra)) para evitar que las celdas de memoria que no estén destinadas a ser leídas interfieran con la lectura de las celdas de memoria C₁₁ a C_{1N}.

[0054] Adicionalmente, en respuesta al regulador 350, el descodificador de programación BL 320 genera una señal de habilitación de lectura confirmada R_EN para configurar los controladores de línea de bits BD1 a BDN en una configuración de tres estados (por ejemplo, para producir impedancias suficientemente altas en sus respectivas salidas para no interferir con la operación de lectura realizada por el amplificador de detección 340). La señal de habilitación de lectura confirmada R_EN también hace que todos los circuitos de compuerta OR 330-1 a 330-K generen señales de habilitación de submatriz confirmadas sa_en1 a sa_enk, respectivamente.

[0055] De forma similar, un controlador local genera una señal de línea de palabra local de confirmación de lectura en la tensión de lectura (núcleo) VDD_MX (por ejemplo, 1,0 V) para que ambas entradas reciban señales confirmadas. Por tanto, en este ejemplo, a medida que las primeras entradas respectivas de los controladores locales LD11 a LD1K reciben la señal de línea de palabra global confirmada gwll, y las segundas entradas respectivas de los controladores locales LD11 a LD1K reciben las señales habilitadas de submatriz confirmadas sa_en1 a sa_enk, los controladores locales LD11 a LD1K generan señales de línea de palabra locales confirmadas

lwl11 a lwlk a la tensión de lectura (núcleo) VDD_MX. El amplificador de detección 340 detecta corrientes y/o tensiones en las líneas de bits BD1 a BDK para determinar los datos almacenados en las celdas de memoria C₁₁ a C_{1K}, respectivamente.

5 **[0056]** Durante la lectura de la primera fila de celdas de memoria C₁₁ a C_{1N}, los controladores locales asociados con las filas restantes de celdas de memoria no generan señales de línea de palabra locales de confirmación de lectura, ya que sus primeras entradas respectivas reciben señales de línea de palabra globales no confirmadas gwl2 a glwn. En respuesta a las señales no confirmadas en sus primeras entradas respectivas, estos controladores locales restantes generan señales de línea de palabra locales no confirmadas al potencial VSS (por ejemplo, tierra)
10 para evitar la interferencia de la lectura de datos de las celdas de memoria C₁₁ a C_{1N} desde las celdas de memoria restantes C₂₁ a C_{MN}.

[0057] La FIG. 4 ilustra un diagrama esquemático de otra memoria OTP ejemplar 400 de acuerdo con otro aspecto de la divulgación. La memoria OTP 400 es una implementación más detallada de la memoria OTP 300 analizada previamente. Es decir, la memoria OTP 400 incluye elementos sustancialmente similares a la memoria OTP 300, incluyendo un descodificador WL 410, un descodificador de programación BL 420, un amplificador de detección 440 y un regulador 450. Adicionalmente, la memoria OTP 400 incluye circuitos de compuerta OR de entrada múltiple 430-1 a 430-K, controladores de línea de bits BD1 a BDK, controladores (línea de palabra) locales LD11 a LDMK y celdas de memoria C₁₁ a C_{MN}. El funcionamiento de los elementos mencionados anteriormente de la memoria OTP 400 está configurado y funciona sustancialmente de la misma manera que los elementos correspondientes de la memoria OTP 300, analizados previamente.
15
20

[0058] En la memoria OTP 400, cada una de las celdas de memoria C₁₁ a C_{MN} está configurada como una celda de memoria de tipo EFUSE. Es decir, cada celda de memoria en la memoria OTP 400 incluye un elemento fusible y un FET. Más específicamente, las celdas de memoria C₁₁ a C_{1J} incluyen elementos fusibles F₁₁ a F_{1J} acoplados en serie con los FET M₁₁ a M_{1J} entre las líneas de bits BL1 a BLJ y la guía VSS, respectivamente. Las compuertas de FET M₁₁ a M_{1J} están acopladas a una salida del controlador local LD11. De forma similar, las celdas de memoria C₂₁ a C_{2J} incluyen elementos fusibles F₂₁ a F_{2J} acoplados en serie con los FET M₂₁ a M_{2J} entre las líneas de bits BL1 a BLJ y la guía VSS, respectivamente. Las compuertas de FET M₂₁ a M_{2J} están acopladas a una salida del controlador local LD21. De manera similar, las celdas de memoria C_{M1} a C_{MJ} incluyen elementos fusibles F_{M1} a F_{MJ} acoplados en serie con FET M_{M1} a M_{MJ} entre líneas de bits BL1 a BLJ y la guía VSS, respectivamente. Las compuertas de FET M_{M1} a M_{MJ} están acopladas a una salida del controlador local LDM1.
25
30

[0059] De forma similar, las celdas de memoria C_{1K} a C_{1N} incluyen elementos fusibles F_{1K} a F_{1N} acoplados en serie con FET M_{1K} a M_{1N} entre líneas de bits BLK a BLN y la guía VSS, respectivamente. Las compuertas de FET M_{1K} a M_{1N} están acopladas a una salida del controlador local LD1K. De forma similar, las celdas de memoria C_{2K} a C_{2N} incluyen elementos fusibles F_{2K} a F_{2N} acoplados en serie con FET M_{2K} a M_{2N} entre líneas de bits BLK a BLN y la guía VSS, respectivamente. Las compuertas de FET M_{2K} a M_{2N} están acopladas a una salida del controlador local LD2K. De manera similar, las celdas de memoria C_{MK} a C_{MN} incluyen elementos fusibles F_{MK} a F_{MN} acoplados en serie con FET M_{MK} a M_{MN} entre líneas de bits BLK a BLN y la guía VSS, respectivamente. Las compuertas de FET M_{MK} a M_{MN} están acopladas a una salida del controlador local LDMN.
35
40

[0060] La programación de una celda de memoria EFUSE se ha analizado previamente en el presente documento. Es decir, un controlador de línea de bits seleccionado está configurado para generar una tensión de programación VDD_PX en la línea de bits acoplada a la celda de memoria. Un controlador de línea de palabra local seleccionado está configurado para generar una señal de línea de palabra local de confirmación de escritura en la tensión de programación VDD_PX en la línea de palabra local acoplada a la celda de memoria. Las tensiones de programación aplicadas al drenaje y la compuerta del FET correspondiente producen corriente suficiente para fundir el elemento fusible correspondiente de la celda.
45
50

[0061] La lectura de datos de una fila de celdas de memoria EFUSE funciona como sigue: El amplificador de detección descarga todas las líneas de bits. Un conjunto seleccionado de controladores de línea de palabra locales, que corresponde a una fila de celdas, está configurado para generar señales de línea de palabra locales de confirmación de lectura en la tensión de lectura (núcleo) VDD_MX en las líneas de palabra locales correspondientes acopladas a las celdas de memoria. En consecuencia, la tensión de lectura (núcleo) VDD_MX se aplica a las compuertas de los FET de las celdas de memoria para permitir que las celdas puedan ser leídas.
55

[0062] El amplificador de detección aumenta gradualmente a continuación las tensiones en las líneas de bits para detectar corrientes en las líneas de bits. El amplificador de detección aumentó gradualmente las tensiones para evitar la programación involuntaria (por ejemplo, la fundición del elemento fusible) de las celdas de memoria. Si la corriente de la línea de bits está por debajo de un umbral, se funde el elemento fusible de la celda de memoria correspondiente y el amplificador de detección lee los datos correspondientes como un uno lógico (1). Si la corriente está por encima del umbral, el elemento fusible de la celda de memoria correspondiente no se funde y el amplificador de detección lee los datos correspondientes como un cero lógico (0). El amplificador de detección emite los datos leídos para su uso por uno o más dispositivos externos.
60
65

[0063] La FIG. 5 ilustra un diagrama esquemático de un controlador de línea de palabra global ejemplar 500 de acuerdo con otro aspecto de la divulgación. El controlador global de línea de palabra 500 es un ejemplo de una implementación detallada de cualquiera de los controladores globales de línea de palabra WD1 a WDM de las memorias OTP analizadas previamente. Para facilitar la descripción, el controlador global de línea de palabra 500 se describe como una implementación detallada del controlador global de línea de palabra WD1.

[0064] En particular, el controlador global de línea de palabra 500 incluye un multiplexor de potencia 510, un circuito de descodificación de línea de palabra (WL) 520, un inversor I_{53} , un variador de nivel de tensión 530 y un inversor I_{54} . El multiplexor de potencia 510, a su vez, incluye un inversor I_{51} , un semiconductor de óxido metálico de canal p (PMOS) FET M51, un inversor I_{52} y un PMOS M52.

[0065] Con respecto al multiplexor de potencia 510, el inversor I_{51} incluye una entrada configurada para recibir una señal de habilitación de lectura/no escritura R/W_EN basada en una señal de control recibida desde el regulador 350 o 450 de la memoria OTP 300 o 400, respectivamente. El inversor I_{51} incluye una salida acoplada a una compuerta de PMOS M51 y una entrada de inversor I_{52} . La fuente y el drenaje de PMOS M51 están acoplados entre una guía de dominio de tensión de lectura VDD_MX y una guía de dominio de salida VDD_WL del multiplexor de potencia 510. El inversor I_{52} incluye una salida acoplada a una compuerta de PMOS M52. La fuente y el drenaje de PMOS M52 están acoplados entre una guía de dominio de tensión de programación VDD_MX y la guía de dominio de salida VDD_WL del multiplexor de potencia 510. Como se ilustra, los inversores I_{51} y I_{52} son alimentados por un dominio de tensión de programación VDD_PX.

[0066] El circuito de descodificación WL 520 recibe los bits de dirección Addr_1 a Addr_3 en base a una señal de control recibida desde el regulador 350 o 450 en la memoria OTP 300 o 400, analizada previamente. El circuito de descodificación WL 520 genera una señal de habilitación de línea de palabra wl_en basada en los bits de dirección Addr_1 a Addr_3. Por ejemplo, el circuito de descodificación WL 520 confirma la señal de habilitación de línea de palabra wl_en basándose en un valor único (por ejemplo, 000) de los bits de dirección Addr_1 a Addr_3 que está configurado para confirmar la señal de línea de palabra global correspondiente para fines de programación o lectura. La señal de habilitación de línea de palabra wl_en se aplica a una entrada del inversor I_{53} . Tanto el circuito de descodificación WL 520 como el inversor I_{53} son alimentados por un dominio de tensión de núcleo VDD_MX.

[0067] La salida del inversor I_{53} está acoplada a una entrada del variador de nivel de tensión 530. El variador de nivel de tensión 530 incluye una salida acoplada a una entrada del inversor I_{54} . El inversor I_{54} emite la señal de línea de palabra global correspondiente gwll. El variador de nivel de tensión 530 y el inversor I_{54} son alimentados por el dominio de tensión de salida VDD_WL del multiplexor de potencia 510.

[0068] En funcionamiento, durante la programación, la señal de habilitación de lectura/no escritura R/W_EN se establece en una tensión lógica baja (por ejemplo, en VSS). En respuesta, el inversor I_{51} genera una alta tensión lógica (por ejemplo, en VDD_PX). Esto hace que PMOS M51 se apague y el inversor I_{52} emita una tensión lógica baja (por ejemplo, en VSS). La baja tensión lógica que genera el inversor I_{52} hace que se encienda el PMOS M52. En consecuencia, el multiplexor de potencia 510 genera el dominio de tensión de salida VDD_WL en la tensión de programación VDD_PX.

[0069] Basado en el valor único de los bits de dirección Addr_1 a Addr_3 (por ejemplo, 000), el circuito de descodificación WL 520 genera una señal de habilitación de línea de palabra confirmada wl_en como una alta tensión lógica (por ejemplo, en VDD_MX). Como respuesta, el inversor I_{53} genera una baja tensión lógica (por ejemplo, en VSS). El variador de nivel de tensión 530 desplaza la baja tensión lógica de entrada desde el dominio de tensión VDD_MX al dominio de tensión VDD_WL, el cual ha sido establecido por el multiplexor de potencia 510 en el dominio de tensión VDD_PX. En consecuencia, el variador de nivel de tensión 530 genera una baja tensión lógica (por ejemplo, VSS). En respuesta, el inversor I_{54} genera una señal de línea de palabra global de confirmación de escritura gwll como una alta tensión lógica en el dominio de tensión de programación VDD_PX.

[0070] Durante una operación de lectura, la señal de habilitación de lectura/no escritura R/W_EN se establece en una alta tensión lógica (por ejemplo, en VDD_PX). Como respuesta, el inversor I_{51} genera una baja tensión lógica (por ejemplo, en VSS). Esto hace que PMOS M51 se encienda y el inversor I_{52} emita una alta tensión lógica (por ejemplo, en VDD_PX). La alta tensión lógica que genera el inversor I_{52} hace que se apague el PMOS M52. En consecuencia, el multiplexor de potencia 510 genera el dominio de tensión de salida VDD_WL en la tensión (núcleo) de lectura VDD_PX.

[0071] Basado en el valor único de los bits de dirección Addr_1 a Addr_3 (por ejemplo, 000), el circuito de descodificación WL 520 genera una señal de habilitación de línea de palabra confirmada wl_en como una alta tensión lógica (por ejemplo, en VDD_MX). Como respuesta, el inversor I_{53} genera una baja tensión lógica (por ejemplo, en VSS). El variador de nivel de tensión 530 desplaza la baja tensión lógica de entrada desde el dominio de tensión VDD_MX al dominio de tensión VDD_WL, el cual ha sido establecido por el multiplexor de potencia 510 en el dominio de tensión VDD_MX. En consecuencia, el variador de nivel de tensión 530 genera una baja tensión lógica (por ejemplo, VSS). Como respuesta, el inversor I_{54} genera una señal de línea de palabra global de confirmación de lectura gwll como una alta tensión lógica en el dominio de tensión (núcleo) de lectura VDD_MX.

[0072] Cuando el controlador de línea de palabra global 500 está inactivo (por ejemplo, genera una señal de línea de palabra global no confirmada gwll), el circuito de descodificación WL 520 genera una señal de habilitación de línea de palabra no confirmada wl_en (por ejemplo, señal baja lógica) basada en valores de los bits de dirección Addr_1 a Addr_3 (por ejemplo, distintos de 000) que no producen una señal de línea de palabra global confirmada gwll. Como respuesta, el inversor I₅₃ genera una alta tensión lógica (por ejemplo, en VDD_MX). El variador de nivel de tensión 530 genera una alta tensión lógica en el dominio de tensión VDD_WL, que podría estar en VDD_PX o VDD_MX en base a la configuración del multiplexor de potencia 510. Como respuesta, el inversor I₅₄ genera una señal de línea de palabra global no confirmada gwll como una baja tensión lógica (por ejemplo, en VSS).

[0073] La FIG. 6 ilustra un diagrama esquemático de un circuito de compuerta OR de entrada múltiple ejemplar 600 de acuerdo con otro aspecto de la divulgación. El circuito de compuerta OR 600 es un ejemplo de una implementación detallada de cualquiera de los circuitos de compuerta OR de entrada múltiple 330-1 a 330-K y 430-1 a 430-K de las memorias OTP 300 y 400, analizadas previamente. Para facilitar la descripción, el circuito de compuerta OR de entrada múltiple 600 se describe como una implementación detallada del circuito de compuerta OR de entrada múltiple 330-1.

[0074] El circuito de compuerta OR 600 incluye un conjunto de pares de compuerta NOR e inversores en cascada A₆₁-I₆₁, A₆₂-I₆₂ a A_{6J}-I_{6J}. El número de pares de compuerta NOR e inversores es igual al número de líneas de bits en una submatriz. Por ejemplo, con referencia a la memoria OTP 300 y 400, la submatriz que incluye las celdas de memoria C11 a CMJ incluye líneas de bits J. La primera compuerta NOR A₆₁ incluye entradas para recibir la señal de habilitación de lectura R_EN y la primera señal de programación de línea de bits bl1. La segunda compuerta NOR A₆₂ incluye entrada para recibir la salida del primer inversor I₆₁ y la segunda señal de programación de línea de bits bl2. La J.^a compuerta NOR A_{6J} incluye entrada para recibir la salida del inversor anterior I_{6 (J-1)} y la J.^a señal de programación de línea de bits blj. Todas las compuertas NOR A₆₁-A_{6J} y los inversores I₆₁-I_{6J} son alimentados por la tensión de programación VDD_PX.

[0075] En funcionamiento, durante la programación de una celda de memoria acoplada a una de las líneas de bits seleccionadas BD1 a BDJ, se confirma la señal de programación de la línea de bits correspondiente (por ejemplo, en VDD_PX). Esto hace que el circuito de compuerta OR de entrada múltiple 600 genere una señal de habilitación de submatriz confirmada sa_en1. Como se analizó previamente, la señal de habilitación de submatriz confirmada sa_en1 se aplica a las segundas entradas respectivas de los controladores locales LD11 a LDM1. Además, como se analizó previamente, se confirma la línea de palabra global asociada con la celda de memoria a programar, que se aplica a uno de estos controladores locales correspondiente LD11 a LDM1. Dicho controlador local recibe la señal de línea de palabra global confirmada y la señal de habilitación de submatriz confirmada, y por tanto, genera una señal de línea de palabra local de confirmación de escritura en la tensión de programación VDD_PX para programar la celda de memoria seleccionada.

[0076] Como se analizó previamente, durante una operación de lectura, se confirma la señal de habilitación de lectura R_EN (por ejemplo, se establece en la tensión de programación VDD_PX). Esto hace que el circuito de compuerta OR de entrada múltiple 600 genere una señal de habilitación de submatriz confirmada sa_en1 (por ejemplo, en VDD_PX). Como se analizó previamente, todos los otros circuitos de compuerta OR de entrada múltiple de la memoria OTP generan señales de habilitación de submatriz confirmadas. Los controladores locales que reciben respectivamente las señales de habilitación de submatriz confirmadas, así como la señal de línea de palabra global confirmada generan señales de línea de palabra local de confirmación de lectura en la tensión (núcleo) de lectura VDD_MX para efectuar la lectura de los datos de las celdas de memoria por el amplificador de detección.

[0077] La FIG. 7 ilustra un diagrama esquemático de un controlador (línea de palabra) local ejemplar 700 de acuerdo con otro aspecto de la divulgación. El controlador local 700 es un ejemplo de una implementación detallada de cualquiera de los controladores locales LD11 a LDMN de las memorias OTP 300 y 400, analizadas previamente. Para facilitar la descripción, el controlador local 700 se describe como una implementación detallada del controlador local LD11.

[0078] En particular, el controlador local 700 incluye un multiplexor de potencia 710, una compuerta NAND A₇₁ y un inversor I₇₃. El multiplexor de potencia 710, a su vez, incluye un inversor I₇₁, un PMOS M71, un inversor I₇₂ y un PMOS M72.

[0079] Con respecto al multiplexor de potencia 710, el inversor I₇₁ incluye una entrada configurada para recibir una señal de habilitación de lectura/no escritura R/W_EN basada en una señal de control generada por el regulador 350 o 450 de la memoria OTP 300 o 400. El inversor I₇₁ incluye una salida acoplada a una compuerta de PMOS M71 y una entrada de inversor I₇₂. La fuente y el drenaje de PMOS M71 están acoplados entre una guía de dominio de tensión de lectura VDD_MX y una guía de dominio de tensión de salida VDD_WL del multiplexor de potencia 710. El inversor I₇₂ incluye una salida acoplada a una compuerta de PMOS M72. La fuente y el drenaje de PMOS M72 están acoplados entre una guía de dominio de tensión de programación VDD_MX y la guía de dominio de tensión de salida VDD_WL del multiplexor de potencia 710. Como se ilustra, los inversores I₇₁ y I₇₂ son alimentados por la tensión de programación VDD_PX.

5 **[0080]** La compuerta NAND A₇₁ incluye una primera entrada para recibir la señal de línea de palabra global gwll desde la línea de palabra global GWL1 correspondiente y una segunda entrada para recibir la señal de habilitación de submatriz sa_en1 desde el circuito de compuerta OR de entrada múltiple 330-1 o 430-1. La salida de la compuerta NAND A₇₁ está acoplada a la entrada del inversor I₇₃. El inversor I₇₃ genera la señal de línea de palabra local lwl11. La compuerta AND A₇₁ y el inversor I₇₃ son alimentados por el dominio de tensión seleccionado VDD_WL emitido por el multiplexor de potencia 710.

10 **[0081]** En funcionamiento, durante la programación, la señal de habilitación de lectura/no escritura R/W_EN se establece en una tensión lógica baja (por ejemplo, en VSS). Como respuesta, el inversor I₇₁ genera una alta tensión lógica (por ejemplo, en VDD_PX). Esto hace que PMOS M71 se apague y el inversor I₇₂ emita una tensión lógica baja (por ejemplo, en VSS). La baja tensión lógica que genera el inversor I₇₂ hace que se encienda el PMOS M72. En consecuencia, el multiplexor de potencia 710 genera el dominio de tensión de salida VDD_WL en la tensión de programación VDD_PX.

15 **[0082]** Además, durante la programación, la compuerta NAND A₇₁ recibe la señal de línea de palabra global de confirmación de escritura gwll y la señal de habilitación de submatriz confirmada sa_en1. Como respuesta, la compuerta NAND A₇₁ genera una baja tensión lógica (por ejemplo, en VSS). En respuesta a la baja tensión lógica, el inversor I₇₃ genera una señal de línea de palabra local de confirmación de escritura lwl11 como una alta tensión lógica (por ejemplo, en VDD_PX) para programar una o más celdas de memoria que reciben la señal.

20 **[0083]** Durante la lectura, la señal de habilitación de lectura/no escritura R/W_EN se establece en una alta tensión lógica (por ejemplo, en VDD_PX). Como respuesta, el inversor I₇₁ genera una baja tensión lógica (por ejemplo, en VSS). Esto hace que PMOS M71 se encienda y el inversor I₇₂ emita una alta tensión lógica (por ejemplo, en VDD_PX). La alta tensión lógica que genera el inversor I₇₂ hace que se apague el PMOS M72. En consecuencia, el multiplexor de potencia 710 genera el dominio de tensión de salida VDD_WL en la tensión (principal) de lectura VDD_PX.

25 **[0084]** Además, durante la lectura, la compuerta NAND A₇₁ recibe la señal de línea de palabra global de confirmación de lectura gwll y la señal de habilitación de submatriz confirmada sa_en1. Como respuesta, la compuerta NAND A₇₁ genera una baja tensión lógica (por ejemplo, en VSS). En respuesta a la baja tensión lógica, el inversor I₇₃ genera una señal de línea de palabra local de confirmación de lectura lwl11 como una alta tensión lógica (por ejemplo, en VDD_MX) para efectuar la lectura de datos a partir de una o más celdas de memoria que reciben la señal.

30 **[0085]** La FIG. 8 ilustra un diagrama de flujo de un procedimiento ejemplar 800 para acceder a (programar o leer) al menos uno de un conjunto de celdas de memoria de acuerdo con otro aspecto de la divulgación. El procedimiento 800 incluye generar una primera señal confirmada en una línea de palabra global (bloque 810). Los ejemplos de medios para generar la primera señal confirmada en una línea de palabra global incluyen cualquiera de los controladores de línea de palabra globales WD1 a WDM en las memorias OTP 300 y 400, y el controlador de línea de palabra global 500.

35 **[0086]** El procedimiento 800 incluye además generar una segunda señal confirmada (bloque 820). Los ejemplos de medios para generar la segunda señal confirmada incluyen cualquiera de los circuitos de compuerta OR de entrada múltiple 330-1 a 330-K, 430-1 a 430-K, y el circuito de compuerta OR múltiple 600.

40 **[0087]** El procedimiento 800 incluye además generar una tercera señal confirmada en una línea de palabra local para acceder al menos a uno de un conjunto de celdas de memoria en respuesta a la recepción de la primera señal confirmada desde la línea de palabra global y la segunda señal confirmada (bloque 830). Los ejemplos de medios para generar la tercera señal confirmada incluyen cualquiera de los controladores de línea de palabra locales LD11 a LDMK en las memorias OTP 300 y 400, y el controlador de línea de palabra local 700. La descripción previa de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones de la divulgación resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento se pueden aplicar a otras variaciones sin apartarse del alcance de la divulgación.

45 **[0088]** Por tanto, la divulgación no está prevista para limitarse a los ejemplos descritos en el presente documento, sino que se le concede el alcance más amplio consecuente con las reivindicaciones adjuntas.

REIVINDICACIONES

1. Una memoria OTP programable una vez (300), que comprende:
- 5 una primera línea de palabra global (GWL1);
un primer conjunto de líneas de bits (BL1-BLJ);
una primera línea de palabra local (LWL11);
- 10 un primer conjunto de celdas de memoria OTP (C11 - 1J) acopladas a la primera línea de palabra local y acopladas al primer conjunto de líneas de bits, respectivamente; y
- 15 un primer controlador de línea de palabra local (LD11) configurado para generar una primera señal confirmada en la línea de palabra local en respuesta a la recepción de una segunda señal confirmada de la primera línea de palabra global y una tercera señal confirmada, en la que la tercera señal confirmada se genera en respuesta al menos a uno de un primer conjunto de señales de programación de línea de bits;
- 20 un primer conjunto de controladores de línea de bits (BD1 - BDJ) configurado para aplicar tensiones de programación en el primer conjunto de líneas de bits basado en el primer conjunto de señales de programación de línea de bits (bl1 - blj); respectivamente, y
- 25 una compuerta OR de entrada múltiple (330-1) configurada para generar la tercera señal confirmada en respuesta a al menos una de las primeras señales de programación de línea de bits que se está confirmando.
2. La memoria OTP (300) de la reivindicación 1, en la que la tercera señal confirmada indica que se aplica una tensión de programación a al menos uno del primer conjunto de líneas de bits (BL1-BLJ) para programar al menos uno del primer conjunto de celdas de memoria OTP (C11 - 1J), respectivamente.
- 30 3. La memoria OTP (300) de la reivindicación 1, en la que la primera señal confirmada está configurada para efectuar la programación de al menos uno del primer conjunto de celdas de memoria OTP (C11 - 1J).
- 35 4. La memoria OTP (300) de la reivindicación 1, que comprende además un amplificador de detección (340) acoplado al primer conjunto de líneas de bits (BL1-BLJ), en la que la primera señal confirmada está configurada para efectuar una lectura de datos desde el primer conjunto de celdas de memoria OTP (C11 - 1J) por el amplificador de detección (340).
- 40 5. La memoria OTP de la reivindicación 4, en la que el primer conjunto de controladores de línea de bits está configurado para ser establecido tres veces durante la lectura de los datos del primer conjunto de celdas de memoria por el amplificador de detección (340).
6. La memoria OTP de la reivindicación 1, en la que al menos uno del primer conjunto de celdas de memoria OTP (C11 - 1J) está configurado como una celda de memoria EFUSE.
- 45 7. La memoria OTP de la reivindicación 1, en la que al menos uno del primer conjunto de celdas de memoria OTP (C11 - 1J) comprende un elemento fusible (FM1) acoplado en serie con un transistor (M11) entre uno correspondiente del primer conjunto de líneas de bits y una guía de tensión.
- 50 8. La memoria OTP de la reivindicación 1, en la que al menos uno del primer conjunto de celdas de memoria OTP (C11 - 1J) está configurado como una celda de memoria antifusible.
9. La memoria OTP de la reivindicación 1, que comprende además:
- 55 una segunda línea de palabra local (LWL1K);
un segundo conjunto de líneas de bits (BLK-BLN);
un segundo conjunto de celdas de memoria (C1K - 1N) acoplado a la segunda línea de palabra local y acoplado al segundo conjunto de líneas de bits, respectivamente; y
- 60 un segundo controlador de línea de palabra local (LD1K) configurado para generar una cuarta señal confirmada en la segunda línea de palabra local en respuesta a la recepción de la segunda señal confirmada de la primera línea de palabra global (GWL1) y una quinta señal confirmada.
- 65 10. La memoria OTP de la reivindicación 1, que comprende además:

una segunda línea de palabra global (GWL2);

una segunda línea de palabra local (LWL21);

5 un segundo conjunto de celdas de memoria OTP (C21 - 2J) acopladas a la primera línea de palabra local y acopladas al primer conjunto de líneas de bits (BL1-BLJ), respectivamente; y

10 un segundo controlador de línea de palabra local (LD21) configurado para generar una cuarta señal confirmada en la segunda línea de palabra local en respuesta a la recepción de una quinta señal confirmada de la segunda línea de palabra global (GWL2) y la tercera señal confirmada.

11. La memoria OTP de la reivindicación 1, que comprende además un descodificador de línea de palabra (310) que incluye un controlador de línea de palabra global (WD1) configurado para generar la segunda señal confirmada.

15 **12.** La memoria OTP de la reivindicación 11, en la que el controlador de línea de palabra global (WD1) está configurado para:

20 generar la segunda señal confirmada a una primera tensión para efectuar una programación de al menos uno del primer conjunto de celdas de memoria OTP (C11 - 1J); o

generar la segunda señal confirmada a una segunda tensión para efectuar una lectura de datos de al menos uno del primer conjunto de celdas de memoria OTP (C11 - 1J).

25 **13.** Un procedimiento (800), que comprende:

generar (810) una primera señal confirmada en una línea de palabra global (GWL1);

30 generar (820) una segunda señal confirmada que responde a al menos una de un conjunto de señales de programación de línea de bits (bl1 - blj);

generar (830) una tercera señal confirmada en una línea de palabra local (LWL11) para acceder al menos a una de un conjunto de celdas de memoria OTP de programación única (C11 - 1J) en respuesta a la recepción de la primera señal confirmada de la línea de palabra global (GWL1) y la segunda señal confirmada

35 generar al menos una tensión de programación en un conjunto de líneas de bits (BL1-BLJ) basado en el conjunto de señales de programación de línea de bits, respectivamente, y

40 realizar una operación OR lógica del conjunto de señales de programación de línea de bits para generar la segunda señal confirmada.

14. El procedimiento (800) de la reivindicación 13, en el que la segunda señal confirmada indica que se aplica una tensión de programación a al menos uno del primer conjunto de líneas de bits acoplado al conjunto de celdas de memoria OTP (C11 - 1J), respectivamente.

45 **15.** El procedimiento (800) de la reivindicación 13, en el que la tercera señal confirmada está configurada para efectuar la programación de al menos uno del conjunto de celdas de memoria OTP (C11 - 1J) o para efectuar una lectura de datos de al menos uno del conjunto de celdas de memoria OTP (C11 - 1J).

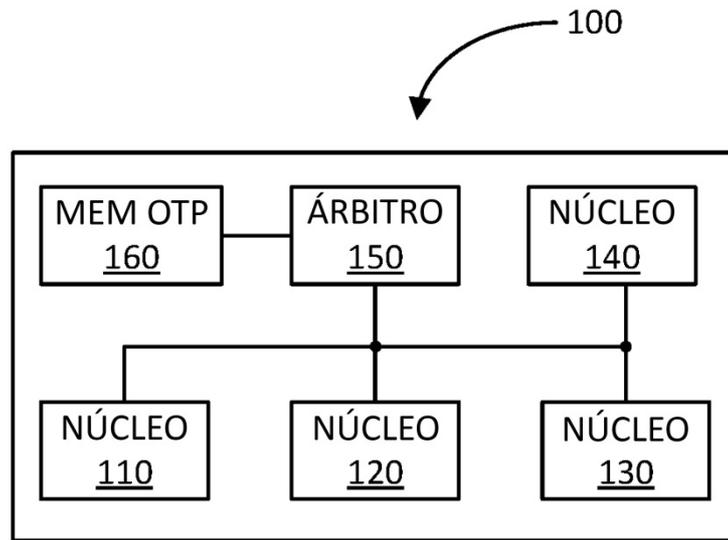
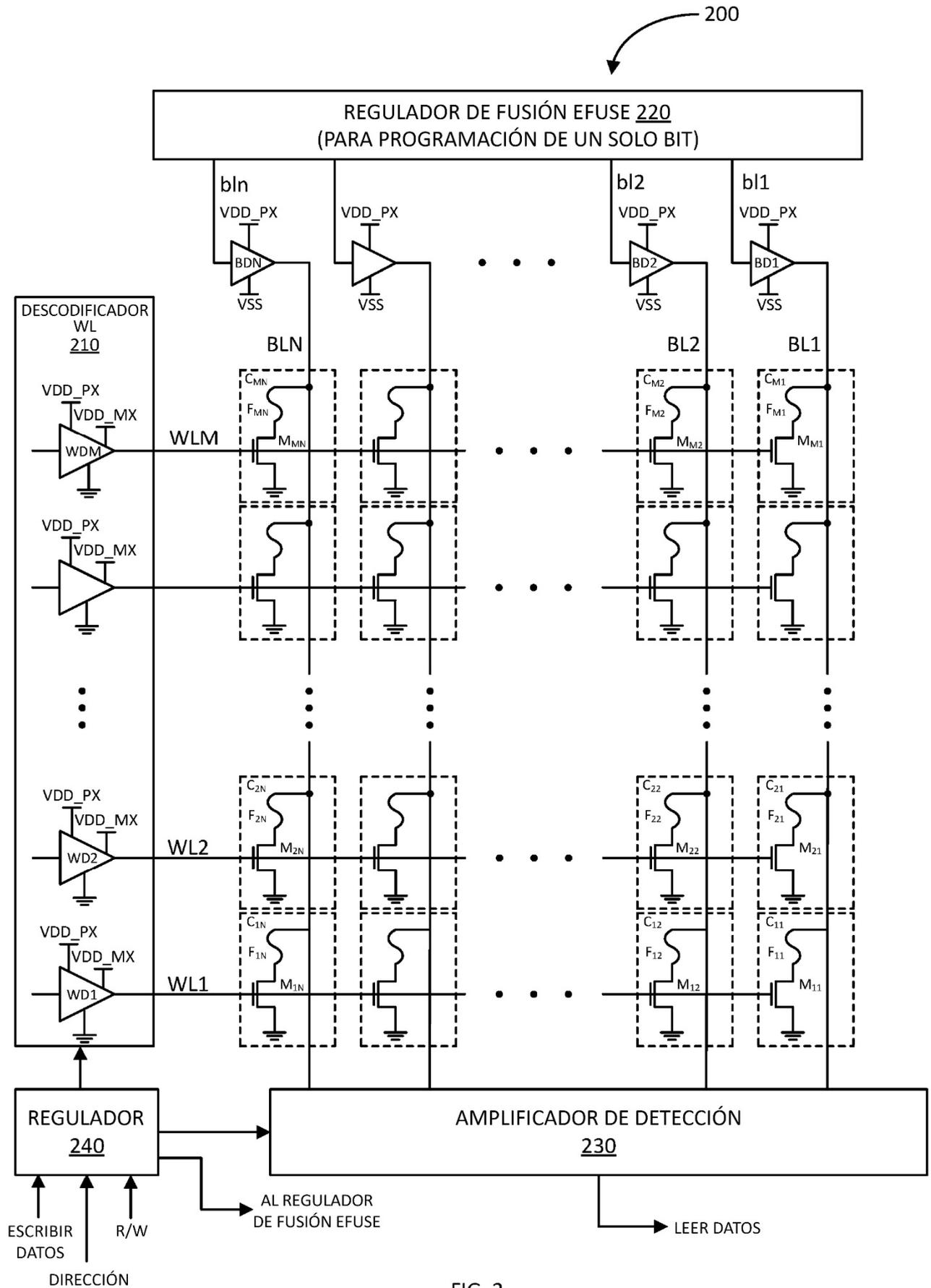


FIG. 1



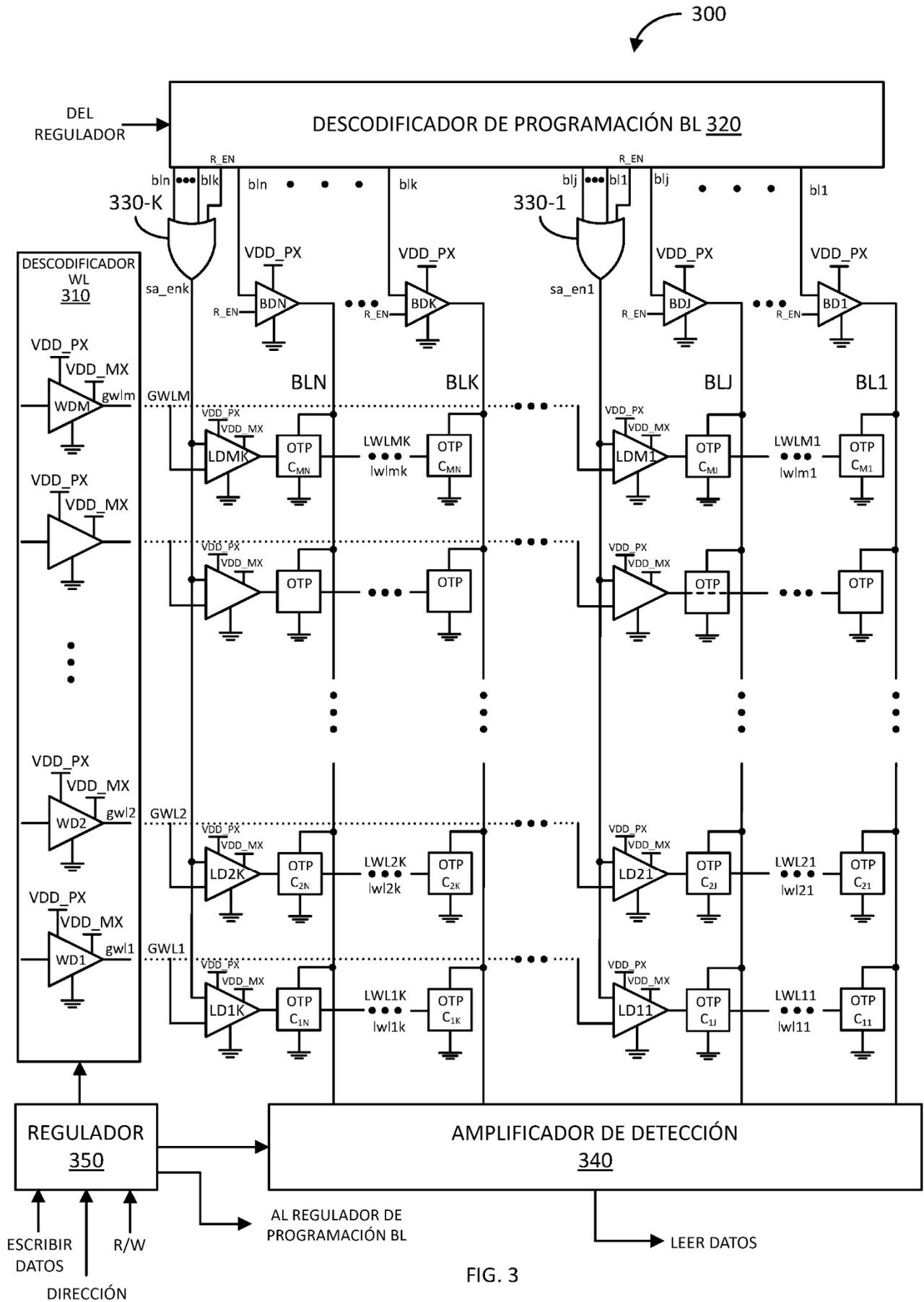


FIG. 3

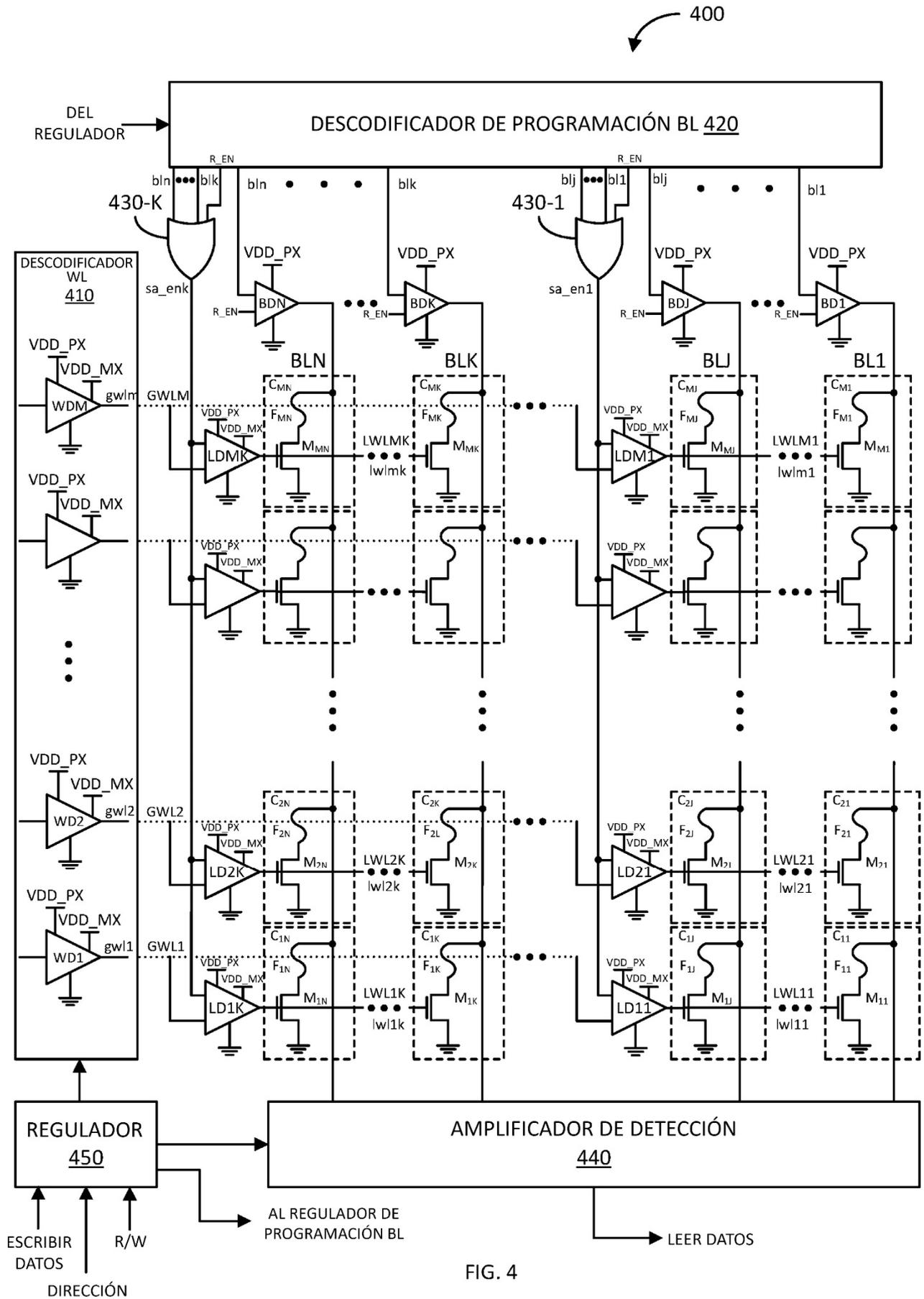


FIG. 4

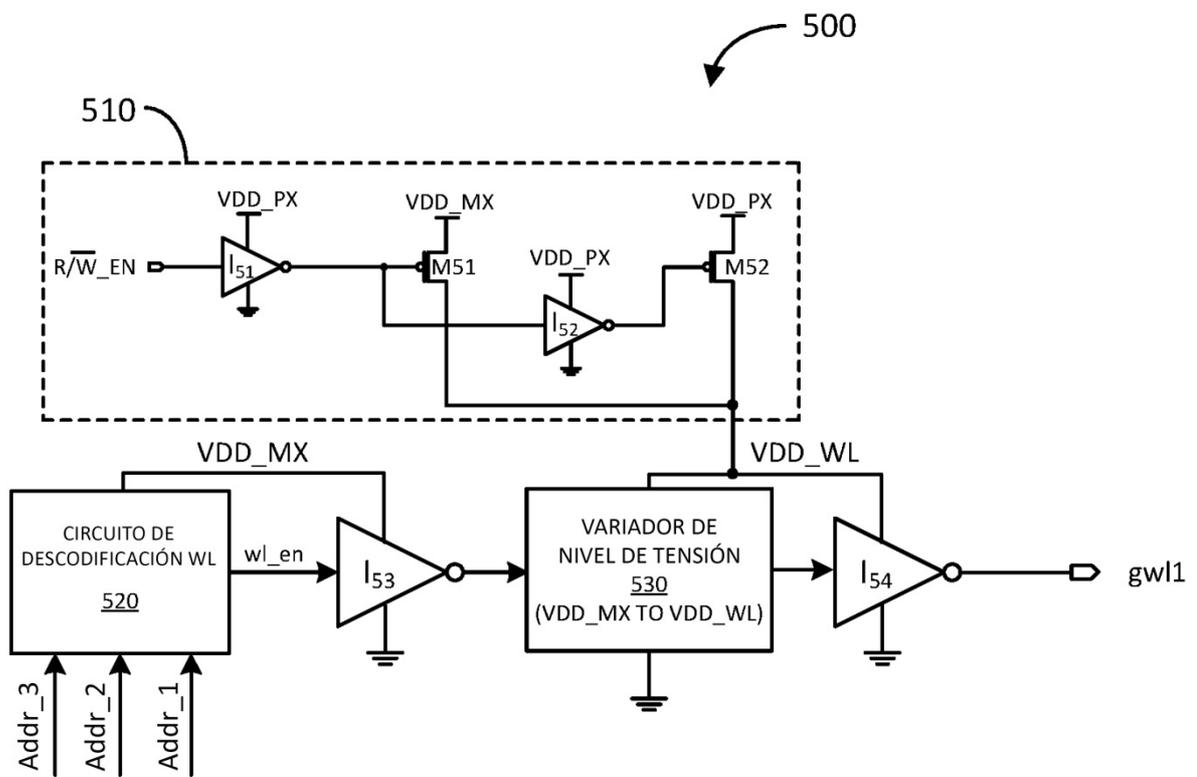


FIG. 5

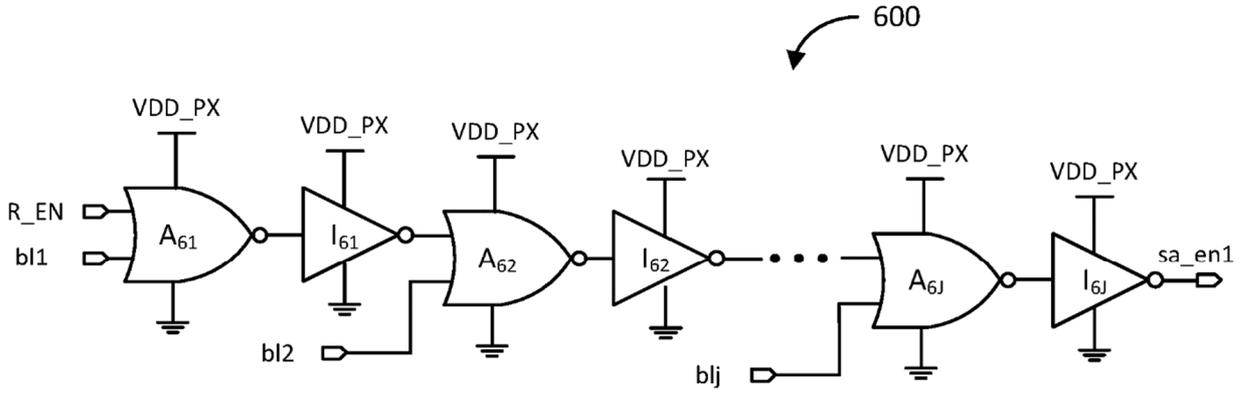


FIG. 6

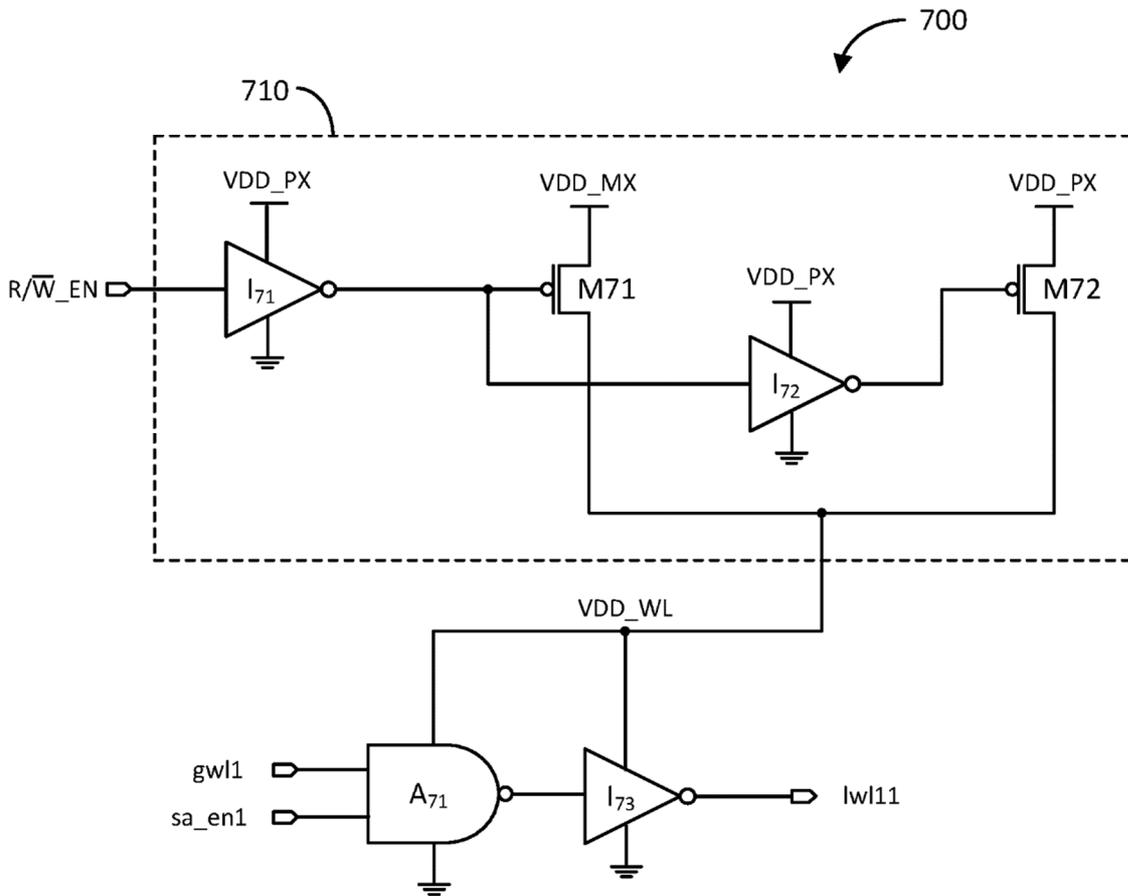


FIG. 7

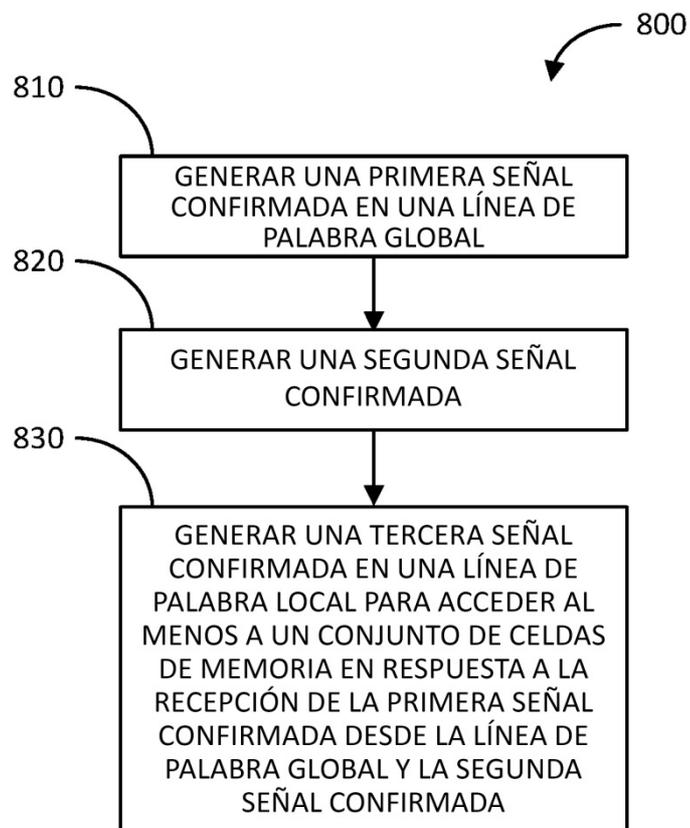


FIG. 8