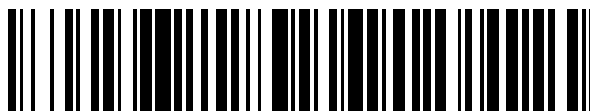


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 779 551**

51 Int. Cl.:

G06F 13/12 (2006.01)
G06F 13/28 (2006.01)
G06F 12/10 (2006.01)
G06F 3/06 (2006.01)
G06F 13/10 (2006.01)
G06F 13/40 (2006.01)
G06F 13/42 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **29.10.2013** **E 16164174 (1)**

97 Fecha y número de publicación de la concesión europea: **01.01.2020** **EP 3125126**

54 Título: **Sistema de procesamiento de datos y método de procesamiento de datos**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
18.08.2020

73 Titular/es:

HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building
Shenzhen, Guangdong 518129, CN

72 Inventor/es:

HE, JIAN;
SHI, GUANGYU;
NI, XIAOKE;
EGI, NORBERT;
LI, XIANCAI;
LIU, YU y
LIU, HUAWEI

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 779 551 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de procesamiento de datos y método de procesamiento de datos

5 CAMPO TÉCNICO

La presente invención se refiere al campo de tecnologías de la información y en particular, a un dispositivo, un método y un sistema para la transmisión de datos entre diferentes sistema de procesamiento de datos.

10 ANTECEDENTES DE LA INVENCIÓN

En una tendencia de datos de gran magnitud, una manera multi-duplicada se suele utilizar para garantizar la fiabilidad de los datos. Sin embargo, numerosas operaciones de migración de datos entre nodos se suelen causar cuando se utiliza la manera multi-duplicada.

15 Una tecnología RDMA (Remote Direct Memory Access, acceso de memoria directa distante) es una tecnología que pone en práctica la lectura de datos entre dos nodos en una red. Una tecnología RDMA transmite directamente datos en la memoria de un ordenador por intermedio de una red, e integra, con rapidez, los datos procedentes desde un nodo local a la memoria de un nodo distante sin causar ninguna influencia sobre un sistema operativo.

20 La información de RDMA transmitida en la red incluye una dirección virtual de destino, una clave de memoria y los propios datos. La realización de la demanda puede procesarse completamente en el espacio del usuario (una disposición se completa utilizando un nivel de usuario de agrupamiento) o se procesa utilizando una memoria kernel en un caso en que una aplicación queda en latencia hasta que se complete una demanda. Realizando una operación de RDMA, una aplicación puede efectuar una lectura de datos desde la memoria de una aplicación distante o realizar una escritura de datos en la memoria. Un adaptador de red de un host objetivo determina una clave de memoria y realiza una escritura directa de los datos en una memoria caché de aplicación.

30 La tecnología RDMA requiere que la transmisión de datos entre dos servidores que se comunican entre sí debe realizarse sobre datos transmitidos utilizando la memoria. Si no se utiliza la memoria, no se puede realizar una transmisión de datos. En consecuencia, un retardo de la transmisión de datos y una tasa de utilización de memoria son magnitudes relativamente altas.

35 El documento WO2013/048477 A1 divulga sistemas, aparatos y métodos que permiten compartir un dispositivo de Acceso Remoto Directo a Memoria (RDMA por sus siglas en inglés) incluido un complejo de CPU y memoria.

SUMARIO

40 Formas de realización de la presente invención dan a conocer un sistema y un método de procesamiento de datos, con el fin de mejorar la eficiencia y la utilización del dispositivo para la transmisión de datos entre dos sistemas de procesamiento de datos

45 Una forma de realización de la presente invención da a conocer un sistema de procesamiento de datos que incluye una unidad central de procesamiento, CPU, una memoria, un controlador de Interconexión de Componentes Periféricos, Peripheral Component Interconnect Express PCIe, un adaptador de red y al menos un dispositivo de memorización PCIe e incluye, además:

50 una unidad de gestión, configurada para obtener, cuando el sistema de procesamiento de datos recibe una demanda de datos, una primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la primera información de dirección incluida en la demanda de datos, en donde la primera dirección de memorización es una memoria de entrada/salida de mapeado de memoria MMIO, en donde

55 el adaptador de red efectúa una lectura directa de los datos desde el dispositivo de memorización PCIe en conformidad con la primera dirección de memorización, y transmite los datos a un segundo sistema de procesamiento de datos, o realiza una escritura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe, en donde el segundo sistema de procesamiento de datos es un sistema de procesamiento de datos que se comunica con el primer sistema de procesamiento de datos por intermedio de una red;

60 en donde el controlador PCIe comprende una unidad de traducción de direcciones, configurada para obtener una segunda dirección de memorización de los datos demandado por la demanda de datos en el dispositivo de memorización PCIe en conformidad con la primera dirección de memorización;

65 en donde la segunda dirección de memorización es una dirección lógica, en donde la dirección lógica es una dirección que se obtiene después de realizar una puesta en orden lineal sobre una dirección física continua no lineal.

De modo opcional, la unidad de traducción de dirección está configurada, además, para configurar un primer registro

de direcciones de base BAR, en donde el primer registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y la segunda dirección de memorización, y la segunda dirección de memorización es una dirección de memorización continua lineal.

5 De modo opcional, la unidad de traducción de direcciones está configurada, además, para configurar un segundo registro de direcciones BAR, en donde el segundo registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y una dirección virtual de la segunda dirección de memorización, la segunda dirección de memorización es una dirección de memorización continua no lineal y la dirección virtual de la segunda dirección de memorización es una dirección que se obtiene después de realizar una puesta en orden lineal sobre la
10 segunda dirección de memorización.

De modo opcional, la unidad CPU asigna un identificador único a cada dispositivo de memorización PCIe, en donde el identificador único se utiliza para caracterizar cada dispositivo de memorización PCIe.

15 De modo opcional, la primera información de dirección incluye el identificador único y una dirección de bloque lógico LBA del dispositivo de memorización PCIe.

De modo opcional, la unidad de gestión está configurada, además, para establecer una correspondencia entre el identificador único y una dirección de base en un registro BAR del dispositivo de memorización PCIe.

20 El identificador único incluye al menos uno de entre un identificador de identidad de vendedor ID Vender, un adaptador de identidad de dispositivo ID Device y un número de serie del disco duro; o el identificador único es un identificador que se obtiene después de que se realice un procesamiento de verificación de la integridad de archivos, denominado *hashing* sobre el al menos uno de entre el identificador ID Vender, el identificador ID Device y el número de serie del
25 disco duro.

De modo opcional, la unidad de gestión incluye una unidad de obtención de direcciones de base y una unidad de obtención de direcciones de memorización, en donde

30 la unidad de obtención de direcciones de base está configurada para obtener, cuando el sistema de procesamiento de datos recibe una primera demanda de datos del segundo sistema de procesamiento de datos que se comunica con el sistema de procesamiento de datos por intermedio de la red, una dirección de base en un registro BAR de los datos demandados en conformidad con un identificador único que es el del dispositivo de memorización PCIe y está que
35 está incluidos en la primera demanda de datos; y

la unidad de obtención de direcciones de memorización está configurada para obtener la primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la dirección de base en el registro BAR y una dirección LBA incluida en la primera demanda de dirección, en donde la primera dirección de memorización es una dirección MMIO.

40 De modo opcional, la unidad CPU registra la primera dirección de memorización obtenida en el adaptador de red.

De modo opcional, el sistema de procesamiento de datos incluye, además, una unidad de envío, en donde la unidad de envío está configurada para enviar la primera dirección de memorización obtenida por la unidad de gestión al
45 segundo sistema de procesamiento de datos.

De modo opcional, el controlador PCIe obtiene una demanda de datos que se envía por el adaptador de red y que incluye la primera dirección de memorización, y la unidad de traducción de dirección obtiene datos de la segunda dirección de memorización, y reenvía los datos obtenidos al adaptador de red, o efectúa una escritura de los datos
50 enviados por el adaptador de red en la segunda dirección de memorización

De modo opcional, la unidad de gestión incluye, además, una unidad de obtención de dirección de base global y una dirección de obtención de dirección de memorización global, en donde

55 la unidad de obtención de dirección de base global está configurada para obtener, cuando el sistema de procesamiento de datos recibe una segunda demanda de datos, una dirección de base de los datos demandados por la segunda demanda de datos en un registro BAR del segundo sistema de procesamiento de datos en conformidad con un identificador único que es el del dispositivo de memorización PCIe y que se incluye en la segunda demanda de datos, en donde la segunda demanda de datos es una demanda para enviar datos al segundo sistema de procesamiento de
60 datos o efectuar la lectura de los datos desde el segundo sistema de procesamiento de datos; y

la unidad de dirección de memorización global está configurada para obtener, en conformidad con la dirección de base en el registro BAR del segundo sistema de procesamiento de datos y una dirección LBA incluida en la segunda demanda de datos, una dirección MMIO de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos.

65

De modo opcional, una unidad de transformación de datos en un controlador PCIe del segundo sistema de procesamiento de datos obtiene, en conformidad con la dirección MMIO de los datos que se demandan por la segunda demanda de datos enviada por el sistema de procesamiento de datos en el segundo sistema de procesamiento de datos, una dirección física o una dirección lógica de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos, en donde la dirección física es una dirección continua lineal en la que los datos pueden ser objeto de lectura directa y la dirección lógica es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.

Una forma de realización de la presente invención da a conocer un método de procesamiento de datos, en donde el método se aplica a un sistema de procesamiento de datos que incluye una unidad central de procesamiento, CPU, una memoria, un controlador de Interconexión de Componentes Periféricos, Peripheral Component Interconnect Express PCIe, un adaptador de red y al menos un dispositivo de memorización y el método incluye:

obtener, cuando el sistema de procesamiento de datos recibe una demanda de datos, una primera información de dirección incluida en la demanda de datos;

obtener una primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la primera información de dirección, en donde la primera dirección de memorización es una dirección MMIO; y

efectuar la lectura directa, por el adaptador de red, de los datos procedentes del dispositivo de memorización PCIe en conformidad con la primera dirección de memorización, y transmitir los datos al segundo sistema de procesamiento de datos, o efectuar una lectura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe, en donde el segundo sistema de procesamiento de datos es un sistema de procesamiento de datos que se comunica con el primer sistema de procesamiento de datos por intermedio de una red; en donde el dispositivo de memorización PCIe obtiene una segunda dirección de memorización de los datos demandados por la demanda de datos en el dispositivo de memorización PCIe en conformidad con la primera dirección de memorización;

en donde la segunda dirección de memorización es una dirección lógica, en donde la dirección lógica es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.

De modo opcional, el método incluye, además:

configurar, por el controlador PCIe, un primer registro de direcciones BAR, en donde el primer registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y la segunda dirección de memorización y la segunda dirección de memorización es una dirección de memorización continua lineal.

De modo opcional, el método incluye, además:

configurar, por el controlador PCIe, un segundo registro de direcciones BAR, en donde el segundo registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y una dirección virtual de la segunda dirección de memorización, la segunda dirección de memorización es una dirección de memorización continua no lineal y la dirección virtual de la segunda dirección de memorización es una dirección que se obtiene después de realiza una puesta en orden lineal sobre la segunda dirección de memorización.

De modo opcional, la unidad CPU asigna un identificador único a cada dispositivo de memorización PCIe, en donde el identificador único se utiliza para identificar cada dispositivo de memorización PCIe.

De modo opcional, la primera información de dirección incluye el identificador único y una dirección de bloque lógico, LBA del dispositivo de memorización PCIe.

De modo opcional, el método incluye, además:

establecer una correspondencia entre el identificador único y una dirección de base en un registro BAR del dispositivo de memorización PCIe.

De modo opcional, el identificador único incluye al menos un identificador de identidad de vendedor ID Vender, un identificador de identidad de dispositivo ID Device y un número de serie del disco duro; o el identificador único es un identificador que se obtiene después de que se realice un procesamiento de hashing sobre el al menos uno de entre el identificador ID Vender, el identificador ID Device y el número de serie del disco duro.

De modo opcional, la obtención de una primera dirección de memorización de los datos demandados en el dispositivo de memorización incluye:

obtener una dirección de base en un registro BAR de los datos demandados en conformidad con un identificador único

que es el del dispositivo de memorización PCIe y está incluido en la primera demanda de datos; y

5 obtener la primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la dirección de base en el registro BAR y una dirección LBA en la primera demanda de datos, en donde la primera dirección de memorización es una dirección MMIO.

De modo opcional, la unidad CPU registra la primera dirección de memorización obtenida en el adaptador de red.

10 De modo opcional, el método incluye, además:

enviar, por el sistema de procesamiento de datos, la primera dirección de memorización obtenida en el segundo sistema de procesamiento de datos.

15 De modo opcional, el controlador PCIe obtiene una demanda de datos que se envía por el adaptador de red y que incluye la primera dirección de memorización, y obtiene datos de una segunda dirección de memorización y reenvía los datos obtenidos al adaptador de red, o efectúa la lectura de los datos enviados por el adaptador de red en la segunda dirección de memorización.

20 De modo opcional, el método incluye, además:

25 obtener, cuando el sistema de procesamiento de datos recibe una segunda demanda de datos, una dirección de base de datos demandados por la segunda demanda de datos en un registro BAR del segundo sistema de procesamiento de datos en conformidad con un identificador único que es el del dispositivo de memorización PCIe y está incluido en la segunda demanda de datos, en donde la segunda demanda de datos es una demanda para enviar datos al segundo sistema de procesamiento de datos o efectuar la lectura de los datos desde el segundo sistema de procesamiento de datos; y

30 obtener, en conformidad con la dirección de base en el registro BAR del segundo sistema de procesamiento de datos y una dirección LBA incluida en la segunda demanda de datos, una dirección MMIO de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos.

35 De modo opcional, un controlador PCIe del segundo sistema de procesamiento de datos obtiene, en conformidad con la dirección MMIO de los datos que se demandan por la segunda demanda de datos enviada por el sistema de procesamiento de datos en el segundo sistema de procesamiento de datos, una dirección física o una dirección lógica de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos, en donde la dirección física es una dirección continua lineal en la que puede efectuarse una lectura directa de los datos y la dirección lógica es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.

40 En el sistema de procesamiento de datos y el método de procesamiento de datos dados a conocer por las formas de realización de la presente invención, una dirección MMIO de una demanda de datos se obtiene, en donde los datos memorizados en un dispositivo de memorización PCIe pueden obtenerse directamente a partir de la memoria MMIO y en conformidad con la dirección MMIO, un adaptador de red puede efectuar la lectura directa de los datos desde el dispositivo de memorización PCIe del sistema de procesamiento de datos, y transmitir los datos a un segundo sistema de procesamiento de datos, efectuar la escritura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe. Por lo tanto, el sistema de procesamiento puede, cuando se realiza una transmisión de datos entre dos sistemas de procesamiento de datos que se comunican por intermedio de una red, una transmisión de datos directamente desde el dispositivo de memorización PCIe al adaptador de red sin necesidad de utilizar la memoria. Durante la transmisión de datos, entre los dos sistemas de transmisión de datos, una tasa de utilización de un recurso, tal como una memoria y una unidad CPU, se reduce y al mismo tiempo, se mejora la eficiencia de la transmisión de datos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

55 Para describir las soluciones técnicas en las formas de realización de la presente invención o en la técnica anterior con mayor claridad, a continuación se describen brevemente los dibujos adjuntos requeridos para describir las formas de realización o la técnica anterior. Evidentemente, los dibujos adjuntos en la descripción siguiente ilustran simplemente algunas formas de realización de la presente invención y un experto en esta técnica puede deducir todavía otros dibujos a partir de estos dibujos adjuntos sin necesidad de esfuerzos creativos.

60 La Figura 1 es un diagrama de flujo esquemático de migración de datos en un dispositivo de memorización de nodo distante a un dispositivo de memorización de nodo local en la técnica anterior;

65 La Figura 2 es un diagrama estructural esquemático de un sistema de procesamiento de datos en conformidad con una forma de realización de la presente invención;

La Figura 3 es un diagrama estructural esquemático de una puesta en práctica específica de un sistema de procesamiento de datos en conformidad con una forma de realización de la presente invención;

5 La Figura 4 es un diagrama de flujo esquemático de un método de procesamiento de datos en conformidad con una forma de realización de la presente invención;

La Figura 5 es un diagrama estructural esquemático de equipos físicos base de una manera de puesta en práctica de un sistema de procesamiento de datos en conformidad con una forma de realización de la presente invención;

10 La Figura 6 es un diagrama a modo de ejemplo de una correspondencia entre un identificador único que es el del dispositivo de memorización PCIe y se memoriza en una unidad de gestión y una dirección de base en un registro BAR del dispositivo de memorización PCIe en conformidad con una forma de realización de la presente invención;

15 La Figura 7 es un diagrama esquemático de una relación estructural de mapeado de correspondencia desde una dirección configurada en un dispositivo de memorización PCIe a una dirección MMIO de una unidad CPU en conformidad con una forma de realización de la presente invención; y

20 La Figura 8 es un diagrama estructural esquemático de una dirección de flujo de datos de una transmisión de datos entre dos sistemas de procesamiento de datos de conformidad con una forma de realización de la presente invención.

DESCRIPCIÓN DE LAS FORMAS DE REALIZACIÓN

25 A continuación se describe, de forma clara y completa, las soluciones técnicas en las formas de realización de la presente invención haciendo referencia a los dibujos adjuntos en las formas de realización de la presente invención. Evidentemente, las formas de realización a describirse son una parte y no la totalidad de las formas de realización de la presente invención. Todas las formas de realización obtenidas por un experto en esta técnica, sobre la base de las formas de realización de la presente invención sin necesidad de esfuerzos creativos, caerán dentro del alcance de protección de la presente invención.

30 La Figura 1 es un diagrama de flujo esquemático de una migración de datos en un dispositivo de memorización de nodo distante a un dispositivo de memorización de nodo local en la técnica anterior. Un nodo puede ser un dispositivo que pone en práctica una función de cálculo informático o una función de memorización, tal como un servidor. Cuando un nodo Node 1 necesita ser objeto de lectura, desde un nodo Node 2 por intermedio de una red, los datos que se memorizan en un dispositivo de memorización del nodo Node 2, su proceso de realización es como sigue:

35 Etapa 1: Una unidad CPU del Node 1 inicia una demanda de conexión a distancia para la lectura de los datos.

40 Etapa 2: Un adaptador de red en el nodo Node 1 envía un paquete de demanda a un adaptador de red de un nodo especificado (es decir, el nodo Node 2).

Etapa 3: El adaptador de red del Node 2 reenvía el paquete de demanda a una unidad CPU del nodo Node 2.

45 Etapa 4: La unidad CPU del nodo Node 2 realiza un análisis sintáctico del paquete de demanda y luego, inicia una demanda de datos a un controlador PCIe de la CPU del nodo Node 2.

Etapa 5: El controlador PCIe realiza la lectura de los datos demandados a la memoria en una manera de DMA.

50 Etapa 6: La unidad CPU del nodo Node 2 envía los datos demandados que son objeto de lectura a la memoria del adaptador de red del nodo Node 2.

Etapa 7: El adaptador de red del nodo Node 2 envía los datos demandados al adaptador de red del nodo Node 1 por intermedio de una red.

55 Etapa 8: La unidad CPU del nodo Node 1 efectúa la lectura de los datos demandados desde el adaptador de red del nodo Node 1 y luego, memoriza los datos en la memoria.

Etapa 9: La unidad CPU del nodo Node 1 envía los datos memorizados en la memoria al controlador PCIe para demandar la escritura de los datos en un dispositivo de memorización PCIe.

60 Etapa 10: Un controlador PCIe del nodo Node 1 realiza la escritura de los datos recibidos en el dispositivo de memorización PCIe.

65 Como puede deducirse del proceso de lectura a distancia de datos en la técnica anterior, una unidad CPU que participa en la lectura y es de un nodo que participó en las funciones de lectura y escritura de datos, y cada nodo necesita solicitar un segmento de espacio de memoria para memorizar datos en la unidad CPU. En este caso, en un proceso completo de migración de datos, puesto que los datos son objeto de migración numerosas veces, un retardo se

5 aumenta de forma inevitable y las tasas de utilización de la unidad CPU y de la memoria permanecen elevadas.

Con el fin de resolver los problemas de un retardo de gran magnitud y las altas tasas de utilización de la unidad CPU y de la memoria durante un proceso de migración de datos a distancia en la técnica anterior, una forma de realización de la presente invención da a conocer un sistema de procesamiento de datos, con el fin de resolver los problemas de consumo de recursos y retardo causado por la ocupación de la memoria y los recursos de la CPU durante las operaciones de lectura y escritura de datos a distancia entre los sistemas de procesamiento de datos en la técnica anterior.

Con el fin de resolver los problemas de ocupación de numerosos recursos de memoria y de la unidad CPU y un gran retardo en la transmisión durante una transmisión de datos de nodos cruzados en la técnica anterior, una forma de realización de la presente invención da a conocer un sistema de procesamiento de datos. Combinando una tecnología de red con una tecnología de mapeado de correspondencia de direcciones MMIO de un dispositivo de memorización PCIe, una tecnología de acceso directo a datos distantes entre nodos se utiliza para una copia directa de los datos. Durante el proceso de copia, una unidad CPU no necesita participar en una migración de datos, y la unidad CPU solamente necesita realizar una operación de control; y al mismo tiempo, no necesita realizarse una migración de datos a la memoria por anticipado para su procesamiento, con el fin de reducir la utilización de la unidad CPU y de la memoria. Además, un proceso de migración de datos entre la unidad CPU y la memoria se reduce, también se reduce un retardo del procesamiento de datos y se mejora la eficiencia de la transmisión de datos.

Haciendo referencia a la Figura 2, la Figura 2 es un diagrama estructural esquemático de un sistema de procesamiento de datos 200 en conformidad con una forma de realización de la presente invención. El sistema de procesamiento de datos 200 incluye una unidad central de procesamiento CPU 202, una memoria 206, un controlador de Interconexión de Componentes Periféricos, Peripheral Component Interconnect Express, PCIe 203, un adaptador de red 205 y al menos un dispositivo de memorización PCIe 204 e incluye, además:

una unidad de gestión 201, configurada para obtener, cuando el sistema de procesamiento de datos recibe una demanda de datos, una primera dirección de memorización de los datos demandados en el dispositivo de memorización en conformidad con la primera información de dirección incluida en la demanda de datos, en donde la primera dirección de memorización es una dirección MMIO (Memory mapping I/O, memoria de entrada/salida de mapeado de memoria), en donde

el adaptador de red 205 efectúa la lectura directa de los datos procedentes del dispositivo de memorización PCIe 204 en conformidad con la primera dirección de memorización, y transmite los datos a un segundo sistema de procesamiento de datos, o efectúa la escritura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en un dispositivo de memorización PCIe 204, en donde el segundo sistema de procesamiento de datos es un sistema de procesamiento de datos que se comunica con el primer sistema de procesamiento de datos por intermedio de una red.

Una dirección MMIO de una demanda de datos se obtiene por una unidad de gestión 201 en el sistema de procesamiento de datos anterior, en donde los datos memorizados en un dispositivo de memorización PCIe pueden obtenerse directamente a partir de la dirección MMIO, y en conformidad con la dirección MMIO, un adaptador de red 205 puede efectuar la lectura directa de los datos desde el dispositivo de memorización PCIe 204 del sistema de procesamiento de datos 200, y transmitir los datos a un segundo sistema de procesamiento de datos, o efectuar la lectura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe 204. De este modo, el sistema de procesamiento puede poner en práctica, cuando se realiza una transmisión de datos entre dos sistemas de procesamiento de datos, que se comunican por intermedio de una red, una transmisión de datos directamente desde el dispositivo de memorización PCIe al adaptador de red sin necesidad de utilizar memoria. Durante la transmisión de datos entre los dos sistemas de procesamiento de datos, se reduce una tasa de utilización de un recurso, tal como memoria y una unidad CPU y se mejora la eficiencia de la transmisión de datos.

Haciendo referencia a la Figura 3, la Figura 3 es un diagrama estructural esquemático de una puesta en práctica específica de un sistema de procesamiento de datos 200 en conformidad con una forma de realización de la presente invención. Según se ilustra en la Figura 3, el dispositivo de memorización PCIe 203 incluye, además, una unidad de traducción de direcciones 2031, configurada para obtener una segunda dirección de memorización de los datos demandados por la demanda de datos en el dispositivo de memorización PCIe en conformidad con la primera dirección de memorización. La segunda dirección de memorización puede ser una dirección física o una dirección lógica, en donde la dirección física es una dirección continua lineal en la que los datos pueden ser objeto de lectura directa y la dirección lógica es una dirección que se obtiene después de realizar una puesta en orden lineal sobre una dirección física continua no lineal.

La unidad de traducción de dirección 2031 traduce la primera dirección de memorización, es decir, la dirección MMIO, en la segunda dirección de memorización, en donde la segunda dirección de memorización es una dirección física de un soporte accesible del dispositivo de memorización PCIe 203, de modo que cuando el dispositivo de memorización PCIe recibe una demanda de datos del adaptador de red 205, el dispositivo de memorización PCIe puede obtener, en

conformidad con una dirección MMIO incluida en la demanda de datos, una dirección física de un soporte accesible correspondiente a la dirección MMIO y efectuar la lectura de los datos utilizando la dirección física. En el dispositivo de memorización PCIe, cuando no se indica una dirección de soporte accesible por una dirección MMIO, el adaptador de red puede obtener una dirección de soporte accesible de los datos demandados, con el fin de realizar las operaciones de lectura y escritura directas de los datos.

Como una manera de puesta en práctica opcional, la unidad de traducción de dirección 2031 está configurada, además, para configurar un primer registro de direcciones de base BAR (base address register, registro de direcciones de base), en donde el primer registro de direcciones de BAR memoriza una correspondencia entre la primera dirección de memorización y la segunda dirección de memorización, y la segunda dirección de memorización es una dirección de memorización continua lineal. Si la segunda dirección de memorización es una dirección de memorización continua no lineal, la unidad de traducción de dirección está configurada para configurar un segundo registro de direcciones BAR, en donde el segundo registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y una dirección virtual de la segunda dirección de memorización, y la dirección virtual de la segunda dirección de memorización es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre la segunda dirección de memorización.

La unidad de traducción de dirección anterior 2031 configura el registro de direcciones BAR, de modo que, en el dispositivo de memorización PCIe, se establezca una dirección física continua lineal para estar en correspondencia con la dirección MMIO en una manera 'una a una' y en el dispositivo de memorización PCIe, una dirección lógica que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal para estar en correspondencia con la dirección MMIO en una manera de 'una a una', con el fin de poner en práctica el mapeado de correspondencia de la dirección MMIO y la dirección del soporte accesible del dispositivo de memorización PCIe. Por lo tanto, el adaptador de red efectúa el mapeado, de conformidad con la dirección MMIO utilizando el controlador PCIe, para una dirección de soporte de memorización accesible PCIe que corresponde a la dirección MMIO en una manera 'una a una', con lo que se realizan operaciones de lectura y escritura directas de los datos.

Como una manera de puesta en práctica opcional, la unidad CPU 202 asigna un identificador único a cada dispositivo de memorización PCIe, en donde el identificador único se utiliza para identificar cada dispositivo de memorización. En correspondencia, la unidad de gestión 201 está configurada, además, para establecer una correspondencia entre el identificador único y una dirección de base en un registro BAR del dispositivo de memorización PCIe. Utilizando la correspondencia entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe, la unidad de gestión 201 puede obtener, en conformidad con un identificador único que es el del dispositivo de memorización PCIe y está incluido en un mensaje de demanda de datos recibido por el sistema de procesamiento de datos 200, una dirección de base que corresponde al identificador único y está en el registro BAR del dispositivo de memorización PCIe. Puesto que la primera información de dirección en la demanda de datos recibida por el sistema de procesamiento de datos incluye el identificador único y una dirección LBA (Logical Block Address, dirección de bloque lógico) del dispositivo de memorización PCIe, la unidad de gestión 201 puede obtener la dirección MMIO de los datos demandados utilizando la dirección de base obtenida en el registro BAR y la dirección LBA del dispositivo de memorización PCIe.

De modo opcional, el identificador único incluye al menos uno de entre un identificador ID Vender, un identificador ID Device y un número de serie del disco duro; o el identificador único es un identificador que se obtiene después de que se realice un procesamiento de hashing sobre el al menos uno de entre el identificador ID Vender, el identificador ID Device y el número de serie del disco duro.

Como una manera de puesta en práctica opcional, según se ilustra en la Figura 3, la unidad de gestión 201 incluye una unidad de obtención de direcciones de base 2011 y una unidad de obtención de direcciones de memorización 2012, en donde

la unidad de obtención de direcciones de base 2011 está configurada para obtener, cuando el sistema de procesamiento de datos 200 recibe una primera demanda de datos del segundo sistema de procesamiento de datos que se comunica con el sistema de procesamiento de datos 200 por intermedio de la red, una dirección de base en un registro BAR de los datos demandados en conformidad con un identificador único que es el del dispositivo de memorización PCIe 204 y está incluidos en la primera demanda de datos; y

la unidad de obtención de direcciones de memorización 2012 está configurada para obtener la primera dirección de memorización de los datos demandados en el dispositivo de memorización en conformidad con la dirección de base en el registro BAR y una dirección LBA en la primera demanda de datos, en donde la primera dirección de memorización es una dirección MMIO.

Como una manera de puesta en práctica opcional, la unidad CPU 202 registra la primera dirección de memorización obtenida en el adaptador de red. La primera dirección de memorización se registra en el adaptador de red. El adaptador de red 205 puede editar la primera dirección de memorización a través de un bus de conexión de PCIe cuando se recibe la demanda de datos que es la del segundo sistema de procesamiento de datos e incluye la primera dirección

de memorización. El controlador PCIe 203 obtiene la demanda de datos cuando se recibe la demanda que se envía por el adaptador de red 205 e incluye la primera dirección de memorización, y envía los datos demandados al adaptador de red 205, o realiza la escritura de los datos que se reciben por el adaptador de red y los envía por el segundo sistema de procesamiento de datos a una posición correspondiente a la primera dirección de memorización en el dispositivo de memorización PCIe.

Como una manera de puesta en práctica opcional, el sistema de procesamiento de datos 200 incluye, además, una unidad de envío 207, en donde la unidad de envío 207 está configurada para enviar la primera dirección de memorización obtenida por la unidad de gestión 200 al segundo sistema de procesamiento de datos.

De modo opcional, el controlador PCIe 203 obtiene la demanda de datos que se envía por el adaptador de red 205 e incluye la primera dirección de memorización y la unidad de traducción de direcciones 2031 obtiene los datos de la segunda dirección de memorización, y reenvía los datos obtenidos al adaptador de red, o realiza la escritura de los datos enviados por el adaptador de red en la segunda dirección de memorización.

En la forma de realización de la presente invención, el sistema de procesamiento de datos 200 y otro sistema de procesamiento de datos, a modo de ejemplo, el segundo sistema de procesamiento de datos, se comunican por intermedio de una red, con el fin de realizar una transmisión de datos entre diferentes sistemas de procesamiento de datos. El sistema incluye, sin limitación, a la red Ethernet, una red de tecnología de cable de conversión IB que soporta múltiples enlaces simultáneos, una red FC (fiber channel, canal de fibra) o similares. El segundo sistema de procesamiento de datos anterior puede ser un sistema que pone en práctica la solución de la forma de realización de la presente invención y puede ser también un sistema de procesamiento de datos en la técnica anterior. Cuando el segundo sistema de procesamiento de datos es el sistema que pone en práctica la solución de la forma de realización de la presente invención, el segundo sistema de procesamiento de datos puede realizar también una función de lectura o escritura directa de datos desde el adaptador de red al dispositivo de memorización PCIe.

Como una solución de puesta en práctica opcional, la unidad de gestión 203 incluye, además, una unidad de obtención de dirección de base global 2033 y una unidad de obtención de dirección de memorización global 2034, en donde

la unidad de obtención de dirección de base global 2033 está configurada para obtener, cuando el sistema de procesamiento de datos recibe una segunda demanda de datos, una dirección de base de datos demandados por la segunda demanda de datos en un registro BAR del segundo sistema de procesamiento de datos en conformidad con un identificador único que es el del dispositivo de memorización PCIe y se incluye en la segunda demanda de datos, en donde la segunda demanda de datos es una demanda para enviar datos al segundo sistema de procesamiento de datos o efectuar la lectura de datos desde el segundo sistema de procesamiento de datos; y

la unidad de obtención de dirección de memorización global 2034 está configurada para obtener, en conformidad con la dirección de base en el registro BAR del segundo sistema de procesamiento de datos y una dirección LBA incluida en la segunda demanda de datos, una dirección MMIO de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos.

En correspondencia, una unidad de transformación de datos en un controlador PCIe del segundo sistema de procesamiento de datos obtiene, en conformidad con la dirección MMIO de los datos que se demandan por la segunda demanda de datos enviada por el sistema de procesamiento de datos en el segundo sistema de procesamiento de datos, una dirección física o una dirección lógica de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos, en donde la dirección física es una dirección continua lineal en la que los datos pueden ser objeto de lectura directa, y la dirección lógica es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.

En la forma de realización anterior, la unidad de gestión 203 memoriza, además, la correspondencia entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe en el segundo sistema de procesamiento de datos, cuando el sistema de procesamiento de datos 200 recibe la segunda demanda de datos para enviar datos al segundo sistema de procesamiento de datos o efectuar la lectura desde el segundo sistema de procesamiento de datos, el sistema de procesamiento de datos 200 puede obtener la dirección de base de los datos demandados por la segunda demanda de datos en registro BAR del segundo sistema de procesamiento de datos, y obtener, además, la dirección MMIO de los datos demandados por la segunda demanda de datos, con el fin de realizar una transmisión directa entre dos sistemas de procesamiento de datos sin la utilización de una unidad CPU o la memoria, con lo que se ahorran recursos de memoria y de CPU y al mismo tiempo se mejora la eficiencia de la transmisión de datos. A modo de ejemplo, la Figura 8 muestra que se realiza la transmisión de datos entre un primer sistema de procesamiento de datos y un segundo sistema de procesamiento de datos, en donde una parte de línea de trazos negra es un seguimiento y una dirección de flujo de la transmisión de datos entre los dos sistemas de procesamiento de datos.

El sistema de procesamiento de datos 200 en la forma de realización de la presente invención puede conectarse también a una pluralidad de sistemas de procesamiento de datos por intermedio de una red de comunicaciones, y realizar una transmisión de datos. El sistema de procesamiento de datos 200 puede obtener la correspondencia, que

se envía por otros múltiples sistemas de procesamiento de datos entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe, con el fin de realizar una transmisión directa entre los sistemas de procesamiento de datos. El sistema de procesamiento de datos 200 puede demandar también la correspondencia entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe desde otros múltiples sistemas de procesamiento de datos, y memorizar la correspondencia, con el fin de realizar una transmisión directa entre los sistemas de procesamiento de datos. Por supuesto, después de que el sistema de procesamiento de datos 200 obtenga la correspondencia en los otros múltiples sistemas de procesamiento de datos y entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe, cuando la correspondencia en los otros múltiples sistemas de procesamiento de datos y entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe cambia, un sistema de procesamiento de datos en el que se produce el cambio, puede enviar la correspondencia cambiada al sistema de procesamiento de datos 200.

Haciendo referencia a la Figura 4, la Figura 4 es un diagrama de flujo esquemático de un método de procesamiento de datos en conformidad con una forma de realización de la presente invención. El método de procesamiento de datos en la forma de realización de la presente invención se aplica a un sistema de procesamiento de datos que incluye una unidad central de procesamiento CPU, una memoria, un controlador de Interconexión de Componentes Periféricos, Peripheral Component Interconnect Express PCIe, un adaptador de red y al menos un dispositivo de memorización, y el método incluye:

Etapa 400: Obtener, cuando el sistema de procesamiento de datos recibe una demanda de datos, una primera dirección de memorización incluida en la demanda de datos.

Etapa 402: Obtener una primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la primera información de dirección, en donde la primera dirección de memorización es una dirección MMIO.

Etapa 404: El adaptador de red efectúa la lectura directa de los datos procedentes del dispositivo de memorización PCIe en conformidad con la primera dirección de memorización, y transmite los datos al segundo sistema de procesamiento de datos, o realiza la escritura directa de los datos recibidos desde un segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe, en donde el segundo sistema de procesamiento de datos es un sistema de procesamiento de datos que se comunica con el primer sistema de procesamiento de datos por intermedio de una red.

La etapa 400 y la etapa 402 en la forma de realización del método anterior pueden ponerse en práctica por una unidad de gestión en el sistema de procesamiento de datos. La unidad de gestión puede ser un módulo o una unidad lógica en la unidad CPU, y puede ser también una entidad de hardware separada en el sistema de procesamiento de datos. Una manera de puesta en práctica específica de la unidad de gestión no está limitada en la forma de realización de la presente invención.

Una dirección MMIO de una demanda de datos se obtiene en la etapa 402 en la forma de realización anterior, en donde los datos memorizados en el dispositivo de memorización PCIe pueden obtenerse directamente a partir de la dirección MMIO, y en conformidad con la dirección MMIO, un adaptador de red puede efectuar la lectura directa de los datos procedentes del dispositivo de memorización PCIe del sistema de procesamiento de datos, y transmitir los datos a un segundo sistema de procesamiento de datos, o realizar la escritura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe. Por lo tanto, el sistema de procesamiento puede realizar, cuando se efectúa una transmisión de datos entre dos sistemas de procesamiento de datos que se comunican por intermedio de una red, transmitiendo datos directamente desde el dispositivo de memorización PCIe al adaptador de red sin necesidad de utilizar la memoria. Durante la transmisión de datos entre los dos sistemas de procesamiento de datos, se reduce una tasa de utilización de un recurso, tal como memoria y una unidad CPU, y se mejora la eficiencia de la transmisión de datos.

Como una manera de puesta en práctica opcional, el método de procesamiento de datos incluye, además: obtener, por el dispositivo de memorización PCIe, una segunda dirección de memorización de los datos demandados por la demanda de datos en el dispositivo de memorización PCIe en conformidad con la primera dirección de memorización. La segunda dirección de memorización es una dirección física o una dirección lógica, en donde la dirección física continua lineal en la que puede efectuarse la lectura directa de los datos, y la dirección lógica es una dirección en la que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.

De modo opcional, el controlador PCIe configura el primer registro de direcciones BAR, en donde el primer registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y la segunda dirección de memorización, y la segunda dirección de memorización es una dirección de memorización continua lineal. Como alternativa, el controlador PCIe configura un segundo registro de direcciones BAR, en donde el segundo registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y una dirección virtual de la segunda dirección de memorización, la segunda dirección de memorización es una dirección de memorización

continua no lineal y la dirección virtual de la segunda dirección de memorización es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre la segunda dirección de memorización.

5 El registro de direcciones BAR está configurado, de modo que, en el dispositivo de memorización PCIe, se obtenga una dirección física continua lineal para estar en correspondencia con la dirección MMIO en una manera de 'una a una' y en el dispositivo de memorización PCIe, una dirección lógica que se obtiene después de que se realice la puesta en orden lineal sobre una dirección física continua no lineal para estar en correspondencia con la dirección MMIO en una manera de 'una a una', con el fin de realizar un mapeado de correspondencia de la dirección MMIO y una dirección de soporte accesible del dispositivo de memorización PCIe. Por lo tanto, el adaptador de red efectúa un mapeado, de conformidad con la dirección MMIO utilizando el controlador PCIe, para una dirección de soporte de memorización accesible PCIe que corresponde a la dirección MMIO en una manera de 'una a una' con lo que se realizan las funciones de lectura y escritura directas de los datos.

15 Como una manera de puesta en práctica opcional, el método de procesamiento de datos incluye, además: asignar, por la unidad CPU, un identificador único a cada dispositivo de memorización PCIe, en donde el identificador único se utiliza para caracterizar cada dispositivo de memorización PCIe; y establecer, en conformidad con el identificador único, una correspondencia entre el identificador único y una dirección de base en un registro BAR del dispositivo de memorización PCIe.

20 De modo opcional, la primera información de dirección incluye el identificador único y una dirección de bloque lógico LBA del dispositivo de memorización PCIe.

25 De modo opcional, el identificador único incluye al menos uno de entre un identificador ID Vender, un identificador ID Device y un número de serie del disco duro; o el identificador único es un identificador que se obtiene después de que se realice un procesamiento de hashing sobre el al menos uno de entre el identificador ID Vender, el identificador ID Device y el número de serie del disco duro.

30 Utilizando la correspondencia entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe, en conformidad con un identificador único que es el del dispositivo de memorización PCIe y está incluido en el mensaje de demanda de datos recibido por el sistema de procesamiento de datos, puede obtenerse una dirección de base que corresponde al identificador único y está en el registro BAR del dispositivo de memorización PCIe. Puesto que la primera información de dirección en la demanda de datos recibida por el sistema de procesamiento de datos incluye el identificador único y la dirección LBA del dispositivo de memorización PCIe, la dirección MMIO de los datos demandados puede obtenerse utilizando la dirección de base obtenida en el registro BAR y la dirección LBA del dispositivo de memorización PCIe.

35 Como una manera de puesta en práctica opcional, la obtención de una primera dirección de memorización de los datos demandados en el dispositivo de memorización incluye:

40 obtener una dirección de base en un registro BAR de los datos demandados en conformidad con un identificador único que es el del dispositivo de memorización PCIe y está incluido en la primera demanda de datos; y

45 obtener la primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la dirección de base en el registro BAR y una dirección LBA en la primera demanda de datos, en donde la primera dirección de memorización es una dirección MMIO.

50 De modo opcional, la unidad CPU registra la primera dirección de memorización obtenida en el adaptador de red. El sistema de procesamiento de datos envía la primera dirección de memorización obtenida al segundo sistema de procesamiento de datos. Cuando el adaptador de red del sistema de procesamiento de datos recibe la demanda de datos que incluye la primera dirección de memorización y se envía por el segundo sistema de procesamiento de datos, el adaptador de red edita la demanda de datos recibida sobre un bus de conexión de PCIe, en donde la demanda puede recibirse por el controlador PCIe en el sistema de procesamiento de datos. Después de que el controlador PCIe obtenga la demanda de datos que incluye la primera dirección de memorización y se envía por el adaptador de red, el controlador PCIe obtiene una segunda dirección de memorización correspondiente en conformidad con la primera dirección de memorización, obtiene los datos desde la segunda dirección de memorización y reenvía los datos obtenidos al adaptador de red, o realiza la escritura de los datos enviados por el adaptador de red en la segunda dirección de memorización.

60 Como una manera de puesta en práctica opcional, el método incluye, además:

65 obtener, cuando el sistema de procesamiento de datos recibe una segunda demanda de datos, una dirección de base de datos demandada por la segunda demanda de datos en un registro BAR del segundo sistema de procesamiento de datos de conformidad con un identificador único que es el del dispositivo de memorización PCIe y está incluidos en la segunda demanda de datos, en donde la segunda demanda de datos se utiliza para enviar datos al segundo sistema de procesamiento de datos o para efectuar la lectura de datos a partir del segundo sistema de procesamiento de datos;

y

obtener, en conformidad con la dirección de base en el registro BAR del segundo sistema de procesamiento de datos y una dirección LBA incluida en la segunda demanda de datos, una dirección MMIO de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos.

5 En correspondencia, un controlador PCIe del segundo sistema de procesamiento de datos obtiene, en conformidad con la dirección MMIO de los datos que se demandan por la segunda demanda de datos enviada por el sistema de procesamiento de datos en el segundo sistema de procesamiento de datos, una dirección física o una dirección lógica de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos, en donde la dirección física es una dirección continua lineal en la que pueden leerse directamente los datos y la dirección lógica es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.

15 La correspondencia entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe en el segundo sistema de procesamiento de datos se obtiene según se describió con anterioridad, de modo que la dirección de base de los datos demandados por la segunda demanda de datos en el registro BAR del segundo sistema de procesamiento de datos puede obtenerse a este respecto y la dirección MMIO de los datos demandados por la segunda demanda de datos se obtiene, además, con el fin de realizar una transmisión directa entre dos sistema de procesamiento de datos sin implicación de una CPU o una memoria con lo que se ahorran recursos de memoria y de CPU y se mejora la eficiencia de la transmisión de datos.

25 La Figura 5 muestra, a modo de ejemplo, un diagrama estructural esquemático de hardware base de una manera de puesta en práctica de un sistema de procesamiento de datos de conformidad con una forma de realización de la presente invención. El sistema de procesamiento de datos está formado por hardware de base que incluye una unidad CPU, una memoria, un controlador PCIe, un bus de conexión de PCIe, un dispositivo de memorización PCIe y un adaptador de red. El adaptador de red en el sistema de procesamiento de datos es un adaptador de red que soporta una tecnología de acceso directo a la red y está basado en una tecnología de bus de conexión de PCIe. La tecnología de acceso directo a red incluye, sin limitación, a una tecnología RDMA (remote direct memory access, acceso de memoria directo distante) y similares. El adaptador de red incluye, sin limitación, a una tarjeta de Ethernet, un adaptador IB HCA (Infiniband Host Channel Adapter, adaptador de canal host de tecnología de cable de conversión que soporta múltiples enlaces simultáneos), un adaptador iWarp HCA (internet wide area RDMA protocol Host Channel Adapter, adaptador de canal host de protocolo RDMA de área amplia de Internet), un adaptador Rapid IO HCA (Rapid IO Host Channel Adapter, adaptador de canal host IO rápido) y similares. El hecho de que el adaptador de red esté basado en la tecnología de bus PCIe indica que una interfaz de bus de enlace ascendente del adaptador de red es un PCIe. El sistema de procesamiento de datos incluye, además, al menos un dispositivo de memorización PCIe basado en el bus de PCIe. El dispositivo de memorización PCIe incluye, sin limitación, una memoria, un disco duro, un SSD (Solid State Disk, disco en estado sólido), una memoria instantánea Flash, una memoria NVRAM (Non-Volatile Random Access Memory, memoria de acceso aleatorio no volátil) y similares. Una manera de puesta en práctica del sistema de procesamiento de datos incluye, sin limitación, a un dispositivo tal como un servidor (un servidor de montaje en bastidor, un servidor de torreta de herramientas, un servidor de montaje en bastidor o similares), un dispositivo de memorización o un ordenador de alcance medio.

45 En conformidad con el sistema de procesamiento de datos en la forma de realización de la presente invención, se añade una unidad de gestión basada en una arquitectura base de hardware según se indica en la Figura 5. La unidad de gestión está configurada para obtener, cuando el sistema de procesamiento de datos recibe una demanda de datos, una primera multimedia de los datos demandados en el dispositivo de memorización PCIe en conformidad con la primera información de dirección incluida en la demanda de datos, en donde la primera dirección de memorización es una dirección MMIO. La unidad de gestión puede realizarse en la unidad CPU, y puede también ponerse en práctica utilizando equipos físicos separados. Una manera de puesta en práctica de la unidad de gestión en el sistema de procesamiento de datos no está limitada en la forma de realización de la presente invención.

50 Más concretamente, la unidad de gestión obtiene, en conformidad con una correspondencia establecida entre una dirección de base en un registro BAR del dispositivo de memorización PCIe y un identificador único del dispositivo de memorización PCIe, una dirección de datos de la demanda de datos que se recibe por el sistema de procesamiento de datos en el dispositivo de memorización PCIe.

60 El identificador único del dispositivo de memorización PCIe, a modo de ejemplo, un GUID (Globally Unique Identifier, identificador único global) es un identificador que se asigna por un sistema de procesamiento de datos para cada dispositivo de memorización PCIe y determina, de forma única, el dispositivo de memorización PCIe. El identificador único puede ser un identificador único asignado por la CPU y puede ser también un identificador único asignado por la unidad de gestión. El identificador único puede ser un conjunto único de cadena de caracteres formado por un identificador ID Vender (vender identity, identidad de vendedor) y un identificador ID Device (device identity, identidad de dispositivo) del dispositivo de memorización PCIe y un identificador único ID (a modo de ejemplo, un número de serie del disco duro) de un dispositivo de memorización montado en el dispositivo de memorización PCIe, o un identificador que se obtiene después de que se realice una operación de *hashing* sobre la cadena de caracteres. La

composición del identificador único no está limitada en la forma de realización de la presente invención, en tanto que pueda marcarse de forma única, la información de un dispositivo de memorización en el interior de un nodo.

La dirección de base en el registro BAR del dispositivo de memorización PCIe se asigna cuando se inicia el sistema de procesamiento de datos. Después de que se realice la iniciación operativa del sistema de procesamiento de datos, la unidad de gestión obtiene una dirección de base en un registro BAR de cada dispositivo de memorización PCIe. La unidad de gestión puede obtener la dirección de base en el registro BAR de cada dispositivo de memorización PCIe y el identificador único del dispositivo de memorización PCIe mediante un escaneado de todos los dispositivos de memorización PCIe en el sistema de procesamiento de datos.

La unidad de gestión registra, en conformidad con la dirección de base obtenida en el registro BAR de cada dispositivo de memorización PCIe y el identificador único del dispositivo de memorización PCIe, una correspondencia entre la dirección de base en el registro BAR de cada dispositivo de memorización PCIe y el identificador único del dispositivo de memorización PCIe.

Cuando el sistema de procesamiento de datos recibe una demanda de datos, la demanda de datos incluye un identificador único y una dirección LBA (Logical Block Address, dirección de bloque lógico) de los datos demandados en el dispositivo de memorización PCIe. La unidad de gestión obtiene, en conformidad con el identificador único incluido en la demanda de datos y la correspondencia establecida entre la dirección de base en el registro BAR de cada dispositivo de memorización PCIe y el identificador único del dispositivo de memorización PCIe, la dirección de base de los datos demandados en el registro BAR del dispositivo de memorización PCIe, y obtiene una dirección MMIO de los datos demandados con referencia a la dirección LBA. La unidad de gestión puede obtener una dirección inicial y una dirección final de la dirección MMIO de los datos demandados de la siguiente manera:

Dirección inicial = Dirección de base mapeada en BAR + (LBA x tamaño bloque)

Dirección final = Dirección de base mapeada en BAR + ((LBA + número bloque) x tamaño bloque) - 1

La unidad de gestión está configurada, además, para mantener la correspondencia entre la dirección de base en el registro BAR del dispositivo de memorización PCIe y el identificador único del dispositivo de memorización PCIe, y recuperar la correspondencia entre la dirección de base en el registro BAR del dispositivo de memorización PCIe y el identificador único del dispositivo de memorización PCIe cuando la dirección de base del registro BAR del dispositivo de memorización PCIe cambia. A modo de ejemplo, la dirección de base en el registro BAR del dispositivo de memorización PCIe puede cambiar debido a la reiniciación del sistema de procesamiento de datos, es decir, la dirección de base en el registro BAR del dispositivo de memorización PCIe, que se asigna por el sistema de procesamiento de datos para cada dispositivo de memorización PCIe, puede ser diferente de una dirección de base que se asignó por última vez. La unidad de gestión necesita recuperar la correspondencia entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe en conformidad con el identificador único de cada dispositivo de memorización PCIe.

La unidad de gestión puede obtener también una correspondencia entre una dirección de base en un registro BAR de un dispositivo de memorización PCIe en otro sistema de procesamiento de datos y un identificador único del dispositivo de memorización PCIe. Utilizando la correspondencia entre la dirección de base en el registro BAR del dispositivo de memorización PCIe en otro sistema de procesamiento de datos y el identificador único del dispositivo de memorización PCIe, cuando se realizan las operaciones de lectura y escritura de datos en el otro sistema de procesamiento de datos, se puede obtener una dirección de memorización del dispositivo de memorización PCIe en el otro sistema de procesamiento de datos. La obtención de la correspondencia entre la dirección de base en el registro BAR del dispositivo de memorización PCIe en el otro sistema de procesamiento de datos y el identificador único del dispositivo de memorización PCIe puede ponerse en práctica en una manera en que el sistema de procesamiento de datos inicie activamente una demanda al otro sistema de procesamiento de datos y puede realizarse también después de que se reciba la correspondencia activamente enviada por el otro sistema de procesamiento de datos. Una manera de obtención específica no está limitada en esta forma de realización de la presente invención.

Haciendo referencia a la Figura 6, la Figura 6 es un diagrama, a modo de ejemplo, de una correspondencia entre un identificador único que es el del dispositivo de memorización PCIe y se memoriza en una unidad de gestión y una dirección de base en un registro BAR del dispositivo de memorización PCIe en conformidad con una forma de realización de la presente invención. En este diagrama, a modo de ejemplo, una dirección IP se utiliza para identificar una dirección única del sistema de procesamiento de datos en una red en la que está situado el sistema de procesamiento de datos, en donde un identificador GUID es una identidad única del dispositivo de memorización PCIe, una dirección de inicio del espacio de mapeado es una dirección de inicio de una dirección del dispositivo de memorización PCIe en una zona objeto de mapeado desde el espacio de direccionamiento de CPU; una dirección lógica del dispositivo se refiere a una dirección de inicio lógica en el interior de un dispositivo de memorización; y una longitud de espacio se refiere a una longitud total de la zona objeto de mapeado en el sistema.

En la forma de realización de la presente invención, la correspondencia entre el identificador único del dispositivo de memorización PCIe y la dirección de base en el registro BAR del dispositivo de memorización PCIe puede establecerse

por una unidad del dispositivo de memorización PCIe y puede establecerse también por la unidad de gestión. Más concretamente, una manera de añadir un *script* puede utilizarse para la carga automática después de que se inicie el sistema de procesamiento de datos, y se puede utilizar también una manera manual para la carga. Cuando se establezca la correspondencia por la unidad del dispositivo de memorización PCIe, en primer lugar, la unidad del dispositivo de memorización PCIe configura un registro de direcciones BAR de PCIe y la unidad de gestión efectúa la lectura de una relación de mapeado configurada. Cuando se establece la correspondencia por la unidad de gestión, el establecimiento de la correspondencia se realiza configurando un registro del dispositivo de memorización PCIe.

El dispositivo de memorización PCIe en la forma de realización de la presente invención incluye, además, una unidad de traducción de dirección, configurada para obtener una segunda dirección de memorización de los datos demandados por la demanda de datos en el dispositivo de memorización PCIe en conformidad con la primera dirección de memorización.

La unidad de traducción de dirección puede ponerse en práctica en un controlador del dispositivo de PCIe. Se establece una correspondencia entre una dirección accesible del soporte y la dirección MMIO en el dispositivo de memorización PCIe, y la dirección accesible del soporte que corresponde a la dirección MMIO en el dispositivo de memorización PCIe puede obtenerse en conformidad con la dirección MMIO cuando se recibe una demanda de lectura y escritura de datos para la dirección MMIO, a modo de ejemplo, una dirección de memorización del dispositivo de memorización PCIe, para realizar operaciones de lectura y escritura de datos.

El hecho de que una memoria NVRAM de PCIe sirva como el dispositivo de memorización PCIe se utiliza a modo de ejemplo, en conformidad con una especificación del protocolo de PCIe que sigue la memoria NVRAM de PCIe, un espacio de dirección de un soporte accesible en el interior de la memoria NVRAM de PCIe que está en mapeado directo con el espacio de dirección MMIO de una unidad CPU, de modo que todas las demandas de lectura y escritura para la memoria PCIe NVRAM con equivalentes a una demanda de una dirección MMIO. El espacio de dirección MMIO corresponde a todo el espacio accesible de la memoria NVRAM, es decir, la correspondencia entre la dirección accesible del soporte y la dirección MMIO en el dispositivo de memorización PCIe se establece a este respecto. Mediante el acceso al espacio de dirección de MMIO, puede accederse directamente el espacio de memoria NVRAM correspondiente al espacio de dirección MMIO. El mapeado directo del espacio de direcciones de soporte accesible en el interior de la memoria PCIe NVRAM para el espacio de direcciones MMIO de la unidad CPU puede realizarse de una manera de configuración del registro de direcciones BAR.

Según se ilustra en la Figura 7, la Figura 7 es un diagrama esquemático de una relación estructural de mapeado a partir de una dirección configurada en un dispositivo de memorización PCIe para una dirección MMIO desde una unidad CPU en conformidad con una forma de realización de la presente invención. En la figura, un punto final de PCIe en un controlador PCIe se utiliza como una unidad de traducción de dirección, y configura un registro de direcciones BAR de PCIe para el mapeado de las direcciones en el dispositivo de memorización PCIe para la dirección MMIO de la unidad CPU, de modo que un acceso a un espacio de direcciones de CPU (dirección para proporcionar un DMA) puede ser objeto de mapeado directo para una dirección de soporte accesible del dispositivo de memorización PCIe.

En la forma de realización de la presente invención, se establece una correspondencia entre una dirección de soporte accesible en el dispositivo de memorización PCIe y la dirección MMIO, es decir, se establece una relación de mapeado entre el espacio de direcciones del dispositivo de memorización PCIe y un espacio de direcciones MMIO en la unidad CPU. Sobre la base de si una dirección física del dispositivo de memorización PCIe es, o no, una dirección de soporte continua lineal, las maneras de puesta en práctica para establecer la relación de mapeado son diferentes.

Cuando la dirección física del dispositivo de memorización PCIe es una dirección de memorización continua lineal, el registro de direcciones BAR configurado por la unidad de traducción de dirección efectúa el mapeado de un segmento del espacio de direcciones de CPU con una magnitud compatible con una magnitud de memorización real. Puesto que la dirección del dispositivo de memorización PCIe es continua lineal, la dirección del dispositivo de memorización PCIe corresponde a una dirección del espacio de direcciones de CPU mapeado en una manera de 'una a una'. Una operación de la unidad CPU sobre este segmento de espacio de direcciones puede obtenerse por la unidad de traducción de dirección, en donde la unidad de traducción de dirección convierte una demanda recibida a una dirección física real del dispositivo de memorización PCIe.

Cuando la dirección física del dispositivo de memorización PCIe no es una dirección de memorización continua lineal, la unidad de traducción de dirección establece un mapeado entre una dirección de memorización que se obtiene después de que se realice una puesta en orden lineal y una dirección de CPU. Es decir, un registro de direcciones BAR está configurado para efectuar el mapeado de un segmento del espacio de dirección de CPU con una magnitud compatible con una magnitud de una dirección virtual, en donde la dirección virtual es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección de memorización continua no lineal. A modo de ejemplo, un sector, un bloque o una unidad de otra unidad mínima se etiquetan continuamente para formar un espacio lineal "virtual" y se utiliza para establecer una relación de mapeado con el espacio de direcciones de CPU.

En conformidad con una correspondencia que se establece entre una dirección de base en un registro BAR del

dispositivo de memorización PCIe y un identificador único del dispositivo de memorización PCIe y se establece por una unidad de gestión en el sistema de procesamiento de datos anterior, la unidad de gestión puede obtener una dirección MMIO de los datos que se demandan por una demanda de datos recibida por el sistema de procesamiento de datos e inicia la demanda de datos para un controlador PCIe de conformidad con una dirección MMIO. Una unidad de traducción de dirección en el controlador PCIe obtiene, en conformidad con una correspondencia establecida entre una dirección de soporte accesible en el dispositivo de memorización PCIe y la dirección MMIO, una dirección de soporte accesible de los datos demandados en el dispositivo de memorización PCIe, es decir, una dirección física real. Las operaciones de lectura o escritura de datos pueden realizarse directamente utilizando la dirección de soporte accesible.

En correspondencia, un adaptador de red en el sistema de procesamiento de datos puede efectuar una lectura directa de los datos desde el dispositivo de memorización PCIe o realizar una escritura de datos en el dispositivo de memorización PCIe en conformidad con la dirección MMIO anterior. Los problemas de consumo de memoria y de recursos de CPU y un retardo en la transmisión que son causados cuando los datos relacionados en un dispositivo de memorización PCIe necesitan ser objeto de lectura para memoria física, y luego, se transmiten a un sistema de procesamiento de datos distante utilizando la memoria física en la técnica anterior se evitan de esta manera.

A continuación se describe las maneras de puesta en práctica del sistema de procesamiento de datos y del método de procesamiento de datos en las formas de realización de la presente invención en detalle, utilizando el hecho de que un primer sistema de procesamiento de datos necesita la escritura de datos de 4 Kbytes de una dirección de compensación 0x1000-0x2000 de un PCIe SSD F en una posición de 0x3000-0x4000 de un PCIe SSD G de un segundo sistema de procesamiento de datos a modo de ejemplo. Un PCIe SSD es una manera de puesta en práctica específica de un dispositivo de memorización PCIe. En esta forma de realización, el hecho de que el primer sistema de procesamiento de datos no solamente establezca una correspondencia entre un identificador único de un PCIe SSD del primer sistema de procesamiento de datos y una dirección de base en un registro BAR del PCIe SSD, sino que también obtiene una correspondencia entre un identificador único de un PCIe SSD en el segundo sistema de procesamiento de datos y una dirección de base en un registro BAR del PCIe SSD se utiliza a modo de ejemplo para su descripción.

Etapa 500: El primer sistema de procesamiento de datos obtiene la dirección de base en el registro BAR del PCIe SSD.

El primer sistema de procesamiento de datos obtiene, en conformidad con una correspondencia entre un identificador único de PCIe SSD en una unidad de gestión y una dirección de base en un registro BAR del PCIe SSD, una dirección de base 0xff00 0000 en un PCIe BAR del PCIe SSD F, con el fin de obtener una dirección MMIO correspondiente a una dirección de compensación 0x1000, a modo de ejemplo, 0xff00 1000; y obtener, además, una dirección de base 0xfe00 0000 en un PCIe BAR del PCIe SSD G, con el fin de obtener una dirección MMIO correspondiente a una dirección de compensación 0x3000-0x4000, a modo de ejemplo, 0xfe00 3000.

Etapa 502: Un adaptador de red del primer sistema de procesamiento de datos inicia una demanda de escritura de datos.

El adaptador de red del primer sistema de procesamiento de datos inicia una demanda de datos para un dispositivo PCIe SSD F utilizando una nueva dirección MMIO 0xff00 1000 del PCIe SSD F, una interfaz de PCIe en el interior del dispositivo de PCIe SSD F convierte la dirección MMIO en una dirección de soporte de memorización accesible interna XXX, en donde un resultado de la dirección XXX puede ser diferente según las diferentes puestas en práctica de una unidad de mapeado. El PCIe SSD F efectúa la lectura de datos correspondientes a la dirección de soporte de memorización XXX, y envía los datos al adaptador de red utilizando un bus de PCIe después de que se termine la lectura. En este proceso completo, ninguna unidad CPU necesita participar en un proceso de transmisión de datos y al mismo tiempo, no se necesita ocupar memoria.

Etapa 504: Un adaptador de red del segundo sistema de procesamiento de datos recibe datos enviados por el adaptador de red del primer sistema de procesamiento de datos, y envía los datos al PCIe SSD G.

El adaptador de red del segundo sistema de procesamiento de datos inicia una demanda de escritura de datos a un dispositivo PCIe SSD G utilizando una nueva dirección MMIO 0xfe00 3000 del PCIe SSD G, una interfaz de PCIe del dispositivo PCIe SSD G convierte la dirección MMIO en una dirección de soporte de memorización accesible interna YYY, en donde un resultado de la dirección YYY puede ser diferente según las distintas puestas en práctica de la unidad de mapeado. El PCIe SSD G realiza la escritura de los datos enviados por el adaptador de red en la dirección de soporte de memorización YYY. En este proceso completo, ninguna unidad CPU necesita participar en un proceso de transmisión de datos, y tampoco necesita ocuparse ninguna memoria.

El hecho de que la interfaz de PCIe en el interior del dispositivo PCIe SSD F convierta la dirección MMIO en la dirección de soporte de memorización accesible interna XXX, y que la interfaz de PCIe del dispositivo PCIe SSD G convierta la dirección MMIO en la dirección de soporte de memorización accesible interna YYY se aplica a un caso en el que una segunda dirección de memorización sea una dirección física continua lineal. Cuando la segunda dirección de

memorización es una dirección lógica, el hecho de que la interfaz PCIe en el interior del dispositivo PCIe SSD F convierta la dirección MMIO en la dirección de soporte de memorización accesible interna XXX tampoco necesita una conversión desde una dirección lógica a una dirección continua no lineal, con lo que se repite su descripción aquí de nuevo.

5 Para un caso en que el primer sistema de procesamiento de datos no obtenga la correspondencia entre el identificador único del PCIe SSD y la banda base en el registro BAR del PCIe SSD en el segundo sistema de procesamiento de datos, una unidad de gestión del segundo sistema de procesamiento de datos establece la correspondencia entre el
10 identificador único del PCIe SSD y la dirección de base en el registro BAR del PCIe SSD en el segundo sistema de procesamiento de datos, cuando el adaptador de red del segundo sistema de procesamiento de datos recibe demandas de lectura y escritura de datos enviadas por el primer sistema de procesamiento de datos, obtiene, de conformidad con la correspondencia entre el identificador único del PCIe SSD y la dirección de base en el registro
15 BAR del PCIe SSD en el segundo sistema de procesamiento de datos, una dirección de base en la que se necesita la escritura de datos y en el registro BAR del PCIe SSD y la escritura directa de los datos en el PCIe SSD correspondiente.

En la forma de realización anterior de la presente invención, un dispositivo de memorización PCIe se utiliza a modo de ejemplo para describir una manera de puesta en práctica para la lectura o escritura directa de datos durante la transmisión de datos entre diferentes sistemas de procesamiento de datos. Para un dispositivo de memorización que
20 pasa a través de una interfaz de memoria, a modo de ejemplo, una memoria SCM (Storage Class Memory), una memoria RRAM (Resistive Random Access Memory, memoria de acceso aleatorio resistivo) o una memoria NVDIMM (memorias DIMMs no volátiles), puede hacerse referencia también a una manera de puesta en práctica del dispositivo de memorización PCIe anterior, y una unidad de gestión se utiliza para realizar un procesamiento de lectura y escritura
25 directas de datos en la memoria SCM, la memoria RRAM y la memoria NVDIMM. Cuando se inicia la operación del sistema, durante la inicialización, un dispositivo de memorización (NVDIMM\RRAM\SCM) puede registrar el espacio accedido por el dispositivo de memorización en el sistema. Al acceder a una dirección registrada, el dispositivo de memorización puede ser objeto de acceso. A diferencia de la forma de realización anterior, no existe necesidad de realizar un mapeado entre una dirección de soporte accesible y una dirección MMIO en el dispositivo de memorización
30 PCIe, y no se existe tampoco necesidad de realizar una traducción de dirección, pero con el fin de permitir a otro sistema de procesamiento de datos en una red obtener una dirección de datos que serán objeto de acceso, una dirección del dispositivo de memorización (NVDIMM\RRAM\SCM) en el sistema necesita obtenerse a este respecto y el otro sistema de procesamiento de datos necesita sincronizarse.

Un experto en esta técnica puede tener conocimiento de que, en combinación con los ejemplos descritos en las formas de realización dadas a conocer en esta especificación, unidades y etapas de algoritmos pueden realizarse mediante
35 equipos electrónicos, programas informáticos o una combinación de ambos. Para describir claramente la intercambiabilidad entre el hardware y el software, lo que antecede ha descrito generalmente composiciones y etapas de cada ejemplo de conformidad con las funciones. El hecho de que las funciones se realicen por hardware o por software depende de las aplicaciones particulares y de las condiciones de limitación de diseños de las soluciones técnicas. Un experto en esta técnica puede utilizar diferentes métodos para poner en práctica las funciones descritas
40 para cada aplicación particular, pero no debe considerarse que la puesta en práctica va más allá del alcance de la presente invención.

Puede entenderse claramente por un experto en esta técnica que, para los fines de una descripción breve y adecuada, para un proceso de trabajo detallado del sistema anterior, del aparato y de las unidades correspondientes, puede
45 hacerse referencia a un proceso correspondiente en las formas de realización del método anteriores y por ello no se describen aquí de nuevo sus detalles.

En las diversas formas de realización dadas a conocer en la presente documentación, debe entenderse que el sistema, aparato y método dados a conocer pueden ponerse en práctica de otras maneras. A modo de ejemplo, la forma de
50 realización del aparato descrita es simplemente un ejemplo. A modo de ejemplo, la división de unidades es simplemente una división de funciones lógicas y puede ser otra división en la puesta en práctica real. A modo de ejemplo, una pluralidad de unidades o componentes pueden combinarse o integrarse en otro sistema, o algunas características pueden ignorarse o no realizarse. Además, los acoplamientos mutuos visualizados o descritos o los acoplamientos directos o conexiones de comunicaciones pueden ponerse en práctica mediante algunas interfaces.
55 Los acoplamientos indirectos o las conexiones de comunicaciones entre los aparatos o unidades pueden realizarse en forma electrónica, mecánica u otras formas.

Las unidades descritas como partes separadas pueden estar, o no, físicamente separadas y las partes visualizadas como unidades que pueden o no pueden ser unidades físicas, pueden situarse en una sola posición, o pueden
60 distribuirse en una pluralidad de unidades de red. Una parte o la totalidad de las unidades pueden seleccionarse en función de las necesidades reales para conseguir los objetivos de las soluciones de las formas de realización de la presente invención.

Además, las unidades funcionales en las formas de realización de la presente invención pueden integrarse en una
65 sola unidad de procesamiento, o cada una de las unidades puede existir por sí sola físicamente, o dos o más unidades se integran en una sola unidad. La unidad integrada puede ponerse en práctica en una forma de hardware o puede

ponerse en práctica en una forma de unidad funcional de software.

- 5 Cuando la unidad integrada se pone en práctica en la forma de una unidad funcional de software y se suministra o utiliza como un producto independiente, la unidad integrada puede memorizarse en un soporte de memorización legible por ordenador. Sobre la base de dicho entendimiento, las soluciones técnicas de la presente invención esencialmente, o la parte que contribuye a la técnica anterior, o la totalidad o una parte de las soluciones técnicas, pueden ponerse en práctica en la forma de un producto informático. El producto informático se memoriza en un soporte de memorización que incluye varias instrucciones para proporcionarse a un dispositivo informático (que puede ser un ordenador personal, un servidor, un dispositivo de red o similar) para realizar la totalidad o una parte de las etapas de los métodos descritos en las formas de realización de la presente invención. El soporte de memorización anterior incluye: cualquier soporte que pueda memorizar un código de programa, tal como una unidad de memoria USB instantánea, un disco duro extraíble, una memoria de solamente lectura (ROM, Read-Only Memory), una memoria de acceso aleatorio (RAM, Random Access Memory), un disco magnético o un disco óptico.
- 10
- 15 Las descripciones anteriores son simplemente formas de realización específicas de la presente invención, pero no están previstas para limitar el alcance de protección de la presente invención. Cualquier modificación o sustitución fácilmente creada por un experto en esta técnica dentro del alcance técnico dado a conocer en la presente invención deberán caer dentro del alcance de protección de la presente invención. Por lo tanto, el alcance de protección de la presente invención estará sujeto al alcance de protección de las reivindicaciones adjuntas.
- 20

REIVINDICACIONES

- 5 **1.** Un sistema de procesamiento de datos (200), que comprende una unidad central de procesamiento, CPU (202), una memoria (206), un controlador de Interconexión de Componentes Periféricos, PCIe, (203), un adaptador de red (205) y al menos un dispositivo de memorización PCIe (204) y que comprende, además:
- 10 una unidad de gestión (201), configurada para obtener, cuando el sistema de procesamiento de datos (200) recibe una demanda de datos, una primera dirección de memorización de datos demandados en el dispositivo de memorización PCIe de conformidad con una primera información de dirección incluida en la demanda de datos, en donde la primera dirección de memorización es una dirección de entrada/salida de mapeado de memoria MMIO, en donde
- 15 el adaptador de red (205) realiza una lectura directa de los datos a partir del dispositivo de memorización PCIe (204), en conformidad con la primera dirección de memorización, y transmite los datos a un segundo sistema de procesamiento de datos, o realiza una escritura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe (204), en donde el segundo sistema de procesamiento de datos es un sistema de procesamiento de datos que se comunica con el primer sistema de procesamiento de datos (200) por intermedio de una red, caracterizado por cuanto que:
- 20 el controlador PCIe (203) comprende una unidad de traducción de dirección (2031), configurada para obtener una segunda dirección de memorización de los datos demandados por la demanda de datos en el dispositivo de memorización PCIe (204) en conformidad con la primera dirección de memorización; y
- 25 la segunda dirección de memorización es una dirección lógica, en donde la dirección lógica es una dirección que se obtiene después de que una puesta en orden lineal se realice en una dirección física continua no lineal.
- 2.** El sistema de procesamiento de datos según la reivindicación 1, en donde
- 30 la unidad de traducción de dirección (2031) está configurada, además, para configurar un primer registro de direcciones BAR, en donde el primer registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y la segunda dirección de memorización, y la segunda dirección de memorización es una dirección de memorización continua lineal.
- 3.** El sistema de procesamiento de datos según la reivindicación 1 o 2, en donde
- 35 la unidad de traducción de dirección (2031) está configurada, además, para configurar un segundo registro de direcciones BAR, en donde el segundo registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y una dirección virtual de la segunda dirección de memorización, siendo la segunda dirección de memorización una dirección de memorización continua no lineal y la dirección virtual de la segunda
- 40 dirección de memorización es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre la segunda dirección de memorización.
- 4.** El sistema de procesamiento de datos según cualquiera de las reivindicaciones 1 a 3, en donde
- 45 la unidad CPU asigna un identificador único a cada dispositivo de memorización PCIe (204), en donde el identificador único se utiliza para identificar cada dispositivo de memorización PCIe.
- 5.** El sistema de procesamiento de datos según la reivindicación 4, en donde
- 50 la primera información de dirección comprende el identificador único y una dirección de bloque lógico LBA del dispositivo de memorización PCIe.
- 6.** El sistema de procesamiento de datos según la reivindicación 4, en donde
- 55 la unidad de gestión (201) está configurada, además, para establecer una correspondencia entre el identificador único y una dirección de base en un BAR del dispositivo de memorización PCIe (204);
- 7.** El sistema de procesamiento de datos según cualquiera de las reivindicaciones 4 a 6, en donde
- 60 el identificador único comprende al menos uno de entre un identificador de vendedor ID Vender, un identificador de identidad de dispositivo ID Device y un número de serie de disco duro; o el identificador único es un identificador que se obtiene después de que se realice el procesamiento de verificación de integridad de archivos, denominado *hashing*, sobre el al menos uno de entre el identificador ID Vender, el identificador ID Device y el número de serie de disco duro.
- 65 **8.** El sistema de procesamiento de datos según la reivindicación 5 o 6, en donde la unidad de gestión (201) comprende una unidad de obtención de dirección de base (2011) y una unidad de obtención de dirección de

memorización (2012), en donde

la unidad de obtención de dirección de base (2011) está configurada para obtener, cuando el sistema de procesamiento de datos (200) recibe una primera demanda de datos del segundo sistema de procesamiento de datos que se comunica con el sistema de procesamiento de datos por intermedio de la red, una dirección de base en un registro BAR de los datos demandados en conformidad con un identificador único dispositivo de memorización PCIe (204) y que está incluido en la primera demanda de datos; y

la unidad de obtención de dirección de memorización (2012) está configurada para obtener la primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la dirección de base en el registro BAR y una dirección LBA incluida en la primera demanda de datos, en donde la primera dirección de memorización es una dirección MMIO.

9. El sistema de procesamiento de datos según la reivindicación 1 o 8, en donde la unidad CPU registra la primera dirección de memorización obtenida en el adaptador de red (205).

10. El sistema de procesamiento de datos según la reivindicación 1 o 8, en donde

el sistema de procesamiento de datos (200) comprende, además, una unidad de envío (207), en donde la unidad de envío (207) está configurada para enviar la primera dirección de memorización obtenida por la unidad de gestión (2011) al segundo sistema de procesamiento de datos.

11. El sistema de procesamiento de datos según la reivindicación 1 o 9, en donde el controlador PCIe (203) obtiene una demanda de datos que se envía por el adaptador de red (205) e incluye la primera dirección de memorización y la unidad de traducción de dirección obtiene datos de la segunda dirección de memorización, y reenvía los datos obtenidos al adaptador de red (205), o realiza una escritura de los datos enviados por el adaptador de red (205) en la segunda dirección de memorización.

12. El sistema de procesamiento de datos según cualquiera de las reivindicaciones 6 y 8, en donde la unidad de gestión (201) comprende, además, una unidad de obtención de dirección de base global (2013) y una unidad de obtención de dirección de memorización global (2014), en donde

la unidad de obtención de dirección de base global (2013) está configurada para obtener, cuando el sistema de procesamiento de datos recibe una segunda demanda de datos, una dirección de base de los datos demandados por la segunda demanda de datos en un registro BAR del segundo sistema de procesamiento de datos en conformidad con un identificador único que es el del dispositivo de memorización PCIe (204) y está incluido en la segunda demanda de datos, en donde la segunda demanda de datos es una demanda para enviar datos al segundo sistema de procesamiento de datos o para efectuar una lectura de datos a partir del segundo sistema de procesamiento de datos; y

la unidad de obtención de dirección de memorización global (2014) está configurada para obtener, en conformidad con la dirección de base en el registro BAR del segundo sistema de procesamiento de datos y una dirección LBA incluida en la segunda demanda de datos, una dirección MMIO de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos.

13. El sistema de procesamiento de datos según la reivindicación 12, en donde una unidad de transformación de datos en un controlador PCIe del segundo sistema de procesamiento de datos obtiene, en conformidad con la dirección MMIO de los datos que se demandan por la segunda demanda de datos enviada por el sistema de procesamiento de datos (200) en el segundo sistema de procesamiento de datos, una dirección física o una dirección lógica de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos, en donde la dirección física es una dirección continua lineal en donde puede efectuarse una lectura directa de los datos y la dirección lógica es una dirección que se obtiene después de que se realice la puesta en orden lineal sobre una dirección física continua no lineal.

14. Un método de procesamiento de datos, en donde el método se aplica a un sistema de procesamiento de datos que comprende una unidad central de procesamiento, CPU, una memoria, un controlador de Interconexión de Componentes Periféricos, Peripheral Component Interconnect Express, PCIe, un adaptador de red y al menos un dispositivo de memorización PCIe y el método comprende:

obtener, cuando el sistema de procesamiento de datos recibe una demanda de datos, una primera información de dirección incluida en la demanda de datos;

obtener una primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la primera información de dirección, en donde la primera dirección de memorización es una dirección de entrada/salida de mapeado de memoria MMIO; y

- efectuar una lectura directa, por el adaptador de red, de los datos a partir del dispositivo de memorización PCIe en conformidad con la primera dirección de memorización, y transmitir los datos a un segundo sistema de procesamiento de datos, o efectuar una escritura directa de los datos recibidos desde el segundo sistema de procesamiento de datos en el dispositivo de memorización PCIe, en donde el segundo sistema de procesamiento de datos es un sistema de procesamiento de datos que se comunica con el primer sistema de procesamiento de datos por intermedio de una red;
- 5 el dispositivo de memorización PCIe obtiene una segunda dirección de memorización de los datos demandados por la demanda de datos en el dispositivo de memorización PCIe en conformidad con la primera dirección de memorización; y
- 10 la segunda dirección de memorización es una dirección lógica, en donde la dirección lógica es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.
- 15 **15.** El método de procesamiento de datos según la reivindicación 14, en donde el método comprende, además:
- configurar por el controlador PCIe, un primer registro de direcciones BAR, en donde el primer registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y la segunda dirección de memorización, y la segunda dirección de memorización es una dirección de memorización continua lineal.
- 20 **16.** El método de procesamiento de datos según la reivindicación 14 o 15, en donde el método comprende, además:
- configurar, por el controlador PCIe, un segundo registro de direcciones BAR, en donde el segundo registro de direcciones BAR memoriza una correspondencia entre la primera dirección de memorización y una dirección virtual de la segunda dirección de memorización, la segunda dirección de memorización es una dirección de memorización continua no lineal y la dirección virtual de la segunda dirección de memorización es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre la segunda dirección de memorización.
- 25 **17.** El método de procesamiento de datos según cualquiera de las reivindicaciones 14 a 16, en donde la unidad CPU asigna un identificador único a cada dispositivo de memorización PCIe y el identificador único se utiliza para identificar cada dispositivo de memorización PCIe.
- 30 **18.** El método de procesamiento de datos según la reivindicación 17, en donde
- la primera información de dirección comprende el identificador único y una dirección de bloque lógico LBA del dispositivo de memorización PCIe.
- 35 **19.** El método de procesamiento de datos según la reivindicación 17, en donde el método comprende, además:
- establecer una correspondencia entre el identificador único y una dirección de base en un BAR del dispositivo de memorización PCIe.
- 40 **20.** El método de procesamiento de datos según cualquiera de las reivindicaciones 17 a 19, en donde el identificador único comprende al menos uno de entre un identificador de identidad de vendedor ID Vender, un identificador de identidad de dispositivo, ID Device y un número de serie del disco duro; o el identificador único es un identificador que se obtiene después de que se realice un procesamiento de *hashing* sobre al menos uno de entre el identificador ID Vender, el identificador ID Device y el número de serie del disco duro.
- 45 **21.** El método de procesamiento de datos según la reivindicación 18 o 19, en donde la obtención de una primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe comprende:
- 50 obtener una dirección de base en un registro BAR de los datos demandados en conformidad con un identificador único que es el del dispositivo de memorización PCIe y está incluido en una primera demanda de datos; y
- obtener la primera dirección de memorización de los datos demandados en el dispositivo de memorización PCIe en conformidad con la dirección de base en el registro BAR y una dirección LBA incluida en la primera demanda de datos, en donde la primera dirección de memorización es una dirección MMIO.
- 55 **22.** El método de procesamiento de datos según la reivindicación 14 o 21, en donde la unidad CPU registra la primera dirección de memorización obtenida en el adaptador de red.
- 60 **23.** El método de procesamiento de datos según la reivindicación 14 o 21, en donde el método comprende, además:
- enviar, por el sistema de procesamiento de datos, la primera dirección de memorización obtenida al segundo sistema de procesamiento de datos.
- 65 **24.** El método de procesamiento de datos según la reivindicación 14 o 22, en donde

el controlador PCIe obtiene una demanda de datos que se envía por el adaptador de red e incluye la primera dirección de memorización, y obtiene datos a partir de una segunda dirección de memorización, y reenvía los datos obtenidos al adaptador de red, o realiza una escritura de los datos enviados por el adaptador de red en la segunda dirección de memorización.

5 **25.** El método de procesamiento de datos según la reivindicación 18 o 21, en donde el método comprende, además:

10 obtener, cuando el sistema de procesamiento de datos recibe una segunda demanda de datos, una dirección de base de los datos demandados por la segunda demanda de datos en un registro BAR del segundo sistema de procesamiento de datos en conformidad con un identificador único que es el del dispositivo de memorización PCIe y que está incluido en la segunda demanda de datos, en donde la segunda demanda de datos es una demanda para enviar datos al segundo sistema de procesamiento de datos o efectuar la lectura de los datos procedentes del segundo sistema de procesamiento de datos; y

15 obtener, de conformidad con la dirección de base en el registro BAR del segundo sistema de procesamiento de datos y una dirección LBA incluida en la segunda demanda de datos, una dirección MMIO de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos.

20 **26.** El método de procesamiento de datos según la reivindicación 25, en donde el controlador PCIe del segundo sistema de procesamiento de datos obtiene, en conformidad con la dirección MMIO de los datos que se demandan por la segunda demanda de datos enviada por el sistema de procesamiento de datos en el segundo sistema de procesamiento de datos, una dirección física o una dirección lógica de los datos demandados por la segunda demanda de datos en el segundo sistema de procesamiento de datos, en donde la dirección física es una dirección continua lineal en la que los datos pueden ser objeto de lectura directa, y la dirección lógica es una dirección que se obtiene después de que se realice una puesta en orden lineal sobre una dirección física continua no lineal.

30

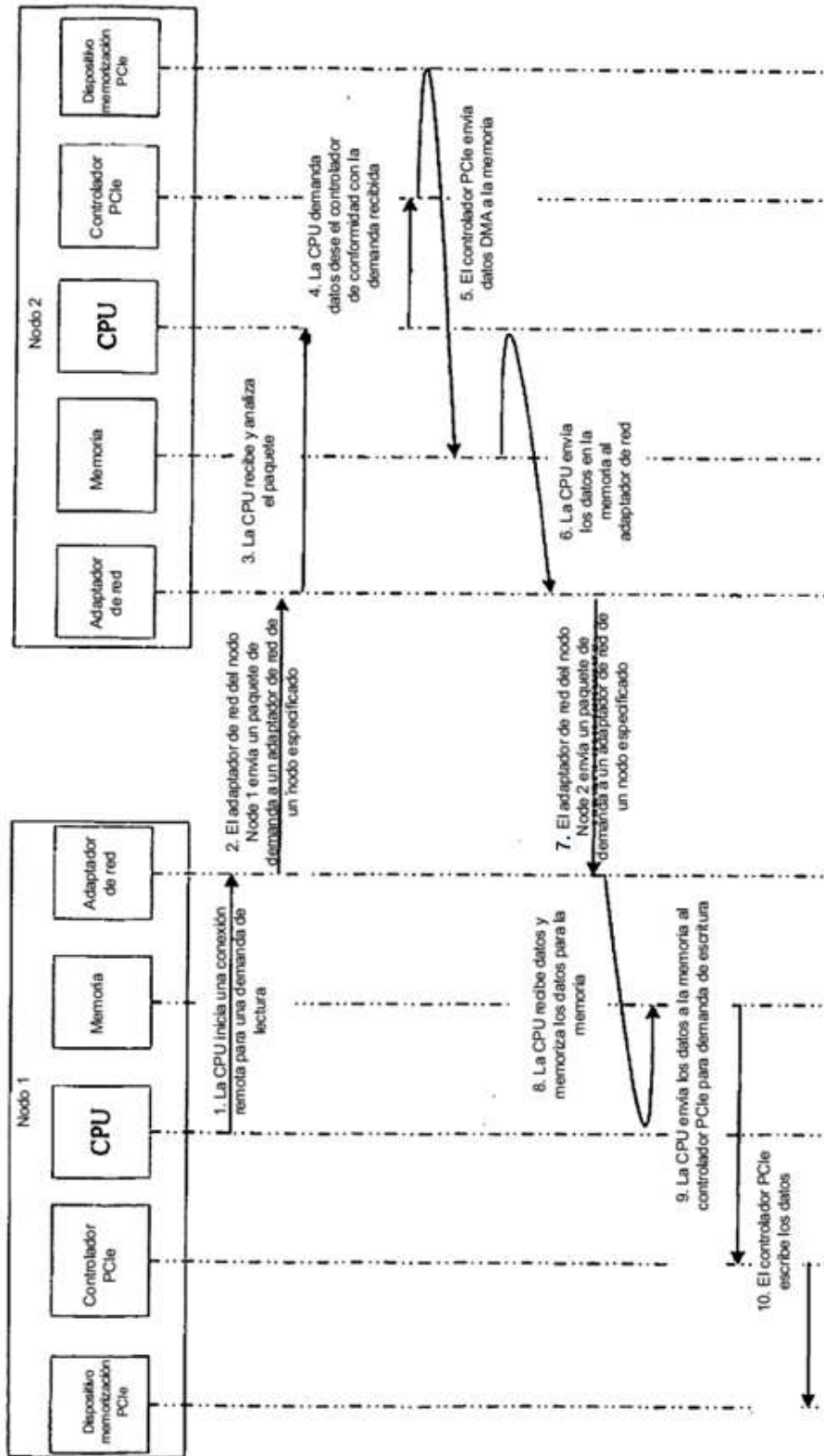


FIG. 1

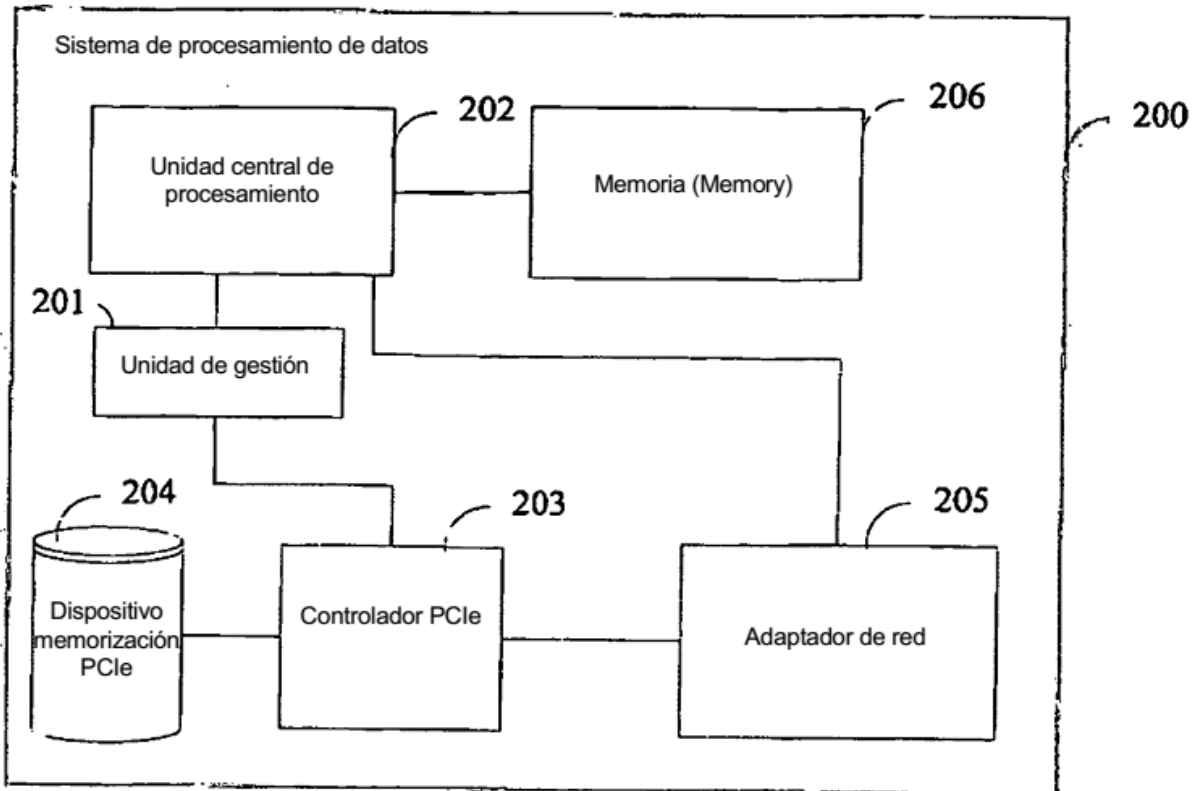


FIG. 2

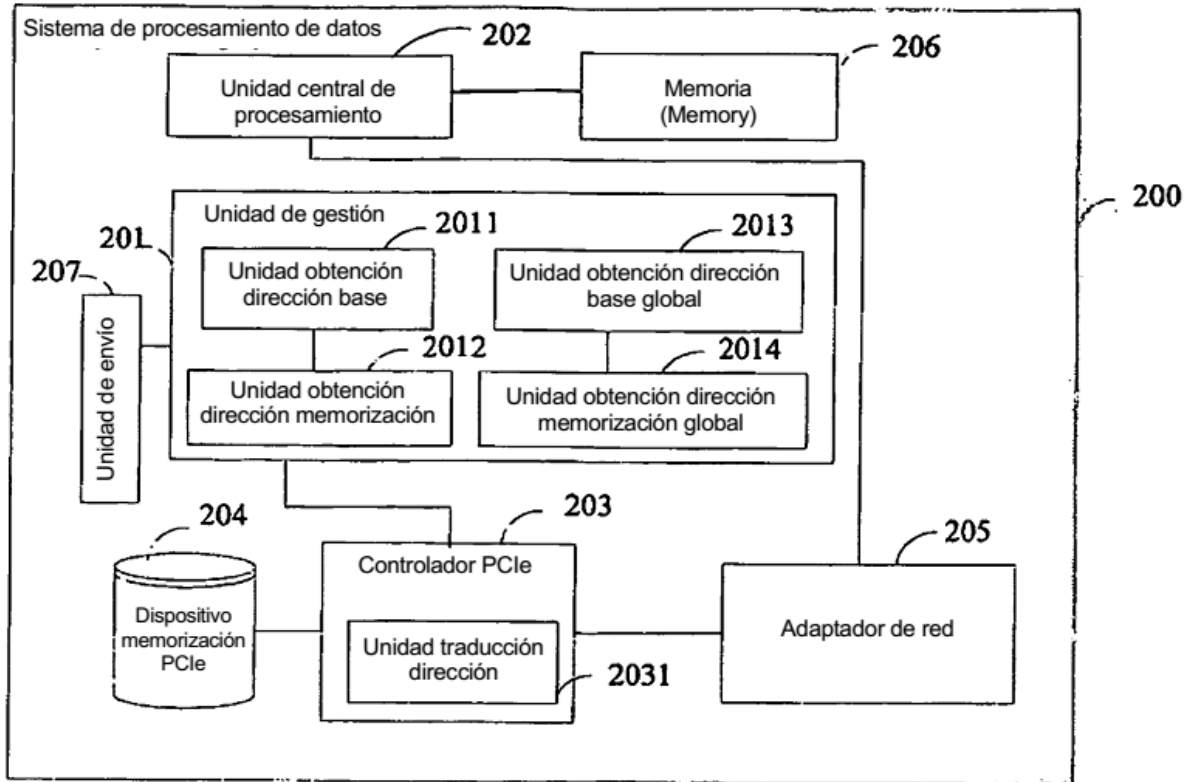


FIG. 3

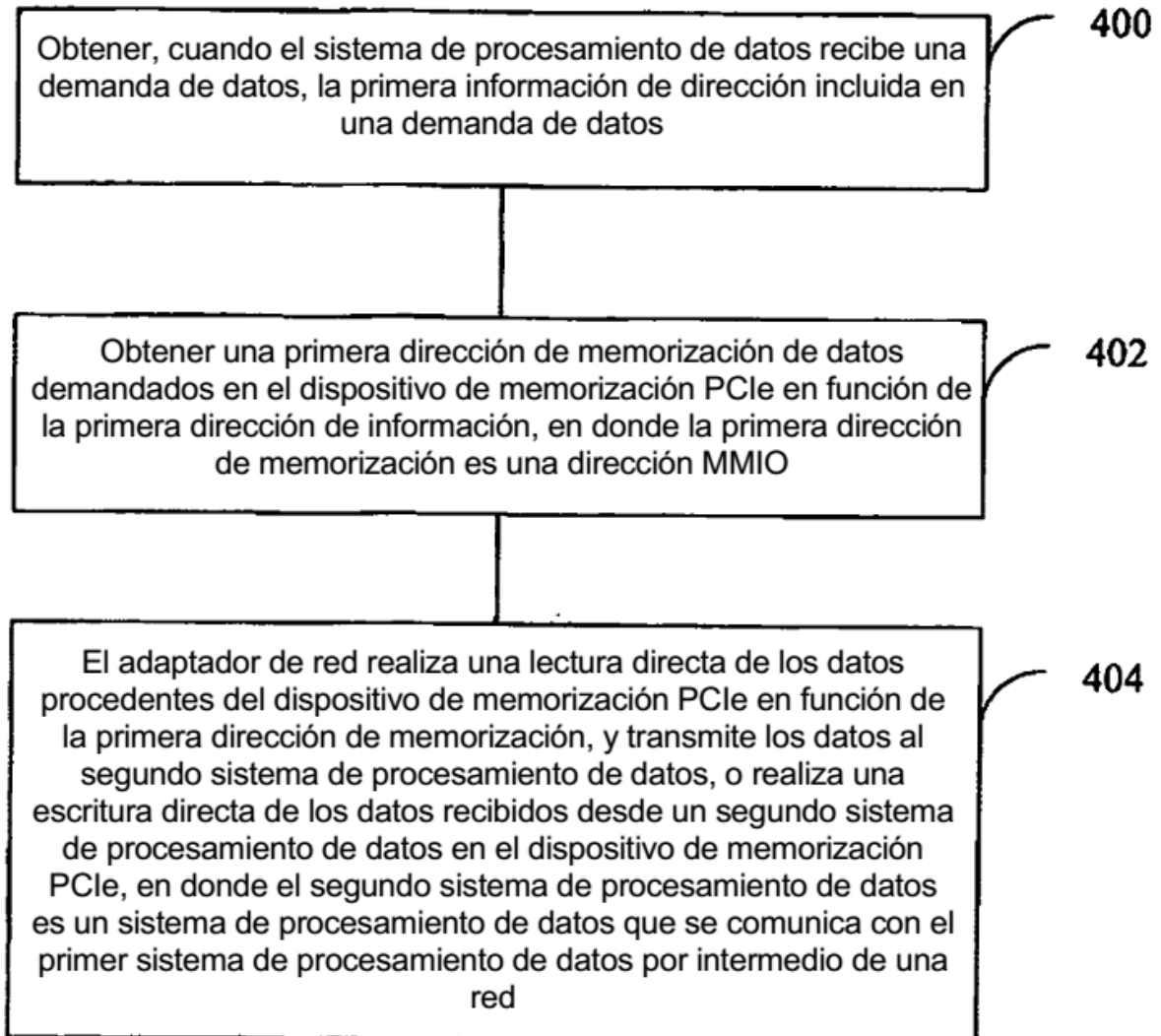


FIG. 4

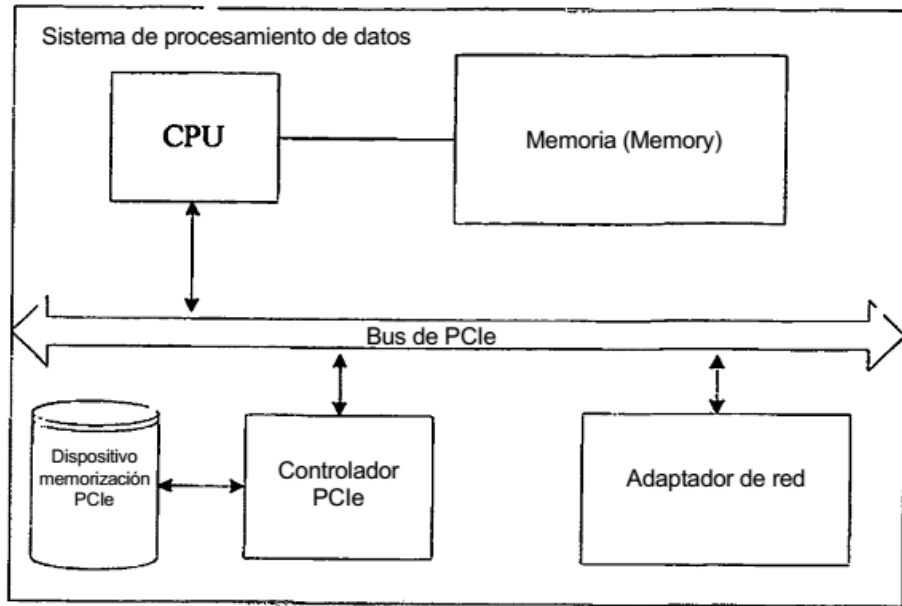


FIG. 5

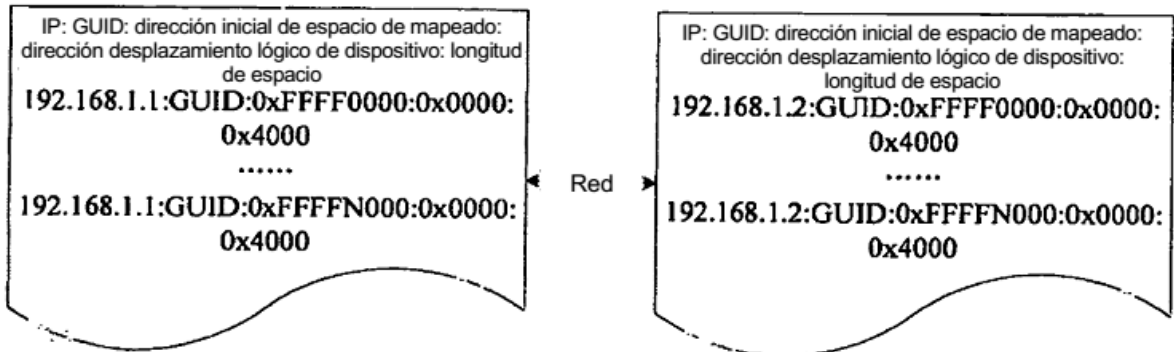


FIG. 6

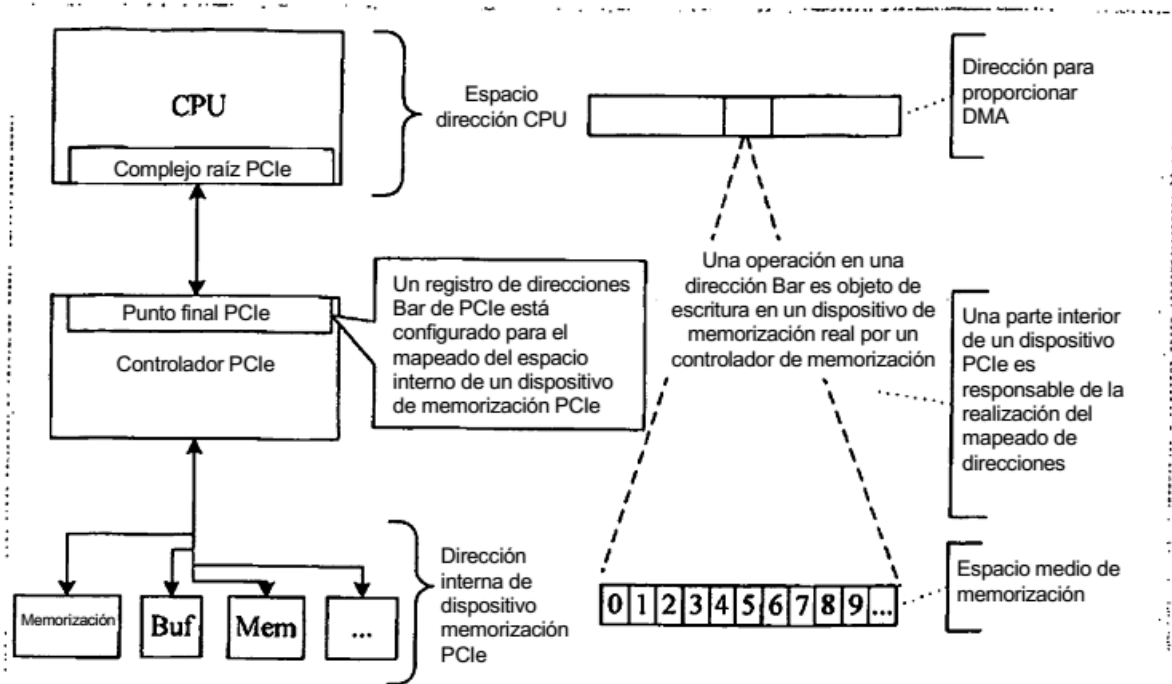


FIG. 7

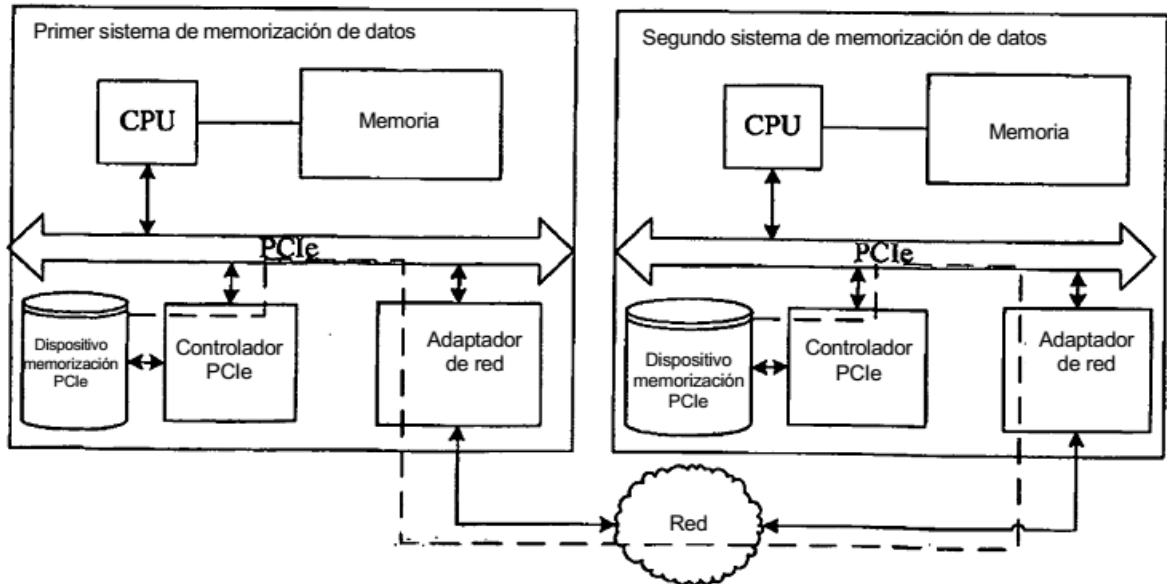


FIG. 8