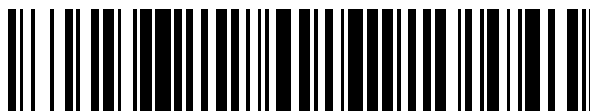


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 780 248**

51 Int. Cl.:

H01L 27/24 (2006.01)

H01L 45/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **31.10.2016** **E 16196516 (5)**

97 Fecha y número de publicación de la concesión europea: **26.02.2020** **EP 3223314**

54 Título: **Memoria resistiva tridimensional y su fabricación**

30 Prioridad:

21.03.2016 US 201615075215

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

24.08.2020

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)
No. 8 Keya 1st Rd., Daya District, Central Taiwan
Science Park
Taichung City, Taiwan. , TW**

72 Inventor/es:

**CHEN, FREDERICK y
HO, CHIA-HUA**

74 Agente/Representante:

GONZÁLEZ PECES, Gustavo Adolfo

ES 2 780 248 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Memoria resistiva tridimensional y su fabricación

Antecedentes de la invención**1. Campo de la invención**

- 5 La presente invención se refiere generalmente a una memoria resistiva y a un procedimiento para su formación, y generalmente a una memoria resistiva tridimensional y un procedimiento para su formación.

2. Descripción de la técnica relacionada

10 La memoria resistiva de acceso aleatorio (RRAM) es un tipo de memoria no volátil. Debido a las numerosas ventajas de la RRAM, incluyendo su estructura simple, voltaje de operación bajo, tiempo de operación rápido, almacenamiento multibit, bajo costo, buena durabilidad, la RRAM recientemente ha sido desarrollada ampliamente. La estructura básica de la RRAM comúnmente usada está compuesta por un transistor y una resistencia (1T1R), o un diodo y una resistencia (1D1R). El valor de resistencia de la resistencia es cambiado variando la polaridad aplicada, de modo que el dispositivo esté en un estado de alta resistencia o en un estado de baja resistencia, y por lo tanto sea reconocido un estado de 0 o 1 de la señal digital.

15 La memoria no volátil está siendo expandida en un régimen tridimensional para reducir eficazmente el tamaño de la celda aumentando los bits almacenados por unidad de área. Una memoria tridimensional común es un conjunto de memoria de punto de cruce. Sin embargo, el procedimiento para formación del conjunto de memoria de punto de cruce es complicado y costoso porque requiere un patrón repetido de capas de dispositivos individuales. Además, se produce la corriente parásita de baja intensidad y la perturbación accidental de RESET o SET de las celdas de memoria no seleccionadas, por lo que la fiabilidad del dispositivo es disminuida.

20 El documento US 8.026.521 B2 desvela un conjunto de RRAM tridimensional que comprende transistores de efecto de campo apilados verticalmente que tienen una estructura de puerta vertical compartida y capas de canal de Si horizontales en contacto con una capa de material de conmutación de resistencia que rodea un pilar de electrodos.

25 El documento US 8.247.788 B2 describe otro conjunto de RRAM tridimensional con transistores de efecto de campo horizontales apilados verticalmente, en el que un pilar de canal vertical compartido hace contacto con una capa de material de conmutación de resistencia que rodea un pilar de electrodos.

Los conjuntos de RRAM tridimensional con varias disposiciones de capa de conmutación de resistencia, capa de intercambio de oxígeno y capas de barrera alrededor de los pilares verticales de electrodos y en contacto con las líneas horizontales de electrodos por ejemplo son conocidos a partir del documento US 9.048.421 B2.

30 Sumario de la invención

Por consiguiente, la presente invención proporciona una memoria resistiva tridimensional y un procedimiento para su formación, en el que una memoria resistiva tridimensional es formada con un dispositivo transistor y un dispositivo de memoria conectados entre sí.

35 En una realización, la presente invención proporciona una memoria resistiva tridimensional que incluye un pilar de canal de material semiconductor, un primer pilar de puerta, una capa dieléctrica de primera puerta, una primera estructura apilada, una segunda estructura apilada, un pilar de resistencia variable y un pilar de electrodos. El pilar de canal está dispuesto en un sustrato. El primer pilar de puerta está dispuesto en el sustrato y en el primer lado del pilar de canal. La capa dieléctrica de primera puerta está dispuesta entre el pilar de canal y el primer pilar de puerta. La primera estructura apilada y la segunda estructura apilada están dispuestas en el sustrato y respectivamente en los segundos y terceros lados opuestos del pilar de canal, en el que cada una de la primera estructura apilada y la segunda estructura apilada incluye una pluralidad de capas de material conductor y una pluralidad de capas de material aislante apiladas alternativamente. El pilar de resistencia variable está dispuesto en el sustrato y en un lado de la primera estructura apilada opuesto al pilar de canal. El pilar de electrodos está dispuesto en el sustrato y está situado dentro del pilar de resistencia variable, e incluye, de afuera hacia dentro, una capa de intercambio iónico, una capa de barrera y una capa de electrodos.

De acuerdo con una realización de la presente invención, las capas de material conductor incluyen TiN o TaN.

De acuerdo con una realización de la presente invención, la capa de intercambio iónico incluye Ti, Al o Ta.

De acuerdo con una realización de la presente invención, la capa de barrera incluye oxinitruro de titanio u óxido de aluminio.

50 De acuerdo con una realización de la presente invención, la capa de electrodos incluye TiN o TaN.

De acuerdo con una realización de la presente invención, la memoria resistiva tridimensional incluye además un pilar aislante dispuesto en el sustrato y situado dentro del pilar de canal.

5 De acuerdo con una realización de la presente invención, una pared lateral de la primera estructura apilada conectada al pilar de resistencia variable tiene una pluralidad de cavidades, y una de la pluralidad de cavidades está situada entre dos capas adyacentes de material conductor o entre dos capas adyacentes de material aislante.

10 De acuerdo con una realización de la presente invención, la memoria resistiva tridimensional incluye además un segundo pilar de puerta y una capa dieléctrica de segunda puerta. El segundo pilar de puerta está dispuesto en el sustrato y en un cuarto lado del pilar de canal opuesto al primer lado. La capa dieléctrica de segunda puerta está dispuesta entre el pilar de canal y el segundo pilar de puerta.

15 De acuerdo con una realización de la presente invención, la memoria resistiva tridimensional incluye además una línea de bits y una línea de texto. La línea de bits está conectada eléctricamente al pilar de electrodos, la línea de texto está conectada eléctricamente al menos a uno del pilar de primera puerta y segundo pilar de puerta. Al menos una de la línea de bits y la línea de texto tiene una dirección de extensión a través de una dirección de extensión de la segunda estructura apilada.

20 En otra realización, la presente invención proporciona una memoria resistiva tridimensional que incluye una estructura apilada, un primer pilar de puerta, una capa dieléctrica de primera puerta, una resistencia variable y un pilar de electrodos. La estructura apilada está dispuesta en el sustrato y tiene una porción de línea y una porción saliente perpendiculares entre sí. La estructura apilada incluye una pluralidad de capas de material conductor y una pluralidad de capas de material aislante apiladas alternativamente, en las que las capas de material conductor comprenden GaN o InGaAs. El primer pilar de puerta está dispuesto en el sustrato y en el primer lado de la porción saliente. La capa dieléctrica de primera puerta está dispuesta entre la porción saliente y el primer pilar de puerta. El pilar de resistencia variable está dispuesto en el sustrato y en un lado de la porción saliente opuesto a la porción de línea. El pilar de electrodos está dispuesto en el sustrato y está situado dentro del pilar de resistencia variable, e incluye, de afuera hacia dentro, una capa de intercambio iónico, una capa de barrera y una capa de electrodos.

30 En otra realización adicional, la presente invención proporciona además un procedimiento para formación de una memoria resistiva tridimensional que incluye las siguientes etapas. Una estructura apilada es formada en un sustrato, en la que la estructura apilada incluye una pluralidad de capas de material conductor y una pluralidad de capas de material aislante alternativamente apiladas, en la que las capas de material conductor comprenden GaN o InGaAs. Una porción de la estructura apilada es retirada para exponer el sustrato y, por lo tanto, formar una primera porción apilada y una segunda porción apilada conectadas entre sí, en la que una dirección de extensión de la primera porción apilada es perpendicular a una dirección de extensión de la segunda porción apilada. Una primera capa aislante es formada en el sustrato a un lado de la primera porción apilada y la segunda porción apilada. Una porción de la primera capa aislante es retirada para exponer el sustrato y, por lo tanto, formar una primera abertura, en la que la primera abertura está situada a un lado de la segunda porción apilada y está separada de la segunda porción apilada por la primera capa aislante. En la primera abertura es formada una capa de material de primera puerta. Otra porción de la primera capa aislante es retirada para formar una segunda abertura, en la que la segunda porción apilada está situada entre la primera porción apilada y la segunda abertura. Una capa de resistencia variable y una capa de material de electrodos son formadas secuencialmente en una pared lateral de la segunda abertura, en la que la capa de material de electrodos incluye, de afuera hacia dentro, una capa de intercambio iónico, una capa de barrera y una capa de electrodos.

De acuerdo con una realización de la presente invención, las capas de material conductor incluyen TiN o TaN.

45 De acuerdo con una realización de la presente invención, el procedimiento incluye además las siguientes etapas después de la etapa de formación de la primera capa aislante y antes de la etapa de formación de la primera abertura. Una porción de la segunda porción apilada es retirada para formar una tercera abertura y una tercera porción apilada, en la que la tercera abertura está situada entre la primera porción apilada y la tercera porción apilada. En la tercera abertura es formada una capa de material de canal.

50 De acuerdo con una realización de la presente invención, después de la etapa de formación de la capa de material de canal en la tercera abertura, el procedimiento incluye además la formación de una segunda capa aislante dentro de la capa de material de canal.

55 De acuerdo con una realización de la presente invención, durante la etapa de retiro de la otra porción de la primera capa aislante para formar la segunda abertura, el procedimiento incluye además la formación de una pluralidad de cavidades en una pared lateral de la segunda porción apilada conectada a la capa de resistencia variable, en la que una de las cavidades está situada entre dos capas adyacentes de material conductor o entre dos capas adyacentes de material aislante.

De acuerdo con una realización de la presente invención, durante la etapa de formación de la primera abertura, el procedimiento incluye además las siguientes etapas. Otra porción de la primera capa aislante es retirada para formar

una cuarta abertura, en la que la cuarta abertura está en un lado de la segunda porción apilada opuesta a la primera abertura y separada de la segunda porción apilada por la primera capa aislante. En la cuarta abertura es formada una segunda capa de material de puerta.

5 De acuerdo con una realización de la presente invención, después de la etapa de formación secuencial de la capa de resistencia variable y la capa de material de electrodos en la pared lateral de la segunda abertura, el procedimiento incluye además la formación de una línea de bits y una línea de texto. La línea de bits está conectada eléctricamente a la capa material de electrodos. La línea de texto está conectada eléctricamente a al menos una de la primera capa de material de puerta y a la segunda capa de material de puerta. Al menos una de la línea de bits y la línea de texto tiene una dirección de extensión a través de una dirección de extensión de la primera porción apilada.

10 En vista de lo anterior, en la memoria resistiva tridimensional de la presente invención, un dispositivo transistor y un dispositivo de memoria están conectados entre sí, el dispositivo transistor incluye celdas de transistor ubicadas en diferentes niveles, y la porción del dispositivo de memoria adyacente a la correspondiente celda de transistor en cada nivel actúa como celda de memoria. Por lo tanto, durante la operación de la memoria resistiva tridimensional, las celdas de transistor de diferentes niveles pueden ser controladas individualmente para suprimir la corriente parásita de baja intensidad y evitar que se produzca una perturbación accidental de RESET o SET de las celdas de memoria no seleccionadas. Además, el procedimiento de formación de dicha memoria resistiva tridimensional es sencillo, y cada uno de los pilares de puerta (por ejemplo, la capa de material de puerta) compartidos por las celdas de transistor en diferentes niveles es formado en una sola etapa de proceso. Por lo tanto, las etapas de proceso pueden ser reducidas considerablemente y, en consecuencia, pueden producirse ahorros en el costo de proceso.

20 En una realización, cada uno de los pilares de puerta (por ejemplo, la capa de material de puerta) y el pilar de canal (por ejemplo, la capa de material de canal) compartidos por las celdas de transistor en diferentes niveles es formado en una sola etapa de proceso. Por lo tanto, las etapas de proceso pueden ser reducidas considerablemente y, en consecuencia, pueden producirse ahorros en el costo de proceso.

25 En otra realización, en el caso sin la formación de pilares de canal, las porciones de las capas de material conductor actúan como canales del dispositivo transistor. En este caso, las capas de material conductor pueden estar compuestas por un semiconductor de alta movilidad tal como nitruro de galio (GaN) o arseniuro de galio-indio (InGaAs), por lo que la velocidad de operación del dispositivo transistor en consecuencia es mejorada.

Para hacer comprensibles los objetos, características y ventajas de la presente invención descritos con anterioridad y otros, son descritas en detalle a continuación las realizaciones preferidas acompañadas de figuras.

30 **Breve descripción de los dibujos**

Los dibujos adjuntos están incluidos para proporcionar una mayor comprensión de la invención, y están incorporados en y constituyen una parte de esta especificación. Los dibujos ilustran realizaciones de la invención y, junto con la descripción, sirven para explicar sus principios.

35 La Figura 1 a Figura 5 son vistas superiores esquemáticas de un procedimiento para formación de una memoria resistiva tridimensional de acuerdo con una primera realización de la presente invención, en la que la Figura 1A es una vista transversal esquemática tomada a lo largo de la línea I-I' de la Figura 1, y la Figura 5A es una vista transversal esquemática tomada a lo largo de la línea II-II' de la Figura 5.

La Figura 6 es una vista esquemática respectiva de una memoria resistiva tridimensional de acuerdo con la primera realización de la presente invención.

40 La Figura 7A es una vista transversal esquemática de un pilar de resistencia variable y un pilar de electrodos de una memoria resistiva tridimensional de acuerdo con una segunda realización de la presente invención.

La Figura 7B es una vista transversal esquemática de un pilar de resistencia variable y un pilar de electrodos de una memoria resistiva tridimensional de acuerdo con una tercera realización de la presente invención.

45 La Figura 8 a Figura 12 son vistas esquemáticas respectivas de las memorias resistivas tridimensionales de acuerdo con las cuartas a séptimas realizaciones de la presente invención.

Descripción de las realizaciones

A continuación se hace referencia en detalle a las realizaciones preferentes actuales de la invención, cuyos ejemplos son ilustrados en los dibujos adjuntos. Siempre que sea posible, son usados los mismos números de referencia en los dibujos y en la descripción para hacer referencia a las mismas partes o partes similares.

50 La Figura 1 a Figura 5 son vistas superiores esquemáticas de un procedimiento para formación de una memoria resistiva tridimensional de acuerdo con una primera realización de la presente invención, en la que la Figura 1A es una vista transversal esquemática tomada a lo largo de la línea I-I' de la Figura 1, y la Figura 5A es una vista transversal esquemática tomada a lo largo de la línea II-II' de la Figura 5.

Con referencia a la Figura 1 y a la Figura 1A, una estructura apilada 102 es formada sobre un sustrato 100. En una realización, el sustrato 100 incluye un sustrato semiconductor tal como un sustrato que contiene silicio. En otra realización, el sustrato 100 incluye un sustrato dieléctrico. La estructura apilada 102 incluye una pluralidad de capas de material conductor 102a y una pluralidad de capas de material aislante 102b apiladas alternativamente. Las capas de material conductor 102a incluyen nitruro de titanio (TiN) o nitruro de tántalo (TaN). Las capas de material aislante 102b incluyen óxido de silicio. El procedimiento para formación de la estructura apilada 102 incluye la formación alternada de las capas de material conductor 102a y las capas de material aislante 102b con múltiples procesos de deposición de vapor químico (CVD). En esta realización dos capas de material conductor 102a y dos capas de material aislante 102b son proporcionados por propósitos de ilustración, y no debe ser interpretada como limitante de la presente invención. En otras palabras, los números de las capas de material conductor 102a y las capas de material aislante 102b no están limitados por la presente invención. Además, en esta realización, la capa inferior de la estructura apilada 102 es una capa de material aislante 102b y la capa superior de la misma es una capa de material conductor 102a. Sin embargo, la invención presente no está limitada a esto. En otro caso, si el sustrato 100 es un sustrato dieléctrico, la capa inferior de la estructura apilada 102 puede ser una capa de material conductor 102a y la capa superior de la misma puede ser una capa de material aislante 102b.

Con referencia a la Figura 2, una porción de la estructura apilada 102 es retirada para exponer el sustrato 100 y por lo tanto formar una porción apilada 104 y una porción apilada 106. El procedimiento para retiro de la porción de la estructura apilada 102 incluye realizar un proceso de grabado en seco. La dirección de extensión de la porción apilada 104 es perpendicular a la dirección de extensión de la porción apilada 106. Después, una capa aislante 108 es formada en el sustrato 100, junto a la porción apilada 104 y la porción apilada 106. La capa aislante 108 incluye óxido de silicio, y el procedimiento para su formación incluye realizar un proceso de CVD.

Con referencia a la Figura 3, una porción de la porción apilada 106 es retirada para formar una abertura 110 que expone el sustrato 100 y una porción apilada 112. La abertura 110 está situada entre la porción apilada 104 y la estructura apilada 112. El procedimiento para retiro de la porción de la porción apilada 106 incluye realizar un proceso de grabado en seco. Después, una capa de material de canal 114 es formada en la abertura 110. La capa de material de canal 114 incluye silicio amorfo, polisilicio o ambos y puede estar dopada o no, y el procedimiento para su formación incluye realizar un proceso de CVD. En esta realización, la capa 114 de material de canal puede llenar completamente la abertura 110.

Con referencia a la Figura 4, una porción de la capa aislante 108 es retirada para formar una abertura 118 que expone el sustrato 100. El procedimiento para retiro de la porción de la capa aislante 108 incluye realizar un proceso de grabado en seco. En esta etapa, la porción de la capa aislante 108 a un lado de la capa 114 de material de canal es retirada para formar una abertura 118 que no está en contacto físico con la capa de material de canal 114. Específicamente, la abertura 118 está separada o aislada de la capa de material de canal 114 por la capa aislante 108. Después, una capa de material de canal 120 es formada en la abertura 118. De esta manera, la fabricación del dispositivo transistor 200 de esta realización es completada. En el dispositivo transistor 200 de esta realización, la capa de material de puerta 120 actúa como puerta, la capa de material de canal 114 actúa como región de canal, y la capa aislante 108 entre la capa de material de puerta 120 y la capa de material de canal 114 actúa como capa dieléctrica de puerta. Además, cada una de las capas de material conductor 102a en la porción apilada 104 o la estructura apilada 112 adyacente a la capa de material de canal 114 puede actuar como región de fuente/drenaje del dispositivo transistor 200.

Además, el dispositivo transistor 200 incluye múltiples celdas de transistor en diferentes niveles. Cada celda de transistor incluye una capa de material conductor 102a de la porción apilada 104 en un nivel, la capa de material conductor 102a correspondiente de la porción apilada 112 en el mismo nivel, y la capa de material de canal 114 y la capa de material de puerta 120 situadas entre estas. Estas celdas de transistor están aisladas unas de otras por las capas de material aislante 102b de la porción apilada 104 y la porción apilada 112.

En esta realización, opcionalmente puede ser llevado a cabo un proceso de recocido por láser antes de la etapa de formación de la capa de material de puerta 120 en la abertura 118. El proceso de recocido con láser puede ser un recocido de bajo balance térmico que puede localizar el balance térmico en la capa de material de canal 114. Este recocido de bajo balance térmico puede mantener la integridad de la estructura del patrón tridimensional y evitar que los materiales dieléctricos adyacentes sean mezclados con el polisilicio en la capa de material de canal 114. Por lo tanto, el polisilicio puede ser aumentado uniformemente con granos más grandes con bajos defectos y alta movilidad en la capa de material de canal 114, y, por consiguiente, el dispositivo transistor 200 es proporcionado con baja fuga y alta corriente de "ON".

Además, en esta realización, la capa de material de canal 114 es formada antes de la formación de la capa de material de puerta 120, de modo que la capa de material de puerta 120 como puerta de transistor está libre de daños durante la etapa de definición de la capa de material de canal 114, y, por lo tanto, la fiabilidad del dispositivo transistor 200 es mejorada.

Con referencia a la Figura 5 y a la Figura 5A, otra porción de la capa aislante 108 a un lado de la porción apilada 112 es retirada para formar una abertura 126, y, de esta manera, la porción apilada 112 está ubicada en la capa de material de canal 114 y la abertura 126. El procedimiento para retiro de la otra porción de la capa aislante 108 incluye realizar

un proceso de grabado en seco. Después, una capa de resistencia variable 128 y una capa de material de electrodos 132 son formadas secuencialmente en la pared lateral de la abertura 126. El procedimiento para formación de cada una de las capas de resistencia variable 128 y la capa de material de electrodos 132 incluye realizar un proceso de CVD o un proceso de deposición de capa atómica (ALD). En esta realización, la etapa de formación de la capa de material de electrodos 132 incluye la formación, de afuera hacia dentro de la abertura 126, una capa de intercambio iónico 132a, una capa barrera 132b y una capa de electrodos 132c. En una realización, la capa de intercambio iónico 132a puede ser una capa de intercambio de oxígeno. La capa de intercambio iónico 132a incluye Ti, Al o Ta. La capa barrera 132b incluye oxinitruro de titanio (TiON) u óxido de aluminio (Al_2O_3). La capa de electrodos 132c incluye TiN o TaN. De esta manera, el dispositivo de memoria 300 de esta realización es completado. En el dispositivo de memoria 300 de esta realización, la capa de resistencia variable 128 actúa como un pilar de resistencia variable, y la capa de material de electrodos 132 actúa como un pilar de electrodos.

En esta realización, durante la etapa de retiro de la otra porción de la capa aislante 108 para formar la abertura 126, es usado un agente de grabado que tiene una tasa de grabado similar para las capas de material conductor 102a o las capas de material aislante 102b, en combinación con ajustes de los parámetros de grabado, de modo que la abertura 126 sea formada con una pared lateral sustancialmente vertical o una pared lateral lisa.

Con referencia a la Figura 6, en la que la capa aislante 108 no es mostrada para mayor claridad de la ilustración, una línea de bits BL es formada para conectar eléctricamente con la capa de material de electrodos 132 y una línea de texto WL es formada para conectar eléctricamente con la capa de material de puerta 120, en la que la dirección de extensión de cada una de las líneas de bits BL y la línea de texto WL es a través de la dirección de extensión de la porción apilada 104. De este modo, la memoria resistiva tridimensional 10 de esta realización está completada. El procedimiento para formación de la línea de bits BL y la línea de texto WL es conocido por las personas con experiencia en la técnica, por lo que los detalles no son repetidos en la presente memoria.

Además, en la memoria resistiva tridimensional 10, cada una de las capas de material aislante 102b tiene un espesor H, y la porción apilada 104 y la porción apilada 112 tienen una distancia L (es decir, longitud de canal) entre sí. En esta realización, el espesor H es de aproximadamente 10 veces la distancia L, o más, a fin de evitar la diafonía entre los diferentes niveles de las celdas de transistor y, por lo tanto, aumentar la fiabilidad del dispositivo transistor 200. Específicamente, la distancia entre niveles (es decir, el espesor H de cada capa de material aislante 102b) es lo suficientemente grande como para suprimir la fuga de corriente entre los niveles.

En la memoria resistiva tridimensional 10, la porción del dispositivo de memoria 300 adyacente a la celda de transistor correspondiente en cada nivel actúa como una celda de memoria. Por lo tanto, durante la operación de la memoria resistiva tridimensional 10, las celdas de transistor de diferentes niveles pueden ser controladas individualmente para suprimir la corriente parásita de baja intensidad y, por lo tanto, evitar que se produzca una perturbación accidental de RESET o SET de las celdas de memoria no seleccionadas, de modo que no sea observada la degradación de la fiabilidad de la memoria resistiva tridimensional 10. Además, en la memoria resistiva tridimensional 10 de esta realización, la capa de material de puerta 120 compartida por las celdas de transistor en diferentes niveles es formada en una sola etapa de proceso. De manera similar, la capa de material de canal 114 compartida por las celdas de transistor en diferentes niveles es formada en una sola etapa de proceso. De esta manera, la memoria resistiva tridimensional 10 de esta realización es formada con menos etapas de proceso en comparación con la formación del conjunto de memoria de punto de cruce convencional.

La Figura 7A es una vista transversal esquemática de un pilar de resistencia variable y un pilar de electrodos de una memoria resistiva tridimensional de acuerdo con una segunda realización de la presente invención.

Con referencia a la Figura 7A y Figura 5A, la diferencia entre la segunda realización y la primera realización radica en que en la segunda realización, la pared lateral de la porción apilada 112 conectada a la capa de resistencia variable 128 tiene una pluralidad de cavidades 130a, y una de las cavidades 130a está situada entre dos capas de material aislante adyacentes 102b. Específicamente, en la segunda realización, durante la etapa de retiro de la otra porción de la capa aislante 108 para formar la abertura 126, las cavidades 130a son formadas simultáneamente entre las capas de material aislante 102b. El procedimiento para formación de las cavidades 130a incluye el uso de un agente de grabado que tiene una tasa de grabado para las capas de material conductor 102a más rápida que para las capas de material aislante 102b durante la etapa de formación de la abertura 126. Después de la etapa de formación de las cavidades 130a, como es mostrado en la Figura 5A, una capa de resistencia variable 128 y una capa de material de electrodos 132 son formadas secuencialmente en la pared lateral de la abertura 126. En esta realización, las cavidades 130a son proporcionadas para evitar la difusión vertical de oxígeno o el movimiento en la capa de intercambio iónico 132a, y por lo tanto impiden la diafonía de diferentes celdas de memoria en una dirección vertical.

La Figura 7B es una vista transversal esquemática de un pilar de resistencia variable y un pilar de electrodos de una memoria resistiva tridimensional de acuerdo con una tercera realización de la presente invención.

Con referencia a la Figura 7B, la diferencia entre la tercera realización y la segunda realización radica en que en la tercera realización, la pared lateral de la porción apilada 112 conectada a la capa de resistencia variable 128 tiene una pluralidad de cavidades 130b, y una de las cavidades 130b está situada entre dos capas de material conductor adyacentes 102a. Específicamente, en la tercera realización, durante la etapa de retiro de la otra porción de la capa

aislante 108 para formar la abertura 126, las cavidades 130b son formadas simultáneamente entre las capas de material conductor 102a. El procedimiento para formación de las cavidades 130b incluye el uso de un agente de grabado que tiene una tasa de grabado para las capas de material conductor 102a más lenta que para las capas de material aislante 102b durante la etapa de formación de la abertura 126. De manera similar a las cavidades 130a de la segunda realización, las cavidades 130b de la tercera realización son proporcionadas para impedir la diafonía de diferentes celdas de memoria en una dirección vertical.

La Figura 8 a Figura 12 son vistas esquemáticas respectivas de memorias resistivas tridimensionales de acuerdo con las cuartas a octavas realizaciones de la presente invención.

Con referencia a la Figura 8, en la que no es mostrada la capa aislante 108 para mayor claridad de la ilustración, en la cuarta realización, la diferencia entre la memoria resistiva tridimensional 20 y la memoria resistiva tridimensional 10 radica en que en la memoria resistiva tridimensional 20, la dirección de extensión de la línea de texto WL es paralela a la dirección de extensión de la porción apilada 104.

Con referencia a la Figura 9 en la que no es mostrada la capa aislante 108 para mayor claridad de la ilustración, en la quinta realización, la diferencia entre la memoria resistiva tridimensional 30 y la memoria resistiva tridimensional 10 radica en que en la memoria resistiva tridimensional 30, la dirección de extensión de la línea de bits BL es paralela a la dirección de extensión de la porción apilada 104.

Con referencia a la Figura 10, en la que no es mostrada la capa aislante 108 para mayor claridad de la ilustración, en la sexta realización, la diferencia entre la memoria resistiva tridimensional 40 y la memoria resistiva tridimensional 10 radica en que en la memoria resistiva tridimensional 40, una capa aislante 116 es incluida además en el dispositivo transistor 200 y está dispuesta dentro de la capa de material de canal 114. Específicamente, en esta realización, después de la etapa de retiro de la porción de la porción apilada 106 para formar la abertura 110 que expone el sustrato 100 y la porción apilada 112 (como es mostrado en la Figura 3), una capa de material de canal 114 es formada en la pared lateral de la abertura 110, y la capa de material de canal 114 no llena completamente la abertura 110. Después, una capa aislante 116 es formada en la abertura 110. El procedimiento para formación de la capa aislante 116 incluye realizar un proceso de CVD.

En esta realización, la disposición de la capa aislante 116 en la capa de material de canal 114 tiene el efecto de adelgazar el canal del dispositivo transistor 200, reduciendo así la fuga en estado OFF, que tiende a ser grave para los canales cortos.

Con referencia a la Figura 11, en la que no es mostrada la capa aislante 108 para mayor claridad de la ilustración, en la séptima realización, la diferencia entre la memoria resistiva tridimensional 50 y la memoria resistiva tridimensional 10 radica en que en la memoria resistiva tridimensional 50, el dispositivo transistor 400 incluye además un segundo pilar de puerta (por ejemplo, la capa de material de puerta 124) además del primer pilar de puerta (por ejemplo, la capa de material de puerta 120). El segundo pilar de puerta está dispuesto en el sustrato 100 y en un lado del pilar de canal (por ejemplo, la capa de material de canal 114) opuesto al un lado. En esta realización, el primer pilar de canal (por ejemplo, la capa de material de canal 114) y el segundo pilar de puerta (por ejemplo, la capa de material de puerta 124) están dispuestos en lados opuestos del pilar de canal (por ejemplo, la capa de material de canal 114). Específicamente, en esta realización, durante la etapa de retiro de una porción de la capa aislante 108 para formar la abertura 118 (como es mostrado en la Figura 4), otra porción de la capa aislante 108 es retirada para formar una abertura 122. La abertura 122 está situada en un lado de la capa de material de canal 114, opuesta a la abertura 118 y está separada de la capa de material de canal 114 por la capa aislante 108. Después, una capa de material de puerta 124 (es decir, el segundo pilar de puerta) es formada en la abertura 122. En esta realización, el dispositivo transistor 400 es proporcionado con una estructura de doble puerta, por lo que el efecto de canal corto es evitado en forma adicional.

Con referencia a la Figura 12, en la que no es mostrada la capa aislante 108 para mayor claridad de la ilustración, en la octava realización, la diferencia entre la memoria resistiva tridimensional 60 y la memoria resistiva tridimensional 10 radica en que, la porción apilada 106 de la octava realización reemplaza a la capa de material de canal 114 y la porción apilada 112 del dispositivo transistor 200 de la primera realización. La estructura apilada de la octava realización tiene una porción lineal (por ejemplo, la porción apilada 104) y una porción saliente (por ejemplo, la porción apilada 106) perpendiculares entre sí. La estructura apilada de la octava realización incluye una pluralidad de capas de material conductor 102a y una pluralidad de capas de material aislante 102b alternativamente apiladas, y las capas de material conductor 102a incluyen GaN o InGaAs.

Además, la memoria resistiva tridimensional 60 está conectada eléctricamente a un circuito externo a través de una línea de fleje metálico 136 y una vía 134. La línea de fleje metálico 136 está dispuesta sobre la porción apilada 104 y está conectada eléctricamente a la porción apilada 104 a través de la vía 134.

Específicamente, en la octava realización, la etapa de la Figura 3 no es realizada. Es decir, la etapa de retiro de una porción de la porción apilada 106 para formar una abertura 110 que expone el sustrato 100 y una porción apilada 112 es omitida en la octava realización.

Como es mostrado en la Figura 12, la memoria resistiva tridimensional 60 es proporcionada después de la etapa de formación de una capa de resistencia variable 128 y una capa de material de electrodos 132 (por ejemplo, la etapa de la Figura 5). Después, una capa aislante intercalada (no se muestra) es formada en la porción apilada 104 y después es modelada según un patrón para formar una abertura de vía (no mostrado) que expone una porción de la porción apilada 104. Después, una vía 134 es formada en la abertura de vía. Después una línea de fleje metálico 136 es formada sobre la vía 134 y está conectada eléctricamente a esta.

En esta realización, la memoria resistiva tridimensional 60 incluye un dispositivo transistor 500 y un dispositivo de memoria 600, en el que la capa de material de puerta 120 del dispositivo transistor 500 actúa como una puerta, y la capa aislante 108 entre la capa de material de puerta 120 y la porción apilada 106 actúa como una capa dieléctrica de puerta. Además, en el dispositivo transistor 500, una porción de cada capa de material conductor 102a en la porción apilada 106 adyacente a la capa de material de puerta 120 puede actuar como un canal, otra porción de cada capa de material conductor 102a en la porción apilada 106 alejada de la porción apilada 104 puede actuar como una región de fuente/drenaje (por ejemplo, región de drenaje), y cada capa de material conductor 102a en la porción apilada 104 puede actuar como una región de fuente/drenaje (por ejemplo, línea de fuente).

En esta realización, el dispositivo de memoria 600 está constituido por una porción de cada capa de material conductor 102a en la porción apilada 106 adyacente a la capa de resistencia variable 128, la capa de resistencia variable 128 y la capa de material de electrodos 132.

En esta realización, las celdas de transistor en diferentes niveles están aisladas por las capas de material aislante 102b, de modo que puedan ser controladas individualmente, durante la operación de la memoria resistiva tridimensional 60, para suprimir la corriente parásita de baja intensidad y por lo tanto evitar que ocurra una perturbación accidental de RESET o SET de las celdas de memoria no seleccionadas. Además, las capas de material conductor pueden estar compuestas por un semiconductor de alta movilidad tal como nitruro de galio (GaN) o arseniuro de galio-indio (InGaAs), por lo que la velocidad de operación del dispositivo transistor 500 en consecuencia es mejorado. Además, por la disposición de la línea de fleje metálico y la vía, la resistencia en el trayecto de transferencia de la señal entre el dispositivo transistor 500 y el circuito externo puede ser reducida en forma adicional.

En síntesis, la presente invención proporciona una memoria resistiva tridimensional que incluye un dispositivo transistor y un dispositivo de memoria que están conectados entre sí, en el que el dispositivo transistor incluye celdas de transistor situadas en diferentes niveles, y la porción del dispositivo de memoria adyacente a la celda de transistor correspondiente en cada nivel actúa como una celda de memoria. Por lo tanto, durante la operación de la memoria resistiva tridimensional, las celdas de transistor de diferentes niveles pueden ser controladas individualmente para suprimir la corriente parásita de baja intensidad y, por lo tanto, evitar que se produzca una perturbación accidental de RESET o SET de las celdas de memoria no seleccionadas. Además, las celdas de transistor en diferentes niveles están aisladas por una o varias capas de material aislante, a fin de evitar la diafonía entre los diferentes niveles de las celdas de transistor.

En el procedimiento para formación de la memoria resistiva tridimensional de la presente invención, el pilar de puerta (por ejemplo, la capa de material de puerta) compartido por las celdas de transistor en diferentes niveles es formado en una sola etapa de proceso. De esta manera, las etapas de proceso pueden ser reducidas considerablemente y, en consecuencia, pueden producirse ahorros en el costo de proceso. En una realización, el pilar de puerta (por ejemplo, la capa de material de puerta) y el pilar de canal (por ejemplo, la capa de material de canal) compartidos por las celdas de transistor en diferentes niveles son formados en una sola etapa de proceso, de modo que las etapas de proceso y su costo pueden ser reducidos en forma adicional.

REIVINDICACIONES

1. Una memoria resistiva tridimensional (10, 20, 30, 40, 50), que comprende:
- un pilar de canal (114), dispuesto sobre un sustrato (100), en el que el pilar de canal (114) comprende un material semiconductor;
- 5 un primer pilar de puerta (120), dispuesto en el sustrato (100) y en el primer lado del pilar de canal (114);
- una capa dieléctrica de primera puerta (108), dispuesta entre el pilar de canal (114) y el pilar de primera puerta (120);
- 10 una primera estructura apilada (112) y una segunda estructura apilada (104), dispuestas en el sustrato (100) y respectivamente en los segundos y terceros lados opuestos del pilar de canal (114), en el que cada una de la primera estructura apilada (112) y la segunda estructura apilada (104) comprende una pluralidad de capas de material conductor (102a) y una pluralidad de capas de material aislante (102b) apiladas alternativamente;
- un pilar de resistencia variable (128), dispuesto en el sustrato (100) y en un lado de la primera estructura apilada (112) opuesto al pilar de canal (114); y
- 15 un pilar de electrodos (132), dispuesto sobre el sustrato (100) y situado en el interior del pilar de resistencia variable (128), en el que el pilar de electrodos (132) comprende, de afuera hacia dentro, una capa de intercambio iónico (132a), una capa de barrera (132b) y una capa de electrodos (132c).
2. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 1, en la que las capas de material conductor (102a) comprenden TiN o TaN.
3. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 1, en la que la capa de intercambio iónico (132a) comprende Ti, Al o Ta.
4. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 1, en la que la capa de barrera (132b) comprende oxinitruro de titanio u óxido de aluminio.
5. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 1, que comprende además un pilar aislante (116) dispuesto en el sustrato (100) y situado en el interior del pilar de canal (114).
- 25 6. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 1, en la que una pared lateral de la primera estructura apilada (112) conectada al pilar de resistencia variable (128) tiene una pluralidad de cavidades (130a, 130b), y una de la pluralidad de cavidades (130a, 130b) está situada entre dos capas adyacentes de material conductor (102a) o entre dos capas adyacentes de material aislante (102b).
7. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 1, que comprende además:
- 30 una línea de bits (BL); y
- una línea de texto (WL),
- en la que la línea de bits (BL) está conectada eléctricamente al pilar de electrodos (132), la línea de texto (WL) está conectada eléctricamente al primer pilar de puerta (120), al menos una de la línea de bits (BL) y la línea de texto (WL) tiene una dirección de extensión a través de una dirección de extensión de la segunda estructura apilada (104).
- 35 8. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 1, que comprende además:
- un segundo pilar de puerta (124), dispuesto en el sustrato (100) y en un cuarto lado del pilar de canal (114) opuesto al primer lado; y
- 40 una capa dieléctrica de segunda puerta (108), dispuesta entre el pilar de canal (114) y el segundo pilar de puerta (124).
9. La memoria resistiva tridimensional (10, 20, 30, 40, 50) de la reivindicación 8, que comprende además:
- una línea de bits (BL); y
- una línea de texto (WL),
- 45 en la que la línea de bits (BL) está conectada eléctricamente al pilar de electrodos (132), la línea de texto (WL) está conectada eléctricamente al segundo pilar de puerta (124), y al menos una de las líneas de bits (BL) y la línea de texto (WL) tiene una dirección de extensión a través de una dirección de extensión de la segunda estructura apilada (104).

10. Una memoria resistiva tridimensional (60), que comprende:

una estructura apilada (104 y 106), dispuesta sobre un sustrato (100) y que tiene una porción lineal (104) y una porción saliente (106) perpendiculares entre sí, en la que la estructura apilada (104 y 106) comprende una pluralidad de capas de material conductor (102a) y una pluralidad de capas de material aislante (102b) apiladas alternativamente, en la que las capas de material conductor (102a) comprenden GaN o InGaAs;

un primer pilar de puerta (120), dispuesto en el sustrato (100) y en un primer lado de la porción saliente (106);

una capa dieléctrica de primera puerta (108), dispuesta entre la porción saliente (106) y el primer pilar de puerta (120);

un pilar de resistencia variable (128), dispuesto en el sustrato (100) y en un lado de la porción saliente (106) opuesto a la porción de la línea (104); y

un pilar de electrodos (132), dispuesto sobre el sustrato (100) y situado en el interior del pilar de resistencia variable (128), en el que el pilar de electrodos (132) comprende, de afuera hacia dentro, una capa de intercambio iónico (132a), una capa de barrera (132b) y una capa de electrodos (132c).

11. Un procedimiento para formación de una memoria resistiva tridimensional (10, 20, 30, 40, 50,60), que comprende:

formar una estructura apilada (102) sobre un sustrato (100), en el que la estructura apilada (104 y 106) comprende una pluralidad de capas de material conductor (102a) y una pluralidad de capas de material aislante (102b) apiladas alternativamente, en el que las capas de material conductor (102a) comprenden GaN o InGaAs;

retirar una porción de la estructura apilada (102) para exponer el sustrato (100) y formar así una primera porción apilada (104) y una segunda porción apilada (106) conectadas entre sí, en el que una dirección de extensión de la primera porción apilada (104) es perpendicular a una dirección de extensión de la segunda porción apilada (106);

formar una primera capa aislante (108) en el sustrato (100) independiente de la primera porción apilada (104) y la segunda porción apilada (106);

retirar una porción de la primera capa aislante (108) para exponer el sustrato (100) y formar así una primera abertura (118), en la que la primera abertura (118) está situada a un lado de la segunda porción apilada (106) y separada de la segunda porción apilada (106) con la primera capa aislante (108);

formar una capa de material de primera puerta (120) en la primera abertura (118);

retirar otra porción de la primera capa aislante (108) para formar una segunda abertura (126), en la que la segunda porción apilada (106) está situada entre la primera porción apilada (104) y la segunda abertura (126); y

formar secuencialmente una capa de resistencia variable (128) y una capa de material de electrodos (132) en una pared lateral de la segunda abertura (126), en el que la etapa de formación de la capa de material de electrodos (132) comprende formar, de afuera hacia dentro de la segunda abertura (126), una capa de intercambio iónico (132a), una capa de barrera (132b) y una capa de electrodos (132c).

12. El procedimiento de la reivindicación 11, que comprende además, después de la etapa de formar la primera capa aislante (108) y antes de la etapa de formar la primera abertura (118),

retirar una porción de la segunda porción apilada (106) para formar una tercera abertura (110) y una tercera porción apilada (112), en el que la tercera abertura (110) está situada entre la primera porción apilada (104) y la tercera porción apilada (112); y

formar una capa de material de canal (114) en la tercera abertura (110).

13. El procedimiento de la reivindicación 12, que comprende además, tras la etapa de formar la capa de material de canal (114) en la tercera abertura (110), formar una segunda capa aislante (116) dentro de la capa de material de canal (114).

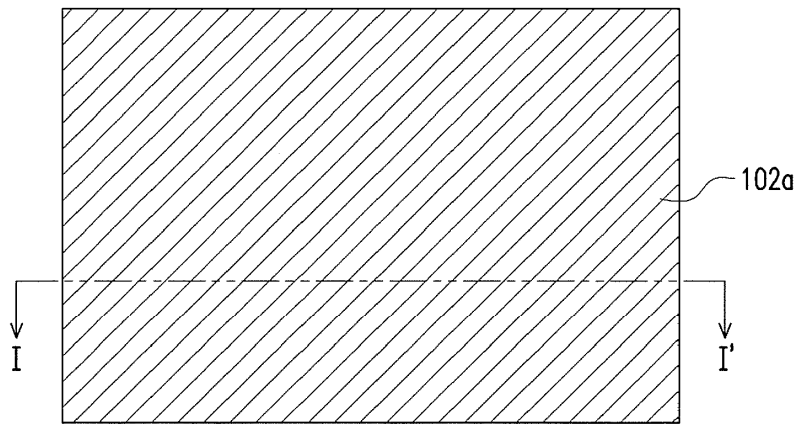


FIG. 1

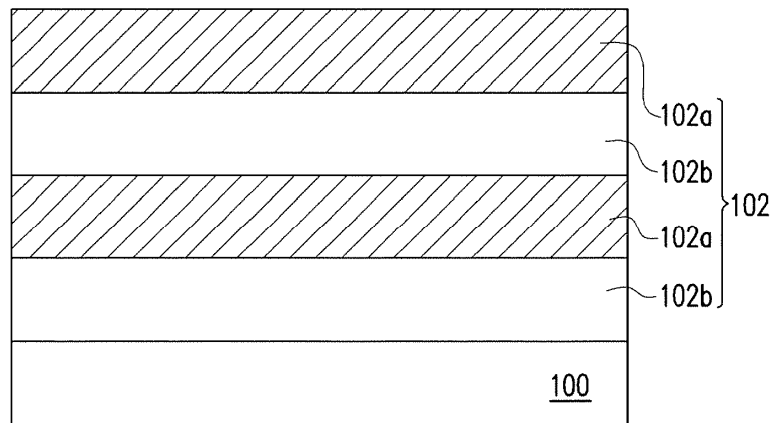


FIG. 1A

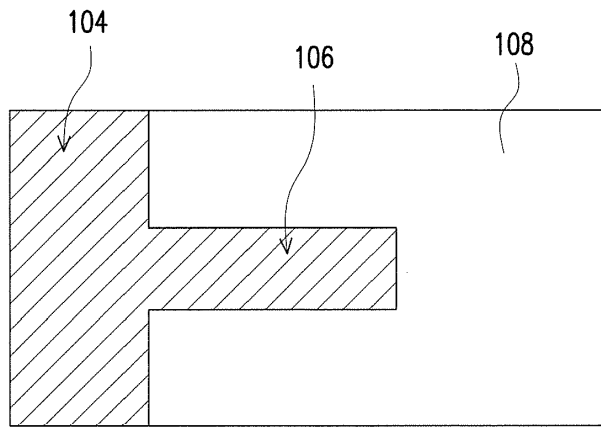


FIG. 2

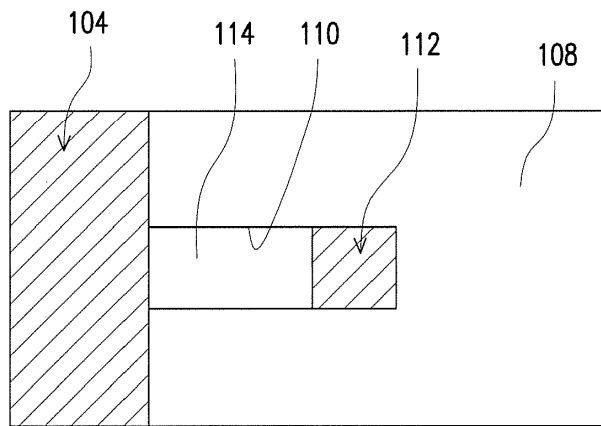


FIG. 3

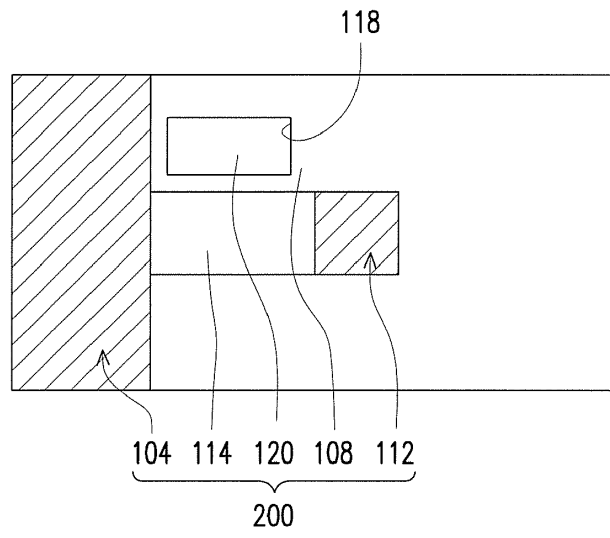


FIG. 4

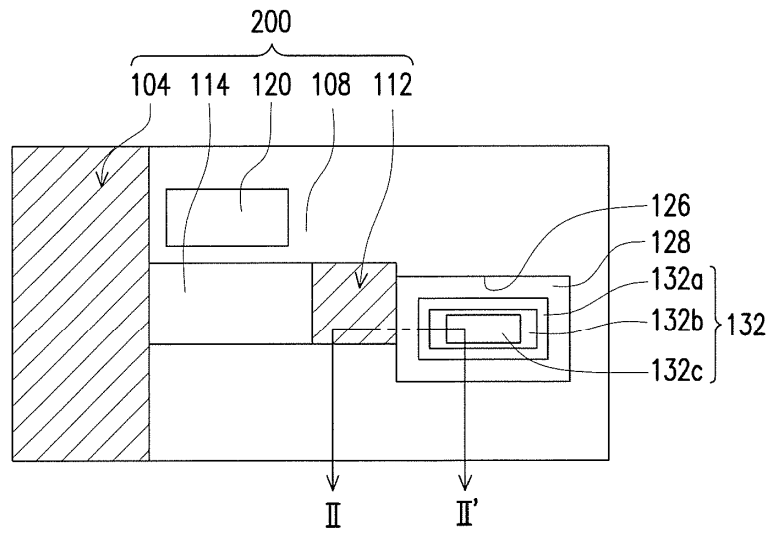


FIG. 5

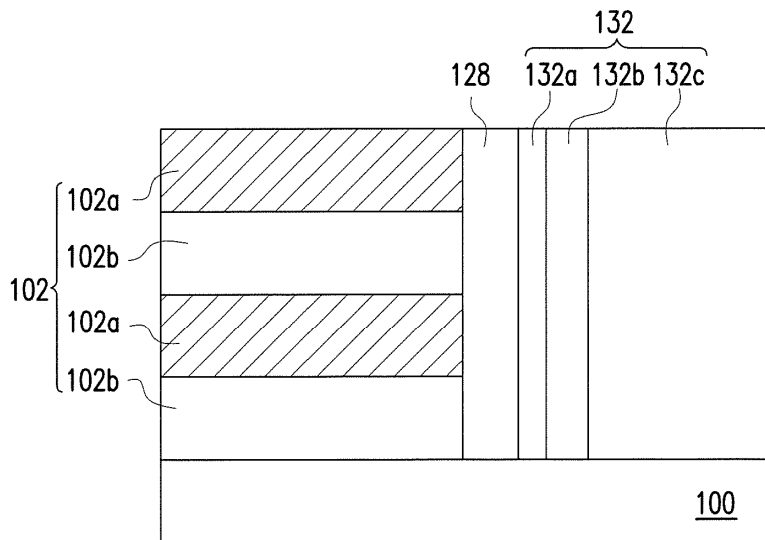


FIG. 5A

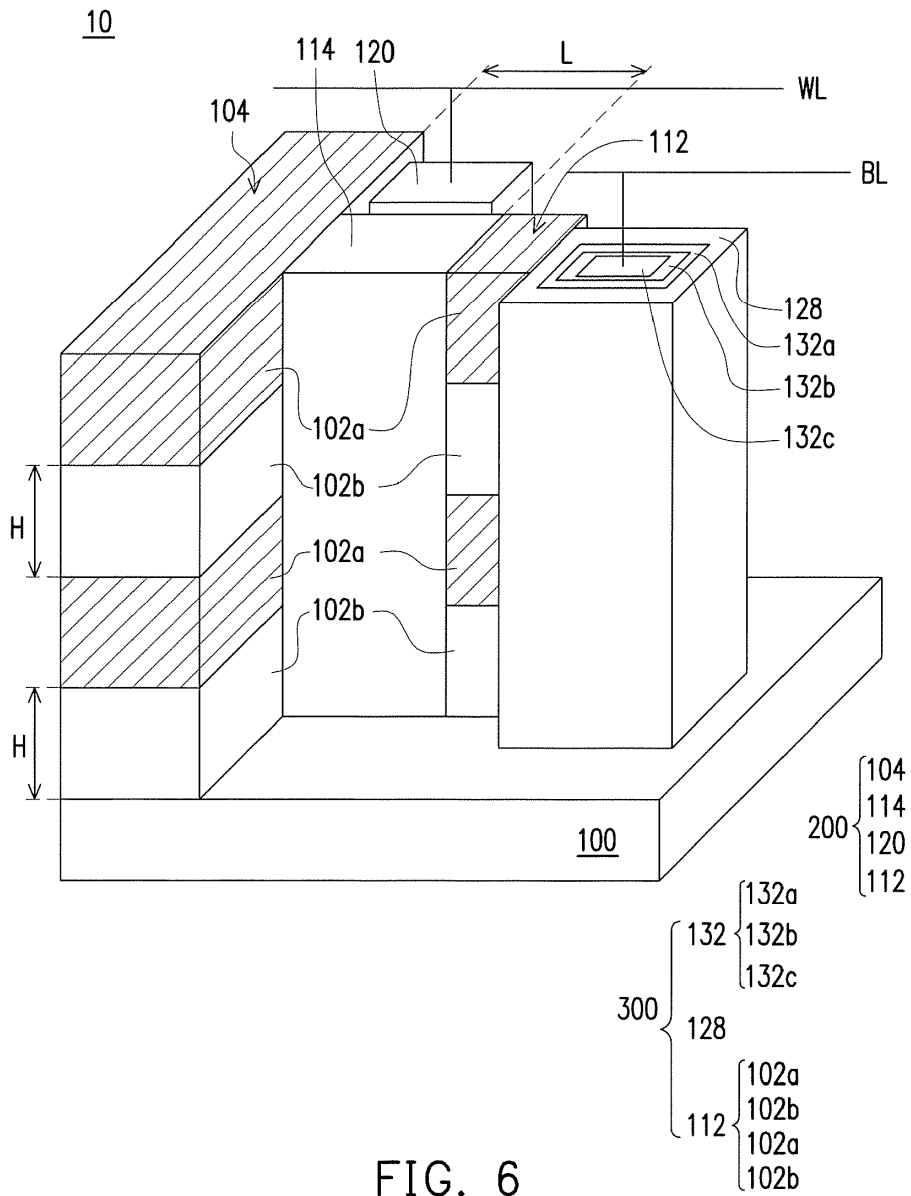


FIG. 6

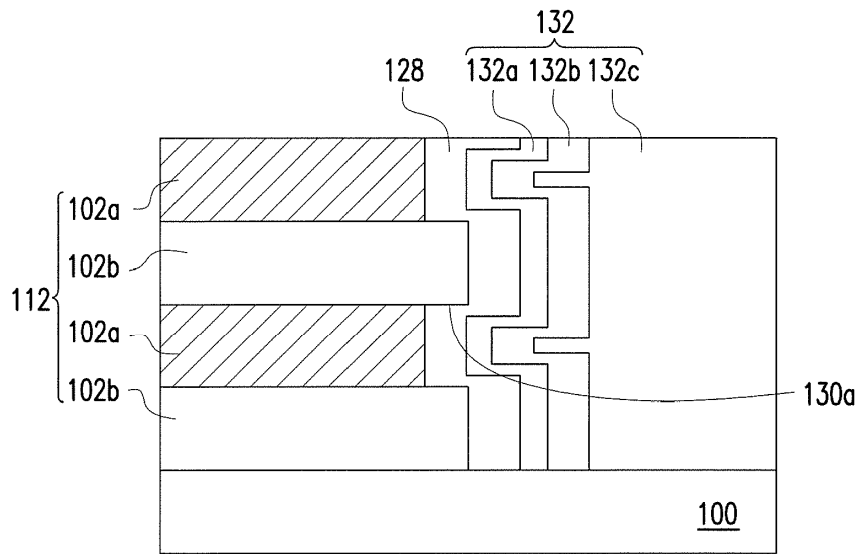


FIG. 7A

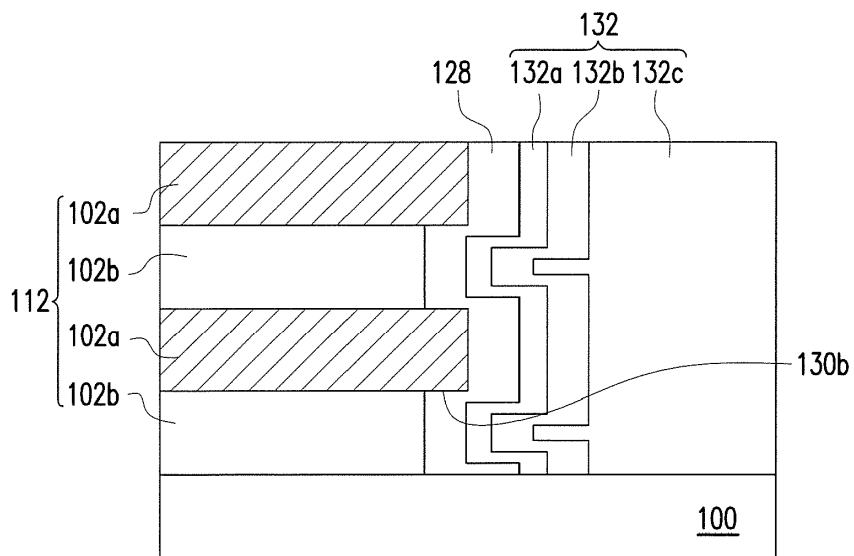


FIG. 7B

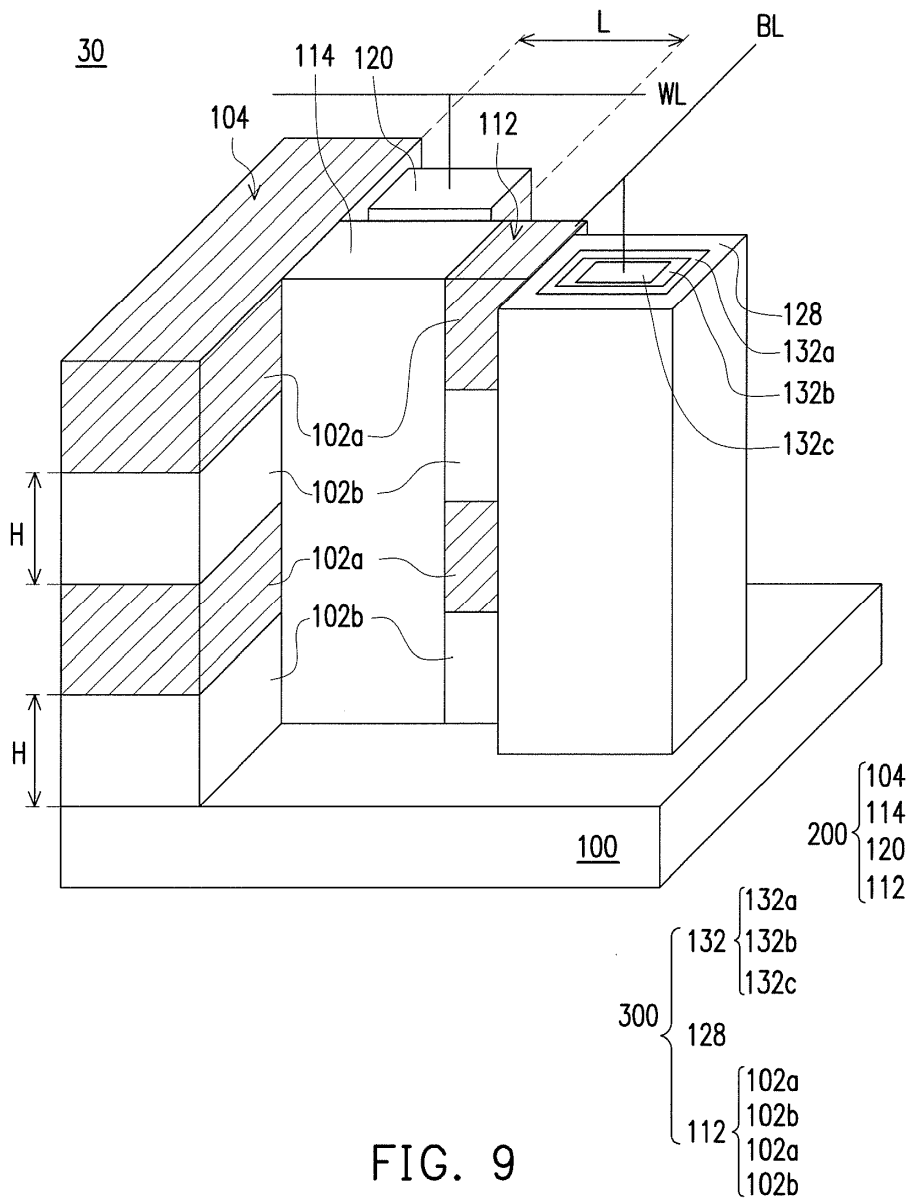


FIG. 9

