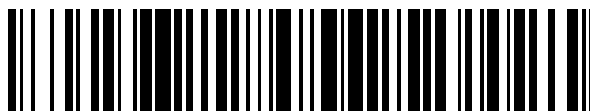


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 781 824**

51 Int. Cl.:

H04L 29/06 (2006.01)
H04L 25/49 (2006.01)
H04L 25/14 (2006.01)
H04L 25/03 (2006.01)
H04L 12/931 (2013.01)
H04L 1/00 (2006.01)
H03M 9/00 (2006.01)
H04L 12/709 (2013.01)
H04L 29/08 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **08.11.2013 PCT/CN2013/086783**
- 87 Fecha y número de publicación internacional: **14.05.2015 WO15066895**
- 96 Fecha de presentación y número de la solicitud europea: **08.11.2013 E 13896856 (5)**
- 97 Fecha y número de publicación de la concesión europea: **08.01.2020 EP 3046303**

54 Título: **Procedimiento de distribución de datos y procedimiento de agregación de datos, y aparatos relacionados a los mismos**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
08.09.2020

73 Titular/es:
**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building, Bantian,
Longgang District
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:
**WANG, XINYUAN y
YANG, WENBIN**

74 Agente/Representante:
ELZABURU, S.L.P

ES 2 781 824 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento de distribución de datos y procedimiento de agregación de datos, y aparatos relacionados a los mismos

Campo técnico

5 La presente invención se refiere al campo técnico de las tecnologías de comunicaciones, y en particular, a un procedimiento de agregación de (agregar) datos, un procedimiento de distribución de datos y aparatos relacionados.

Antecedentes

10 Actualmente, el tráfico de una red troncal de telecomunicaciones está creciendo rápidamente entre un 50 y 80 % cada año. Desde principios de 2011, el grupo de trabajo 802.3 del Instituto de ingenieros eléctricos y electrónicos (en inglés, institute of electrical and electronics engineers, IEEE) empezó a reunir demandas de desarrollo del ancho de banda después de que se publicara un estándar de Ethernet de 100 gigabits (en inglés, gigabit ethernet, GE para abreviar). Se estima que el tráfico de red 2015 puede ser 10 veces el de 2010. En el futuro, pueden existir dos tipos de interfaces Ethernet: 400 GE y Ethernet de 1 terabit (en inglés, terabit Ethernet, TE para abreviar). Los anteriores dos tipos de interfaces Ethernet se pueden aplicar ampliamente en 2015 y 2020.

15 La velocidad de un rúter existente es generalmente de 200 G, 480 G o 1 Tbps. Sin embargo, en una placa secundaria física, se implementan generalmente interfaces de Ethernet de diferentes velocidades utilizando diferentes diseños de hardware. Un problema existente es que hay muchos tipos de placas secundarias físicas y es necesario diseñar diferentes chips de interfaz de Ethernet para diferentes tipos de placas secundarias, lo que provoca por consiguiente problemas de grandes cargas de trabajo y un mayor coste resultante de muchos tipos de chips. Un proveedor de dispositivos de red tiene que preparar múltiples tipos de placas, lo que puede multiplicar la inversión.

20 En la técnica anterior, se implementa una interfaz 100 GE de acuerdo con el estándar IEEE 802.3ba; y utilizando un único puerto o el protocolo de internet (en inglés, internet protocol, IP para abreviar), una interfaz de capa de protocolo de control de acceso al medio (control de acceso al medio) de la técnica anterior se implementa generalmente uniendo múltiples puertos para obtener una interfaz troncal (troncal). El rúter se presenta externamente como una interfaz de capa de protocolo de control de acceso al medio de velocidad fija. Para describir claramente una estructura de una interfaz existente de capa de protocolo de control de acceso al medio implementada utilizando un único puerto, la interfaz existente de capa de protocolo de control de acceso al medio de un único puerto de velocidad fija se puede representar en forma de un canal (canal), tal como se muestra en la figura 1. La figura 1 es un diagrama esquemático de una interfaz de capa de protocolo de control de acceso al medio que es de un rúter existente y se implementa utilizando un único puerto en la técnica anterior. La interfaz es un gran canal de arriba abajo, y el canal puede procesar un flujo de datos de una capa de protocolo de control de acceso al medio de velocidad fija. Además, se puede implementar interconexión e interfuncionamiento con un dispositivo homólogo, utilizando solamente la interfaz de capa de protocolo de control de acceso al medio de velocidad fija.

Una interfaz Ethernet de un solo puerto de velocidad fija, existente, difícilmente puede cumplir un requisito para configuración de ancho de banda compleja, y tiene un escenario de aplicación limitado.

35 La patente US 2013/077623 A1 da a conocer un aparato de Ethernet que tiene una serie de vías.

La patente US 2012/155486 A1 da a conocer un aparato de Ethernet de alta velocidad que tiene una configuración de múltiples vías y procedimientos para manejar selectivamente las múltiples vías para permitir o no que las vías participen en transmisión y recepción de datos.

40 El documento de GARY NICHOLL ET AL: "A Physical Coding Sublayer for 100GbE", IEEE COMMUNICATIONS MAGAZINE, da a conocer una propuesta para subcapa física de codificación para la interfaz de Ethernet de 40 Gb/s, bajo estandarización en IEEE 802.3.

El documento de TOYODA H. ET AL: "100GbE PHY and MAC layer implementations", IEEE COMMUNICATIONS MAGAZINE, da a conocer una implementación lógica del control de acceso al medio y una capa física de Ethernet de 100 Gb/s.

45 El documento de REVIRIEGO P. ET AL: "Improving Energy Efficiency in IEEE 802.3ba High-Rate Ethernet Optical Links", IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, da a conocer un procedimiento para mejorar la eficiencia energética en enlaces ópticos Ethernet de alta velocidad 82.3ba. El documento US 2007/234172 A1 da a conocer un procedimiento para generar un bloque de datos codificado, dividir el bloque de datos codificado en una serie de sub-bloques y transmitir la serie de sub-bloques sobre una serie de adjuntos en el medio físico.

50 El documento de MASASHI KONO ET AL: "A 400-Gb/s and Low-Power Physical-Layer Architecture for Next-Generation Ethernet", ICC 2011-2011 IEEE INTERNATIONAL CONFERENCE ON COMMUNICATIONS, da a conocer una nueva arquitectura de capa física de 400 Gb/s para la siguiente generación de Ethernet que utiliza transmisión en serie de 100 Gb/s.

La publicación solicitud de EP número 3043497 A1, con fecha de publicación de 13 de julio de 2016, da a conocer un

procedimiento y un aparato de procesamiento de datos.

Compendio

La presente invención da a conocer un procedimiento de distribución de datos, un procedimiento de agregación de datos y aparatos relacionados para satisfacer la necesidad de configuración compleja de ancho de banda y extender un escenario de aplicación.

Un primer aspecto de la presente invención da a conocer un procedimiento de distribución de datos, que incluye:

- recibir un primer flujo de paquetes;
- dividir el primer flujo de paquetes para obtener un primer flujo de bloques de datos;
- enviar el primer flujo de bloques de datos a un primer circuito;
- procesar, mediante el primer circuito, el primer flujo de bloques de datos para obtener un primer flujo de datos;
- distribuir, mediante el primer circuito, el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en un circuito de capa física PHY, donde M es mayor que N1, N1 es un entero positivo y M es un entero positivo; y
- procesar, mediante los N1 segundos circuitos, el primer flujo de datos recibido para obtener N1 primeros flujos de código, donde los N1 segundos circuitos están en una correspondencia uno a uno con los N1 primeros flujos de código;
- donde:

el primer circuito incluye un circuito de recepción, el primer flujo de datos es el primer flujo de bloques de datos, y cada segundo circuito de los M segundos circuitos incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento;

o,
 el primer circuito incluye un circuito de codificación de capa física, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos incluye un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, y el primer circuito es un circuito en el PHY;

o,
 el primer circuito incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos incluye un circuito de recepción, y el primer circuito es un circuito en el PHY.

Haciendo referencia al primer aspecto, en un primer posible modo de implementación, el procedimiento incluye además:
 deshabilitar, en los M segundos circuitos, por lo menos un segundo circuito exceptuando los N1 segundos circuitos.

Haciendo referencia al primer aspecto o al primer posible modo de implementación del primer aspecto, en un segundo posible modo de implementación, una velocidad de procesamiento máxima que puede ser proporcionada por los N1 segundos circuitos es mayor o igual que una velocidad del primer flujo de bloques de datos.

Haciendo referencia al primer aspecto, al primer posible modo de implementación del primer aspecto o al segundo posible modo de implementación del primer aspecto, en un tercer posible modo de implementación, después de procesar, mediante los N1 segundos circuitos, el primer flujo de datos para obtener N1 primeros flujos de código, el procedimiento incluye además:

- enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un circuito de multiplexación; y
- llevar a cabo, mediante el circuito de multiplexación, un proceso de multiplexación sobre los N1 primeros flujos de código para obtener X segundos flujos de código, donde X es un entero positivo menor o igual que N1.

Haciendo referencia al primer aspecto, al segundo posible modo de implementación del primer aspecto o al tercer posible modo de implementación del primer aspecto, en un cuarto posible modo de implementación, el procedimiento incluye además:

- recibir un segundo flujo de paquetes;
- dividir el segundo flujo de paquetes en un segundo flujo de bloques de datos;
- enviar el segundo flujo de bloques de datos al primer circuito;
- procesar, mediante el primer circuito, el segundo flujo de bloques de datos para obtener un segundo flujo de datos;
- distribuir, mediante el primer circuito, el segundo flujo de datos a N2 segundos circuitos de los M segundos circuitos en el PHY, donde M es mayor que N2, N2 es un entero positivo, y una intersección entre los N2 segundos circuitos y los N1 segundos circuitos es un conjunto vacío; y
- procesar, mediante los N2 segundos circuitos, el segundo flujo de datos recibido para obtener N2 terceros flujos de código, donde los N2 segundos circuitos están en una correspondencia uno a uno con los N2 terceros flujos de código;
- donde:

el segundo flujo de datos es el segundo flujo de bloques de datos; o
 el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el segundo flujo de bloques de datos; o
 el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el segundo flujo de bloques de datos; o
 el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el segundo flujo de bloques de datos.

5
 Haciendo referencia al primer aspecto o a cualquiera de los anteriores posibles modos de implementación del primer aspecto, en un quinto posible modo de implementación del primer aspecto, el procedimiento incluye además:
 enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un PHY de un aparato de recepción, donde el PHY del aparato de recepción incluye solamente N1 terceros circuitos, y los N1 primeros flujos de código están en una correspondencia uno a uno con los N1 terceros circuitos, donde:

15
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o
 20 cada tercer circuito incluye un circuito de recepción.

Haciendo referencia al primer aspecto o a cualquiera de los anteriores posibles modos de implementación del primer aspecto, en un sexto posible modo de implementación del primer aspecto, el procedimiento incluye además:
 enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un PHY de un aparato de recepción, donde el PHY del aparato de recepción incluye M terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con N1 terceros circuitos de los M terceros circuitos, donde:

25
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o
 30 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o
 cada tercer circuito incluye un circuito de recepción.

Haciendo referencia al primer aspecto o a cualquiera de los anteriores posibles modos de implementación del primer aspecto, en un séptimo posible modo de implementación del primer aspecto, el procedimiento incluye además:

35
 enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un PHY de un primer aparato de recepción, donde el PHY del primer aparato de recepción incluye N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos; y
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o
 40 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o
 cada tercer circuito incluye un circuito de recepción;

45
 enviar, mediante los N2 segundos circuitos, los N2 terceros flujos de código a un PHY de un segundo aparato de recepción, donde el PHY del segundo aparato de recepción incluye N2 cuartos circuitos, los N2 terceros flujos de código están en correspondencia uno a uno con los N2 cuartos circuitos, y el primer aparato de recepción es diferente del segundo aparato de recepción; y
 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o
 50 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o
 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o
 cada cuarto circuito incluye un circuito de recepción.

55
 Haciendo referencia al primer aspecto o a cualquiera de los anteriores posibles modos de implementación del primer aspecto, en un octavo posible modo de implementación del primer aspecto, el procedimiento incluye además:

enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un primer PHY de un aparato de recepción, donde el primer PHY incluye N1 terceros circuitos, y los N1 primeros flujos de código están en

correspondencia uno a uno con los N1 terceros circuitos; y
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización
 y un circuito de descodificación de capa física; o
 5 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de
 desaleatorización; o
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o
 cada tercer circuito incluye un circuito de recepción;
 enviar, mediante los N2 segundos circuitos, los N2 terceros flujos de código a un segundo PHY del aparato de
 recepción, donde el segundo PHY del aparato de recepción incluye los N2 cuartos circuitos, y los N2 terceros flujos
 10 de código están en correspondencia uno a uno con los N2 cuartos circuitos; y
 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización
 y un circuito de descodificación de capa física; o
 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de
 desaleatorización; o
 15 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o
 cada cuarto circuito incluye un circuito de recepción.

Un segundo aspecto de la presente invención da a conocer un procedimiento de agregación de datos, que incluye:

recibir, mediante N3 primeros circuitos de M primeros circuitos en un circuito de capa física PHY, N3 primeros flujos
 de código, donde los N3 primeros circuitos están en correspondencia uno a uno con los N3 primeros flujos de código;
 20 procesar, mediante los N3 primeros circuitos, los N3 primeros flujos de código recibidos para obtener N3 primeros
 flujos de datos;
 enviar, mediante los N3 primeros circuitos, los N3 primeros flujos de datos a un segundo circuito;
 procesar, mediante el segundo circuito, los N3 primeros flujos de datos para obtener un primer flujo de bloques de
 datos; y
 25 combinar el primer flujo de bloques de datos para obtener un primer flujo de paquetes;
 donde el segundo circuito incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques
 de datos obtenido agregando los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que
 se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y
 descodificación de capa física sobre los N3 primeros flujos de código, y cada primer circuito de los M primeros circuitos
 30 incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de
 descodificación de capa física; o
 el segundo circuito incluye un circuito de descodificación de capa física, el primer flujo de bloques de datos es un flujo
 de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N3
 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve
 35 a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N3 primeros flujos de código, cada
 primer circuito de los M primeros circuitos incluye un circuito de eliminación de marcador de alineamiento y un circuito
 de desaleatorización, y el segundo circuito es un circuito en el PHY; o
 el segundo circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y
 un circuito de descodificación de capa física, el segundo circuito es un circuito en el PHY, cada primer circuito de los
 40 M primeros circuitos incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de
 datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y
 descodificación de capa física, y los N3 primeros flujos de datos son los N3 primeros flujos de código.

Haciendo referencia al segundo aspecto, en un primer posible modo de implementación,
 el procedimiento incluye además: deshabilitar, en los M primeros circuitos, por lo menos un primer circuito exceptuando
 45 los N3 primeros circuitos.

Haciendo referencia al segundo aspecto o al primer posible modo de implementación del segundo aspecto, en un
 segundo posible modo de implementación, una velocidad de procesamiento máxima que puede ser proporcionada por
 los N3 segundos circuitos es mayor o igual que una velocidad de los N3 primeros flujos de código.

Haciendo referencia al segundo aspecto, al primer posible modo de implementación del segundo aspecto o al segundo
 50 posible modo de implementación de segundo aspecto, en un tercer posible modo de implementación, antes de recibir,
 mediante N3 primeros circuitos de los M primeros circuitos, N3 primeros flujos de código, el procedimiento incluye
 además:

recibir, mediante un circuito de desmultiplexación, X segundos flujos de código;
 55 llevar a cabo, mediante el circuito de desmultiplexación, un proceso de desmultiplexación sobre los X segundos
 flujos de código para obtener los N3 primeros flujos de código; y
 enviar, mediante el circuito de desmultiplexación, los N3 primeros flujos de código a los N3 primeros circuitos,
 donde X es un entero positivo menor o igual que N3.

Haciendo referencia al segundo aspecto, al segundo posible modo de implementación del segundo aspecto o al tercer
 posible modo de implementación del segundo aspecto, en un cuarto posible modo de implementación,
 60 el procedimiento incluye además: recibir, mediante N4 primeros circuitos de los M primeros circuitos, N4 terceros flujos

de código, donde los N4 primeros circuitos están en correspondencia uno a uno con los N4 terceros flujos de código, y una intersección entre los N4 primeros circuitos y los N3 primeros circuitos es un conjunto vacío;
 procesar, mediante los N4 primeros circuitos, los N4 terceros flujos de código recibidos para obtener N4 segundos flujos de datos;

5 enviar, mediante los N4 primeros circuitos, los N4 segundos flujos de datos al segundo circuito;
 procesar, mediante el segundo circuito, los N4 segundos flujos de datos para obtener un segundo flujo de bloques de datos; y

combinar el segundo flujo de bloques de datos en un segundo flujo de paquetes;
 10 donde el segundo flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N4 terceros flujos de código;

o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N4 terceros flujos de código;

o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo desaleatorización y descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N4 terceros flujos de código;

o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N4 segundos flujos de datos son los N4 terceros flujos de código.

Un tercer aspecto de la presente invención da a conocer un dispositivo de red, que incluye:

25 un controlador de acceso al medio MAC y un circuito de capa física PHY;
 donde el MAC está configurado para recibir un primer flujo de paquetes, dividir el primer flujo de paquetes para obtener un primer flujo de bloques de datos, y enviar el primer flujo de bloques de datos a un primer circuito;

el primer circuito está configurado para procesar el primer flujo de bloques de datos con el fin de obtener un primer flujo de datos, y distribuir el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en el PHY, donde M es mayor que N1, N1 es un entero positivo y M es un entero positivo; y

30 los N1 segundos circuitos están configurados para procesar el primer flujo de datos recibido con el fin de obtener N1 primeros flujos de código, donde los N1 segundos circuitos están en correspondencia uno a uno con los N1 primeros flujos de código;

donde el primer circuito incluye un circuito de recepción, el primer flujo de datos es el primer flujo de bloques de datos, y cada segundo circuito de los M segundos circuitos incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento; o

35 el primer circuito incluye un circuito de codificación de capa física, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos incluye un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, y el primer circuito es un circuito en el PHY; o

40 el primer circuito incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos incluye un circuito de

45 recepción y el primer circuito es un circuito en el PHY.

Haciendo referencia al tercer aspecto, en un primer posible modo de implementación, el PHY está configurado además para deshabilitar, en los M segundos circuitos, por lo menos un segundo circuito exceptuando los N1 segundos circuitos.

50 Haciendo referencia al tercer aspecto o al primer posible modo de implementación del tercer aspecto, en un segundo posible modo de implementación, una velocidad de procesamiento máxima que puede ser proporcionada por los N1 segundos circuitos es mayor o igual que una velocidad del primer flujo de bloques de datos.

Haciendo referencia al tercer aspecto, al primer posible modo de implementación del tercer aspecto o al segundo posible modo de implementación del tercer aspecto, en un tercer posible modo de implementación, el dispositivo de red incluye además un circuito de multiplexación, y los N1 segundos circuitos están configurados además para enviar

55 los N1 primeros flujos de código al circuito de multiplexación; y el circuito de multiplexación está configurado para llevar a cabo un proceso de multiplexación sobre los N1 primeros flujos de código para obtener X segundos flujos de código, donde X es un entero positivo menor o igual que N1.

Haciendo referencia al tercer aspecto, al segundo posible modo de implementación del tercer aspecto o al tercer posible modo de implementación del tercer aspecto, en un cuarto posible modo de implementación, el MAC está configurado además para recibir un segundo flujo de paquetes, dividir el segundo flujo de paquetes en un segundo flujo de bloques de datos y enviar el segundo flujo de bloques de datos al primer circuito;

el primer circuito está configurado además para procesar el segundo flujo de bloques de datos con el fin de obtener un segundo flujo de datos, y distribuir el segundo flujo de datos a N2 segundos circuitos de los M segundos circuitos en el PHY, donde M es mayor que N2, N2 es un entero positivo, y una intersección entre los N2 segundos circuitos y los N1 segundos circuitos es un conjunto vacío; y

5 los N2 segundos circuitos están configurados además para procesar el segundo flujo de datos recibido para obtener N2 terceros flujos de código, donde los N2 segundos circuitos están en correspondencia uno a uno con los N2 terceros flujos de código;

donde el segundo flujo de datos es el segundo flujo de bloques de datos;

10 o, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el segundo flujo de bloques de datos;

o, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el segundo flujo de bloques de datos;

o, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el segundo flujo de bloques de datos.

15 Haciendo referencia al tercer aspecto o a cualquiera de los anteriores posibles modos de implementación del tercer aspecto, en un quinto posible modo de implementación del tercer aspecto,

los N1 segundos circuitos están configurados además para enviar los N1 primeros flujos de código a un PHY de un aparato de recepción, donde el PHY del aparato de recepción incluye solamente N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos, donde:

20 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o

cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o

cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o

25 cada tercer circuito incluye un circuito de recepción.

Haciendo referencia al tercer aspecto o a cualquiera de los anteriores posibles modos de implementación del tercer aspecto, en un sexto posible modo de implementación del tercer aspecto,

30 los N1 segundos circuitos están configurados además para enviar los N1 primeros flujos de código a un PHY de un aparato de recepción, donde el PHY del aparato de recepción incluye M terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con N1 terceros circuitos de los M terceros circuitos, donde:

cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o

cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o

35 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o

cada tercer circuito incluye un circuito de recepción.

Haciendo referencia al tercer aspecto o a cualquiera de los anteriores posibles modos de implementación del tercer aspecto, en un séptimo posible modo de implementación del tercer aspecto,

40 los N1 segundos circuitos están configurados además para enviar los N1 primeros flujos de código a un PHY de un primer aparato de recepción, donde el PHY del primer aparato de recepción incluye N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos;

cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o

45 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización;

o

cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o

cada tercer circuito incluye un circuito de recepción;

50 los N2 segundos circuitos están configurados además para enviar los N2 terceros flujos de código a un PHY de un segundo aparato de recepción, donde el PHY del segundo aparato de recepción incluye N2 cuartos circuitos, los N2 terceros flujos de código están en correspondencia uno a uno con los N2 cuartos circuitos y el primer aparato de recepción es diferente del segundo aparato de recepción;

cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o

55 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización;

o

cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o

cada cuarto circuito incluye un circuito de recepción.

Haciendo referencia al tercer aspecto o a cualquiera de los anteriores posibles modos de implementación del tercer aspecto, en un octavo posible modo de implementación del tercer aspecto,

60 los N1 segundos circuitos están configurados además para enviar los N1 primeros flujos de código a un primer PHY de un aparato de recepción, donde el primer PHY incluye N1 terceros circuitos, y los N1 primeros flujos de código

están en correspondencia uno a uno con los N1 terceros circuitos;
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización;
 5 o
 cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o
 cada tercer circuito incluye un circuito de recepción;
 los N2 segundos circuitos están configurados además para enviar los N2 terceros flujos de código a un segundo PHY del aparato de recepción, donde el segundo PHY del aparato de recepción incluye N2 cuartos circuitos y los N2
 10 terceros flujos de código están en correspondencia uno a uno con los N2 cuartos circuitos;
 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o
 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización;
 o
 15 cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o
 cada cuarto circuito incluye un circuito de recepción.

Un cuarto aspecto de la presente invención da a conocer un dispositivo de red, que incluye:

un circuito de capa física PHY y un controlador de acceso al medio MAC;
 donde N3 primeros circuitos de M primeros circuitos en el PHY están configurados para recibir N3 primeros flujos
 20 de código, procesar los primeros flujos de código recibidos para obtener N3 primeros flujos de datos, y enviar los N3 primeros flujos de datos a un segundo circuito, donde los N3 primeros circuitos están en correspondencia uno a uno con los N3 primeros flujos de código;
 el segundo circuito está configurado para procesar los N3 primeros flujos de datos con el fin de obtener un primer flujo de bloques de datos, y enviar el primer flujo de bloques de datos al MAC; y
 25 el MAC está configurado para combinar el primer flujo de bloques de datos para obtener un primer flujo de paquetes;
 donde el segundo circuito incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N3 primeros flujos de código, y cada primer circuito de los M primeros
 30 circuitos incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o
 el segundo circuito incluye un circuito de descodificación de capa física, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los
 35 N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N3 primeros flujos de código, cada primer circuito de los M primeros circuitos incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización, y el segundo circuito es un circuito en el PHY; o
 el segundo circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física, el segundo circuito es un circuito en el PHY, cada primer circuito de
 40 los M primeros circuitos incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N3 primeros flujos de datos son los N3 primeros flujos de código.

Haciendo referencia al cuarto aspecto, en un primer posible modo de implementación, el PHY está configurado además para deshabilitar, en los M primeros circuitos, por lo menos un primer circuito exceptuando los N3 primeros circuitos.

Haciendo referencia al cuarto aspecto o al primer posible modo de implementación del cuarto aspecto, en un segundo posible modo de implementación, una velocidad de procesamiento máxima que puede ser proporcionada por los N3
 50 primeros circuitos es mayor o igual que una velocidad de los N3 primeros flujos de código.

Haciendo referencia al cuarto aspecto, al primer posible modo de implementación del cuarto aspecto o al segundo posible modo de implementación del cuarto aspecto, en un tercer posible modo de implementación, el dispositivo de red incluye además un circuito de desmultiplexación;
 donde el circuito de desmultiplexación está configurado para recibir X segundos flujos de código, llevar a cabo un
 55 proceso de desmultiplexación sobre los X segundos flujos de código para obtener los N3 primeros flujos de código, y enviar los N3 primeros flujos de código a los N3 primeros circuitos, donde X es un entero positivo menor o igual que N3.

Haciendo referencia al cuarto aspecto, al segundo posible modo de implementación del cuarto aspecto o al tercer posible modo de implementación del cuarto aspecto, en un cuarto posible modo de implementación, los N4 primeros circuitos de los M primeros circuitos están configurados además para recibir N4 terceros flujos de código, procesar los
 60 N4 terceros flujos de código recibidos para obtener N4 segundos flujos de datos, y enviar los N4 segundos flujos de

datos al segundo circuito, donde los N4 primeros circuitos están en correspondencia uno a uno con los N4 terceros flujos de código, y una intersección entre los N4 primeros circuitos y los N3 primeros circuitos es un conjunto vacío; el segundo circuito está configurado además para procesar los N4 segundos flujos de datos con el fin de obtener un segundo flujo de bloques de datos, y enviar el segundo flujo de bloques de datos al MAC; y

5 el MAC está configurado además para combinar el segundo flujo de bloques de datos en un segundo flujo de paquetes; donde el segundo flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N4 terceros flujos de código;

10 o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N4 terceros flujos de código;

15 o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo desaleatorización y descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N4 terceros flujos de código;

20 o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N4 segundos flujos de datos son los N4 terceros flujos de código.

Un quinto aspecto de la presente invención da a conocer un medio de almacenamiento informático, donde el medio de almacenamiento informático almacena un programa, y el programa está configurado para llevar a cabo algunas o todas las etapas del anterior procedimiento de distribución de datos.

25 Un sexto aspecto de la presente invención da a conocer un medio de almacenamiento informático, donde el medio de almacenamiento informático almacena un programa, y el programa está configurado para llevar a cabo algunas o todas las etapas del anterior procedimiento de agregación de datos.

A partir de lo anterior se puede ver que, en algunos modos de implementación de la presente invención, el primer circuito procesa un primer flujo de bloques de datos para obtener un primer flujo de datos; el primer circuito distribuye el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en un circuito de capa física, donde el anterior M es mayor que el anterior N1, y los anteriores N1 y M son enteros positivos; los anteriores N1 segundos circuitos procesan el primer flujo de datos recibido para obtener N1 primeros flujos de código. Dado que el primer circuito puede distribuir selectivamente el primer flujo de datos a los N1 segundos circuitos de los M segundos circuitos en el circuito de capa física según se requiere, y no tiene que distribuir el primer flujo de datos a todos los M segundos circuitos en el circuito de capa física, esto contribuye a implementar que un subcircuito de capa física con una correspondiente capacidad de procesamiento se configure en base al tamaño de un flujo de paquetes de capa superior, y se presenten externamente modos de ancho de banda diversificados en lugar un único modo de ancho de banda fijo. De este modo, comparadas con la técnica anterior, las soluciones técnicas de la presente invención contribuyen a mejorar la flexibilidad de configuración de ancho de banda Ethernet y aumentar la tasa de reutilización de recursos en cierta medida, para cumplir mejor un requisito de configuración de ancho de banda compleja y extender el escenario de aplicación. La invención se define mediante las reivindicaciones independientes de procedimiento 1 y 6 y mediante correspondientes reivindicaciones independientes de dispositivo de red 11 y 16; se definen realizaciones adicionales mediante sus reivindicaciones dependientes.

Breve descripción de los dibujos

45 Para describir más claramente las soluciones técnicas de la presente invención, a continuación se introducen brevemente los dibujos adjuntos que describen realizaciones de la presente invención o de la técnica anterior. Evidentemente, los dibujos adjuntos de la siguiente descripción muestran tan sólo algunas realizaciones de la presente invención.

la figura 1 es un diagrama esquemático de una interfaz de capa de protocolo de control de acceso al medio de velocidad fija, implementada utilizando un único puerto en la técnica anterior;

50 la figura 2 es un diagrama de flujo esquemático de un procedimiento de distribución de datos, según una realización de la presente invención;

la figura 2-b es un diagrama estructural esquemático de un dispositivo de red, según una realización de la presente invención;

55 la figura 2-c es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;

la figura 2-d es un diagrama estructural esquemático de un primer circuito y un segundo circuito, según una realización de la presente invención;

- la figura 2-e es un diagrama estructural esquemático de otro primer circuito y otro segundo circuito, según una realización de la presente invención;
- la figura 2-f es un diagrama estructural esquemático de otro primer circuito y otro segundo circuito, según una realización de la presente invención;
- 5 la figura 2-g es un diagrama estructural esquemático de otro primer circuito y otro segundo circuito, según una realización de la presente invención;
- la figura 2-h es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- 10 la figura 2-i es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- la figura 2-j es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- la figura 2-k es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- 15 la figura 2-l es un diagrama esquemático de interfuncionamiento entre un dispositivo de red y un aparato de recepción, según una realización de la presente invención;
- la figura 2-m es un diagrama esquemático de interfuncionamiento entre otro dispositivo de red y un aparato de recepción, según una realización de la presente invención;
- 20 la figura 2-n es un diagrama esquemático de interfuncionamiento entre otro dispositivo de red y un aparato de recepción, según una realización de la presente invención;
- la figura 2-o es un diagrama esquemático de interfuncionamiento entre otro dispositivo de red y un aparato de recepción, según una realización de la presente invención;
- la figura 3-a es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- 25 la figura 3-b es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- la figura 3-c es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- 30 la figura 3-d es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- la figura 4-a es un diagrama de flujo esquemático de un procedimiento de agregación de datos, según una realización de la presente invención;
- la figura 4-b es un diagrama estructural esquemático de un dispositivo de red, según una realización de la presente invención;
- 35 la figura 4-c es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- la figura 4-d es un diagrama estructural esquemático de un primer circuito y un segundo circuito, según una realización de la presente invención;
- 40 la figura 4-e es un diagrama estructural esquemático de otro primer circuito y otro segundo circuito, según una realización de la presente invención;
- la figura 4-f es un diagrama estructural esquemático de otro primer circuito y otro segundo circuito, según una realización de la presente invención;
- la figura 4-g es un diagrama estructural esquemático de otro primer circuito y otro segundo circuito, según una realización de la presente invención;
- 45 la figura 4-h es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;
- la figura 4-i es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente

invención;

la figura 4-j es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;

5 la figura 4-k es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;

la figura 5-a es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;

la figura 5-b es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención;

10 la figura 5-c es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención; y

la figura 5-d es un diagrama estructural esquemático de otro dispositivo de red, según una realización de la presente invención.

Descripción de realizaciones

15 Las realizaciones de la presente invención dan a conocer un procedimiento de distribución de datos, un procedimiento de agregación de datos y aparatos relacionados, para satisfacer un requisito para configuración de ancho de banda compleja y extender un escenario de aplicación.

20 Para hacer más obvios y comprensibles los objetivos, las características y los méritos de la presente invención, a continuación se describen claramente las soluciones técnicas de la presente invención haciendo referencia los dibujos adjuntos, que muestran realizaciones de la presente invención. Obviamente, las realizaciones que se van a describir a continuación son solamente parte, y no la totalidad, de las realizaciones de la presente invención.

25 Los términos "primero", "segundo", "tercero", "cuarto" y similares, en la descripción y las reivindicaciones de la presente invención, y en los mencionados dibujos adjuntos, se utilizan para diferenciar entre objetos diferentes, y no se utilizan para describir una secuencia específica. Además, los términos "incluye", "tiene" y cualesquiera variantes de los mismos están destinados a comprender una inclusión no exclusiva. Por ejemplo, un proceso, un procedimiento, un sistema, un producto o un dispositivo que incluye una serie de etapas o unidades, no se limita las etapas o unidades que han sido ya enumeradas, sino que puede incluir etapas o unidades que no se han enumerado.

30 De acuerdo con una realización de la presente invención, un procedimiento de distribución de datos puede incluir: recibir un primer flujo de paquetes; dividir el primer flujo de paquetes para obtener un primer flujo de bloques de datos; enviar el primer flujo de bloques de datos a un primer circuito; procesar, mediante el primer circuito, el primer flujo de bloques de datos para obtener un primer flujo de datos; distribuir, mediante el primer circuito, el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en un circuito de capa física (PHY para abreviar en inglés), donde M es mayor que N1, y N1 y M son enteros positivos; y procesar, mediante los N1 segundos circuitos, el primer flujo de datos recibido para obtener N1 primeros flujos de código, donde los N1 segundos circuitos están en correspondencia uno a uno con el N1 primer flujo de código. El primer circuito incluye un circuito de recepción, el primer flujo de datos es el primer flujo de bloques de datos, y cada segundo circuito de los M segundos circuitos incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento; o el primer circuito incluye un circuito de codificación de capa física, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos incluye un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, y el primer circuito es un circuito en el PHY; o el primer circuito incluye un circuito de codificación de capa física y un circuito de aleatorización, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos incluye un circuito de introducción de marcador de alineamiento, y el primer circuito es un circuito en el PHY; o el primer circuito incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos incluye un circuito de recepción, y el primer circuito es un circuito en el PHY.

50 Haciendo referencia a la figura 2-a, la figura 2-a es un diagrama de flujo esquemático de un procedimiento de distribución de datos, según una realización de la presente invención. Una entidad para ejecutar el procedimiento de distribución de datos puede ser un dispositivo de red, y el dispositivo de red puede ser un rúter, un conmutador de red, un cortafuegos, un centro de datos, un dispositivo de multiplexación por división de longitud de onda, un dispositivo de balance de carga u otro tipo de dispositivo de red. Tal como se muestra en la figura 2-a, el procedimiento de distribución de datos según la realización de la presente invención puede incluir el siguiente contenido:
 55 201. Recibir un primer flujo de paquetes.

Una entidad para ejecutar la etapa 201 puede ser un controlador de acceso al medio (en inglés, media access controller, MAC para abreviar).

5 El primer flujo de paquetes se refiere a un flujo de datos que incluye una serie de paquetes. Por ejemplo, el primer flujo de paquetes puede ser un flujo de paquetes IP o un flujo de tramas Ethernet. El flujo de paquetes IP se refiere a un flujo de datos que incluye una serie de paquetes IP. El flujo de tramas Ethernet se refiere a un flujo de datos que incluye una serie de tramas Ethernet.

202. Dividir el primer flujo de paquetes para obtener un primer flujo de bloques de datos.

10 En algunas realizaciones de la presente invención, la división de un primer flujo de paquetes para obtener un primer flujo de bloques de datos puede incluir: dividir cada paquete del primer flujo de paquetes en bloques para obtener el primer flujo de bloques de datos, donde cada paquete se puede dividir en una serie de bloques de datos.

Por ejemplo, un circuito de formación de bloques en el MAC puede dividir el primer flujo de paquetes para obtener un primer flujo de bloques de datos.

203. Enviar el primer flujo de bloques de datos a un primer circuito.

15 Por ejemplo, el circuito de formación de bloques en el MAC puede enviar el primer flujo de bloques de datos al primer circuito.

204. El primer circuito procesa el primer flujo de bloques de datos para obtener un primer flujo de datos.

El primer circuito puede ser un circuito en el MAC, o puede ser un circuito en un PHY.

205. El primer circuito distribuye el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en un circuito de capa física PHY, donde M es mayor que N1, N1 es un entero positivo y M es un entero positivo.

20 206. Los N1 segundos circuitos procesan el primer flujo de datos recibido para obtener N1 primeros flujos de código, donde los N1 segundos circuitos están en correspondencia uno a uno con los N1 primeros flujos de código.

Por ejemplo, un primer flujo de código de los N1 primeros flujos de código puede ser un flujo de bits en serie. Los N1 primeros flujos de código pueden ser flujos de bits enviados por un dispositivo de serialización/deserialización (en inglés, serializer/deserializer, serdes para abreviar).

25 Haciendo referencia a la figura 2-b y a la figura 2-c, la figura 2-b y la figura 2-c son dos tipos de dispositivos de red que pueden implementar el procedimiento de distribución de datos mostrado en la figura 2-a, de acuerdo con la realización de la presente invención. Los dispositivos de red mostrados en la figura 2-b y la figura 2-c incluyen un MAC y un circuito de capa física (PHY para abreviar) cada uno. En el dispositivo de red mostrado en la figura 2-b, el MAC incluye un primer circuito y el PHY incluye M segundos circuitos. En el dispositivo de red mostrado en la figura 2-c, el PHY incluye un primer circuito y M segundos circuitos.

30 El primer circuito puede incluir un circuito de recepción. En este escenario, que el primer circuito procese el primer flujo de bloques de datos para obtener un primer flujo de datos puede incluir que: el primer circuito lleve a cabo un proceso de recepción sobre el primer flujo de bloques de datos para obtener el primer flujo de datos. El primer flujo de datos es, por ejemplo, el primer flujo de bloques de datos. Cada segundo circuito de los M segundos circuitos incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento (marcador de alineamiento). Que los N1 segundos circuitos procesen el primer flujo de datos recibido para obtener N1 primeros flujos de código puede incluir específicamente que: los N1 segundos circuitos lleven a cabo un proceso de codificación de capa física sobre el primer flujo de datos recibido (específicamente, el circuito de codificación de capa física en cada segundo circuito puede llevar a cabo un proceso de aleatorización sobre el primer flujo de datos recibido), lleven a cabo un proceso de aleatorización sobre un flujo de datos que ha sufrido el proceso de codificación de capa física (el circuito de aleatorización en cada segundo circuito puede llevar a cabo un proceso de aleatorización sobre el primer flujo de datos recibido) y lleven a cabo un proceso de introducción de marcador de alineamiento sobre un flujo de datos que ha sufrido el proceso de aleatorización (específicamente, el circuito de introducción de marcador de alineamiento en cada segundo circuito puede llevar a cabo un proceso de introducción de marcador de alineamiento sobre un flujo de datos que ha sufrido el proceso de aleatorización), para obtener los N1 primeros flujos de código. Una posible estructura de circuito en este escenario de aplicación se puede mostrar en la figura 2-d. Tal como se muestra en la figura 2-d, un primer circuito incluye un circuito de recepción, y un segundo circuito incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento.

50 Por ejemplo, la codificación de capa física puede ser codificación 4b/5b, codificación 8b/10b, codificación 64b/66b u otro tipo de codificación de capa física.

Para detalles sobre un marcador de alineamiento, ver el documento IEEE802.3.

Opcionalmente, el primer circuito puede incluir un circuito de codificación de capa física. El primer flujo de datos es un

flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el primer flujo de bloques de datos. Cada segundo circuito de los M segundos circuitos puede incluir un circuito de aleatorización y un circuito de introducción de marcador de alineamiento. El primer circuito es un circuito en un PHY. En este escenario, que el primer circuito procese el primer flujo de bloques de datos para obtener un primer flujo de datos puede incluir que: el primer circuito lleve a cabo un proceso de codificación de capa física sobre el primer flujo de bloques de datos para obtener el primer flujo de datos. Que los N1 segundos circuitos procesen el primer flujo de datos recibido para obtener N1 primeros flujos de código, puede incluir específicamente que: los N1 segundos circuitos lleven a cabo un proceso de aleatorización sobre el primer flujo de datos recibido (específicamente, el circuito de aleatorización en cada segundo circuito puede llevar a cabo un proceso de aleatorización sobre el primer flujo de datos recibido), y lleven a cabo un proceso de introducción de marcador de alineamiento sobre un flujo de datos que ha sufrido el proceso de aleatorización (específicamente, el circuito de introducción de marcador de alineamiento en cada segundo circuito puede llevar a cabo un proceso de introducción de marcador de alineamiento sobre un flujo de datos que ha sufrido el proceso de aleatorización), para obtener los N1 primeros flujos de código. Una posible estructura de circuito en este escenario de aplicación se puede mostrar en la figura 2-e. Tal como se muestra en la figura 2-e, un primer circuito incluye un circuito de codificación de capa física, y un segundo circuito incluye un circuito de aleatorización y un circuito de introducción de marcador de alineamiento.

Opcionalmente, el primer circuito puede incluir un circuito de codificación de capa física y un circuito de aleatorización. El primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el primer flujo de bloques de datos. Cada segundo circuito de los M segundos circuitos incluye un circuito de introducción de marcador de alineamiento. El primer circuito es un circuito en un PHY. En este escenario, que el primer circuito procese el primer flujo de bloques de datos para obtener un primer flujo de datos puede incluir, por ejemplo, que: el primer circuito lleve a cabo un proceso de codificación de capa física sobre el primer flujo de bloques de datos (específicamente, el circuito de codificación de capa física en el primer circuito puede llevar a cabo un proceso de codificación de capa física sobre el primer flujo de bloques de datos), y lleve a cabo un proceso de aleatorización sobre un flujo de bloques de datos que ha sufrido la codificación de capa física (específicamente, el circuito de aleatorización en el primer circuito puede llevar a cabo un proceso de aleatorización sobre el flujo de bloques de datos que ha sufrido el proceso de codificación de capa física), para obtener el primer flujo de datos. Que los N1 segundos circuitos procesen el primer flujo de datos recibido para obtener N1 primeros flujos de código puede incluir específicamente que: los N1 segundos circuitos lleven a cabo un proceso de introducción de marcador de alineamiento sobre el primer flujo de datos recibido para obtener los N1 primeros flujos de código. Una posible estructura de circuito en este escenario de aplicación se puede mostrar en la figura 2-f. Tal como se muestra en la figura 2-f, un primer circuito incluye un circuito de codificación de capa física y un circuito de aleatorización, y un segundo circuito incluye un circuito de introducción de marcador de alineamiento.

Opcionalmente, el primer circuito puede incluir un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento. El primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el primer flujo de bloques de datos. Cada segundo circuito de los M segundos circuitos incluye un circuito de recepción. El primer circuito es un circuito en un PHY. En este escenario, que el primer circuito procese el primer flujo de bloques de datos para obtener un primer flujo de datos puede incluir, por ejemplo, que: el primer circuito lleve a cabo un proceso de codificación de capa física sobre el primer flujo de bloques de datos (específicamente, el circuito de codificación de capa física en el primer circuito puede llevar a cabo un proceso de codificación de capa física sobre el primer flujo de bloques de datos), lleve a cabo un proceso de aleatorización sobre un flujo de bloques de datos que ha sufrido la codificación de capa física (específicamente, el circuito de aleatorización en el primer circuito puede llevar a cabo un proceso de aleatorización sobre el flujo de bloques de datos que ha sufrido el proceso de codificación de capa física), y lleve a cabo un proceso de introducción de marcador de alineamiento sobre un flujo de bloques de datos que ha sufrido el proceso de aleatorización (específicamente, el circuito de introducción de marcador de alineamiento en el primer circuito puede llevar a cabo un proceso de introducción de marcador de alineamiento sobre el flujo de bloques de datos que ha sufrido el proceso de aleatorización), para obtener el primer flujo de datos. Una posible estructura de circuito en este escenario de aplicación se puede mostrar en la figura 2-g. Tal como se muestra en la figura 2-g, un primer circuito incluye un circuito de codificación de capa física, un circuito de aleatorización, un circuito de introducción de marcador de alineamiento.

Se puede ver que, en las realizaciones, un primer circuito procesa un primer flujo de bloques de datos recibido, para obtener un primer flujo de datos; el primer circuito distribuye el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en un circuito de capa física, donde M es mayor que N1, y N1 y M son enteros positivos; y los N1 segundos circuitos procesan el primer flujo de datos recibido, para obtener N1 primeros flujos de código. Dado que el primer circuito puede distribuir selectivamente el primer flujo de datos a los N1 segundos circuitos de los M segundos circuitos en el circuito de capa física según se requiera, y no tiene que distribuir el primer flujo de datos a todos los M segundos circuitos en el circuito de capa física, esto contribuye a implementar que un subcircuito de capa física con una correspondiente capacidad de procesamiento se configure en base al tamaño de un flujo de paquetes de capa superior, y se presenten externamente modos de ancho de banda diversificados en lugar un único modo de ancho de banda fijo. De este modo, comparadas con la técnica anterior, las soluciones técnicas de las realizaciones contribuyen a mejorar la flexibilidad de la configuración de ancho de banda de Ethernet y a aumentar la tasa de reutilización de recursos en cierta medida, para cumplir mejor un requisito para configuración de ancho de banda compleja y extender

un escenario de aplicación.

En algunas realizaciones de la presente invención, si M es mayor que N1, en el M segundos circuito se puede deshabilitar además por lo menos un segundo circuito exceptuando los N1 segundos circuitos. Deshabilitando algunos segundos circuitos inactivos se puede reducir el consumo de energía.

- 5 En algunas realizaciones de la presente invención, una velocidad de procesamiento máxima que puede ser proporcionada por los N1 segundos circuitos es mayor o igual que una velocidad del primer flujo de bloques de datos. En una aplicación real, el número de segundos circuitos participantes se puede determinar (es decir, se determina el valor de N1) en base a la velocidad del primer flujo de bloques de datos. Ciertamente, los N1 segundos circuitos pueden asimismo configurarse directamente para participar en el proceso relacionado con el primer flujo de bloques de datos. Si la velocidad de procesamiento máxima que puede ser proporcionada por los N1 segundos circuitos es mayor o igual que la velocidad del primer flujo de bloques de datos, se garantiza que el primer flujo de bloques de datos es procesado instantáneamente.

- 10 En algunas realizaciones de la presente invención, después de que los N1 segundos circuitos procesen el primer flujo de datos para obtener los N1 primeros flujos de código, el procedimiento de distribución de datos puede incluir además: enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un circuito de multiplexación (multiplexor); llevar a cabo, mediante el circuito de multiplexación, un proceso de multiplexación sobre los N1 primeros flujos de código para obtener X segundos flujos de código, donde X es un entero positivo menor o igual que N1, por ejemplo, X es igual a 1, 2, 3 u otro entero positivo. En este escenario de aplicación, una posible estructura de circuito se puede mostrar en la figura 2-h y en la figura 2-i, donde el circuito de multiplexación lleva a cabo un proceso de multiplexación sobre los N1 primeros flujos de código para obtener X segundos flujos de código. La figura 2-h y la figura 2-i muestran asimismo que el circuito de multiplexación puede ser sustituido por una caja de velocidades (en inglés, gearbox) para cambiar la velocidad de los primeros flujos de código.

- 15 En algunas otras realizaciones de la presente invención, después de que los N1 segundos circuitos procesen el primer flujo de datos para obtener los N1 primeros flujos de código, el procedimiento de distribución de datos puede incluir además: enviar, mediante N12 segundos circuitos de N1 segundos circuitos, N12 primeros flujos de código al circuito de multiplexación; llevar a cabo, mediante el circuito de multiplexación, un proceso de multiplexación sobre los N12 primeros flujos de código para obtener X2 segundos flujos de código, donde X2 es un entero positivo menor o igual que N12, por ejemplo, X2 puede ser igual a 1, 2, 3 u otro entero positivo. En este escenario de aplicación, una posible estructura de circuito se puede mostrar en la figura 2-j y en la figura 2-k, donde el circuito de multiplexación lleva a cabo un proceso de multiplexación sobre los N12 primeros flujos de código para obtener X2 segundos flujos de código. La figura 2-j y la figura 2-k muestran asimismo que el circuito de multiplexación puede ser sustituido por una caja de velocidades para cambiar la velocidad de los primeros flujos de código.

A continuación se describe un ejemplo de algunos escenarios de aplicación en los que la interacción se lleva a cabo con un dispositivo homólogo (es decir, un aparato de recepción).

- 35 El aparato de recepción puede ser un rúter, un conmutador de red, un cortafuegos, un centro de datos, un dispositivo de multiplexación por división de longitud de onda, un dispositivo de balance de carga u otro tipo de dispositivo de red.

- 40 En algunas realizaciones de la presente invención, el procedimiento de distribución de datos puede incluir además: enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un PHY del aparato de recepción, donde el número de terceros circuitos en el PHY del aparato de recepción es N1 y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos. Cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción. En este escenario de aplicación, una posible estructura de circuito puede ser la mostrada en la figura 2-l. Tal como se muestra en la figura 2-l, los N1 segundos circuitos pueden enviar los N1 primeros flujos de código al PHY del aparato de recepción, donde el número de terceros circuitos en el PHY del aparato de recepción es de N1.

En algunas otras realizaciones de la presente invención, el procedimiento de distribución de datos puede incluir además:

- 50 enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un PHY de un aparato de recepción, donde el PHY del aparato de recepción puede incluir M2 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con N1 terceros circuitos de los M2 terceros circuitos. Cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción. M2 es mayor, igual o menor que N. En este escenario de aplicación, una posible estructura de circuito puede ser la mostrada en la figura 2-m. Tal como se muestra en la figura 2-m, los N1 segundos circuitos envían los N1 primeros flujos de código al PHY del aparato de recepción, donde el número de terceros circuitos en el PHY del aparato de recepción es de M2.

En algunas realizaciones de la presente invención, el primer circuito y los N2 segundos circuitos de los M segundos circuitos pueden procesar además otro flujo de paquetes (que se puede denominar un segundo flujo de paquetes), lo que contribuye a aumentar más la tasa de reutilización de circuitos. Por ejemplo, el procedimiento de distribución de datos puede incluir además:

- 5 recibir un segundo flujo de paquetes;
 dividir el segundo flujo de paquetes en un segundo flujo de bloques de datos;
 enviar el segundo flujo de bloques de datos al primer circuito;
 procesar, mediante el primer circuito, el segundo flujo de bloques de datos para obtener un segundo flujo de datos;
 10 distribuir, mediante el primer circuito, el segundo flujo de datos a los N2 segundos circuitos de los M segundos circuitos en el PHY, donde M es mayor que N2, N2 es un entero positivo, y una intersección entre los N2 segundos circuitos y los N1 segundos circuitos es un conjunto vacío (es decir, cualquier segundo circuito de los N2 segundos circuitos es diferente de cualquier segundo circuito de los N1 segundos circuitos. Se puede comprender que $N1 + N2$ es menor o igual que M); y
 15 procesar, mediante los N2 segundos circuitos, el segundo flujo de datos recibido para obtener N2 terceros flujos de código, donde los N2 segundos circuitos están en una correspondencia uno a uno con los N2 terceros flujos de código;
 donde el segundo flujo de datos es el segundo flujo de bloques de datos; o el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el segundo flujo de bloques de datos; o el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el segundo flujo de bloques de datos; o el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el segundo flujo de bloques de datos.
 20

Por ejemplo, "primero" y "segundo" en el primer flujo de paquetes y el segundo flujo de paquetes se utilizan para diferenciar flujos de paquetes de atributos diferentes. Un atributo del "primer flujo de paquetes" es diferente de un atributo del "segundo flujo de paquetes". Específicamente, una cabecera de un paquete en el "primer flujo de paquetes" es diferente de una cabecera de un paquete en el "segundo flujo de paquetes". Una cabecera de un paquete puede ser una cabecera exterior del paquete o una cabecera contenida en el paquete.

Por ejemplo, una cabecera exterior de un paquete IP es una cabecera IP. Una capa de la cabecera contenida en el paquete IP puede ser una capa 2.5, una capa 3 o una capa 4. Por ejemplo, un protocolo de capa 2.5 puede ser un protocolo de conmutación de etiquetas de multiprotocolo (multiprotocol label switching, MPLS para abreviar). Un protocolo de capa 3 puede ser IP. Un protocolo de capa 4 puede ser el protocolo de control de transmisión (transmission control protocol, TCP para abreviar). Una cabecera exterior de una trama Ethernet es una cabecera de trama. Una capa de la cabecera contenida en la trama de Ethernet puede ser una capa 2.5, una capa 3 o una capa 4. Para la capa 2.5, la capa 3 o la capa 4, se hace referencia al modelo de referencia de interconexión de sistemas abiertos (modelo de referencia de interconexión de sistemas abiertos).
 30
 35

A continuación se describe un ejemplo de algunos otros escenarios de aplicación en los que se lleva a cabo interacción con un dispositivo homólogo (es decir, un aparato de recepción).

El aparato de recepción puede ser un router, un conmutador de red, un cortafuegos, un centro de datos, un dispositivo de multiplexación por división de longitud de onda, un dispositivo de balance de carga u otro tipo de dispositivo de red.

- 40 En algunas realizaciones de la presente invención, el procedimiento de distribución de datos puede incluir además:
 enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un PHY de un primer aparato de recepción, donde el PHY del primer aparato de recepción incluye N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos; y cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física;
 45 o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción. Los N2 segundos circuitos envían además los N2 terceros flujos de código a un PHY de un segundo aparato de recepción, donde el PHY del segundo aparato de recepción incluye N2 cuartos circuitos, los N2 terceros flujos de código están en correspondencia uno a uno con los N2 cuartos circuitos, y el primer aparato de recepción es diferente del segundo aparato de recepción. Cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física;
 50 o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o cada cuarto circuito incluye un circuito de recepción. En este escenario de aplicación, una posible estructura de circuito se puede mostrar en la figura 2-n, donde los N1 segundos circuitos envían los N1 primeros flujos de código al PHY del primer aparato de recepción, y los N2 segundos circuitos envían los N2 primeros flujos de código al PHY del segundo aparato de recepción. El número de terceros circuitos en el PHY del primer aparato de recepción es N1. El número de cuartos circuitos en el PHY del segundo aparato de recepción es N2.
 55

- 60 En algunas otras realizaciones de la presente invención, el procedimiento de distribución de datos puede incluir además: enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un primer PHY de un aparato

de recepción, donde el primer PHY incluye N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos. Cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción. Los N2 segundos circuitos pueden incluir además enviar los N2 terceros flujos de código a un segundo PHY del aparato de recepción, donde el segundo PHY del aparato de recepción incluye N2 cuartos circuitos, y los N2 terceros flujos de código están en correspondencia uno a uno con los N2 cuartos circuitos. Cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o cada cuarto circuito incluye un circuito de recepción. En este escenario de aplicación, una posible estructura de circuito se puede mostrar en la figura 2-o, donde los N1 segundos circuitos envían los N1 primeros flujos de código al primer PHY del aparato de recepción, y los N2 segundos circuitos envían los N2 primeros flujos de código al segundo PHY del aparato de recepción. El número de terceros circuitos en el primer PHY del aparato de recepción es N1. El número de cuartos circuitos en el segundo PHY del aparato de recepción es N2.

En algunas aplicaciones reales, un dispositivo de red local puede asimismo llevar a cabo transmisión de datos con otro dispositivo de otro modo, lo que no se describe en mayor detalle en la presente memoria.

A continuación se describe en mayor detalle un ejemplo de un escenario de aplicación más práctico de distribución de datos.

Se supone que una capa de red de un dispositivo de red produce un primer flujo de paquetes con una velocidad máxima de 100 Gpbs y un segundo flujo de paquetes con una velocidad máxima de 200 Gpbs simultáneamente, donde la capacidad de procesamiento máxima de un MAC y un PHY del dispositivo de red es de 400 Gpbs; y se supone que el PHY tiene 16 segundos circuitos, donde una velocidad de procesamiento máxima de cada segundo circuito es de 25 Gpbs. Por lo tanto, 4 segundos circuitos de los 16 segundos circuitos están configurados para llevar a cabo un proceso relacionado sobre el primer flujo de paquetes, y 8 segundos circuitos de los 16 segundos circuitos están configurados para llevar a cabo un proceso relacionado sobre el segundo flujo de paquetes. El primer circuito incluye un circuito de codificación de capa física, y cada segundo circuito incluye un circuito de aleatorización y un circuito de introducción de marcador de alineamiento.

Después de recibir el primer flujo de paquetes, el MAC divide el primer flujo de paquetes para obtener un primer flujo de bloques de datos; el MAC envía el primer flujo de bloques de datos al primer circuito; el circuito de codificación de capa física en el primer circuito lleva a cabo un proceso de codificación de capa física sobre el primer flujo de bloques de datos para obtener un primer flujo de datos; el primer circuito distribuye el primer flujo de datos (es decir, el primer flujo de datos es dividido en 4 partes) a los 4 segundos circuitos de los 16 segundos circuitos en el PHY; y los 4 segundos circuitos llevan a cabo un proceso de aleatorización y un proceso de introducción de marcador de alineamiento sobre el primer flujo de datos recibido para obtener 4 primeros flujos de código, donde los 4 segundos circuitos están en correspondencia uno a uno con los 4 primeros flujos de código.

De manera similar, después de recibir el segundo flujo de paquetes, el MAC divide el segundo flujo de paquetes en un segundo flujo de bloques de datos; el MAC envía el segundo flujo de bloques de datos al primer circuito; el circuito de codificación de capa física en el primer circuito lleva a cabo un proceso de codificación de capa física sobre el segundo flujo de bloques de datos para obtener un segundo flujo de datos; el primer circuito distribuye el segundo flujo de datos (es decir, el segundo flujo de datos es dividido en 8 partes) a 8 segundos circuitos (ciertamente, los 8 segundos circuitos son diferentes de los anteriores 4 segundos circuitos) de los 16 segundos circuitos en el PHY; y los 8 segundos circuitos llevan a cabo un proceso de aleatorización y un proceso de introducción de marcador de alineamiento sobre el segundo flujo de datos recibido para obtener 8 terceros flujos de código, donde los 8 segundos circuitos están en correspondencia uno a uno con los 8 terceros flujos de código.

Dado que siguen existiendo 4 segundos circuitos inactivos en el actual PHY, el PHY puede deshabilitar los 4 segundos circuitos inactivos.

A partir del ejemplo anterior se puede ver que, en base a la solución de la realización de la presente invención, el dispositivo de red puede procesar simultáneamente una serie de flujos de paquetes correspondientes a servicios diferentes, soportar configuración de interfaces de una menor granularidad, y puede presentar interfaces de una serie de velocidades externamente, lo que contribuye a implementar un trabajo en red más flexible, a mejorar la utilización de los recursos y a reducir el consumo de energía, y ayuda además a cumplir un requisito para configuración de ancho de banda compleja y a extender el escenario de aplicación.

Se puede ver que, debido a que se introducen una serie de segundos circuitos en las realizaciones, se puede soportar configuración de interfaces de una menor granularidad, y el número de segundos circuitos que participan en el proceso se puede configurar dinámicamente a conveniencia, lo que contribuye a implementar un trabajo en red más flexible.

Además, debido a que el MAC y el PHY pueden tener diferente ancho de banda de trabajo (por ejemplo, el ancho de

- banda del MAC es 400 G, mientras que el PHY puede incluir 40 segundos circuitos con un ancho de banda de 10 G cada uno). Comparadas con una tecnología en la que el MAC y el PHY tienen el mismo ancho de banda de trabajo, en las soluciones de las realizaciones se consigue una mayor utilización de los recursos, y la configuración y el trabajo en red se hacen más flexibles. Además, el número de segundos circuitos de trabajo en el PHY se puede configurar, lo que contribuye a implementar una combinación IP + óptico perfecta con una red óptica futura de ancho de banda flexible, y a resolver el problema de un posible desequilibrio de carga entre diferentes enlaces en caso de compartición de carga por flujo/por paquetes. Al seleccionar la localización de un circuito a distribuir, se puede maximizar la reutilización de recursos. Además, se puede utilizar un mecanismo, tal como un mecanismo de distribución jerárquica y agregación, y un mecanismo de preprocesamiento, para conseguir el objetivo de mayores ahorros de energía.
- 5
- 10 Para una mejor comprensión e implementación de soluciones de distribución de datos de las realizaciones de la presente invención, a continuación se da a conocer un aparato relacionado, configurado para implementar la solución de distribución de datos.
- Haciendo referencia a la figura 3-a y a la figura 3-b, una realización de la presente invención da a conocer un dispositivo de red 300. El dispositivo de red 300 puede estar configurado para llevar a cabo el procedimiento mostrado en la figura 2-a. El dispositivo de red 300 puede ser un router, un conmutador de red, un cortafuegos, un centro de datos, un dispositivo de multiplexación por división de longitud de onda, un dispositivo de balance de carga u otro tipo de dispositivo de red. El dispositivo de red 300 puede incluir:
- 15 un MAC 310 y un PHY 320.
- El MAC 310 está configurado para recibir un primer flujo de paquetes, dividir el primer flujo de paquetes para obtener un primer flujo de bloques de datos, y enviar el primer flujo de bloques de datos a un primer circuito 311.
- 20 El primer circuito 311 está configurado para procesar el primer flujo de bloques de datos para obtener un primer flujo de datos, y distribuir el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en el PHY; donde M es mayor que N1, N1 es un entero positivo y M es un entero positivo.
- En un escenario de aplicación en el que el primer circuito 311 está localizado en el MAC 310, que el MAC 310 divida el primer flujo de paquetes para obtener un primer flujo de bloques de datos y envíe el primer flujo de bloques de datos a un primer circuito puede incluir que: un circuito de formación de bloques en el MAC 310 divida el primer flujo de paquetes en el primer flujo de bloques de datos, y envíe el primer flujo de bloques de datos al primer circuito 311.
- 25 Los N1 segundos circuitos 321 están configurados para procesar el primer flujo de datos recibido, para obtener N1 primeros flujos de código, donde los N1 segundos circuitos 321 están en correspondencia uno a uno con los N1 primeros flujos de código.
- 30 El primer circuito en 311 incluye un circuito de recepción, y el primer flujo de datos es el primer flujo de bloques de datos. Cada segundo circuito 321 de los M segundos circuitos 321 incluye un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento.
- Opcionalmente,
- 35 el primer circuito 311 incluye un circuito de codificación de capa física; el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el primer flujo de bloques de datos, cada segundo circuito 321 de los M segundos circuitos 321 incluye un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, y el primer circuito 311 es un circuito en el PHY 320.
- Opcionalmente,
- 40 el primer circuito 311 incluye un circuito de codificación de capa física y un circuito de aleatorización; el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el primer flujo de bloques de datos, cada segundo circuito 321 de los M segundos circuitos 321 incluye un circuito de introducción de marcador de alineamiento, y el primer circuito 311 es un circuito en el PHY 320.
- Opcionalmente,
- 45 el primer circuito 311 puede incluir un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el primer flujo de bloques de datos, cada segundo circuito 321 de los M segundos circuitos 321 incluye un circuito de recepción, y el primer circuito 311 es un circuito en el PHY 320.
- 50 El primer flujo de paquetes se refiere a un flujo de datos que incluye una serie de paquetes. Por ejemplo, el primer flujo de paquetes puede ser un flujo de paquetes IP o un flujo de tramas Ethernet. El flujo de paquetes IP se refiere a un flujo de datos que incluye una serie de paquetes IP. El flujo de tramas Ethernet se refiere a un flujo de datos que incluye una serie de tramas Ethernet.
- 55 En algunas realizaciones de la presente invención, el PHY 320 está configurado además para deshabilitar, en los M segundos circuitos 321, por lo menos un segundo circuito 321 exceptuando los N1 segundos circuitos 321.

En algunas realizaciones de la presente invención, una velocidad de procesamiento máxima que puede ser proporcionada por los N1 segundos circuitos 321 es mayor o igual que una velocidad del primer flujo de bloques de datos.

5 Haciendo referencia a la figura 3-c y a la figura 3-d, en algunas realizaciones de la presente invención, el dispositivo de red 300 puede incluir además:
un circuito de multiplexación 330, y los N1 segundos circuitos 321 están configurados además para enviar N1 primeros flujos de código al circuito de multiplexación 330.

10 El circuito de multiplexación 330 está configurado para llevar a cabo un proceso de multiplexación sobre los N1 primeros flujos de código para obtener X segundos flujos de código, donde X es un entero positivo menor o igual que N1.

En algunas realizaciones de la presente invención, el MAC 310 puede estar configurado además para recibir un segundo flujo de paquetes, dividir el segundo flujo de paquetes en un segundo flujo de bloques de datos y enviar el segundo flujo de bloques de datos al primer circuito;
15 el primer circuito 311 está configurado además para procesar el segundo flujo de bloques de datos para obtener un segundo flujo de datos, y distribuir el segundo flujo de datos a N2 segundos circuitos de los M segundos circuitos en el PHY, donde M es mayor que N2, N2 es un entero positivo, y una intersección entre los N2 segundos circuitos y los N1 segundos circuitos es un conjunto vacío; y
20 los N2 segundos circuitos 321 están configurados además para procesar el segundo flujo de datos recibido para obtener N2 terceros flujos de código, donde los N2 segundos circuitos están en correspondencia uno a uno con los N2 terceros flujos de código.

El segundo flujo de datos es el segundo flujo de bloques de datos.

Opcionalmente, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el segundo flujo de bloques de datos.

25 Opcionalmente, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el segundo flujo de bloques de datos.

Opcionalmente, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el segundo flujo de bloques de datos.

30 Por ejemplo, "primero" y "segundo" en el primer flujo de paquetes y el segundo flujo de paquetes se utilizan para diferenciar flujos de paquetes de atributos diferentes. Un atributo del "primer flujo de paquetes" es diferente de un atributo del "segundo flujo de paquetes". Específicamente, una cabecera de un paquete en el "primer flujo de paquetes" es diferente de una cabecera de un paquete en el "segundo flujo de paquetes". Una cabecera de un paquete puede ser una cabecera exterior del paquete o una cabecera contenida en el paquete.

35 Por ejemplo, una cabecera exterior de un paquete IP es una cabecera IP. Una capa de la cabecera contenida en el paquete IP puede ser una capa 2.5, una capa 3 o una capa 4. Por ejemplo, un protocolo de la capa 2.5 puede ser el protocolo MPLS. Un protocolo de capa 3 puede ser IP. Un protocolo de capa 4 puede ser TCP. Una cabecera exterior de una trama de Ethernet puede ser una cabecera de trama. Una capa de la cabecera contenida en la trama de Ethernet puede ser una capa 2.5, una capa 3 o una capa 4. Para la capa 2.5, la capa 3 o la capa 4 se hace referencia al modelo de referencia de interconexión de sistemas abiertos.

40 En algunas realizaciones de la presente invención, los N1 segundos circuitos 321 están configurados además para enviar los N1 primeros flujos de código a un PHY de un aparato de recepción. El PHY del aparato de recepción puede, por ejemplo, incluir solamente N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos. Cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción.

45 En algunas otras realizaciones de la presente invención, los N1 segundos circuitos 321 están configurados además para enviar los N1 primeros flujos de código a un PHY de un aparato de recepción, donde el PHY del aparato de recepción puede incluir M2 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos de los M2 terceros circuitos. Cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción. M2 es mayor, igual o menor que M.

55 En algunas otras realizaciones de la presente invención, los N1 segundos circuitos 321 pueden estar configurados además para enviar los N1 primeros flujos de código a un PHY de un primer aparato de recepción, donde el PHY del

5 primer aparato de recepción incluye N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos; y cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción.

10 Los N2 segundos circuitos 321 pueden estar configurados además para enviar N2 segundos flujos de código a un PHY de un segundo aparato de recepción, donde el PHY del segundo aparato de recepción incluye N2 cuartos circuitos, y los N2 segundos flujos de código están en correspondencia uno a uno con los N2 cuartos circuitos. El primer aparato de recepción es diferente del segundo aparato de recepción, y cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o cada cuarto circuito incluye un circuito de recepción.

15 En algunas otras realizaciones de la presente invención, los N1 segundos circuitos 321 pueden estar configurados además para enviar los N1 primeros flujos de código a un primer PHY de un aparato de recepción. El primer PHY incluye N1 terceros circuitos, y los N1 primeros flujos de código están en correspondencia uno a uno con los N1 terceros circuitos. Cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada tercer circuito incluye un circuito de eliminación de marcador de alineamiento; o cada tercer circuito incluye un circuito de recepción.

20 Los N2 segundos circuitos 321 pueden estar configurados además para enviar los N2 segundos flujos de código a un segundo PHY de un aparato de recepción, donde el segundo PHY del aparato de recepción incluye N2 cuartos circuitos, y los N2 segundos flujos de código están en correspondencia uno a uno con los N2 cuartos circuitos. Cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización; o cada cuarto circuito incluye un circuito de eliminación de marcador de alineamiento; o cada cuarto circuito incluye un circuito de recepción.

30 Se puede ver que, en las realizaciones, un primer circuito de un dispositivo de red 300 procesa un primer flujo de bloques de datos recibido para obtener un primer flujo de datos; el primer circuito distribuye el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en un circuito de capa física, donde M es mayor que N1, y N1 y M son enteros positivos; y los N1 segundos circuitos procesan el primer flujo de datos recibido para obtener N1 primeros flujos de código. Dado que el primer circuito puede distribuir selectivamente el primer flujo de datos a los N1 segundos circuitos de los M segundos circuitos en el circuito de capa física según se requiera, y no tiene que distribuir el primer flujo de datos a todos los M segundos circuitos en el circuito de capa física, esto contribuye a implementar que un subcircuito de capa física con una correspondiente capacidad de procesamiento se configure en base al tamaño de un flujo de paquetes de capa superior, y se presenten externamente modos de ancho de banda diversificados en lugar un único modo de ancho de banda fijo. De este modo, comparadas con la técnica anterior, las soluciones técnicas de las realizaciones contribuyen a mejorar la flexibilidad de la configuración de ancho de banda de Ethernet y a aumentar la tasa de reutilización de recursos en cierta medida, para cumplir mejor un requisito para configuración de ancho de banda compleja y extender un escenario de aplicación.

Además, en las realizaciones, debido a que se introducen una serie de segundos circuitos, se puede soportar configuración de interfaces de menor granularidad, y el número de segundos circuitos que participan en el proceso se puede configurar dinámicamente a conveniencia, lo que contribuye a implementar un trabajo en red más flexible.

45 Además, debido a que el MAC y el PHY pueden tener diferente ancho de banda de trabajo (por ejemplo, el ancho de banda del MAC es 400 G, mientras que el PHY puede incluir 40 segundos circuitos con un ancho de banda de 10 G cada uno). Comparadas con una tecnología en la que el MAC y el PHY tienen el mismo ancho de banda de trabajo, en las soluciones de las realizaciones se consigue una mayor utilización de los recursos, y la configuración y el trabajo en red se hacen más flexibles. Además, el número de segundos circuitos de trabajo en el PHY se puede configurar, lo que contribuye a implementar una combinación IP + óptica perfecta con una red óptica futura de ancho de banda flexible, y a resolver el problema de un posible desequilibrio de carga entre diferentes enlaces en caso de compartición de carga por flujo/por paquetes. Al seleccionar la localización de un circuito a distribuir, se puede maximizar la reutilización de recursos. Además, se puede utilizar un mecanismo, tal como un mecanismo de distribución jerárquica y agregación, y un mecanismo de preprocesamiento, para conseguir el objetivo de mayores ahorros de energía.

55 En una realización de un procedimiento de agregación de datos en la presente invención, un procedimiento de agregación de datos puede incluir específicamente: recibir, mediante N3 primeros circuitos de M primeros circuitos en un PHY, N3 primeros flujos de código, donde los N3 primeros circuitos están en una correspondencia uno a uno con los N3 primeros flujos de código; procesar, mediante los N3 primeros circuitos, los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos; enviar, mediante los N3 primeros circuitos, los N3 primeros flujos de datos a un segundo circuito; procesar, mediante el segundo circuito, los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos; y combinar el primer flujo de bloques de datos para obtener un primer flujo de

paquetes. El segundo circuito incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N3 primeros flujos de código, y cada primer circuito de los M primeros circuitos incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; o el segundo circuito incluye un circuito de descodificación de capa física, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N3 primeros flujos de código, cada primer circuito de los M primeros circuitos incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización, y el segundo circuito es un circuito en el PHY; o el segundo circuito incluye un circuito de desaleatorización y un circuito de descodificación de capa física, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo desaleatorización y descodificación de capa física sobre los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N3 primeros flujos de código, cada primer circuito de los M primeros circuitos incluye un circuito de eliminación de marcador de alineamiento, y el segundo circuito es un circuito en el PHY; o el segundo circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física, el segundo circuito es un circuito en el PHY, cada primer circuito de los M primeros circuitos incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N3 primeros flujos de datos son los N3 primeros flujos de código.

Haciendo referencia la figura 4-a, la figura 4-a es un diagrama de flujo esquemático de un procedimiento de agregación de datos, según una realización de la presente invención. Una entidad para ejecutar el procedimiento de agregación de datos puede ser un dispositivo de red. El dispositivo de red puede ser un rúter, un conmutador de red, un cortafuegos, un centro de datos, un dispositivo de multiplexación por división de longitud de onda, un dispositivo de balance de carga u otro tipo de dispositivo de red. Tal como se muestra en la figura 4-a, el procedimiento de agregación de datos, de acuerdo con la realización de la presente invención, puede incluir el siguiente contenido:
401. N3 primeros circuitos de M primeros circuitos en un PHY reciben N3 primeros flujos de código.

Los N3 primeros circuitos están en correspondencia uno a uno con los N3 primeros flujos de código.

Por ejemplo, los N3 primeros flujos de código se pueden obtener del siguiente modo:
dividir un flujo de paquetes en un flujo de bloques de datos, distribuir el flujo de bloques de datos para obtener N3 flujos secundarios de bloques de datos; llevar a cabo codificación de capa física sobre los N3 flujos secundarios de bloques de datos para obtener N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física; llevar a cabo aleatorización sobre los N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física para obtener N3 flujos secundarios de bloques de datos aleatorizados; y llevar a cabo introducción de marcador de alineamiento sobre los N3 flujos secundarios de bloques de datos aleatorizados para obtener N3 primeros flujos de código.

Para otro ejemplo, los N3 primeros flujos de código se pueden obtener del siguiente modo:
dividir un flujo de paquetes en un flujo de bloques de datos, llevar a cabo codificación de capa física sobre el flujo de bloques de datos para obtener un flujo de bloques de datos que ha sufrido la codificación de capa física; distribuir el flujo de bloques de datos que ha sufrido la codificación de capa física para obtener N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física; llevar a cabo aleatorización sobre los N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física para obtener N3 flujos secundarios de bloques de datos aleatorizados; y llevar a cabo introducción de marcador de alineamiento sobre los N3 flujos secundarios de bloques de datos aleatorizados para obtener N3 primeros flujos de código.

Para otro ejemplo más, los N3 primeros flujos de código se pueden obtener del siguiente modo:
dividir un flujo de paquetes en un flujo de bloques de datos; llevar a cabo codificación de capa física sobre el flujo de bloques de datos para obtener un flujo de bloques de datos que ha sufrido la codificación de capa física; llevar a cabo aleatorización sobre el flujo de bloques de datos que ha sufrido la codificación de capa física para obtener un flujo de bloques de datos aleatorizado; dividir el flujo de bloques de datos aleatorizado en N3 flujos secundarios de bloques de datos aleatorizados; y llevar a cabo introducción de marcador de alineamiento sobre los N3 flujos secundarios de bloques de datos aleatorizados para obtener N3 primeros flujos de código.

Para otro ejemplo más, los N3 primeros flujos de código se pueden obtener del siguiente modo:
dividir un flujo de paquetes en un flujo de bloques de datos; llevar a cabo codificación de capa física sobre el flujo de bloques de datos para obtener un flujo de bloques de datos que ha sufrido la codificación de capa física; llevar a cabo aleatorización sobre el flujo de bloques de datos que ha sufrido la codificación de capa física para obtener un flujo de bloques de datos aleatorizado; llevar a cabo introducción de marcador de alineamiento sobre el flujo de bloques de datos aleatorizado para obtener un flujo de código; y distribuir el flujo de código para obtener N3 primeros flujos de código.

Por ejemplo, un primer flujo de código de los N3 primeros flujos de código puede ser un flujo de bits en serie. Los N3 primeros flujos de código pueden ser flujos de bits enviados por un serdes.

402. Los N3 primeros circuitos procesan los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos.

5 403. Los N3 primeros circuitos envían los N3 primeros flujos de datos a un segundo circuito.

404. El segundo circuito procesa los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos.

405. Combinar el primer flujo de bloques de datos para obtener un primer flujo de paquetes.

Una entidad para ejecutar la etapa 405 puede ser un MAC.

10 En algunas realizaciones de la presente invención, el primer flujo de bloques de datos incluye una serie de bloques de datos. La combinación del primer flujo de bloques de datos para obtener un primer flujo de paquetes; puede incluir específicamente: combinar una serie de bloques de datos que están en el primer flujo de bloques de datos y pertenecen a un mismo paquete, en un paquete, donde una serie de paquetes combinados forman un primer flujo de paquetes. Por ejemplo, el segundo circuito puede enviar el primer flujo de bloques de datos a un circuito de combinación de bloques en el MAC, y el circuito de combinación de bloques en el MAC combina el primer flujo de
15 bloques de datos para obtener un primer flujo de paquetes.

Haciendo referencia a la figura 4-b y la figura 4-c, la figura 4-b y la figura 4-c son dos tipos de dispositivos de red que pueden implementar el procedimiento de agregación de datos mostrado en la figura 4-a, de acuerdo con la realización de la presente invención. Los dispositivos de red mostrados en la figura 4-b y la figura 4-c incluyen cada uno un MAC y un PHY. En el dispositivo de red mostrado en la figura 4-b, el MAC incluye un segundo circuito, y el PHY incluye M
20 primeros circuitos. En el dispositivo de red mostrado en la figura 4-c, el PHY incluye un segundo circuito y M primeros circuitos.

El segundo circuito incluye un circuito de recepción, y el primer flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N3 primeros flujos de datos. Los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N3 primeros flujos de código. Cada primer circuito de los M primeros circuitos incluye un
25 circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física. En este escenario, que el segundo circuito procese los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos puede incluir que: el segundo circuito lleve a cabo un proceso de agregación sobre los N3 primeros flujos de datos para obtener el primer flujo de bloques de datos. Que los N3 primeros circuitos procesen
30 los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos puede incluir específicamente que: los N3 primeros circuitos lleven a cabo un proceso de eliminación de marcador de alineamiento sobre los N3 primeros flujos de código recibidos (el circuito de eliminación de marcador de alineamiento en cada primer circuito puede llevar a cabo un proceso de eliminación de marcador de alineamiento sobre el primer flujo de datos recibido), lleven a cabo un proceso de desaleatorización sobre los flujos de código que han sufrido el proceso de eliminación de marcador de
35 alineamiento (el circuito de desaleatorización en cada primer circuito puede llevar a cabo un proceso de desaleatorización sobre los flujos de código que han sufrido el proceso de eliminación de marcador de alineamiento) y lleven a cabo un proceso de descodificación de capa física sobre los flujos de código que han sufrido el proceso de desaleatorización (el circuito de descodificación de capa física en cada primer circuito puede llevar a cabo un proceso de descodificación de capa física sobre los flujos de código que han sufrido el proceso de desaleatorización) para
40 obtener los N3 primeros flujos de datos. En este escenario de aplicación, una posible estructura de circuito se puede mostrar en la figura 4-d. En la figura 4-d, un segundo circuito incluye un circuito de recepción, y un primer circuito incluye un circuito de descodificación de capa física, un circuito de desaleatorización y un circuito de eliminación de marcador de alineamiento.

45 Por ejemplo, la descodificación de capa física puede ser descodificación 5b/4b, descodificación 10b/8b, descodificación 66b/64b u otro tipo de descodificación de capa física.

Para un marcador de alineamiento, se hace referencia al documento IEEE802.3.

Opcionalmente, el segundo circuito puede incluir un circuito de descodificación de capa física, donde el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de
50 capa física sobre los N3 primeros flujos de datos. Los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N3 primeros flujos de código. Cada primer circuito de los M primeros circuitos incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización, y el segundo circuito es un circuito en un PHY. En este escenario, que el segundo circuito procese los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos puede incluir que: el segundo circuito lleve a cabo un proceso de descodificación de capa física sobre los N3 primeros flujos
55 de datos para obtener el primer flujo de bloques de datos. Que los N3 primeros circuitos procesen los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos puede incluir específicamente que: los N3 primeros circuitos lleven a cabo un proceso de eliminación de marcador de alineamiento sobre los N3 primeros flujos de código

recibidos (el circuito de eliminación de marcador de alineamiento en cada primer circuito puede llevar a cabo un proceso de eliminación de marcador de alineamiento sobre el primer flujo de datos recibido), y lleven a cabo un proceso de desaleatorización sobre los flujos de código que han sufrido el proceso de eliminación de marcador de alineamiento (el circuito de desaleatorización en cada primer circuito puede llevar a cabo un proceso de desaleatorización sobre los flujos de código que han sufrido el proceso de eliminación de marcador de alineamiento), para obtener los N3 primeros flujos de datos. En este escenario de aplicación, una posible estructura de circuito se puede mostrar en la figura 4-e. En la figura 4-e, un segundo circuito incluye un circuito de descodificación de capa física, y un primer circuito incluye un circuito de desaleatorización y un circuito de eliminación de marcador de alineamiento.

Opcionalmente, el segundo circuito puede incluir un circuito de desaleatorización y un circuito de descodificación de capa física, donde el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo desaleatorización y descodificación de capa física sobre los N3 primeros flujos de datos. Los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N3 primeros flujos de código. Cada primer circuito de los M primeros circuitos incluye un circuito de eliminación de marcador de alineamiento. El segundo circuito es un circuito en un PHY. En este escenario, que el segundo circuito procese los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos puede incluir que: el segundo circuito lleve a cabo un proceso de desaleatorización sobre los N3 primeros flujos de datos (el circuito de desaleatorización en el segundo circuito puede llevar a cabo un proceso de desaleatorización sobre los N3 primeros flujos de datos) y lleve a cabo un proceso de descodificación de capa física sobre los flujos de datos que han sufrido el proceso de desaleatorización (el circuito de descodificación de capa física en el segundo circuito puede llevar a cabo un proceso de descodificación de capa física sobre los flujos de datos que han sufrido el proceso de desaleatorización), para obtener el primer flujo de bloques de datos. Que los N3 primeros circuitos procesen los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos puede incluir que: los N3 primeros circuitos lleven a cabo un proceso de eliminación de marcador de alineamiento sobre los N3 primeros flujos de código recibidos (el circuito de eliminación de marcador de alineamiento en cada primer circuito puede llevar a cabo un proceso de eliminación de marcador de alineamiento sobre los primeros flujos de código recibidos) para obtener los N3 primeros flujos de datos. En este escenario de aplicación, una posible estructura de circuito se puede mostrar en la figura 4-f. En la figura 4-f, un segundo circuito incluye un circuito de descodificación de capa física y un circuito de desaleatorización, y un primer circuito incluye un circuito de eliminación de marcador de alineamiento.

Opcionalmente, el segundo circuito puede incluir asimismo un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física. El primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física. Los N3 primeros flujos de datos son N3 primeros flujos de código, y el segundo circuito es un circuito en un PHY. Cada primer circuito de los M primeros circuitos incluye un circuito de recepción. En este escenario, que el segundo circuito procese los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos puede incluir que: el segundo circuito lleve a cabo un proceso de eliminación de marcador de alineamiento sobre los N3 primeros flujos de datos (específicamente, el circuito de eliminación de marcador de alineamiento en el segundo circuito puede llevar a cabo un proceso de eliminación de marcador de alineamiento sobre los N3 primeros flujos de datos), lleve a cabo un proceso de desaleatorización sobre los flujos de datos que han sufrido el proceso de eliminación de marcador de alineamiento (específicamente, el circuito de desaleatorización en el segundo circuito puede llevar a cabo un proceso de desaleatorización sobre los N3 primeros flujos de datos), y lleve a cabo un proceso de descodificación de capa física sobre los flujos de datos que han sufrido el proceso de desaleatorización (el circuito de descodificación de capa física en el segundo circuito puede llevar a cabo un proceso de descodificación de capa física sobre los flujos de datos que han sufrido el proceso de desaleatorización), para obtener el primer flujo de bloques de datos. Que los N3 primeros circuitos procesen los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos puede incluir que: los N3 primeros circuitos lleven a cabo un proceso de recepción sobre los N3 primeros flujos de código recibidos, para obtener los N3 primeros flujos de datos. Una posible estructura de circuito en este escenario de aplicación puede mostrarse en la figura 4-g. Como se muestra en la figura 4-g, un segundo circuito incluye un circuito de descodificación de capa física, un circuito de desaleatorización, un circuito de eliminación de marcador de alineamiento.

En algunas realizaciones de la presente invención, si M es mayor que N1, en los M primeros circuitos, se puede deshabilitar además por lo menos un primer circuito exceptuando los N3 primeros circuitos. Deshabilitando algunos primeros circuitos inactivos se puede reducir el consumo de energía.

En algunas realizaciones de la presente invención, una velocidad de procesamiento máxima que puede ser proporcionada por los N3 primeros circuitos es mayor o igual que una velocidad de los N3 primeros flujos de código. En una aplicación real, el número de primeros circuitos participantes se puede determinar (es decir, se determina el valor de N3) en base a la velocidad del primer flujo de bloques de datos. Ciertamente, los N3 primeros circuitos pueden asimismo configurarse directamente para participar en un proceso relacionado sobre los primeros flujos de código. Si la velocidad de procesamiento máxima que puede ser proporcionada por los N2 primeros circuitos es mayor o igual que la velocidad de los primeros flujos de código, se garantiza que los primeros flujos de código son procesados instantáneamente.

En algunas realizaciones de la presente invención, antes de que los N3 primeros circuitos de los M primeros circuitos reciban los N3 primeros flujos de código, el procedimiento de agregación de datos puede incluir además: recibir,

mediante un circuito de desmultiplexación (desmultiplexor), X segundos flujos de código; llevar a cabo, mediante el circuito de desmultiplexación, un proceso de desmultiplexación sobre los X segundos flujos de código para obtener N3 primeros flujos de código, y enviar los N3 primeros flujos de código a los N3 primeros circuitos; donde X es un entero positivo menor o igual que N3, por ejemplo, X es igual a 1, 2, 3 u otro entero positivo. En este escenario de aplicación, una posible estructura de circuito puede ser mostrada en la figura 4-h, donde el circuito de desmultiplexación lleva a cabo un proceso de desmultiplexación sobre los X segundos flujos de código para obtener N3 primeros flujos de código.

En algunas realizaciones de la presente invención, el procedimiento de agregación de datos puede incluir además: recibir, mediante N4 primeros circuitos de los M primeros circuitos, N4 terceros flujos de código, y procesar, mediante los N4 primeros circuitos, los N4 terceros flujos de código recibidos, para obtener N4 segundos flujos de datos; enviar, mediante los N4 primeros circuitos, los N4 segundos flujos de datos a un segundo circuito; procesar, mediante el segundo circuito, los N4 segundos flujos de datos para obtener un segundo flujo de bloques de datos; y combinar el segundo flujo de bloques de datos en un segundo flujo de paquetes.

Los N4 primeros circuitos están en correspondencia uno a uno con los N4 terceros flujos de código. Una intersección entre los N4 primeros circuitos y los N3 primeros circuitos es un conjunto vacío (es decir, cualquier primer circuito de los N4 primeros circuitos es diferente de cualquier primer circuito de los N3 primeros circuitos. Se puede comprender que $N4 + N3$ es menor o igual que M). El segundo flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N4 terceros flujos de código; o el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N4 terceros flujos de código; o el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de llevar a cabo desaleatorización y descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N4 terceros flujos de código; o el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N4 segundos flujos de datos son los N4 terceros flujos de código.

A continuación se describe mejor un ejemplo de un escenario de aplicación de agregación de datos.

Se supone que un dispositivo de red recibe 4 primeros flujos de código con una velocidad máxima de 100 Gpbs (la velocidad máxima de cada flujo de código es de 25 Gpbs) desde un primer rúter y recibe 8 terceros flujos de código con una velocidad máxima de 200 Gpbs (la velocidad máxima de cada flujo de código es de 25 Gpbs), donde la capacidad de procesamiento máxima de un MAC y un PHY del dispositivo de red es de 400 Gpbs; y se supone que el PHY tiene 16 primeros circuitos, donde una velocidad de procesamiento máxima de cada primer circuito es de 25 Gpbs. Por lo tanto, 4 primeros circuitos de los 16 primeros circuitos están configurados para llevar a cabo un proceso relacionado sobre los 4 primeros flujos de código, y 8 primeros circuitos de los 16 primeros circuitos están configurados para llevar a cabo un proceso relacionado sobre los terceros flujos de código. El segundo circuito incluye un circuito de recepción, y cada primer circuito incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física.

Después de recibir los 4 primeros flujos de código, los 4 primeros circuitos llevan a cabo un proceso de eliminación de marcador de alineamiento, un proceso de desaleatorización y un proceso de descodificación de capa física sobre los 4 primeros flujos de código para obtener 4 primeros flujos de datos; los 4 primeros circuitos envían los 4 primeros flujos de datos al segundo circuito; el segundo circuito lleva a cabo un proceso de agregación sobre los 4 primeros flujos de datos para obtener un primer flujo de bloques de datos (es decir, los 4 primeros flujos de datos se agregan en un primer flujo de bloques de datos) y envía el primer flujo de bloques de datos al MAC; y el MAC combina el primer flujo de bloques de datos para obtener un primer flujo de paquetes. Los 4 primeros circuitos están en correspondencia uno a uno con los 4 primeros flujos de código.

De manera similar, después de recibir los 8 terceros flujos de código, los 8 primeros circuitos (ciertamente, los 8 primeros circuitos son diferentes de los anteriores 4 primeros circuitos) llevan a cabo un proceso de eliminación de marcador de alineamiento, un proceso de desaleatorización y un proceso de descodificación de capa física sobre los 8 terceros flujos de código para obtener 8 segundos flujos de datos, y los 8 primeros circuitos envían los 8 segundos flujos de datos al segundo circuito; el segundo circuito lleva a cabo un proceso de agregación sobre los 8 segundos flujos de datos para obtener un segundo flujo de bloques de datos (es decir, los 8 segundos flujos de datos se agregan en un segundo flujo de bloques de datos) y envía el segundo flujo de bloques de datos al MAC; y el MAC combina el segundo flujo de bloques de datos en un segundo flujo de paquetes. Los 8 primeros circuitos están en correspondencia uno a uno con los 8 terceros flujos de código.

Dado que sigue habiendo 4 primeros circuitos inactivos en el PHY actual, el PHY puede deshabilitar los 4 primeros circuitos inactivos.

Por el ejemplo anterior se puede ver que, en base a la solución de la realización de la presente invención, el dispositivo de red puede procesar simultáneamente una serie de flujos de paquetes correspondientes a diferentes servicios, soportar configuración de interfaces de una menor granularidad, y puede presentar interfaces de una serie de velocidades externamente, lo que contribuye a implementar un trabajo en red más flexible, a mejorar la utilización de los recursos y a reducir el consumo de energía.

Se puede ver que, en las realizaciones, N3 primeros circuitos de M primeros circuitos en un PHY reciben N3 primeros flujos de código, donde los N3 primeros circuitos están en correspondencia uno a uno con los N3 primeros flujos de código; los N3 primeros circuitos procesan los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos; los N3 primeros circuitos envían los N3 primeros flujos de datos a un segundo circuito; el segundo circuito procesa los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos. Dado que el PHY puede utilizar selectivamente los N3 primeros circuitos de los M primeros circuitos para recibir los N3 primeros flujos de código a conveniencia, y no tiene que usar todos los M primeros circuitos en el PHY para recibir flujos de código, esto contribuye a implementar que un subcircuito de capa física con una correspondiente capacidad de procesamiento se configure en base al tamaño de un flujo de código transmitido, y se presentan externamente modos de ancho de banda diversificados en lugar de un único modo de ancho de banda fijo. De este modo, comparadas con la técnica anterior, las soluciones técnicas de las realizaciones contribuyen a mejorar la flexibilidad de la configuración de ancho de banda de Ethernet y a aumentar la tasa de reutilización de recursos en cierta medida, para cumplir mejor un requisito para configuración de ancho de banda compleja y extender un escenario de aplicación.

Además, dado que se introducen en las realizaciones una serie de primeros circuitos, se puede soportar configuración de interfaces de una menor granularidad, y el número de primeros circuitos que participan en el proceso se puede configurar dinámicamente a conveniencia, lo que contribuye a implementar un trabajo en red más flexible.

Además, debido a que el MAC y el PHY pueden tener diferente ancho de banda de trabajo (por ejemplo, el ancho de banda del MAC es 400 G, mientras que el PHY puede incluir 40 primeros circuitos con un ancho de banda de 10 G cada uno). Comparadas con una tecnología en la que el MAC y el PHY tienen el mismo ancho de banda de trabajo, en las soluciones de las realizaciones se consigue una mayor utilización de los recursos, y la configuración y el trabajo en red se hacen más flexibles. Además, el número de primeros circuitos de trabajo en el PHY se puede configurar, lo que contribuye a implementar una combinación IP + óptica perfecta con una red óptica futura de ancho de banda flexible, y a resolver el problema de un posible desequilibrio de carga entre diferentes enlaces en caso de compartición de carga por flujo/por paquetes. Al seleccionar la localización de un circuito a distribuir, se puede maximizar la reutilización de recursos. Además, se puede utilizar un mecanismo, tal como un mecanismo de distribución jerárquica y agregación, y un mecanismo de preprocesamiento, para conseguir el objetivo de mayores ahorros de energía.

Para una mejor comprensión e implementación de las soluciones de las realizaciones de la presente invención, a continuación se da a conocer un aparato relacionado, configurado para implementar las soluciones.

Haciendo referencia a la figura 5-a y la figura 5-b, una realización de la presente invención da a conocer además un dispositivo de red 500. El dispositivo de red 500 puede estar configurado para llevar a cabo el procedimiento mostrado en la figura 4-a. El dispositivo de red 500 puede ser un router, un conmutador de red, un cortafuegos, un centro de datos, un dispositivo de multiplexación por división de longitud de onda, un dispositivo de balance de carga u otro tipo de dispositivo de red. El dispositivo de red 500 puede incluir: un PHY 510 y un MAC 520.

N3 primeros circuitos 511 de M primeros circuitos 511 en el PHY 510 están configurados para recibir N3 primeros flujos de código, y procesar los primeros flujos de código recibidos para obtener N3 primeros flujos de datos, y enviar los N3 primeros flujos de datos a un segundo circuito 521. Los N3 primeros circuitos 511 están en correspondencia uno a uno con los N3 primeros flujos de código.

En un escenario de aplicación en el que el segundo circuito 521 está situado en el MAC 520, que el segundo circuito 521 envíe un primer flujo de bloques de datos al MAC 520 puede incluir específicamente que: el segundo circuito 521 envíe el primer flujo de bloques de datos a un circuito de combinación de bloques en el MAC 520. Específicamente, el circuito de combinación de bloques en el MAC 520 combina el primer flujo de bloques de datos para obtener un primer flujo de paquetes.

El segundo circuito 521 está configurado para procesar los N3 primeros flujos de datos con el fin de obtener el primer flujo de bloques de datos.

El MAC 520 está configurado para combinar el primer flujo de bloques de datos en el primer flujo de paquetes.

El segundo circuito 521 incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N3 primeros flujos de datos, donde los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y decodificación de capa física sobre los N3 primeros flujos de código, y cada primer circuito 511 de los M primeros circuitos 511 incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de decodificación de capa física.

Opcionalmente,

el segundo circuito 521 incluye un circuito de descodificación de capa física; el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N3 primeros flujos de datos; los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N3 primeros flujos de código, cada primer circuito 511 de los M primeros circuitos 511 incluye un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización, y el segundo circuito 521 es un circuito en el PHY 510.

Opcionalmente,

el segundo circuito 521 incluye un circuito de desaleatorización y un circuito de descodificación de capa física, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de llevar a cabo desaleatorización y descodificación de capa física sobre los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de llevar a cabo eliminación de marcador de alineamiento sobre los N3 primeros flujos de código, cada primer circuito 511 de los M primeros circuitos 511 incluye un circuito de eliminación de marcador de alineamiento, y el segundo circuito 521 es un circuito en el PHY 510.

Opcionalmente,

el segundo circuito 521 incluye un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física; el segundo circuito 521 es un circuito en el PHY, cada primer circuito 511 de los M primeros circuitos 511 incluye un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N3 primeros flujos de datos son N3 primeros flujos de código.

Por ejemplo, los N3 primeros flujos de código se pueden obtener del siguiente modo:

dividir un flujo de paquetes en un flujo de bloques de datos, distribuir el flujo de bloques de datos para obtener N3 flujos secundarios de bloques de datos; llevar a cabo codificación de capa física sobre los N3 flujos secundarios de bloques de datos para obtener N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física; llevar a cabo aleatorización sobre los N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física para obtener N3 flujos secundarios de bloques de datos aleatorizados; y llevar a cabo introducción de marcador de alineamiento sobre los N3 flujos secundarios de bloques de datos aleatorizados para obtener N3 primeros flujos de código.

Para otro ejemplo, los N3 primeros flujos de código se pueden obtener del siguiente modo:

dividir un flujo de paquetes en un flujo de bloques de datos, llevar a cabo codificación de capa física sobre el flujo de bloques de datos para obtener un flujo de bloques de datos que ha sufrido la codificación de capa física; distribuir el flujo de bloques de datos que ha sufrido la codificación de capa física para obtener N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física; llevar a cabo aleatorización sobre los N3 flujos secundarios de bloques de datos que han sufrido la codificación de capa física para obtener N3 flujos secundarios de bloques de datos aleatorizados; y llevar a cabo introducción de marcador de alineamiento sobre los N3 flujos secundarios de bloques de datos aleatorizados para obtener N3 primeros flujos de código.

Para otro ejemplo más, los N3 primeros flujos de código se pueden obtener del siguiente modo:

dividir un flujo de paquetes en un flujo de bloques de datos; llevar a cabo codificación de capa física sobre el flujo de bloques de datos para obtener un flujo de bloques de datos que ha sufrido la codificación de capa física; llevar a cabo aleatorización sobre el flujo de bloques de datos que ha sufrido la codificación de capa física para obtener un flujo de bloques de datos aleatorizado; dividir el flujo de bloques de datos aleatorizado en N3 flujos secundarios de bloques de datos aleatorizados; y llevar a cabo introducción de marcador de alineamiento sobre los N3 flujos secundarios de bloques de datos aleatorizados para obtener N3 primeros flujos de código.

Para otro ejemplo más, los N3 primeros flujos de código se pueden obtener del siguiente modo:

dividir un flujo de paquetes en un flujo de bloques de datos; llevar a cabo codificación de capa física sobre el flujo de bloques de datos para obtener un flujo de bloques de datos que ha sufrido la codificación de capa física; llevar a cabo aleatorización sobre el flujo de bloques de datos que ha sufrido la codificación de capa física para obtener un flujo de bloques de datos aleatorizado; llevar a cabo introducción de marcador de alineamiento sobre el flujo de bloques de datos aleatorizado para obtener un flujo de código; y distribuir el flujo de código para obtener N3 primeros flujos de código.

En algunas realizaciones de la presente invención, el PHY 510 puede estar configurado además para deshabilitar, en los M primeros circuitos, por lo menos un primer circuito exceptuando los N3 primeros circuitos.

En algunas realizaciones de la presente invención, una velocidad de procesamiento máxima que puede ser proporcionada por los N3 primeros circuitos 511 es mayor o igual que una velocidad de los N3 primeros flujos de código.

Haciendo referencia a la figura 5-c y la figura 5-d, en algunas realizaciones de la presente invención, el dispositivo de red 500 puede incluir además un circuito de desmultiplexación 530. El circuito de desmultiplexación 530 está configurado para recibir X segundos flujos de código, llevar a cabo un proceso de desmultiplexación sobre los X

segundos flujos de código para obtener N3 primeros flujos de código, y enviar los N3 primeros flujos de código a los N3 primeros circuitos 511, donde X es un entero positivo menor o igual que N3.

5 En algunas realizaciones de la presente invención, N4 primeros circuitos 511 de los M primeros circuitos 511 están configurados además para recibir N4 terceros flujos de código, procesar los N4 terceros flujos de código recibidos, para obtener N4 segundos flujos de datos y enviar los N4 segundos flujos de datos al segundo circuito 521. Los N4 primeros circuitos 511 están en correspondencia uno a uno con los N4 terceros flujos de código. Una intersección entre los N4 primeros circuitos 511 y los N3 primeros circuitos 511 es un conjunto vacío.

El segundo circuito 521 está configurado además para procesar los N4 segundos flujos de datos para obtener un segundo flujo de bloques de datos, y enviar el segundo flujo de bloques de datos al MAC.

10 El MAC 520 está configurado además para combinar el segundo flujo de bloques de datos en un segundo flujo de paquetes.

15 El segundo flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N4 terceros flujos de código.

Opcionalmente, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N4 segundos flujos de datos. Los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N4 terceros flujos de código.

20 Opcionalmente, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo desaleatorización y descodificación de capa física sobre los N4 segundos flujos de datos. Los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N4 terceros flujos de código.

25 Opcionalmente, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física. Los N4 segundos flujos de datos son N4 terceros flujos de código.

30 Se puede ver que, en las realizaciones, N3 primeros circuitos de M primeros circuitos en un PHY de un dispositivo de red 500 reciben N3 primeros flujos de código, donde los N3 primeros circuitos están en correspondencia uno a uno con los N3 primeros flujos de código; los N3 primeros circuitos procesan los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos; los N3 primeros circuitos envían los N3 primeros flujos de datos a un segundo circuito; el segundo circuito procesa los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos. Dado que el PHY puede utilizar selectivamente los N3 primeros circuitos de los M primeros circuitos para recibir los N3 primeros flujos de código a conveniencia, y no tiene que usar todos los M primeros circuitos en el PHY para recibir flujos de código, esto contribuye a implementar que un subcircuito de capa física con una correspondiente capacidad de procesamiento se configure en base al tamaño de un flujo de código transmitido, y se presentan externamente modos de ancho de banda diversificados en lugar de un único modo de ancho de banda fijo. Comparadas con la técnica anterior, las soluciones técnicas de las realizaciones contribuyen a mejorar la flexibilidad de la configuración de ancho de banda de Ethernet y a aumentar la tasa de reutilización de recursos en cierta medida, para cumplir mejor un requisito para la configuración de ancho de banda compleja y extender el escenario de aplicación.

40 Además, dado que se introducen en las realizaciones una serie de primeros circuitos, se puede soportar configuración de interfaces de una menor granularidad, y el número de primeros circuitos que participan en el proceso se puede configurar dinámicamente a conveniencia, lo que contribuye a implementar un trabajo en red más flexible.

45 Además, debido a que el MAC y el PHY pueden tener diferente ancho de banda de trabajo (por ejemplo, el ancho de banda del MAC es 400 G, mientras que el PHY puede incluir 40 segundos circuitos con un ancho de banda de 10 G cada uno). Comparadas con una tecnología en la que el MAC y el PHY tienen el mismo ancho de banda de trabajo, en las soluciones de las realizaciones se consigue una mayor utilización de los recursos, y la configuración y el trabajo en red se hacen más flexibles. Además, el número de primeros circuitos de trabajo en el PHY se puede configurar, lo que contribuye a implementar una combinación IP + óptica perfecta con una red óptica futura de ancho de banda flexible, y a resolver el problema de un posible desequilibrio de carga entre diferentes enlaces en caso de compartición de carga por flujo/por paquetes. Al seleccionar la localización de un circuito a distribuir, se puede maximizar la reutilización de recursos. Además, se puede utilizar un mecanismo, tal como un mecanismo de distribución jerárquica y agregación, y un mecanismo de preprocesamiento, para conseguir el objetivo de mayores ahorros de energía.

55 Se debe observar que el MAC y el PHY en cada realización de la presente invención se pueden presentar en diversas formas de producto. Por ejemplo, el PHY puede estar integrado en un chip PHY (chip PHY), un chip de sistema (chip de sistema) o un dispositivo Ethernet multipuerto (dispositivo Ethernet multipuerto). El PHY se puede implementar utilizando una FPGA o un ASIC. El PHY puede ser un componente en una tarjeta de interfaz de red (en inglés, network interface card, NIC para abreviar), donde el NIC puede ser una tarjeta de línea (tarjeta de línea) o una tarjeta de interfaz

física (en inglés, physical interface card, PIC para abreviar).

El PHY puede incluir además una interfaz independiente del medio (en inglés, media-independent interface, MII para abreviar) para interactuar con (para interactuar con) el MAC.

5 En algunas realizaciones de la presente invención, el chip PHY puede incluir una serie de PHY. El chip PHY se puede implementar utilizando una FPGA o un ASIC. El chip de sistema puede incluir una serie de MAC y una serie de PHY, y el chip de sistema se puede implementar utilizando una FPGA o un ASIC.

10 En algunas realizaciones de la presente invención, el dispositivo Ethernet multipuerto puede ser un concentrador Ethernet, un rúter Ethernet o un conmutador Ethernet. El dispositivo Ethernet multipuerto incluye una serie de puertos, donde cada puerto puede incluir un chip de sistema, y el chip de sistema puede incluir un MAC y un PHY. El dispositivo Ethernet multipuerto puede integrar asimismo una serie de MAC en un chip MAC (chip MAC) e integrar una serie de PHY en un chip PHY. El dispositivo Ethernet multipuerto puede integrar asimismo una serie de MAC y una serie de PHY en un chip de sistema.

15 Se puede comprender que el circuito de codificación de capa física mencionado en cada realización de la presente invención está configurado principalmente para llevar a cabo un proceso de codificación de capa física sobre un flujo de datos de entrada, y el circuito de decodificación de capa física está configurado principalmente para llevar a cabo un proceso de decodificación de capa física sobre un flujo de datos de entrada. El circuito de introducción de marcador de alineamiento está configurado principalmente para llevar a cabo un proceso de introducción de marcador de alineamiento sobre datos de entrada; y el circuito de eliminación de marcador de alineamiento está configurado principalmente para llevar a cabo un proceso de eliminación de marcador de alineamiento sobre datos de entrada. El circuito de aleatorización está configurado principalmente para llevar a cabo un proceso de aleatorización sobre datos de entrada; y el circuito de desaleatorización está configurado principalmente para llevar a cabo un proceso de desaleatorización sobre datos de entrada.

20 Una realización de la presente invención da a conocer asimismo un medio de almacenamiento informático, donde el medio de almacenamiento informático puede almacenar un programa que, cuando es ejecutado, incluye la totalidad o parte de las etapas del procedimiento para distribución de datos según las anteriores realizaciones de procedimiento.

Una realización de la presente invención da a conocer asimismo un medio de almacenamiento informático, donde el medio de almacenamiento informático puede almacenar un programa que, cuando es ejecutado, incluye la totalidad o parte de las etapas del procedimiento para agregación de datos según las anteriores realizaciones de procedimiento.

30 Se debe observar que, por brevedad, las anteriores realizaciones de procedimiento se representan como una serie de acciones. No obstante, los expertos en la materia apreciarán que la presente invención no se limita al orden de las acciones descritas, dado que, según la presente invención, algunas etapas pueden adoptar otro orden o producirse simultáneamente. Un experto en la materia debe saber asimismo que las realizaciones descritas en esta memoria descriptiva son todas realizaciones a modo de ejemplo, y que las acciones y los módulos involucrados no son necesariamente requeridos por la presente invención.

35 En las realizaciones anteriores, la descripción de cada realización tiene su objetivo. Para una parte que no se describa en detalle en una realización, se hace referencia a descripciones relacionadas en otras realizaciones.

40 En las diversas realizaciones dadas a conocer en la presente solicitud, se debe entender que el aparato dado a conocer se puede implementar de otras maneras. Por ejemplo, la realización de aparato descrita es tan sólo a modo de ejemplo. Por ejemplo, la división en unidades es tan sólo una división en funciones lógicas, y puede ser otra división en una implementación real. Por ejemplo, una serie de unidades o componentes se pueden combinar o integrar en otro sistema, o algunas características pueden ser ignoradas o no realizadas. Además, los acoplamientos mutuos o acoplamientos directos o conexiones de comunicación mostrados o explicados se pueden implementar a través de algunas interfaces. Los acoplamientos indirectos o conexiones de comunicación entre los aparatos o unidades se pueden implementar de forma electrónica, mecánica u otras.

45 Las unidades descritas como partes independientes pueden o no ser físicamente independientes, y las partes visualizadas como unidades pueden o no ser unidades físicas, pueden estar ubicadas en una posición o pueden estar distribuidas en una serie de unidades de red. Una parte o la totalidad de las unidades se pueden seleccionar en función de las necesidades reales para conseguir los objetivos de las soluciones de las realizaciones.

50 Además, se pueden integrar unidades funcionales de las realizaciones de la presente invención en una unidad de proceso, o cada una de las unidades puede existir por separado físicamente, o dos o más unidades estar integradas en una unidad. La unidad integrada se puede implementar en forma de hardware, o se puede implementar en forma de una unidad funcional de software.

55 Cuando la unidad integrada se implementa en forma de una unidad funcional de software, y es vendida o utilizada como un producto independiente, la unidad integrada puede estar almacenada en un medio de almacenamiento legible por ordenador. Basándose en este concepto, las soluciones técnicas de la presente invención esencialmente, o la parte que contribuye a la técnica anterior o la totalidad o parte de las soluciones técnicas se pueden implementar en

- 5 forma de producto de software. El producto de software informático se almacena en un medio de almacenamiento e incluye varias instrucciones para instruir a un dispositivo informático (que puede ser un ordenador personal, un servidor, un dispositivo de red y similares, y puede ser específicamente un procesador en el dispositivo informático) para llevar a cabo la totalidad o parte de las etapas del procedimiento descrito en las realizaciones de la presente invención. El anterior medio de almacenamiento incluye: cualquier medio que pueda almacenar códigos de programa, tal como un disco flash USB, un disco duro extraíble, una memoria de sólo lectura (en inglés, Read-Only Memory, ROM), una memoria de acceso aleatorio (en inglés, Random Access Memory, RAM), un disco magnético o un disco óptico.
- 10 Se debe observar que las realizaciones anteriores están destinadas tan sólo a describir las soluciones técnicas de la presente invención y no a limitar la presente invención.

REIVINDICACIONES

1. Un procedimiento de distribución de datos, que comprende:

recibir (201) un primer flujo de paquetes;
 dividir (202) el primer flujo de paquetes para obtener un primer flujo de bloques de datos;
 5 enviar (203) el primer flujo de bloques de datos a un primer circuito;
 procesar (203), mediante el primer circuito, el primer flujo de bloques de datos para obtener un primer flujo de datos;
 distribuir (205), mediante el primer circuito, el primer flujo de datos a N1 segundos circuitos de M segundos circuitos
 10 en un circuito de capa física PHY, donde M es mayor que N1, el N1 es un entero positivo y M es un entero positivo;
 y
 procesar (206), mediante los N1 segundos circuitos, el primer flujo de datos recibido para obtener N1 primeros
 flujos de código, donde los N1 segundos circuitos están en una correspondencia uno a uno con los N1 primeros
 flujos de código;
 en donde:

15 el primer circuito comprende un circuito de recepción, el primer flujo de datos es el primer flujo de bloques de datos, y cada segundo circuito de los M segundos circuitos comprende un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento;

o,

20 el primer circuito comprende un circuito de codificación de capa física, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos comprende un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, y el primer circuito es un circuito en el PHY;

o,

25 el primer circuito comprende un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos comprende un circuito de recepción y el primer circuito es un circuito en el PHY.

2. El procedimiento según la reivindicación 1, en el que:

30 el procedimiento comprende además:

deshabilitar, en los M segundos circuitos, por lo menos un segundo circuito exceptuando los N1 segundos circuitos.

3. El procedimiento según la reivindicación 1 o 2, en el que:

una velocidad de procesamiento máxima que puede ser proporcionada por los N1 segundos circuitos es mayor o igual que una velocidad del primer flujo de bloques de datos.

4. El procedimiento según una cualquiera de las reivindicaciones 1 a 3, en el que:

35 después de la etapa de procesar (206), mediante los N1 segundos circuitos, el primer flujo de datos para obtener N1 primeros flujos de código, el procedimiento comprende además:

40 enviar, mediante los N1 segundos circuitos, los N1 primeros flujos de código a un circuito de multiplexación; y llevar a cabo, mediante el circuito de multiplexación, un proceso de multiplexación sobre los N1 primeros flujos de código para obtener X segundos flujos de código, en donde X es un entero positivo menor o igual que N1.

5. El procedimiento según la reivindicación 1, 3 o 4, en el que:

el procedimiento comprende además:

recibir un segundo flujo de paquetes;
 45 dividir el segundo flujo de paquetes en un segundo flujo de bloques de datos;
 enviar el segundo flujo de bloques de datos al primer circuito;
 procesar, mediante el primer circuito, el segundo flujo de bloques de datos para obtener un segundo flujo de datos;
 distribuir, mediante el primer circuito, el segundo flujo de datos a N2 segundos circuitos de los M segundos circuitos en el PHY, en donde M es mayor que N2, N2 es un entero positivo, y una intersección entre los N2 segundos circuitos y los N1 segundos circuitos es un conjunto vacío; y
 50 procesar, mediante los N2 segundos circuitos, el segundo flujo de datos recibido para obtener N2 terceros flujos de código, en donde los N2 segundos circuitos están en una correspondencia uno a uno con los N2 terceros flujos de código;
 en donde:

55 el segundo flujo de datos es el segundo flujo de bloques de datos; o

el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el segundo flujo de bloques de datos; o

el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el segundo flujo de bloques de datos; o

el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el segundo flujo de bloques de datos.

6. Un procedimiento de agregación de datos, que comprende:

5 recibir (401), mediante N3 primeros circuitos de M primeros circuitos en un circuito de capa física, PHY, N3 primeros flujos de código, donde los N3 primeros circuitos están en correspondencia uno a uno con los N3 primeros flujos de código;
 procesar (402), mediante los N3 primeros circuitos, los N3 primeros flujos de código recibidos para obtener N3 primeros flujos de datos;
 10 enviar (403), mediante los N3 primeros circuitos, los N3 primeros flujos de datos a un segundo circuito;
 procesar (404), mediante el segundo circuito, los N3 primeros flujos de datos para obtener un primer flujo de bloques de datos; y
 combinar (405) el primer flujo de bloques de datos para obtener un primer flujo de paquetes;
 en donde:

15 el segundo circuito comprende un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N3 primeros flujos de código, y cada primer circuito de los M primeros circuitos comprende un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física;

20 o,
 el segundo circuito comprende un circuito de descodificación de capa física, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N3 primeros flujos de datos, los N3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N3 primeros flujos de código, cada primer circuito de los M primeros circuitos comprende un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización, y el segundo circuito es un circuito en el PHY;

25 o,
 el segundo circuito comprende un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física, el segundo circuito es un circuito en el PHY, cada primer circuito de los M primeros circuitos comprende un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N3 primeros flujos de datos son los N3 primeros flujos de código.

35 7. El procedimiento según la reivindicación 6, en el que:
 el procedimiento comprende además: deshabilitar, en los M primeros circuitos, por lo menos un primer circuito exceptuando los N3 primeros circuitos.

8. El procedimiento según la reivindicación 6 o 7, en el que:
 40 una velocidad de procesamiento máxima que puede ser proporcionada por los N3 primeros circuitos es mayor o igual que una velocidad de los N3 primeros flujos de código.

9. El procedimiento según una cualquiera de las reivindicaciones 6 a 8, en el que antes de la etapa de recibir (401), mediante N3 primeros circuitos de los M primeros circuitos, N3 primeros flujos de código, el procedimiento comprende además:

45 recibir, mediante un circuito de desmultiplexación, X segundos flujos de código;
 llevar a cabo, mediante el circuito de desmultiplexación, un proceso de desmultiplexación sobre los X segundos flujos de código para obtener los N3 primeros flujos de código; y
 enviar, mediante el circuito de desmultiplexación, los N3 primeros flujos de código a los N3 primeros circuitos, en donde X es un entero positivo menor o igual que N3.

10. El procedimiento según la reivindicación 6, 8 o 9, en el que:

50 el procedimiento comprende además: recibir, mediante N4 primeros circuitos de los M primeros circuitos, N4 terceros flujos de código, donde los N4 primeros circuitos están en correspondencia uno a uno con los N4 terceros flujos de código, y una intersección entre los N4 primeros circuitos y los N3 primeros circuitos es un conjunto vacío;
 procesar, mediante los N4 primeros circuitos, los N4 terceros flujos de código recibidos para obtener N4 segundos flujos de datos;
 55 enviar, mediante los N4 primeros circuitos, los N4 segundos flujos de datos al segundo circuito;
 procesar, mediante el segundo circuito, los N4 segundos flujos de datos para obtener un segundo flujo de bloques de datos; y
 combinar el segundo flujo de bloques de datos en un segundo flujo de paquetes;

en donde el segundo flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N4 terceros flujos de código;

5 o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N4 terceros flujos de código;

10 o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo desaleatorización y descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N4 terceros flujos de código;

15 o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N4 segundos flujos de datos son los N4 terceros flujos de código.

11. Un dispositivo de red, que comprende:

un controlador de acceso al medio, MAC, (310) y un circuito de capa física, PHY (320);

en donde el MAC está configurado para recibir un primer flujo de paquetes, dividir el primer flujo de paquetes para obtener un primer flujo de bloques de datos, y enviar el primer flujo de bloques de datos a un primer circuito (311);

20 el primer circuito está configurado para procesar el primer flujo de bloques de datos con el fin de obtener un primer flujo de datos, y distribuir el primer flujo de datos a N1 segundos circuitos de M segundos circuitos en el PHY (321), en donde M es mayor que N1, N1 es un entero positivo y M es un entero positivo; y

25 los N1 segundos circuitos están configurados para procesar el primer flujo de datos recibido con el fin de obtener N1 primeros flujos de código, en donde los N1 segundos circuitos están en correspondencia uno a uno con los N1 primeros flujos de código;

en donde:

el primer circuito (311) comprende un circuito de recepción, el primer flujo de datos es el primer flujo de bloques de datos, y cada segundo circuito de los M segundos circuitos comprende un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento;

30 o,

el primer circuito (311) comprende un circuito de codificación de capa física, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos comprende un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, y el primer circuito es un circuito en el PHY;

35 o,

el primer circuito (311) comprende un circuito de codificación de capa física, un circuito de aleatorización y un circuito de introducción de marcador de alineamiento, el primer flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el primer flujo de bloques de datos, cada segundo circuito de los M segundos circuitos comprende un circuito de recepción y el primer circuito es un circuito en el PHY.

40

12. El dispositivo de red según la reivindicación 11, en el que:

el PHY (320) está configurado además para deshabilitar, en los M segundos circuitos (321), por lo menos un segundo circuito exceptuando los N1 segundos circuitos.

13. El dispositivo de red según la reivindicación 11 o 12, en el que:

45 una velocidad de procesamiento máxima que puede ser proporcionada por los N1 segundos circuitos es mayor o igual que una velocidad del primer flujo de bloques de datos.

14. El dispositivo de red según una cualquiera de las reivindicaciones 11 a 13, en el que:

el dispositivo de red comprende además un circuito de multiplexación (330);

50 los N1 segundos circuitos están configurados además para enviar los N1 primeros flujos de código al circuito de multiplexación (330); y

el circuito de multiplexación (330) está configurado para llevar a cabo un proceso de multiplexación sobre los N1 primeros flujos de código para obtener X segundos flujos de código, en donde X es un entero positivo menor o igual que N1.

15. El dispositivo de red según la reivindicación 11, 13 o 14, en el que:

55 el MAC (310) está configurado además para recibir un segundo flujo de paquetes, dividir el segundo flujo de paquetes en un segundo flujo de bloques de datos y enviar el segundo flujo de bloques de datos al primer circuito (311);

el primer circuito (311) está configurado además para procesar el segundo flujo de bloques de datos con el fin de

obtener un segundo flujo de datos, y distribuir el segundo flujo de datos a N_2 segundos circuitos de los M segundos circuitos (321) en el PHY, en donde M es mayor que N_2 , N_2 es un entero positivo, y una intersección entre los N_2 segundos circuitos y los N_1 segundos circuitos es un conjunto vacío; y

5 los N_2 segundos circuitos están configurados además para procesar el segundo flujo de datos recibido para obtener N_2 terceros flujos de código, en donde los N_2 segundos circuitos están en correspondencia uno a uno con los N_2 terceros flujos de código; en donde:

el segundo flujo de datos es el segundo flujo de bloques de datos;

10 o el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física sobre el segundo flujo de bloques de datos;

o, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física y aleatorización sobre el segundo flujo de bloques de datos;

15 o, el segundo flujo de datos es un flujo de datos que se obtiene después de que se lleve a cabo codificación de capa física, aleatorización e introducción de marcador de alineamiento sobre el segundo flujo de bloques de datos.

16. Un dispositivo de red, que comprende:

un circuito de capa física, PHY, y un controlador de acceso al medio, MAC;

20 en el que N_3 primeros circuitos de M primeros circuitos en el PHY están configurados para recibir N_3 primeros flujos de código, procesar los primeros flujos de código recibidos para obtener N_3 primeros flujos de datos, y enviar los N_3 primeros flujos de datos a un segundo circuito, en el que los N_3 primeros circuitos están en correspondencia uno a uno con los N_3 primeros flujos de código;

el segundo circuito está configurado para procesar los N_3 primeros flujos de datos con el fin de obtener un primer flujo de bloques de datos, y enviar el primer flujo de bloques de datos al MAC; y

25 el MAC está configurado para combinar el primer flujo de bloques de datos para obtener un primer flujo de paquetes; en el que:

30 el segundo circuito comprende un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N_3 primeros flujos de datos, los N_3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N_3 primeros flujos de código, y cada primer circuito de los M primeros circuitos comprende un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física;

35 o, el segundo circuito comprende un circuito de descodificación de capa física, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N_3 primeros flujos de datos, los N_3 primeros flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N_3 primeros flujos de código, cada primer circuito de los M primeros circuitos comprende un circuito de eliminación de marcador de alineamiento y un circuito de desaleatorización, y el segundo circuito es un circuito en el PHY;

40 o, el segundo circuito comprende un circuito de eliminación de marcador de alineamiento, un circuito de desaleatorización y un circuito de descodificación de capa física, el segundo circuito es un circuito en el PHY, cada primer circuito de los M primeros circuitos comprende un circuito de recepción, el primer flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N_3 primeros flujos de datos son los N_3 primeros flujos de código.

17. El dispositivo de red según la reivindicación 16, en el que:

el PHY está configurado además para deshabilitar, en los M primeros circuitos, por lo menos un primer circuito exceptuando los N_3 primeros circuitos.

50 18. El dispositivo de red según la reivindicación 16 o 17, en el que una velocidad de procesamiento máxima que puede ser proporcionada por los N_3 primeros circuitos es mayor o igual que una velocidad de los N_3 primeros flujos de código.

19. El dispositivo de red según una cualquiera de las reivindicaciones 11 a 13, en el que:

el dispositivo de red comprende además un circuito de desmultiplexación;

55 en el que el circuito de desmultiplexación está configurado para recibir X segundos flujos de código, llevar a cabo un proceso de desmultiplexación sobre los X segundos flujos de código para obtener los N_3 primeros flujos de código, y enviar los N_3 primeros flujos de código a los N_3 primeros circuitos, en el que X es un entero positivo menor o igual que N_3 .

20. El dispositivo de red según la reivindicación 16, 18 o 19, en el que:

N4 primeros circuitos de los M primeros circuitos están configurados además para recibir N4 terceros flujos de código, procesar los N4 terceros flujos de código recibidos, para obtener N4 segundos flujos de datos, y enviar los N4 segundos flujos de datos al segundo circuito, en el que los N4 primeros circuitos están en correspondencia uno a uno con los N4 terceros flujos de código, y una intersección entre los N4 primeros circuitos y los N3 primeros circuitos es un conjunto vacío;

el segundo circuito está configurado además para procesar los N4 segundos flujos de datos con el fin de obtener un segundo flujo de bloques de datos, y enviar el segundo flujo de bloques de datos al MAC; y

el MAC está configurado además para combinar el segundo flujo de bloques de datos en un segundo flujo de paquetes; donde el segundo flujo de bloques de datos es un flujo de bloques de datos obtenido agregando los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física sobre los N4 terceros flujos de código;

o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento y desaleatorización sobre los N4 terceros flujos de código;

o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo desaleatorización y descodificación de capa física sobre los N4 segundos flujos de datos, y los N4 segundos flujos de datos son flujos de datos que se obtienen después de que se lleve a cabo eliminación de marcador de alineamiento sobre los N4 terceros flujos de código;

o, el segundo flujo de bloques de datos es un flujo de bloques de datos que se obtiene después de que se lleve a cabo eliminación de marcador de alineamiento, desaleatorización y descodificación de capa física, y los N4 segundos flujos de datos son los N4 terceros flujos de código.



FIG. 1

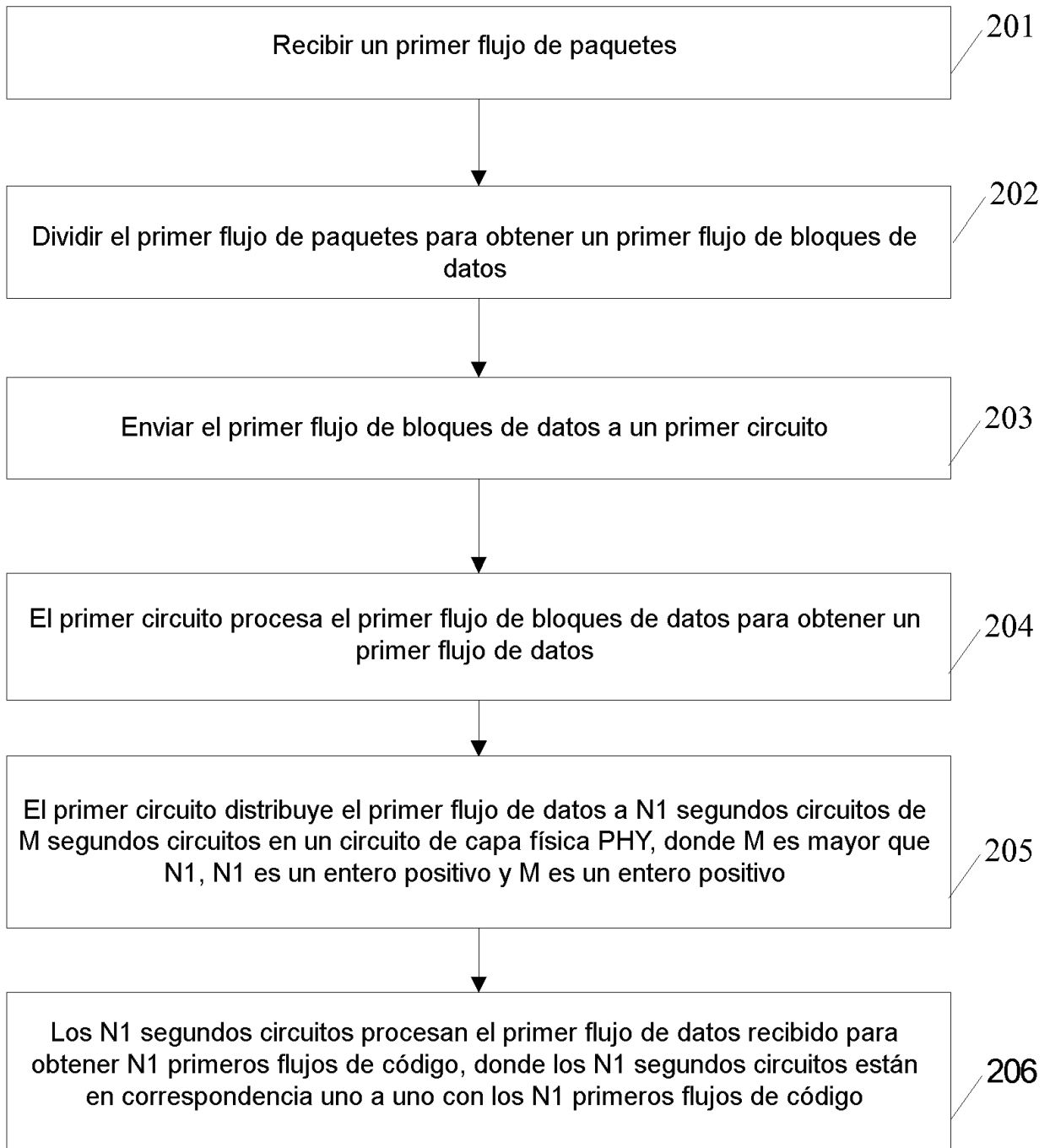


FIG. 2-a

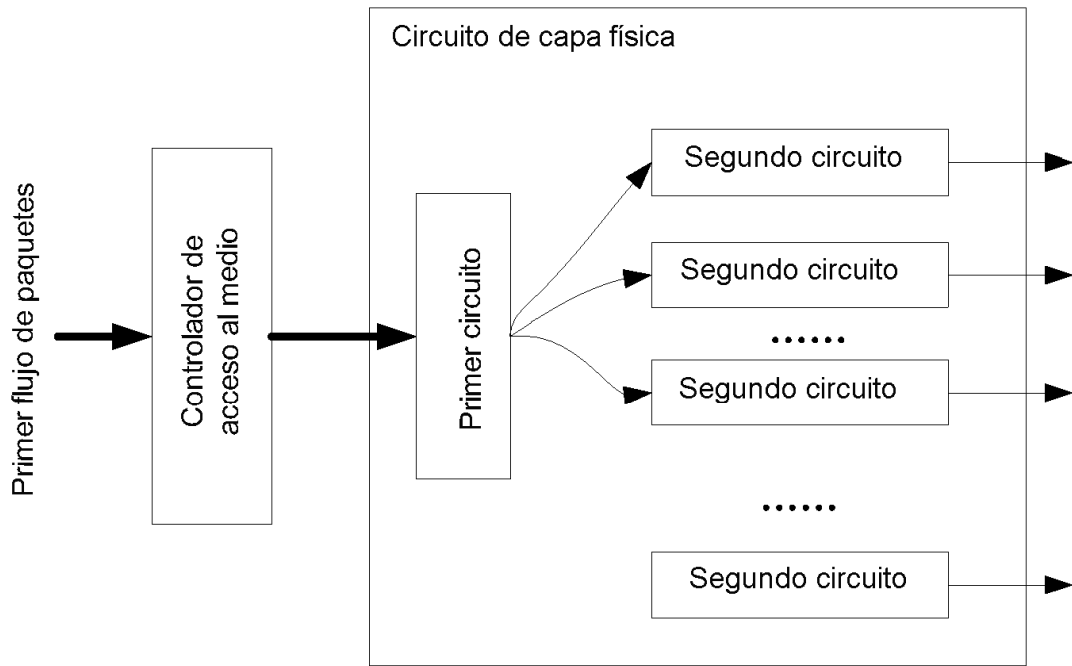


FIG. 2-b

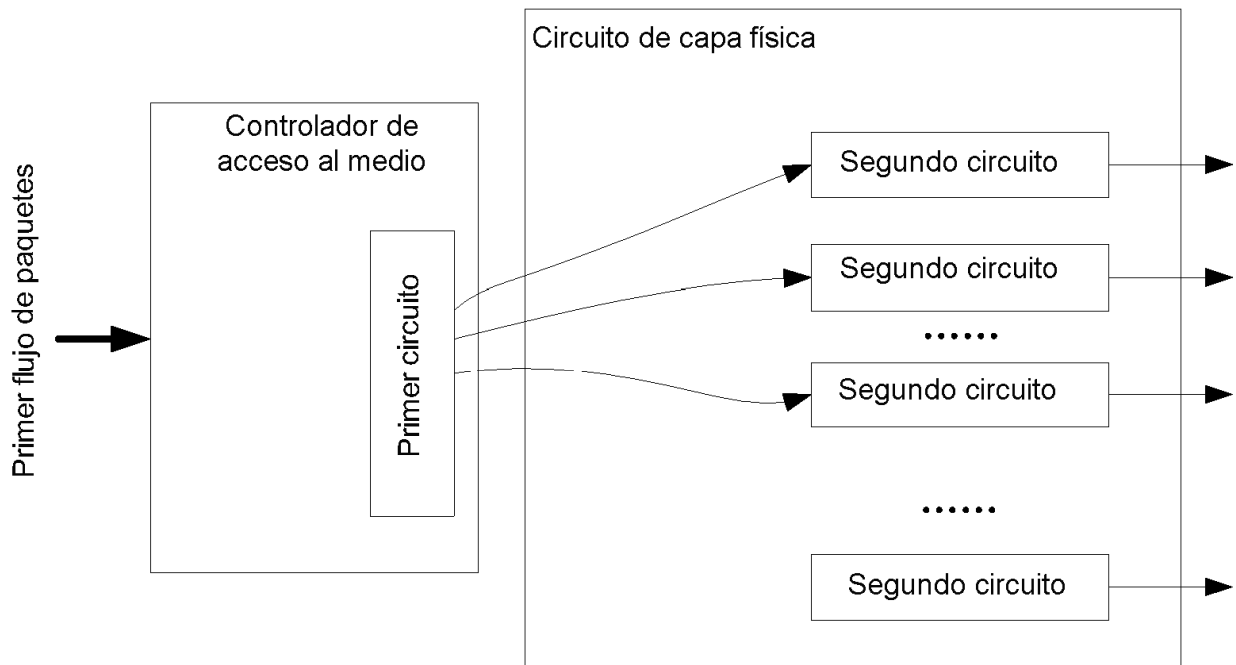


FIG. 2-c

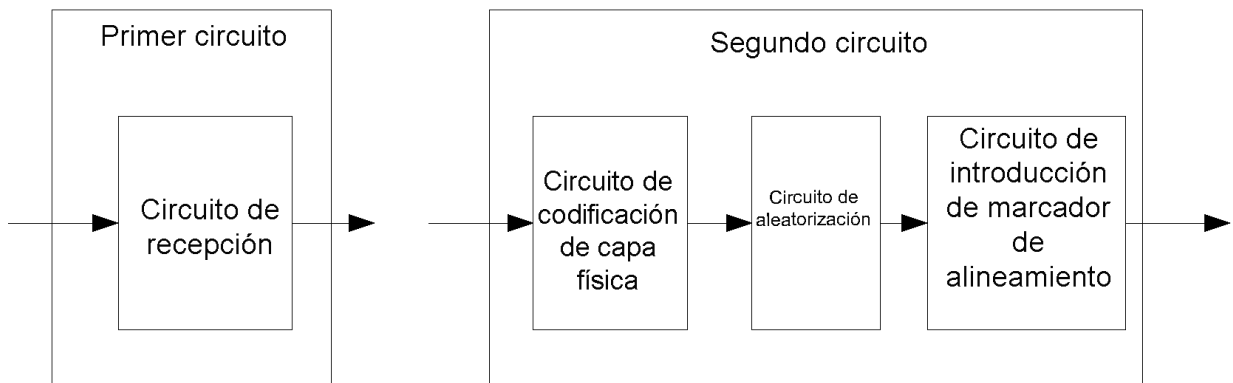


FIG. 2-d

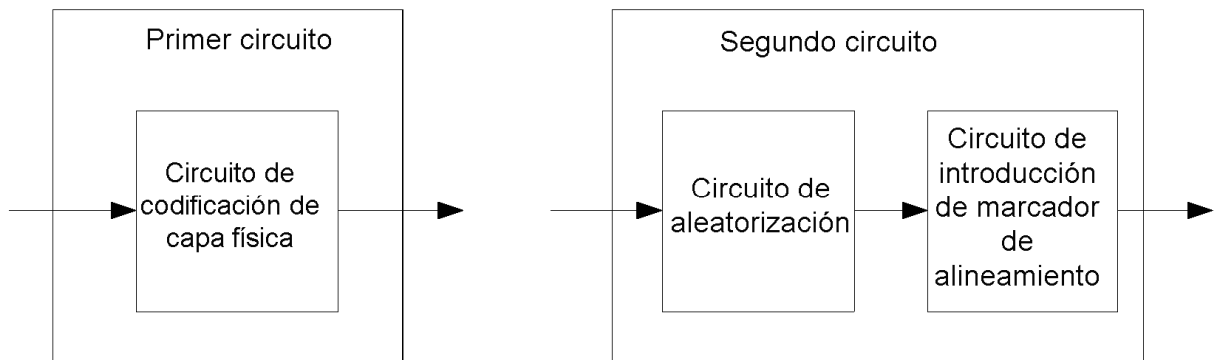


FIG. 2-e

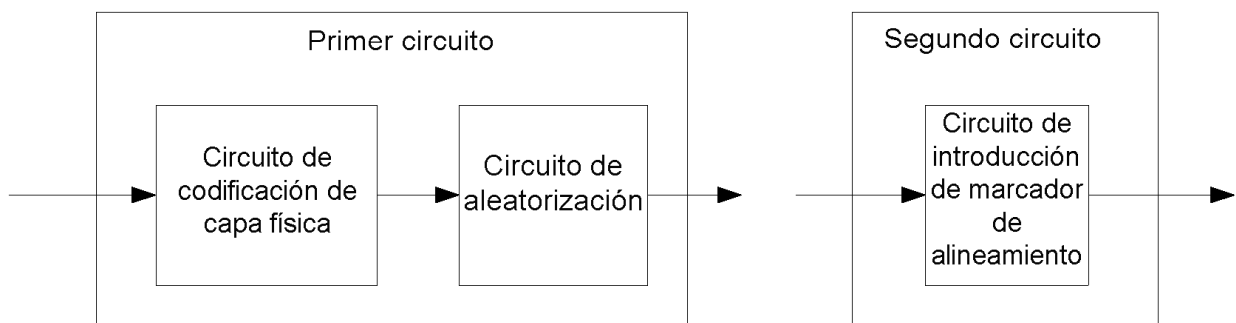


FIG. 2-f

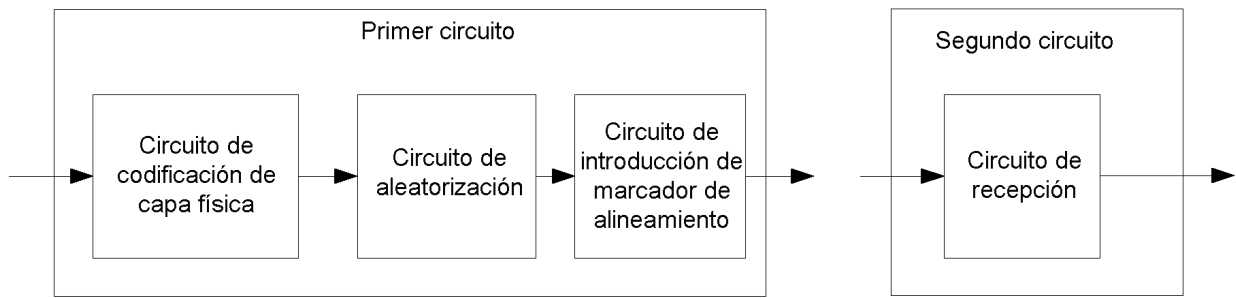


FIG. 2-g

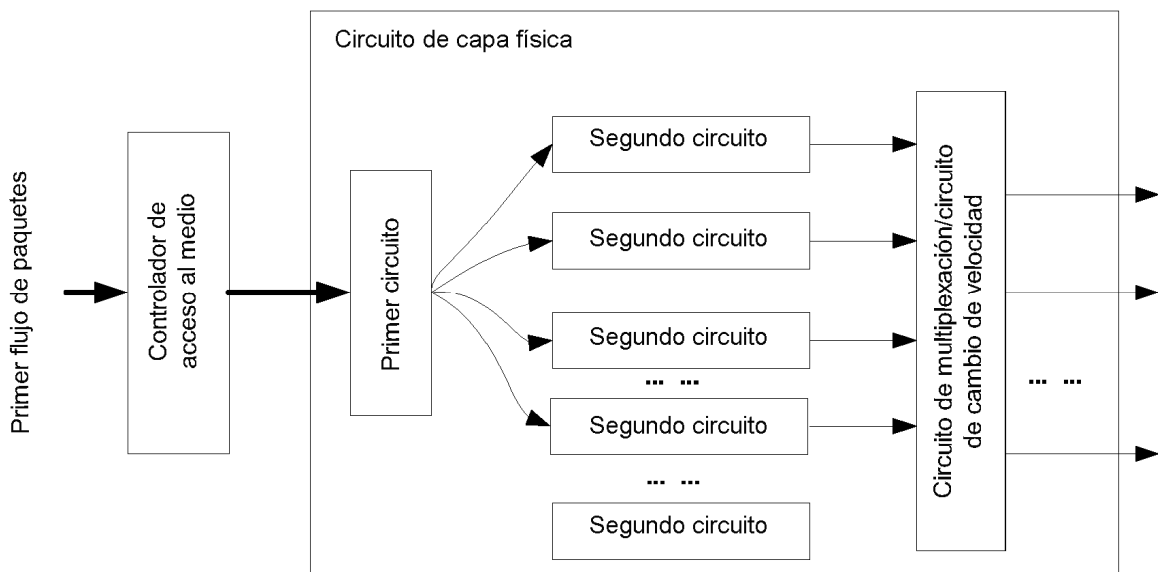


FIG. 2-h

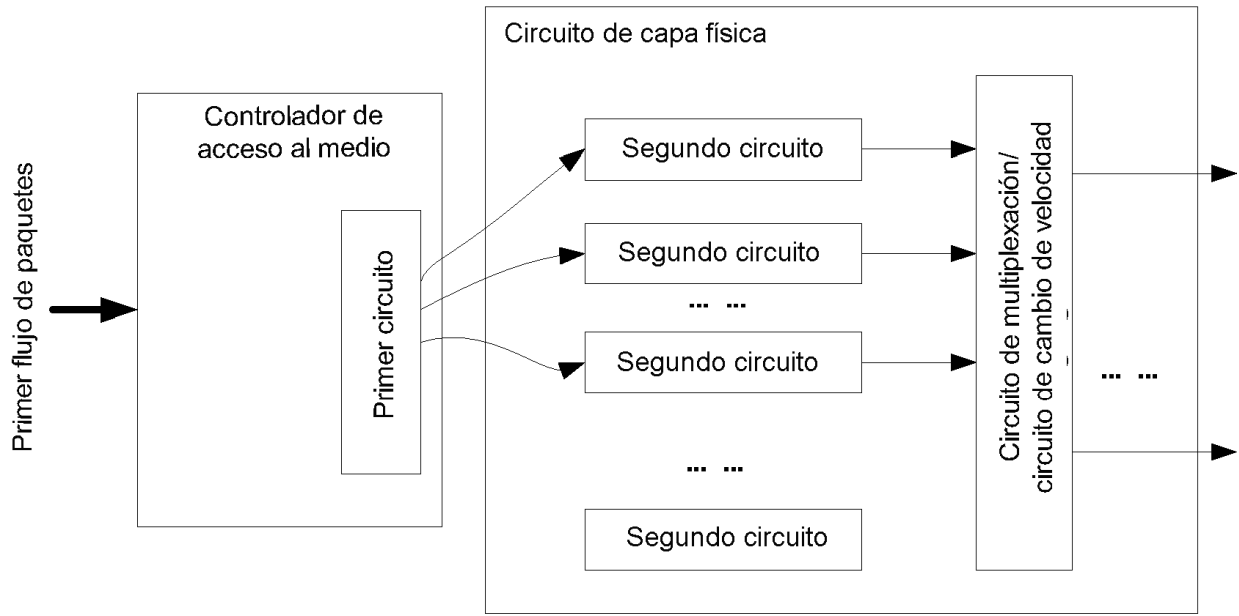


FIG. 2-i

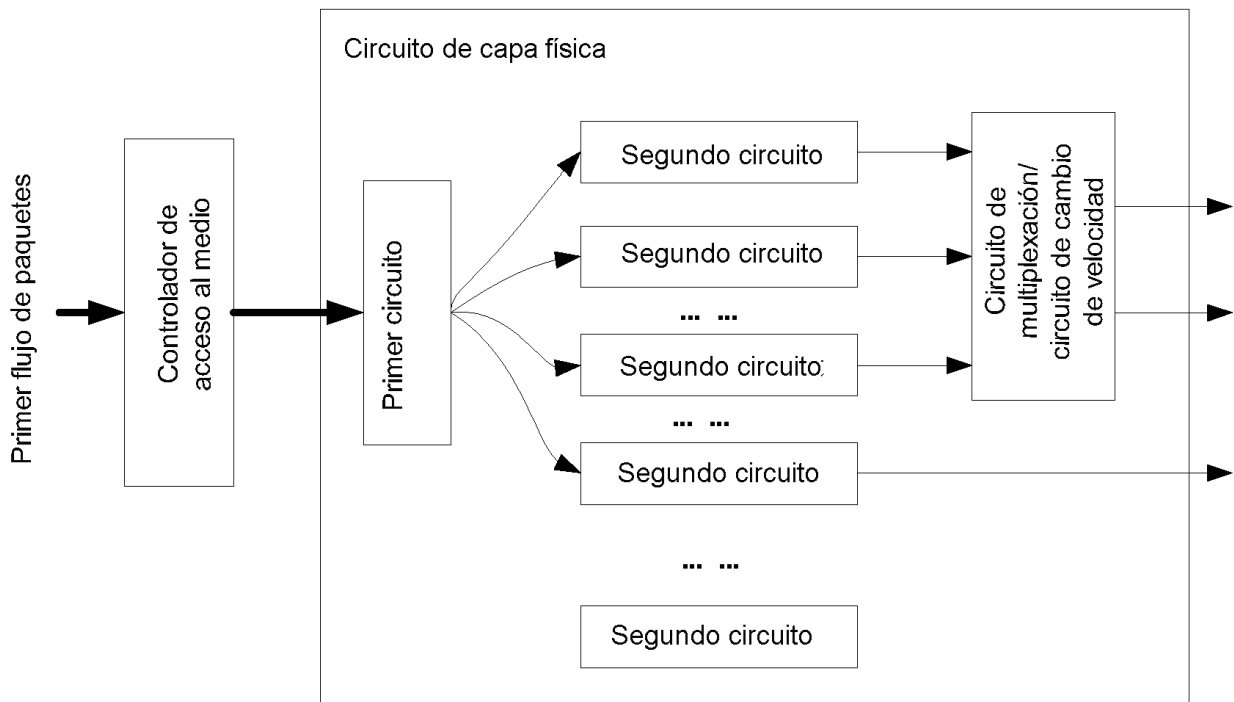


FIG. 2-j

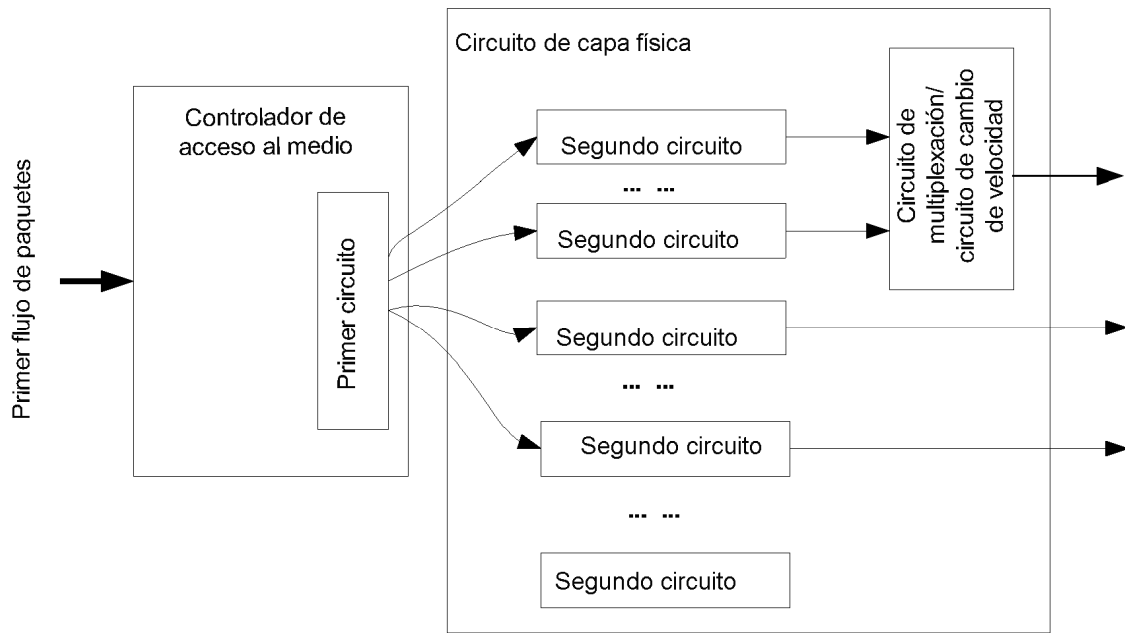


FIG. 2-k

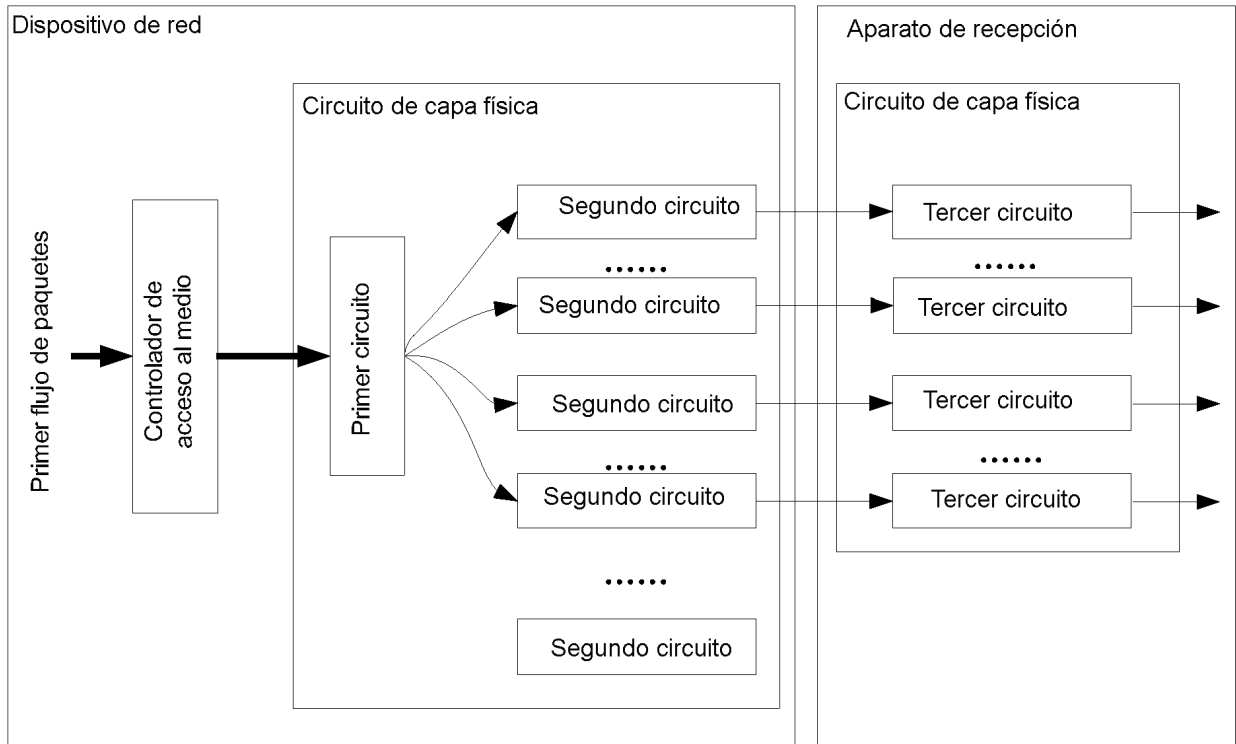


FIG. 2-1

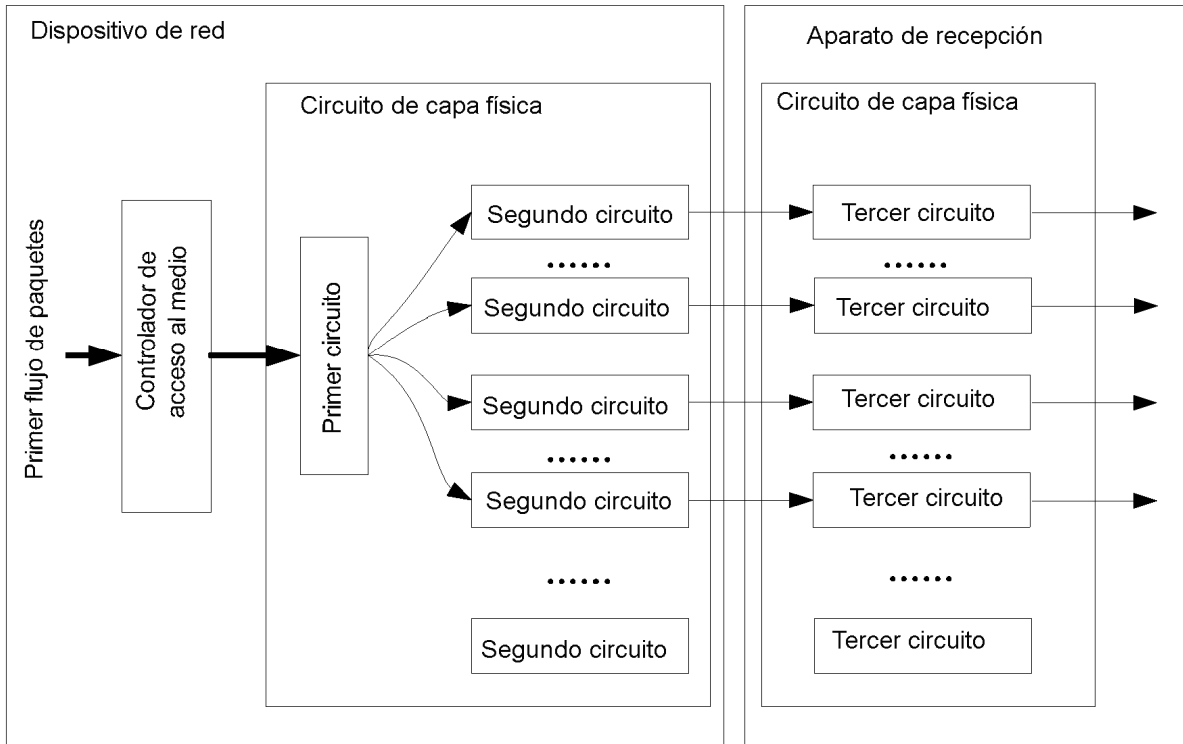


FIG. 2-m

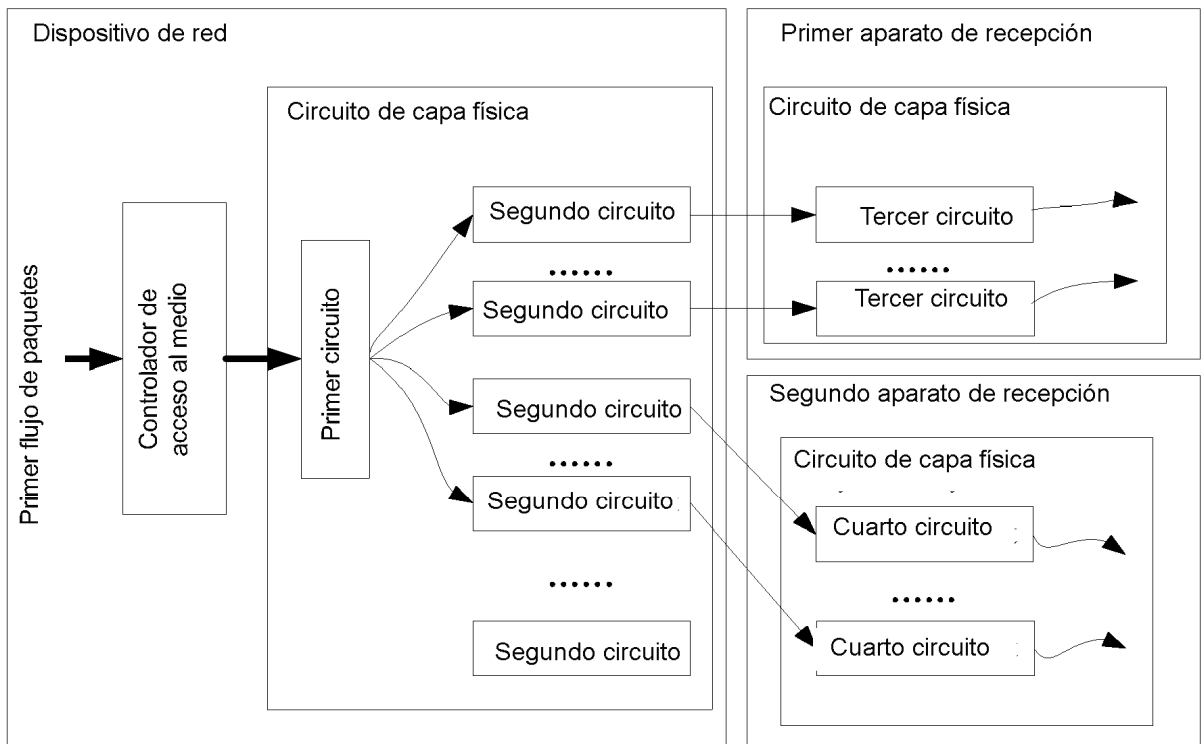


FIG. 2-n

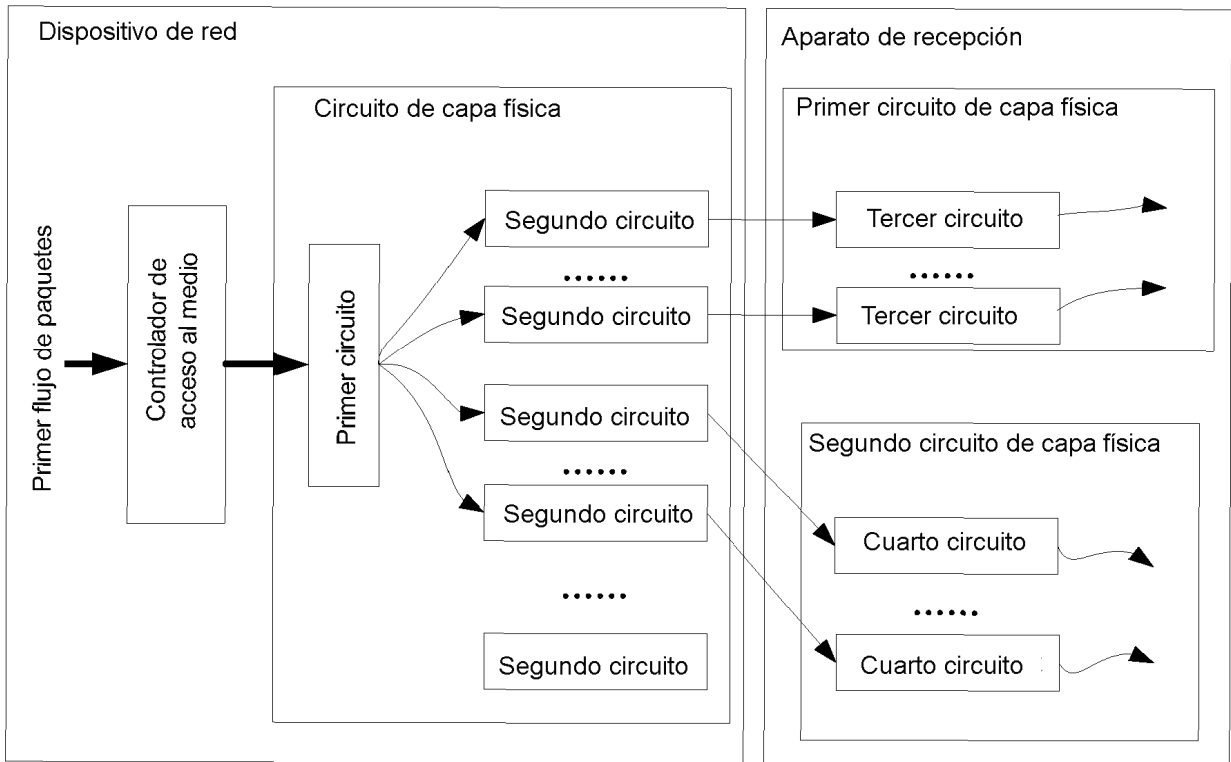


FIG. 2-o

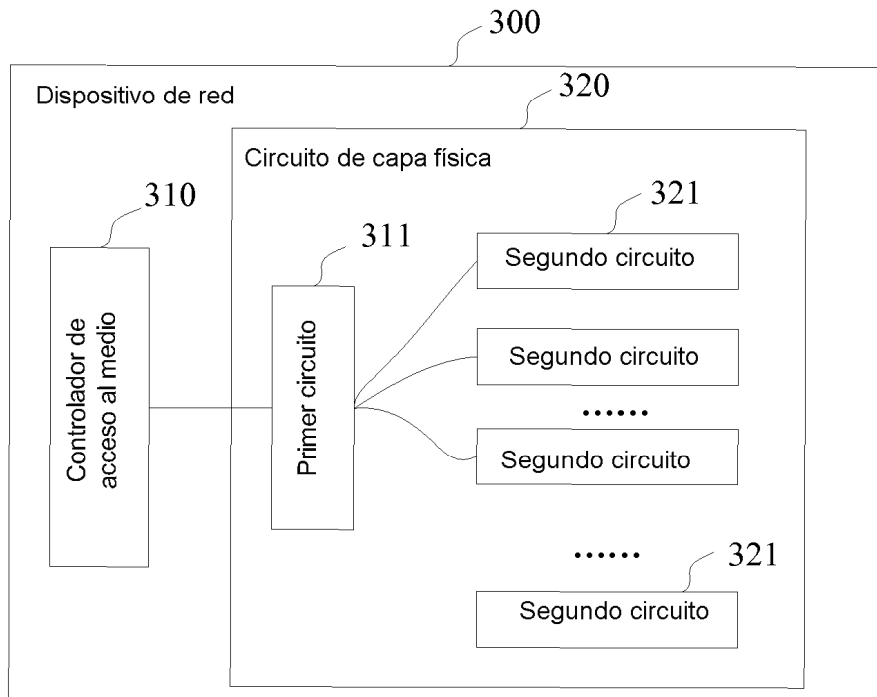


FIG. 3-a

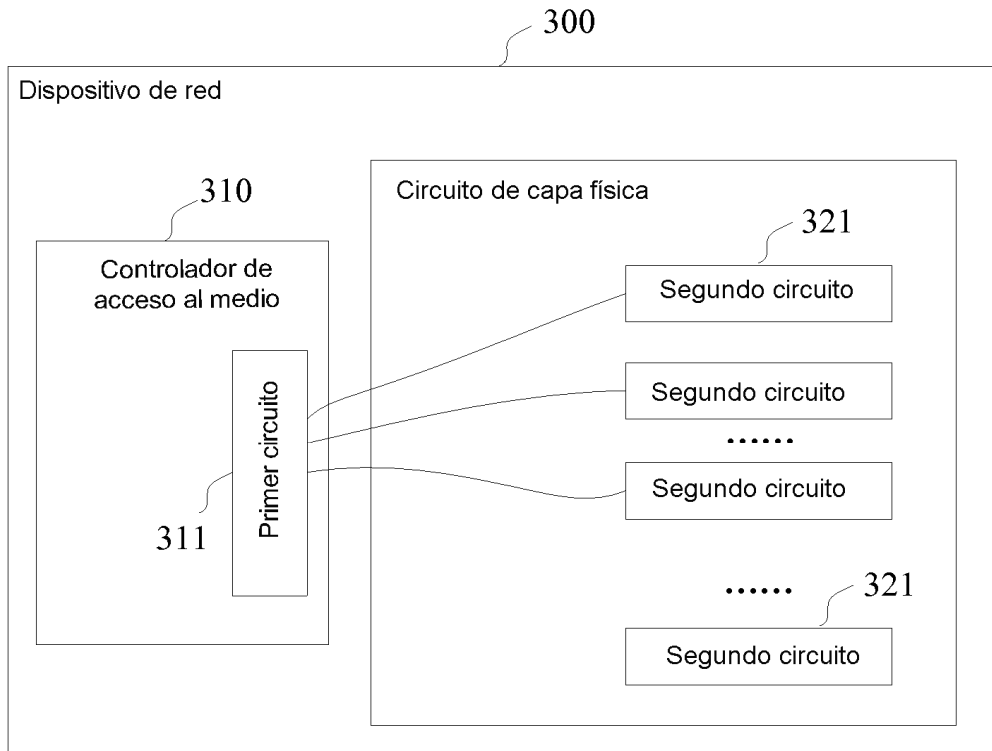


FIG. 3-b

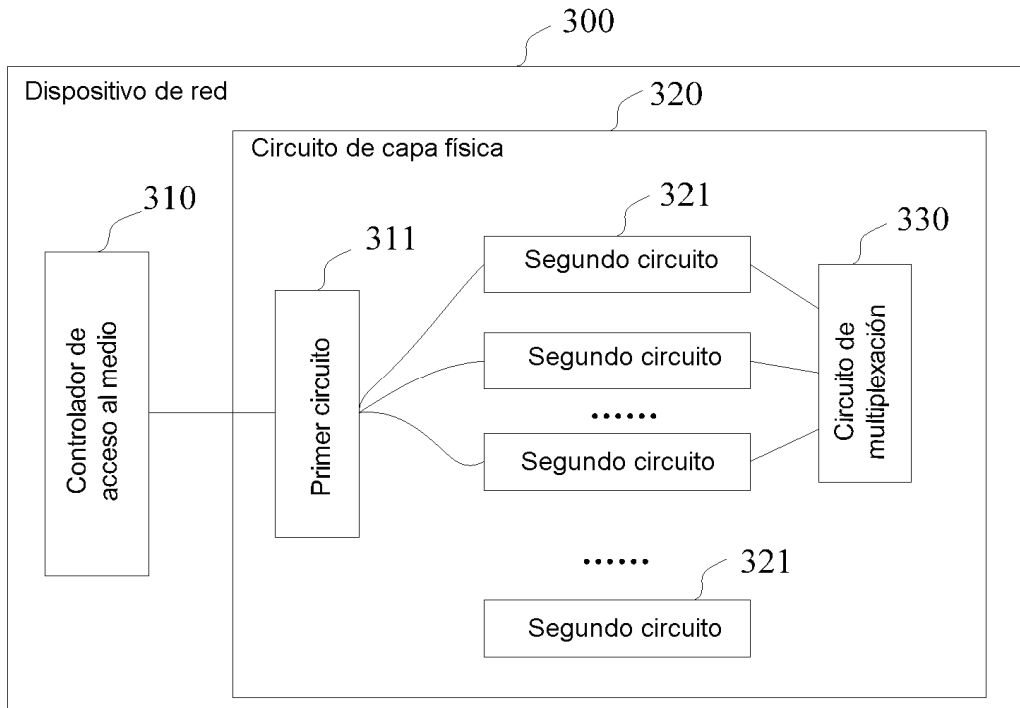


FIG. 3-c

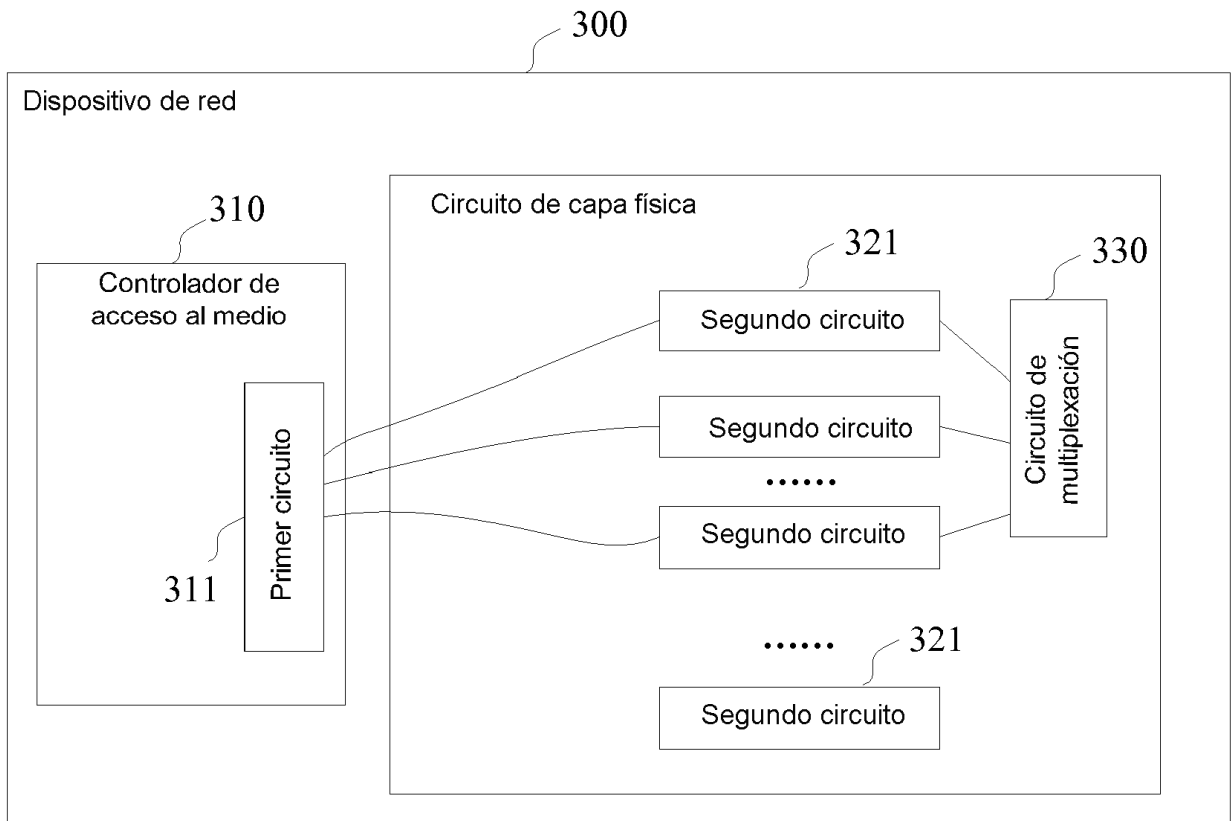


FIG. 3-d

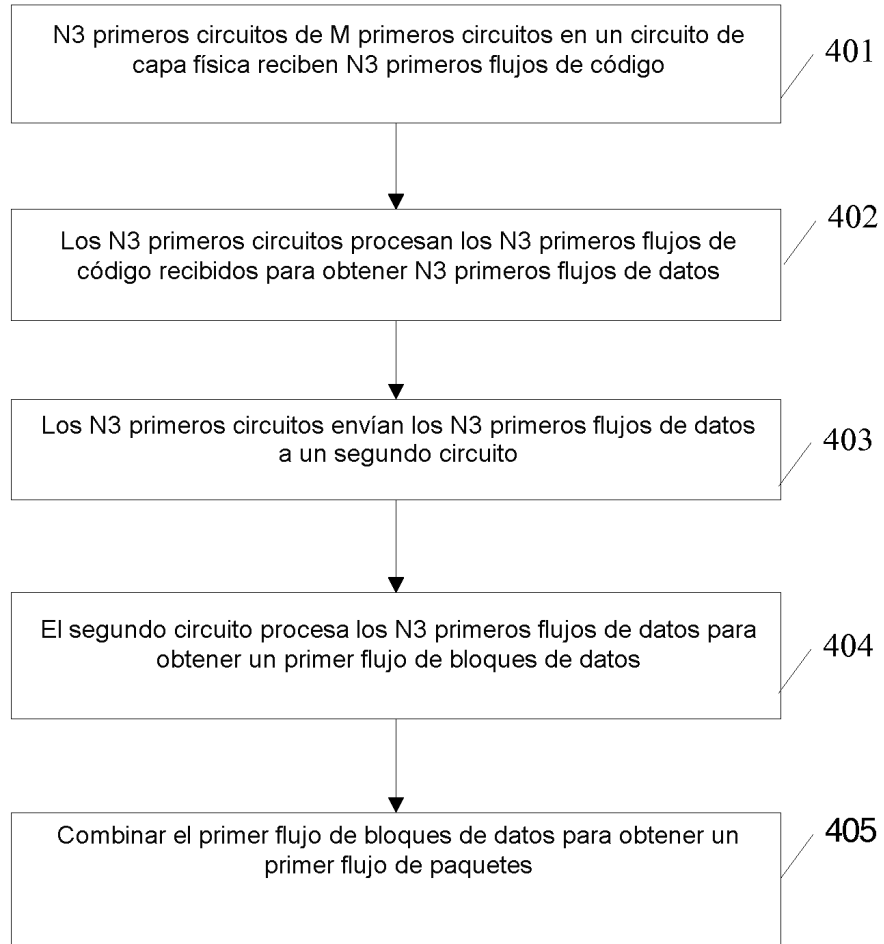


FIG. 4-a

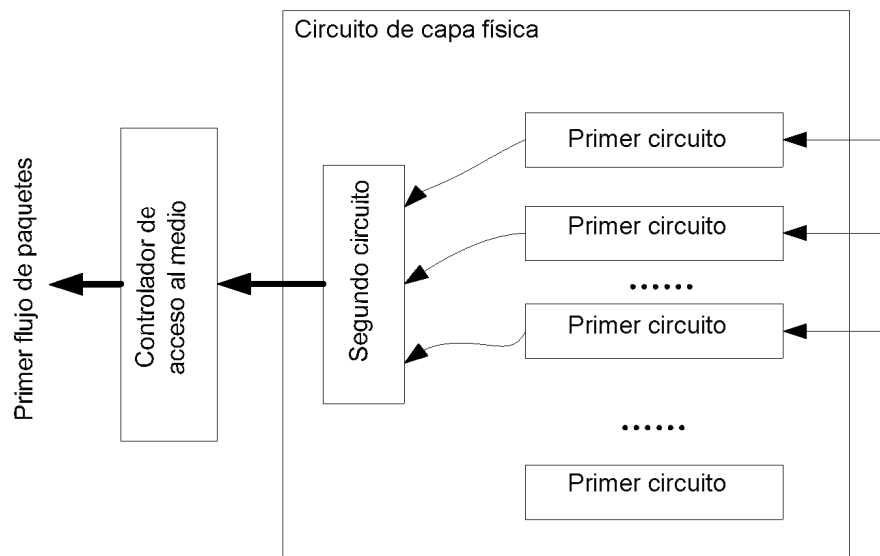


FIG. 4-b

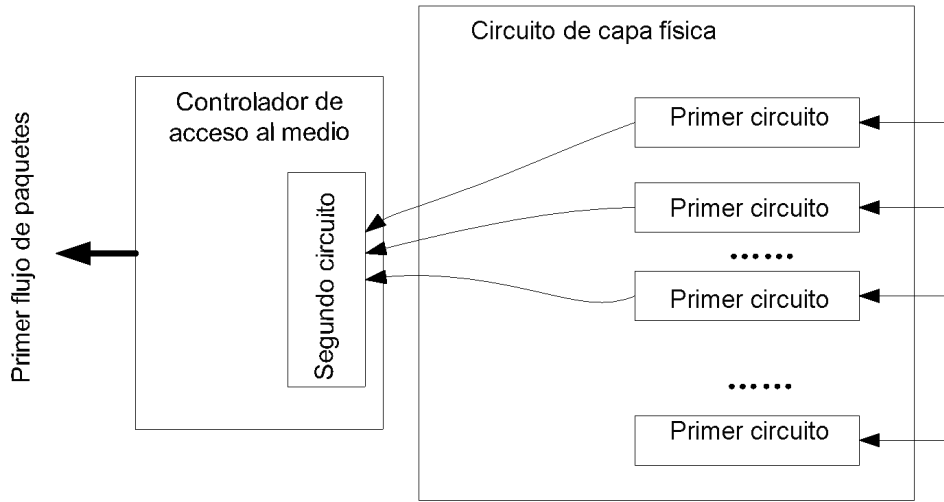


FIG. 4-c

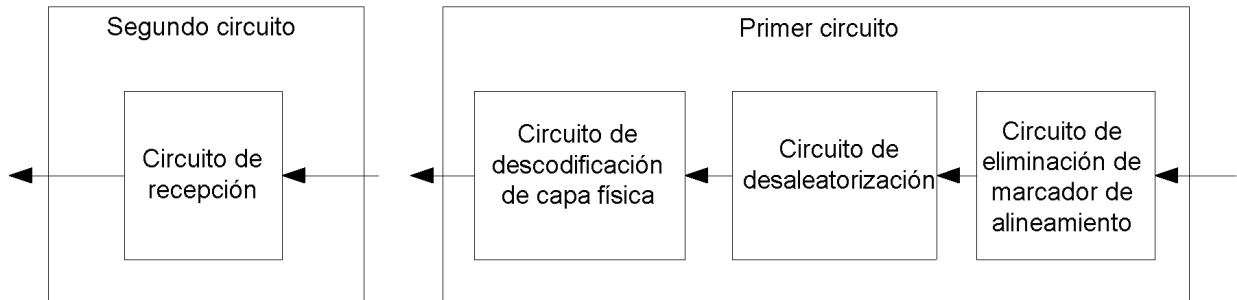


FIG. 4-d

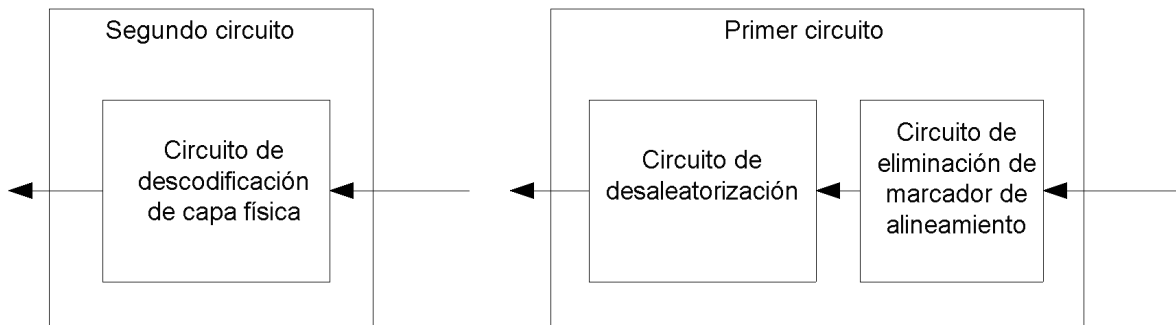


FIG. 4-e

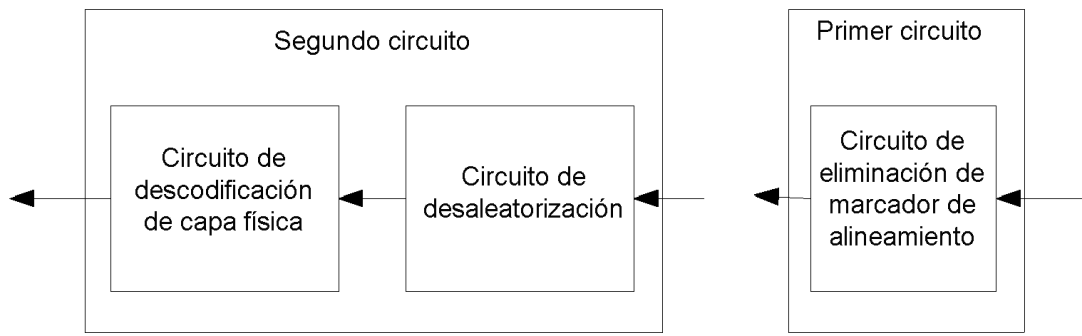


FIG. 4-f

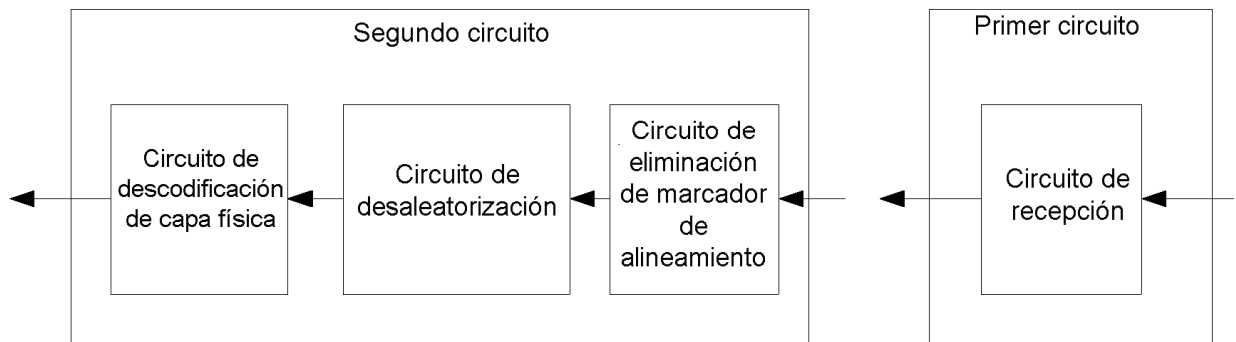


FIG. 4-g

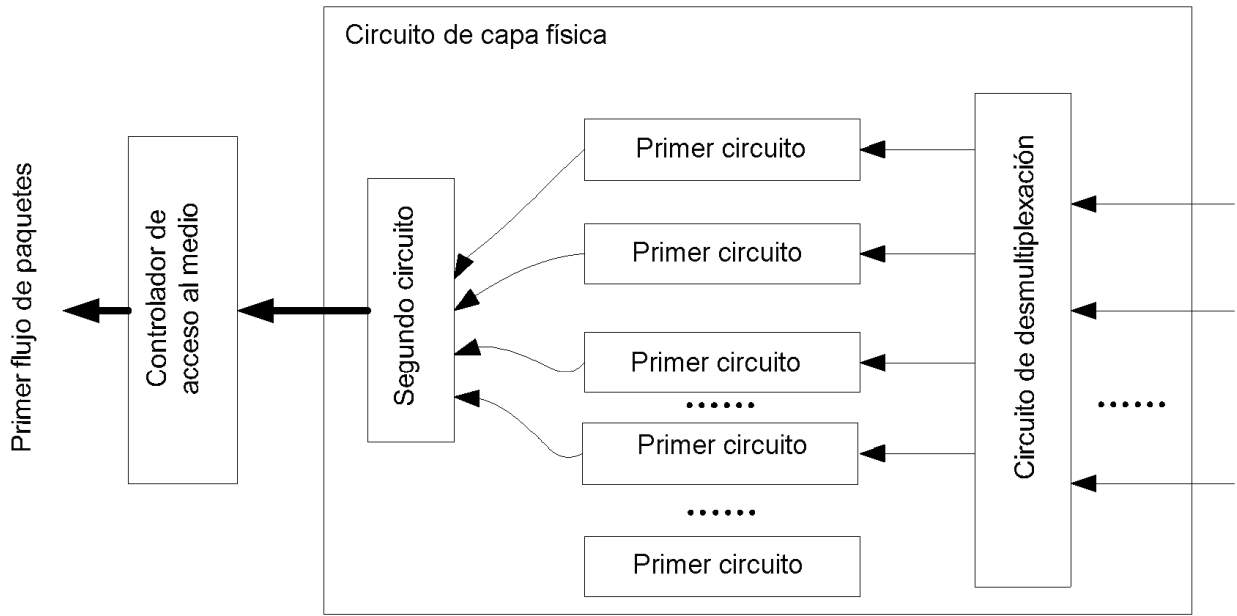


FIG. 4-h

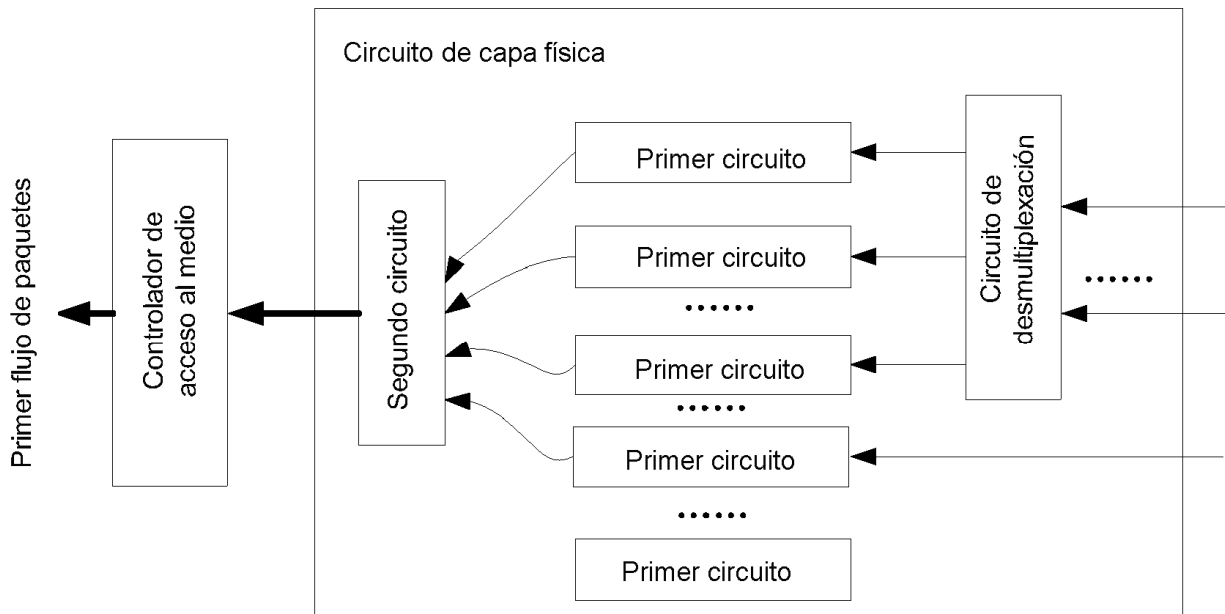


FIG. 4-i

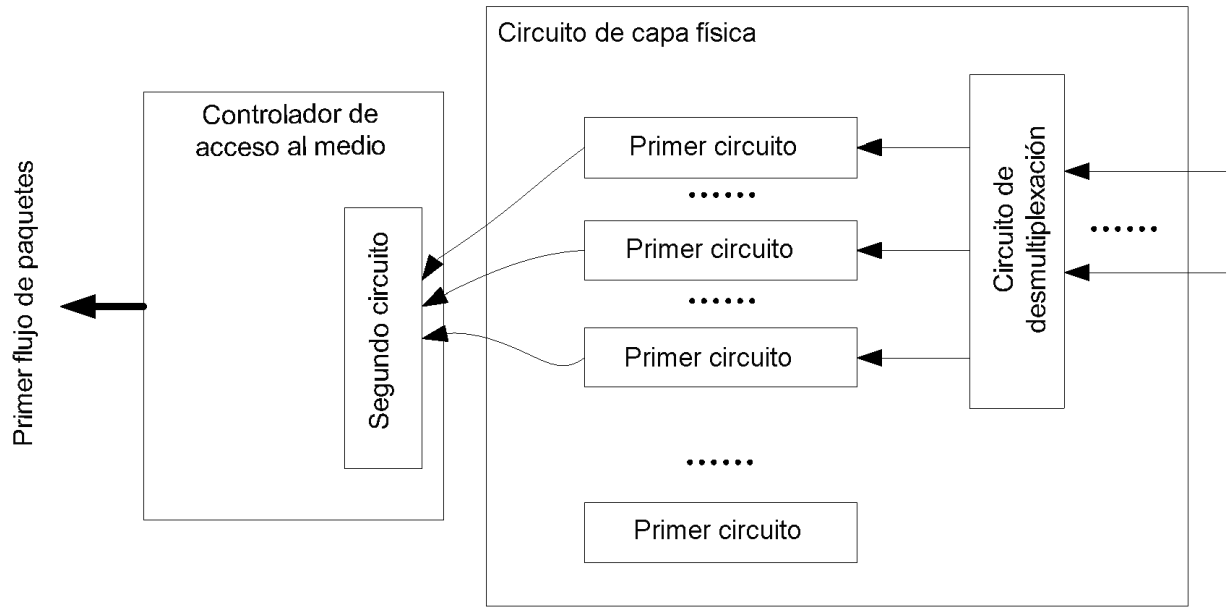


FIG. 4-j

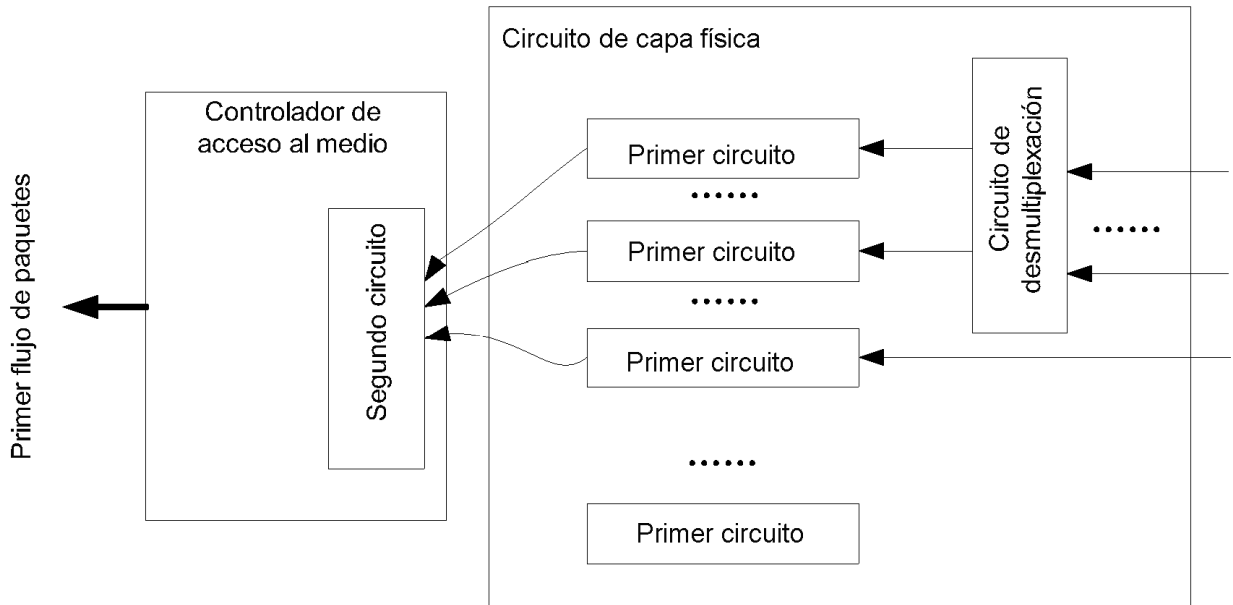


FIG. 4-k

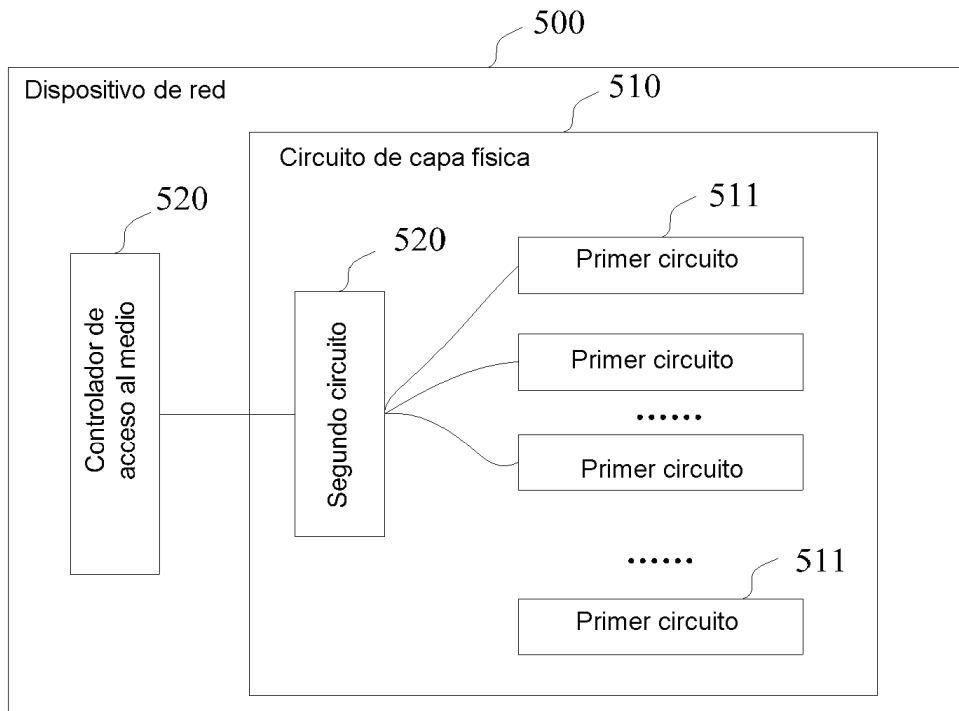


FIG. 5-a

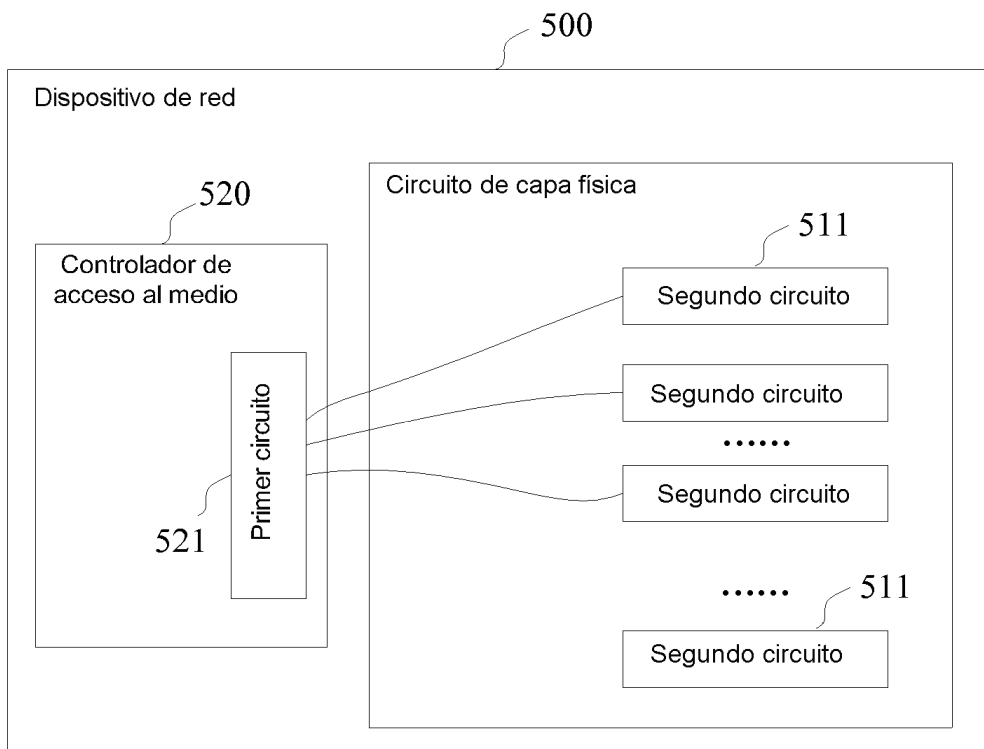


FIG. 5-b

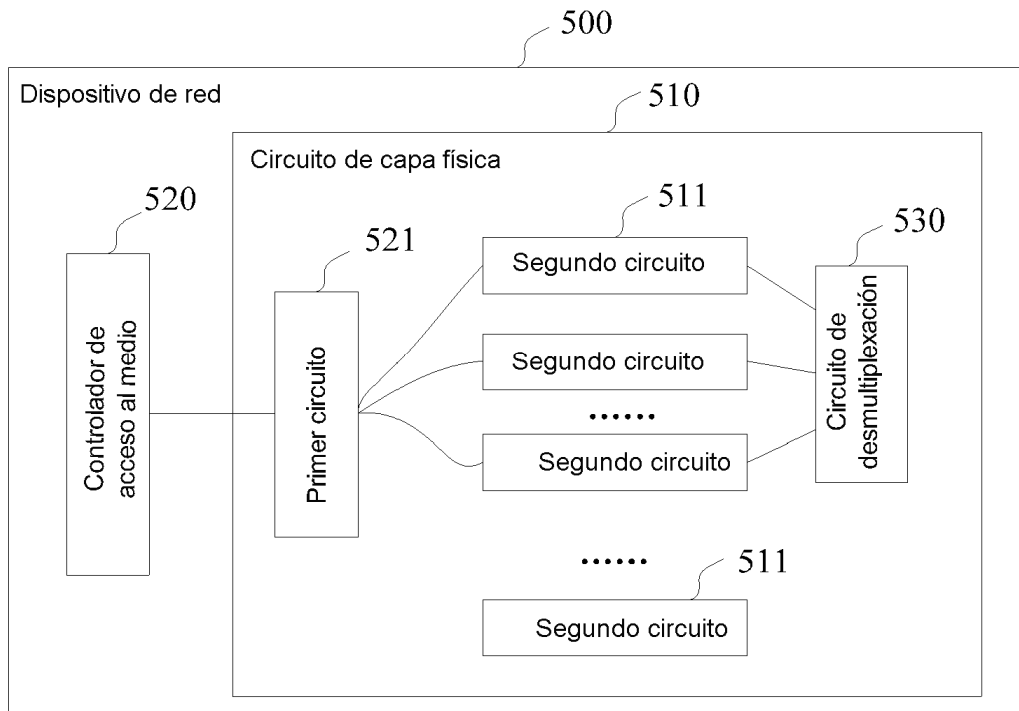


FIG. 5-c

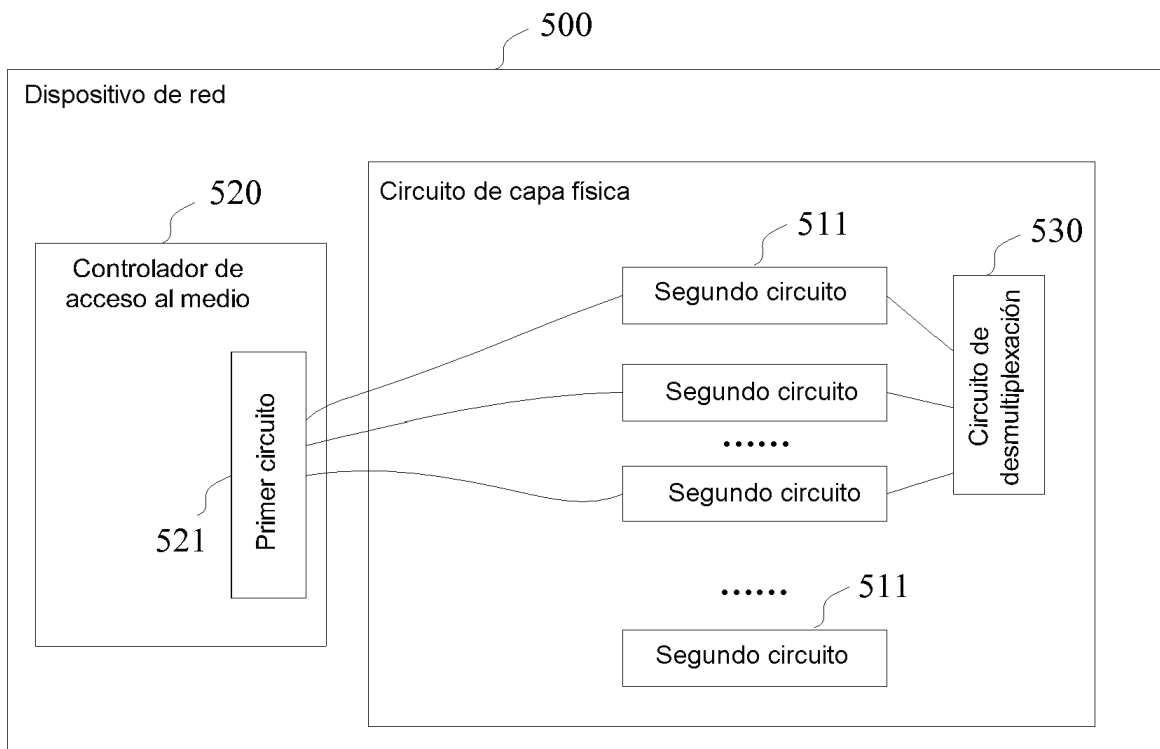


FIG. 5-d