

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 781 833**

51 Int. Cl.:

H02M 1/12 (2006.01)

H02M 7/487 (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.12.2013** E 13199294 (3)

97 Fecha y número de publicación de la concesión europea: **05.02.2020** EP 2887517

54 Título: **Método para controlar un inversor multinivel multifase**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
08.09.2020

73 Titular/es:

**SIEMENS AKTIENGESELLSCHAFT (100.0%)
Werner-von-Siemens-Straße 1
80333 München, DE**

72 Inventor/es:

CARTER, ROBERT

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 781 833 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método para controlar un inversor multinivel multifase

5 La invención se relaciona con un método para controlar un inversor multinivel multifase, comprendiendo el inversor un circuito de entrada, un enlace de DC en paralelo al circuito de entrada, que comprende al menos dos capacitancias en serie, y un circuito de salida que comprende un número de puentes de fase de salida multinivel, cada uno de los cuales es conectable a una carga.

10 En aplicaciones de electrónica de potencia, los inversores de modulación de ancho de pulso (PWM) juegan un papel clave debido a su capacidad de producir voltajes de AC de magnitud variable así como de frecuencia variable. De este modo los inversores de PWM se usan muy comúnmente para cargas de accionamiento de motor con una necesidad de velocidad ajustable donde la carga de motor es suministrada ya sea con voltaje variable o frecuencia variable.

15 Un inversor de PWM puede tener una salida de fase única o trifásica, y aparte de un rango amplio de diferentes topologías de inversor, hay varias técnicas de PWM con diferentes métodos de implementación. El objetivo común para la mayoría de las topologías de inversores y todos los esquemas de PWM es generar un voltaje de salida con, posiblemente después de alguna etapa de filtrado, una forma de onda de voltaje sinusoidal de una frecuencia y magnitud deseadas. En muchos inversores, este objetivo se logra dividiendo una forma de onda sinusoidal en muestras pequeñas, asignando a cada muestra un valor de ciclo de trabajo que corresponde a por ejemplo la media de la forma de onda sobre la muestra, y conectando el circuito de salida del inversor a un suministro de voltaje de DC fijado, típicamente dado por una capacitancia, ya sea en dirección positiva o negativa de un puente de inversor de acuerdo con el ciclo de trabajo dado en cada muestra.

20 Para una frecuencia de operación dada, las desviaciones de una forma de onda sinusoidal están presentes como componentes de Fourier armónicos más altos, dando como resultado distorsión. Aunque muchas de las cargas, por ejemplo cableado de motor, tienen una inductancia significativa y en consecuencia ofrecen una calidad inherente para suprimir corrientes armónicas de alta frecuencia, el problema de la distorsión armónica que causa compatibilidad y pérdida de potencia sigue siendo para armónicos más bajos.

25 Como una solución para generar formas de onda más suaves, se han introducido topologías de 3 niveles. Su principal ventaja en comparación con los sistemas de 2 niveles técnicamente más simples es que la onda sinusoidal no necesita parecerse a los ciclos de trabajo de una única caída de voltaje en cada una de sus patas de fase. En una topología de 3 niveles dos caídas de voltaje, típicamente a dos capacitancias en serie que se supone que son idénticas, están a la mano para imitar la forma de onda sinusoidal a través de la conmutación. La caída de voltaje general nunca va completamente a una carga, pero solo se usa la mitad del rango de voltaje completo en cada ciclo de trabajo. Esto da como resultado un rendimiento armónico mucho mejor, compensando de este modo la complejidad más alta y el control de conmutación intrínsecamente más elaborado.

35 Para una topología multifase, tal como el inversor trifásico más comúnmente usado, se asigna un vector espacial a un voltaje de una magnitud y fase dadas. Este vector espacial es definido en un sistema de coordenadas cuyos vectores base están dados por las diferentes configuraciones de conmutación posibles de las patas de fase de salida del inversor, que representan diferencias de potencial eléctrico de las diferentes patas de fase. El voltaje requerido entonces es generado descomponiendo su vector espacial en vectores base, representando los coeficientes de descomposición ciclos de trabajo en una muestra de tiempo de la PWM. Una suposición clave conocida es la igualdad de voltajes sobre las dos capacitancias del enlace de DC, que inserta un grado de redundancia conveniente en la representación vectorial de diferentes estados de conmutación. Esto permite desplegar un vector espacial específico y generar de este modo un voltaje a través de diversas configuraciones de conmutación física diferentes, de tal manera que en cada momento se pueda elegir el más conveniente.

40 Sin embargo, la suposición clave de voltajes de enlace de DC iguales en las dos capacitancias, no es correcta. A pesar de que los dos voltajes pueden ser similares en muchas aplicaciones, no serán idénticos en ninguna. Los esquemas de PWM del estado de la técnica no tienen en cuenta este desajuste, por lo que asignan diferencias de voltaje incorrectas a ciertos estados de conmutación que en un voltaje de salida generado lleva a asimetría y oscilaciones armónicas no deseadas.

50 El documento EP 0 642 212 A1 divulga un aparato convertidor de potencia de tres niveles que comprende medios para equilibrar el componente de DC del mismo, en donde con el fin de igualar las distribuciones de voltaje de condensadores divisores de voltaje del lado de DC de un aparato de conversión de potencia de tres niveles que convierte un voltaje de DC en voltaje de fase de AC de tres niveles, se proporcionan medios para compensar las instancias de elevación y caída de un pulso de voltaje de AC de tres niveles dependiendo de la diferencia de voltaje de dos condensadores divisores de voltaje y la polaridad de la corriente de AC, ajustando de esa manera un período de voltaje cero del voltaje de AC.

55 El documento US 6,842,354 B1 divulga una técnica de equilibrio de carga de condensador para un convertidor de potencia de PWM de tres niveles, en donde un convertidor de potencia incluye un inversor de DC a AC que está conectado a un nodo neutro formado entre el primer y segundo condensadores conectados a través de dos líneas de suministro de DC. El inversor es operado para acoplar selectivamente las líneas de suministro de DC y el nodo neutro

5 a un terminal de salida produciendo de esa manera una forma de onda de voltaje alternativa formada por una secuencia de pulsos de salida que tienen niveles de voltaje positivo, cero y negativo. Para compensar un desequilibrio de voltaje a través de los condensadores, se deriva un coeficiente de compensación de desequilibrio de la diferencia en voltajes a través del primer y segundo condensadores y de la dirección de corriente entre el nodo neutro y el inversor. El coeficiente de desequilibrio es empleado para ajustar el ancho de los pulsos de salida de tal manera que cargue y descargue los condensadores para corregir el desequilibrio.

El objeto de la presente invención es proponer un esquema de PWM para controlar un inversor multinivel que reduce la asimetría y contenido armónico en un voltaje de salida generado. Adicionalmente, un objeto de la invención es presentar un inversor multinivel capaz de generar un voltaje de salida que sea tan suave como sea posible.

10 De acuerdo con la presente invención, el primer objeto se logra mediante un método de acuerdo con la reivindicación 1.

La noción de un pata de fase de salida multinivel incluye cualquier circuito que comprenda al menos tres enlaces de entrada, un enlace de salida y un número de conmutadores que mediante conmutación permiten conectar el enlace de salida a uno pero solo un enlace de entrada a la vez.

15 Preferiblemente, durante la operación el proceso de medir los al menos dos voltajes en las capacitancias de enlace de DC y, con base en los resultados de medición, calcular un ciclo de trabajo de conmutación para generar un voltaje de salida se repite para una pluralidad adecuada de muestras de tiempo. En particular, el proceso de medir los al menos dos voltajes en las capacitancias de enlace de DC y, con base en los resultados de medición, calcular un ciclo de trabajo de conmutación para generar un voltaje de salida puede llevarse a cabo en cada muestra de tiempo.

20 La idea básica detrás de la invención es que cualquier esquema para reducir la asimetría de voltaje de salida causada por una diferencia en los voltajes en las capacitancias de enlace de DC necesita observar esta diferencia en tiempo real y adaptar la PWM en consecuencia. La monitorización en tiempo real de todos los voltajes de enlace de DC tiene en cuenta que durante la operación del inversor, todos los voltajes de enlace de DC pueden estar sometidos a cambios inesperados dentro de una escala de tiempo corta, por ejemplo debido a un posible retroflujo de potencia de una carga conectada a unas patas de fase de salida del inversor. Esta monitorización en tiempo real implica una medición de cada uno de los voltajes en cada nueva etapa de modulación, es decir para cada muestra de tiempo del esquema de PWM.

30 Con el fin de generar un voltaje de salida, los ciclos de trabajo de PWM de los conmutadores del inversor para conectar una carga respectiva en una de las patas de fase de salida a uno de los al menos tres niveles de potencial se calculan entonces en cada muestra de tiempo de acuerdo con los voltajes de enlace de DC medidos.

Técnicamente, con el fin de calcular las diferencias mutuas de potencial eléctrico de todas las fases de salida, es suficiente calcular la diferencia de una fase como referencia con respecto a todas las demás.

35 En este sentido, los voltajes medidos en todas las capacitancias de enlace de DC que definen el rango de voltaje común proporcionan un marco multinivel para los potenciales eléctricos de las fases de salida. Un nivel medio, que corresponde al punto medio físico entre dos de las capacitancias, es asignado con el valor de potencial eléctrico de cero. Para un voltaje de salida de una magnitud y fase dadas, se calculan las diferencias de potencial eléctrico entre las patas de fase individual. En el caso de una salida trifásica, esto se puede hacer mediante una transformada de Clarke inversa. Se configura un valor de potencial de referencia específico en el rango de estas diferencias de potencial eléctrico calculadas de todas las fases de salida. La elección de este valor de potencial de referencia dentro del rango de diferencia de potencial de las fases de salida coloca el rango de diferencias de potencial de fase de salida dentro del rango de voltaje común mientras que el valor de potencial de referencia se toma con respecto al nivel cero en el rango de voltaje común.

45 Esta elección es arbitraria, dando libertad para por ejemplo simplificar las configuraciones de conmutación con el fin de minimizar las pérdidas de conmutación, pero con la única restricción de que la elección del nivel de potencial de referencia en los potenciales de fase de salida permita colocar el rango de potencial de fase de salida completo dentro del marco del rango de voltaje común de enlaces de DC. Al colocar las fases de salida en el marco multinivel del rango de voltaje común de acuerdo con sus diferencias de potencial se asigna una posición virtual en el rango de voltaje común a cada una de las patas de fase. Finalmente, esta posición se usa para calcular un ciclo de trabajo de tiempos de conmutación y/o conexión de la respectiva pata de salida.

50 Debido a que los cálculos presentan voltajes de fase física real se simplifica agregar correcciones a estos cuando sea necesario, por ejemplo como parte de un esquema de corrección de voltaje de salida de circuito cerrado. También, es posible acomodar modificaciones de voltaje tal como frenado compuesto.

55 En otras palabras, la posición virtual de un potencial eléctrico de la fase de salida dentro del rango de voltaje común es ya sea igual a un nivel de potencial de enlace de DC o yace entre dos niveles de potencial de enlace de DC. En el primer caso, se puede sostener directamente la pata de fase de salida correspondiente al nivel de potencial de enlace de DC. En el último caso, se puede calcular esta posición como una fracción de los dos niveles de potencial de enlace de DC adyacentes. Esto significa que con el fin de alcanzar tal posición en un esquema de PWM, la posición virtual

5 de una fase de salida entendida como tal una fracción define el ciclo de trabajo para el tiempo de la pata de fase de salida conectada al siguiente voltaje de enlace de DC más alto, mientras que el tiempo restante de la muestra de tiempo, la pata de fase de salida está conectada al siguiente nivel de potencial más bajo. Como un beneficio adicional, se pueden suprimir las transiciones de estado no deseadas entre estados de conmutación, dado que cada PWM de salida se puede generar de manera independiente.

10 Es ventajoso cuando para una muestra de tiempo, el potencial eléctrico de referencia para las diferencias de potencial de las fases es establecido al configurar el potencial eléctrico más alto de una fase igual al nivel de potencial de enlace de DC más alto o al configurar el potencial eléctrico más bajo de una fase igual al nivel de potencial de enlace de DC más bajo. Por esto, una de las patas de fase de salida está conectada permanentemente a uno de los dos niveles de voltaje de enlace de DC y en esta pata de fase de salida, no se requiere conmutación durante toda la muestra de tiempo. Esto ayuda a reducir las pérdidas de conmutación.

15 Alternativamente, puede ser ventajoso cuando para una muestra de tiempo, el potencial eléctrico de referencia para las diferencias de potencial de las fases es establecido al configurar uno de los potenciales de una fase igual al potencial cero definido por el punto medio entre dos de las capacitancias de enlace de DC. Asimismo, una de las patas de fase de salida está conectada permanentemente al punto medio entre dos de las capacitancias de enlace de DC y en esta pata de fase de salida, no se requiere conmutación durante toda la muestra de tiempo. De nuevo, las pérdidas de conmutación pueden reducirse mediante esta medida.

20 De acuerdo con la presente invención, el objetivo adicional se logra mediante un inversor multinivel, que comprende: un circuito de entrada, un enlace de DC en paralelo al circuito de entrada que comprende de al menos dos capacitancias en serie que establecen al menos tres niveles de potencial eléctrico, un circuito de salida que comprende de una pluralidad de patas de fase de salida multinivel conectadas en paralelo al enlace de DC, cada una de las cuales comprende una pluralidad de conmutadores, un número de diodos y una conexión al punto medio entre dos de las capacitancias de enlace de DC, y conectables a una carga de tal manera que la carga mediante conmutación está conectada durante la operación a cualquiera de los al menos tres niveles de potencial de enlace de DC, y una unidad de control diseñada para ejecutar el método mencionado anteriormente. Las ventajas mencionadas para el método y sus desarrollos adicionales se pueden transferir al inversor en consecuencia.

30 En una realización preferida del inversor, el número de patas de fase de salida multinivel es tres. Esto permite un uso del inversor para una carga trifásica, ya que tales cargas están extendidas especialmente en la tecnología de accionamiento de motor donde cada fase corresponde a un único cableado de bobina. Los desafíos que rodean la operación de accionamientos de motores trifásicos con respecto al comportamiento armónico se pueden resolver particularmente bien empleando el inversor presentado.

35 Es particularmente habitual si el número de capacitancias de enlace de DC es dos, y cada una de las patas de fase de salida está compuesta por una pata de fase de 3 niveles sostenida por diodo que comprende de cuatro conmutadores en serie, un diodo de retorno en anti paralelo a cada uno de los conmutadores, y un puente de diodos de al menos dos diodos en serie que puentea los dos conmutadores internos, en donde el punto de conexión de cada pata de fase de salida al punto medio de las capacitancias de enlace de DC está entre dos diodos del puente de diodos y el enlace a una fase salida está en el punto medio de los cuatro conmutadores. El método presentado para un esquema de PWM es de gran ventaja en el control de una topología de 3 niveles sostenida por diodo, a pesar de que esto de ninguna manera implicará una restricción de las posibilidades prácticas de aplicación del método.

40 En aún otra implementación ventajosa del inversor, el circuito de entrada comprende una conexión de red de AC trifásica y un puente rectificador con tres patas de fase rectificadora en paralelo, cada una de las cuales tiene en su punto medio la conexión a una pata de fase de red de AC. El uso de un sistema de red trifásica como circuito de entrada de AC hace que el inversor sea especialmente versátil debido a la distribución casi ubicua de este sistema de red, al cual el inversor entonces simplemente puede ser conectado.

45 Los atributos y propiedades así como las ventajas de la invención que se han descrito anteriormente se ilustran ahora con ayuda de un dibujo de una realización de ejemplo, donde

La figura 1 muestra un inversor de 3 niveles sostenido por diodo con tres patas de fase de salida y una unidad de control configurada para ejecutar el método presentado,

50 La figura 2 muestra un modelo de vector espacial para las configuraciones de conmutación en un esquema de PWM del estado de la técnica,

La figura 3 muestra un modelo de vector espacial para las configuraciones de conmutación en un esquema de PWM de acuerdo con el método presentado,

La figura 4 muestra para el inversor de la figura 1 un diagrama de potenciales eléctricos de fase de salida colocados en un rango de voltaje común dado por los voltajes de enlace de DC con el fin de calcular los ciclos de trabajo, y

55 La figura 5 muestra para el inversor de la figura 1 otro diagrama de potenciales eléctricos de fase de salida colocados en un rango de voltaje común de una forma diferente que en la figura 4.

ES 2 781 833 T3

En la figura 1, se muestra un inversor 1. El inversor comprende un circuito 2 de entrada, un enlace 4 de DC y un circuito 6 de salida, todos los cuales están conectados en paralelo a través de los cables 8 y 9.

5 El circuito 2 de entrada está conectado a una fuente 10 de alimentación de AC a través de tres conexiones 11, 12, 13, donde cada una de las conexiones está conectada a una de las tres patas L1, L2, L3 de fase de la fuente 10 de alimentación de AC. El circuito 2 de entrada comprende además un puente 14 rectificador con tres patas 15, 16, 17 de fase rectificadora en paralelo. Cada una de las conexiones 11, 12, 13 está conectada a una de las patas 15, 16, 17 de fase rectificadora paralelas del puente 14 rectificador. Cada pata 15, 16, 17 de fase rectificadora muestra dos diodos 20, 21 en serie de tal manera que el punto de conexión de cada una de las conexiones 11, 12, 13 a la pata 15, 16, 17 de fase rectificadora correspondiente yace entre los dos diodos 20, 21.

10 El enlace 4 de DC presenta dos capacitancias 24, 26. De este modo, en el enlace de DC, hay tres niveles de potencial eléctrico, dados por V_{dc+} en el cable 8, V_{mid} en el punto medio 28 de capacitancias 24 y 26 y V_{dc-} en el cable 9.

15 El circuito 6 de salida está conectado a una carga 30 trifásica a través de tres patas 31, 32, 33 de fase, que a su vez están en paralelo al enlace 4 de DC y el puente 14 rectificador del circuito 2 de entrada a través de los cables 8 y 9. Las patas 31, 32, 33 de fase son iguales en su topología respectiva, por lo que solo la pata 33 de fase se describe en detalle. Comprende cuatro conmutadores 36, 38, 40, 42 semiconductores, a cada uno de los cuales está sostenido un diodo 37, 39, 41, 43 de retorno en antiparalelo. El punto medio 45 entre los cuatro conmutadores 36, 38, 40, 42 está conectado a la carga 30. Los dos conmutadores 38, 40 internos están puenteados por dos diodos 48, 50 en serie, mientras que los puntos medios 51, 52, 53 de los puentes de diodos de las tres patas 31, 32, 33 de fase están conectados juntos a través de los cables 55, 56, 57 y al punto medio 28 del enlace 4 de DC a través del enlace 58.

20 La pata 31 de fase de salida está conectada a una fase R de carga 30, la pata 32 de fase de salida está conectada a una fase S de carga 30, y la pata 33 de fase de salida está conectada a una fase T de carga 30.

El inversor comprende además una unidad 60 de control configurada para ejecutar el método presentado a través de la medición de los voltajes en las dos capacitancias 24 y 26 y el envío de señales de control a todos los conmutadores 36, 38, 40, 42 (y los no etiquetados) del circuito 6 de salida.

25 Si los dos conmutadores 36 y 38 "superiores" están cerrados mientras los dos conmutadores 40 y 42 "inferiores" permanecen abiertos, la conexión a la carga 30 a través del punto medio 45 de la pata 33 de fase al enlace 4 de DC pasa sobre el cable 8 y de este modo es configurada en el potencial V_{dc+} . Este estado de conmutación de un pata de fase de salida individual será etiquetado como estado de conmutación 1.

30 Si los dos conmutadores 38 y 40 "internos" están cerrados mientras los dos conmutadores 36 y 42 "externos" permanecen abiertos, la conexión a la carga 30 a través del punto medio 45 de la pata 33 de fase al enlace 4 de DC pasa sobre el punto medio 53 de los diodos 48, 50, sobre el cable 57 y el enlace 58 al punto medio 28 del enlace de DC. De este modo una conexión a la carga 30 es configurada en el potencial V_{mid} . Este estado de conmutación será etiquetado como estado de conmutación 0.

35 Si ahora los dos conmutadores 36 y 38 "superiores" permanecen abiertos mientras los dos conmutadores 40 y 42 "inferiores" están cerrados, la conexión a la carga 30 al enlace 4 de DC pasa sobre el cable 9 y de este modo es configurada en el potencial V_{dc-} . Este estado de conmutación será etiquetado como estado de conmutación -1.

40 En la figura 2 se despliega un modelo de vector espacial para las configuraciones de conmutación en un esquema de PWM del estado de la técnica para las tres fases R, S, T de una carga que no se muestra en la figura. Con el fin de generar un voltaje U instantáneo con una magnitud y fase dadas, el voltaje se representa como un vector espacial donde los vectores de coordenadas base están dados por los estados fundamentales de conmutación $[1,0,0]$, $[0,1,0]$, y $[0,0,1]$. En cada triplete el primer número denota el estado de conmutación de fase R, el segundo número denota el estado de conmutación de fase S y el tercer número denota el estado de conmutación de fase T, y la longitud de los vectores base es dada por uno de los voltajes en unas capacitancias de enlace de DC.

45 Un movimiento en el diagrama a lo largo de la dirección de un vector base significa cambiar un estado de conmutación de corriente elevando el potencial eléctrico de la fase que corresponde a la dirección del vector base con respecto a las otras dos fases por una unidad de voltaje de capacitancia de enlace de DC. Dado que de acuerdo con el estado de la técnica, se supone que los dos voltajes en las capacitancias de enlace de DC son iguales, esto también se puede lograr disminuyendo el estado de conmutación de las otras dos fases.

50 Los ciclos de trabajo y tiempos de conmutación para generar el voltaje U son calculados entonces con ayuda de la descomposición de su vector espacial en el diagrama en estados de conmutación convenientes, por ejemplo $[1,0,-1]$, y cualquiera de los pares $[1,1,0]$ y $[1,0,0]$ o $[0,0,-1]$ y $[0,-1,-1]$.

55 Como se mencionó, no es cierta la suposición clave para la PWM del estado de la técnica, de que el voltaje $V_{pos} = V_{dc+} - V_{mid}$ en la capacitancia 24 de enlace de DC en la figura 1 y el voltaje $V_{neg} = V_{mid} - V_{dc-}$ en la capacitancia 26 de enlace de DC en la figura 1 es igual. Las desviaciones de igualdad pueden deformar el diagrama. Tal posible deformación del diagrama de vector espacial se muestra en la figura 3. Aquí, se muestra un modelo de vector espacial para un inversor de 3 niveles con $V_{pos} = 1.5 V_{neg}$. Al comparar la figura 2 y figura 3, queda claro que si V_{pos} no es

igual a V_{neg} , la equivalencia de los pares de estado de conmutación en el hexágono interno, por ejemplo de $[1,0,0]$ y $[0,-1,-1]$, ya no es cierta.

5 Los esquemas de PWM del estado de la técnica con la suposición implícita de esta equivalencia pueden llevar a una descomposición incorrecta del vector espacial de U y de este modo, los tiempos de conmutación calculados pueden no reproducir el voltaje correcto en una muestra de tiempo dada, llevando a una distorsión armónica.

10 La figura 4 muestra un diagrama de potenciales eléctricos de fase de salida colocados en un rango de voltaje común dado por los voltajes de enlace de DC V_{dc+} , V_{dc-} con el fin de calcular los respectivos ciclos de trabajo. En este ejemplo, será generado un voltaje U instantáneo de 112 V pico a fase neutra con un ángulo de fase de 25° , mientras que el voltaje medido V_{pos} en capacitancia 24 en la muestra de tiempo de corriente se supone que es 150V y el voltaje medido V_{neg} en capacitancia 26 en la muestra de tiempo de corriente se supone que es 100V.

15 Se puede calcular que con el fin de generar el voltaje U , la diferencia de potencial V_{rs} entre las fases R y S es aproximadamente 193.2V, la diferencia de potencial V_{rt} entre R y T aproximadamente 111.3V y la diferencia de potencial V_{st} entre S y T aproximadamente -81.9V. Por lo que el rango de voltaje general V_{dif} de las diferencias de potencial es la diferencia de 193.2V entre la fase R y fase S, mientras que el potencial eléctrico de fase T yace entre los otros dos potenciales de la fase.

20 El rango de voltaje común V_{com} es dado por la diferencia total en el potencial eléctrico en el enlace de DC, es decir por $V_{dc+} - V_{dc-}$, que da un valor de 250V, mientras que el potencial del enlace positivo de bus de DC se configura para ser +150 y el potencial en el enlace negativo de bus de DC se configura para ser -100 V, asignando al punto medio del enlace de DC el nivel de potencial de cero. Al sostener la pata de fase de salida conectada a la fase T al punto medio de las capacitancias de enlace de DC, se configura la fase T en cero, de tal manera que la colocación de fase R y fase S debe ser ajustada en consecuencia. Esto significa que la fase R es asignada con el nivel de potencial de $V_{rt} = 111.3V$, y la fase S es asignada con el nivel de potencial de $V_{st} = -81.9V$. Esto significa que, como V_{rt} es igual a 74.2% de V_{pos} , la pata de fase de salida conectada a la fase R tiene un ciclo de trabajo de 74.2% de la muestra de tiempo sostenido al enlace positivo de bus de DC en V_{dc+} , y el resto de la muestra de tiempo sostenido al punto medio. Asimismo, como V_{st} es igual a 81.9% de V_{neg} , la pata de fase de salida conectada a la fase S tiene un ciclo de trabajo de 81.9% de la muestra de tiempo sostenido al enlace negativo de bus de DC en V_{dc-} , y el resto de la muestra de tiempo se sostiene al punto medio.

Con los ciclos de trabajo dados, será generado el voltaje U de salida requerido de 112V en un ángulo de fase de 25° .

30 La figura 5 muestra otra posibilidad para colocar las diferencias de potencial eléctrico V_{rt} , V_{st} , V_{rs} de las fases R, S, T de salida en el rango de voltaje común V_{com} . Aquí, el rango de voltaje general $V_{dif} = 193.2V$ de las diferencias de potencial está ubicado simétricamente en el rango de voltaje común $V_{com} = 250V$. El voltaje de marco V_{fr} es por lo tanto igual en ambos extremos del rango de voltaje común V_{com} . Este voltaje de marco se puede calcular como $V_{fr} = (V_{com} - V_{dif})/2 = 28.4V$, y representa la diferencia entre el nivel positivo de potencial de enlace de DC V_{dc+} y la posición virtual del potencial eléctrico de fase R, o la diferencia entre la posición virtual del potencial eléctrico de fase S y el nivel negativo de potencial de enlace de DC V_{dc-} , respectivamente. Debido a este cambio de la diferencia de voltaje general V_{dif} con respecto a su posición dentro del rango de voltaje común V_{com} en la figura 4, el potencial eléctrico de fase T ya no es igual al potencial cero del rango de voltaje común dado por el potencial de enlace de DC de punto medio V_{mid} . En cambio, ahora está ubicado en un valor de $V_{t0} = V_{pos} - V_{rt} - V_{fr} = 10.3V$.

40 Esto significa que el ciclo de trabajo de fase T es $V_{t0}/V_{dc+} = 6.9\%$ sostenido al enlace positivo de bus de DC en V_{dc+} , y el resto de la muestra de tiempo sostenido al punto medio. Asimismo, como la posición virtual del potencial eléctrico de fase R con respecto a V_{mid} se puede dar como $V_{rt} + V_{t0} = 121.6V$, el ciclo de trabajo de fase R es $(V_{rt} + V_{t0})/V_{dc+} = 81.1\%$ sostenido al enlace positivo de bus de DC en V_{dc+} , y el resto de la muestra de tiempo sostenido al punto medio. El ciclo de trabajo de fase S se puede calcular en consecuencia, dando como resultado 71,6% sostenido al enlace negativo de bus de DC en V_{dc-} , y el resto de la muestra de tiempo sostenido al punto medio.

45 A pesar de que la invención se ha ilustrado y descrito en detalle con ayuda de un ejemplo de realización preferido, la invención no está restringida por este ejemplo. Otras variaciones pueden derivarse por una persona experimentada en la técnica sin abandonar la extensión de protección de esta invención.

REIVINDIACIONES

1. Método para controlar un inversor (1) multinivel usando un esquema de modulación de ancho de pulso que comprende un tiempo de muestreo,

comprendiendo el inversor (1)

5 un circuito (2) de entrada,

un enlace (4) de DC en paralelo al circuito (2) de entrada que comprende al menos dos capacitancias (24, 26) en serie que establecen al menos tres niveles de potencial eléctrico (V_{dc+} , V_{mid} , V_{dc-}), y

un circuito (6) de salida que comprende de una pluralidad de patas (31, 32, 33) de fase de salida multinivel conectadas en paralelo al enlace (4) de DC, cada una de las cuales comprende una pluralidad de conmutadores (36, 38, 40, 42), un número de diodos (37, 39, 41, 43, 48, 50) y una conexión (55, 56, 57, 58) al punto medio (28) entre dos de las capacitancias (24, 26) de enlace de DC, y conectables a una carga (30) de tal manera que la carga (30) mediante conmutación está conectada durante la operación a cualquiera de los al menos tres niveles de potencial de enlace de DC (V_{dc+} , V_{mid} , V_{dc-}), en donde para una muestra de tiempo del esquema de modulación de ancho de pulso es medido cada uno de los al menos dos voltajes (V_{pos} , V_{neg}) a través de las dos capacitancias (24, 26) de enlace de DC y para cada una de las fases (R, S, T) de salida es calculado un ciclo de trabajo de conmutación con base en los voltajes medidos (V_{pos} , V_{neg}) para generar un voltaje (U) de salida, caracterizado porque para un voltaje (U) de salida instantáneo con un ángulo de fase dado, son calculadas las diferencias mutuas de potencial eléctrico (V_{rs} , V_{rt} , V_{st}) de las fases (R, S, T) de salida, es definido un rango de voltaje común (V_{com}) entre el nivel de potencial de DC más alto (V_{dc+}) y el nivel de potencial de DC más bajo (V_{dc-}), en donde es asignado un potencial cero (V_{mid}) al punto medio (28) entre las dos capacitancias (24, 26) de enlace de DC, estando asignadas las dos líneas (8, 9) de conexión del enlace (4) de DC con el circuito (2) de entrada y el circuito (6) de salida con un nivel de potencial positivo (V_{dc+}) y uno negativo (V_{dc-}), respectivamente, las diferencias de potencial eléctrico (V_{dif}) calculadas de las fases (R, S, T) de salida son colocadas en el rango de voltaje común (V_{com}) para establecer las posiciones de los potenciales eléctricos de las fases (R, S, T) de salida respectivas dentro del rango de voltaje común (V_{com}), y el ciclo de trabajo es calculado para cada fase (R, S, T) de salida con base en la posición del potencial eléctrico de la fase (R, S, T) de salida respectiva dentro del rango de voltaje común (V_{com}), en donde

para cada fase (R, S, T) de salida, el ciclo de trabajo dado por la relación de tiempo conectado a un siguiente nivel de potencial más alto (V_{dc+} o V_{mid} , 28) del enlace (4) de DC frente al tiempo conectado al siguiente nivel de potencial más bajo (28, V_{mid} o V_{dc-}) del enlace (4) de DC se toma como la relación establecida por la posición del potencial eléctrico de la fase (R, S, T) correspondiente dentro de los dos niveles de potencial (V_{dc+} , V_{mid} o V_{mid} , V_{dc-}) adyacentes respectivos del enlace (4) de DC.

2. El método de una de las reivindicaciones precedentes, en donde

para una muestra de tiempo, el potencial eléctrico de referencia para las diferencias de potencial de las fases (V_{rs} , V_{rt} , V_{st}) es establecido al configurar el potencial eléctrico más alto de una fase (R) igual al nivel de potencial de enlace de DC más alto (V_{dc+}) o al configurar el potencial eléctrico más bajo de una fase (S) igual al nivel de potencial de enlace de DC más bajo (V_{dc-}).

3. El método de la reivindicación 1, en donde

para una muestra de tiempo, el potencial eléctrico de referencia para las diferencias de potencial de las fases (V_{rt} , V_{rs} , V_{st}) es establecido al configurar uno de los potenciales de una fase (T) igual al potencial cero definido por el punto medio (28) entre dos de las capacitancias (24, 26) de enlace de DC.

4. Un inversor (1) de 3 niveles, que comprende:

un circuito (2) de entrada,

un enlace (4) de DC en paralelo al circuito (2) de entrada que comprende de al menos dos capacitancias (24, 26) en serie que establecen al menos tres niveles de potencial eléctrico (V_{dc+} , V_{mid} , V_{dc-}),

un circuito (6) de salida que comprende de una pluralidad de patas (31, 32, 33) de fase de salida multinivel conectadas en paralelo al enlace (4) de DC, cada una de las cuales comprende una pluralidad de conmutadores (36, 38, 40, 42), un número de diodos (37, 39, 41, 43, 48, 50) y una conexión (55, 56, 57, 58) al punto medio (28) entre dos de las capacitancias (24, 26) de enlace de DC, y conectables a una carga (30) de tal manera que la carga (30) mediante conmutación está conectada durante la operación a cualquiera de los al menos tres niveles de potencial de enlace de DC (V_{dc+} , V_{mid} , V_{dc-}),

y una unidad (60) de control diseñada para ejecutar el método de acuerdo con la reivindicación 1.

5. El inversor (1) de la reivindicación 4, en donde

el número de patas (31, 32, 33) de fase de salida de 3 niveles es tres.

6. El inversor (1) de la reivindicación 4 o 5, en donde

5 el número de las capacitancias (24, 26) de enlace de DC es dos, y cada una de las patas (31, 32, 33) de fase de salida está compuesta por una pata de fase de 3 niveles sostenida por diodo que comprende de cuatro conmutadores (36, 38, 40, 42) en serie, un diodo (37, 39, 41, 43) de retorno en antiparalelo a cada uno de los conmutadores (36, 38, 40, 42), y un puente de diodos de al menos dos diodos (48, 50) en serie que puentea los dos conmutadores (38, 40) internos, en donde el punto (51, 52, 53) de conexión de cada pata (31, 32, 33) de fase de salida al punto medio (28) de las dos capacitancias (24, 26) de enlace de DC está ubicado entre dos diodos (48, 50) del puente de diodos, y el enlace a una fase (R, S, T) de salida está ubicado en el punto medio (45) de los cuatro conmutadores (36, 38, 40 42).

10 7. El inversor (1) de la reivindicación 4, 5 o 6, en donde

el circuito (2) de entrada comprende una conexión (11, 12, 13) de red de AC trifásica y un puente (14) rectificador con tres patas (15, 16, 17) de fase rectificadora en paralelo, cada una de las cuales tiene en su punto medio la conexión (11, 12, 13) a una pata (L1, L2, L3) de fase de red de AC.

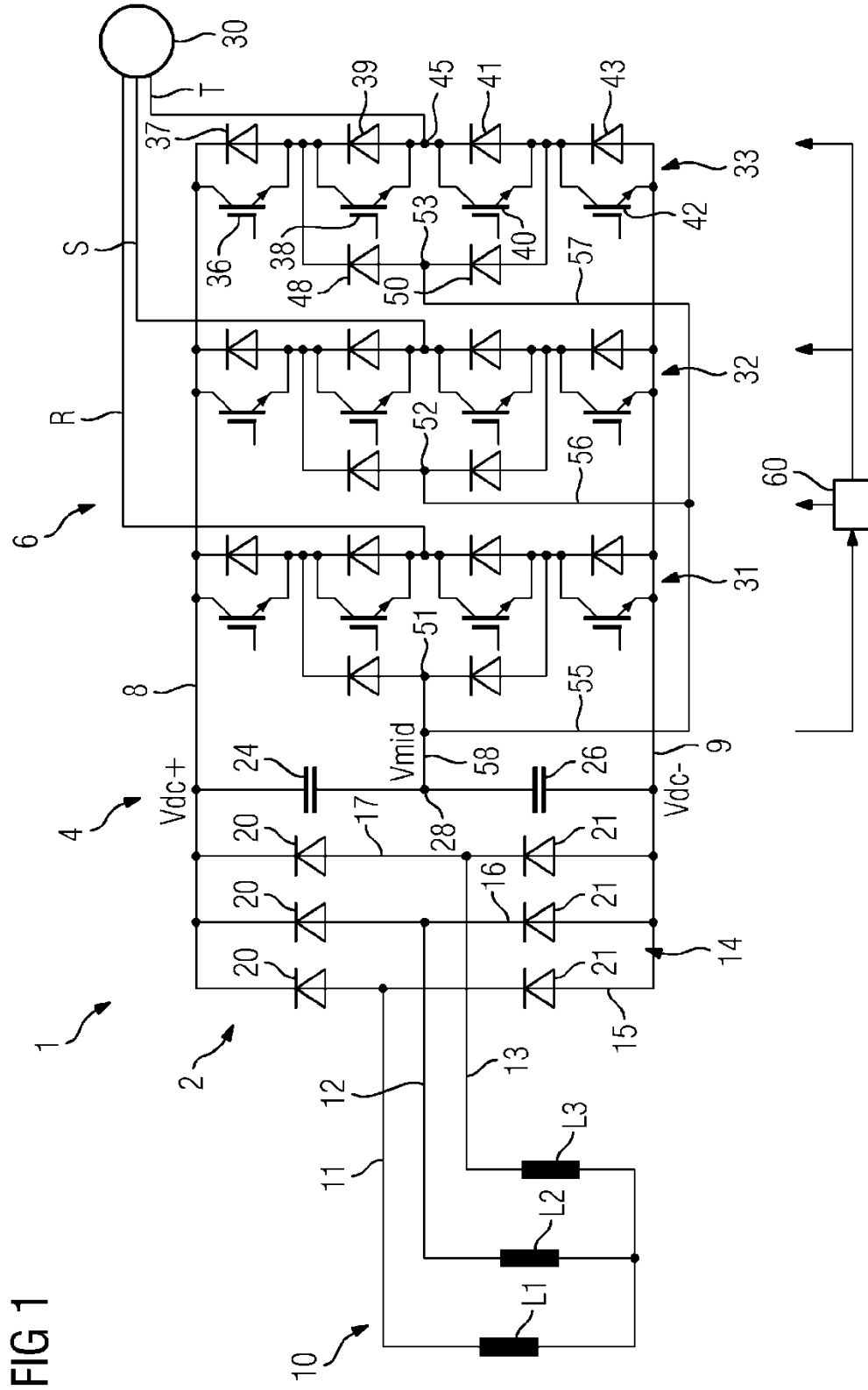


FIG 1

FIG 4

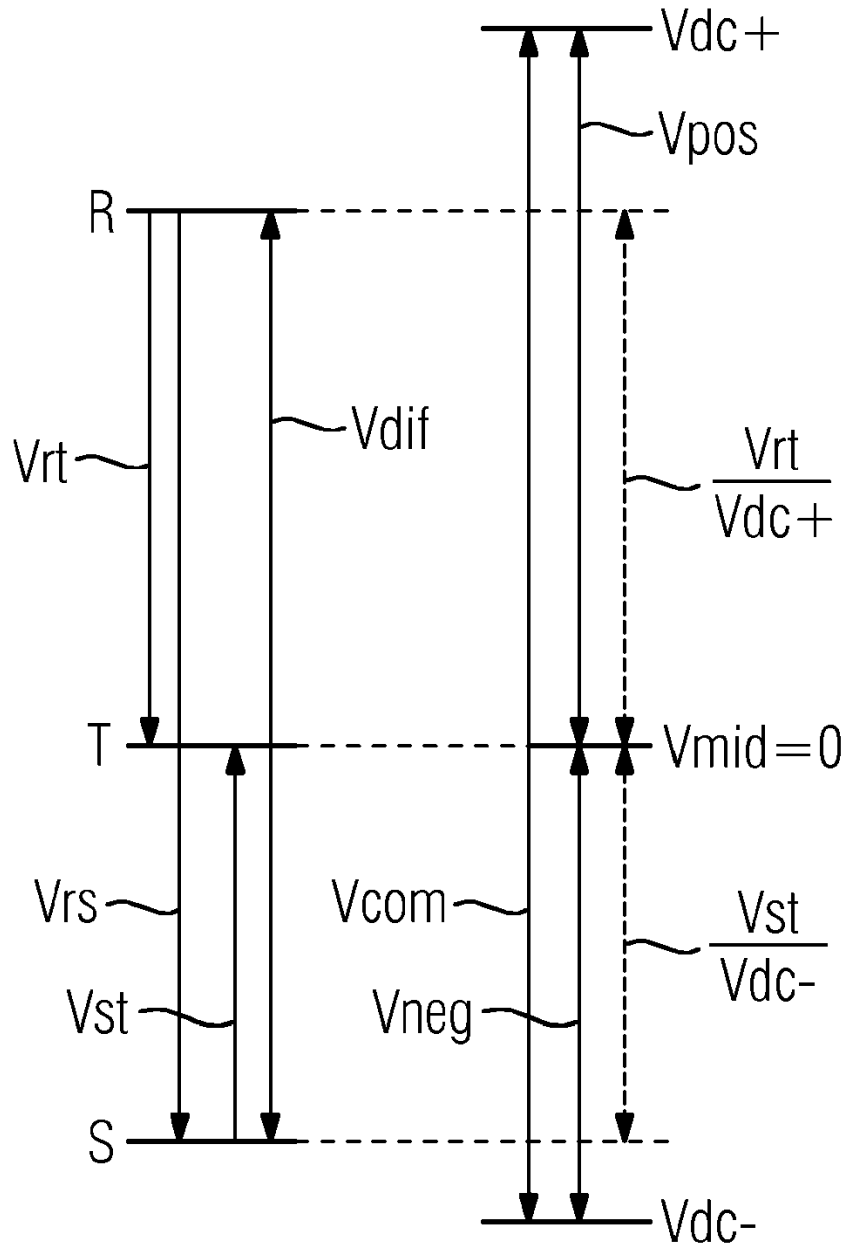


FIG 5

