

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 784 620**

51 Int. Cl.:

H03M 7/30 (2006.01)

G10L 19/038 (2013.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **06.11.2014 PCT/SE2014/051310**

87 Fecha y número de publicación internacional: **14.05.2015 WO15069177**

96 Fecha de presentación y número de la solicitud europea: **06.11.2014 E 14805696 (3)**

97 Fecha y número de publicación de la concesión europea: **15.01.2020 EP 3066760**

54 Título: **Métodos y dispositivos para la segmentación de vectores para codificación**

30 Prioridad:

07.11.2013 US 201361901089 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

29.09.2020

73 Titular/es:

**TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)
(100.0%)
164 83 Stockholm, SE**

72 Inventor/es:

**JANSSON TOFTGÅRD, TOMAS;
SVEDBERG, JONAS y
GRANCHAROV, VOLODYA**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 784 620 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Métodos y dispositivos para la segmentación de vectores para codificación

Campo técnico

5 La tecnología propuesta se refiere generalmente a métodos y dispositivos para la segmentación de vectores y en particular a los métodos, unidades de partición, codificadores, programas informáticos, portadores que comprenden los programas informáticos y aparatos para la partición de vectores de entrada procedentes de señales de audio/video para codificación.

Antecedentes

10 Ejemplos de esquemas de codificación posicional, por ejemplo, para la codificación de una señal de audio son la Codificación de Pulso Factorial (FPC) y la Cuantificación de Vectores Piramidales (PVQ). Una codificación posicional podría dar como resultado índices de palabras de código grandes, especialmente para un vector de entrada largo, debido al número rápidamente creciente de combinaciones al aumentar las dimensiones. Para implementaciones de baja complejidad, se puede usar un paso de procesamiento previo de agrupación del vector de entrada. Otra razón para este tipo de procesamiento previo puede ser las restricciones del cuantificador. Sin embargo, una agrupación convencional puede dar como resultado que diferentes partes del vector de entrada tengan tamaños muy diferentes, lo que podría hacer que la codificación posicional sea muy ineficiente. De este modo, hay una necesidad de proporcionar un procesamiento previo mejorado del vector de entrada en la codificación posicional. La publicación "Product Quantification for Nearest Neighbour Search" de H. Jégou et al. describe un cuantificador de producto convencional.

20 **Compendio**

Es un objeto proporcionar métodos y dispositivos para partición eficiente de vectores de entrada.

Este y otros objetos se cumplen por la materia en cuestión de las reivindicaciones adjuntas.

Una ventaja de la tecnología propuesta es que los vectores de entrada se segmentan para codificación eficiente, en particular, codificación posicional, independientemente de diferentes tamaños y contenido de energía.

25 Se apreciarán otras ventajas cuando se lea la descripción detallada.

Breve descripción de los dibujos

Las realizaciones, junto con objetos y ventajas adicionales de las mismas, se pueden entender mejor haciendo referencia a la siguiente descripción tomada junto con los dibujos adjuntos, en los que:

Las Figuras 1A-1B son ilustraciones de partición de vectores de entrada para codificación posicional;

30 La Figura 2 es un diagrama de flujo de pasos de una realización de un método para la partición de vectores de entrada que se originan a partir de señales de audio/video para su codificación;

Las Figuras 3-6 son ilustraciones de un proceso recursivo para determinar una representación de una diferencia de energía relativa respectiva entre partes de un vector de entrada;

35 La Figura 7 es un diagrama de flujo de pasos de una realización de un paso de determinación recursivamente de una representación de una diferencia de energía relativa respectiva entre partes de un vector de entrada;

La Figura 8 es un diagrama de bloques de una realización de una unidad de partición;

La Figura 9 es un diagrama de bloques de otra realización de una unidad de partición;

La Figura 10 es un diagrama de bloques de una realización de un codificador posicional;

La Figura 11 es un diagrama de bloques de otra realización de un codificador posicional; y

40 La Figura 12 es un diagrama de bloques de una realización de una unidad de partición.

Descripción detallada

A lo largo de los dibujos, se usan las mismas designaciones de referencia para elementos similares o correspondientes.

45 Para una mejor comprensión de la tecnología propuesta, puede ser útil comenzar con una breve visión de conjunto de algunos aspectos de la división de vectores.

ES 2 784 620 T3

Como ejemplo, consideremos un vector de entrada de 16-dim dividido de dos formas, como se ilustra en las Figuras 1A y 1B:

A) Simétrico (8+8) y

B) Asimétrico (2+14).

5 En ambos casos tenemos 2 pulsos para codificar en cada uno de los segmentos.

En caso de que no haya superposición, es decir, los pulsos no pueden ocupar la misma posición, y no haya ninguna señal a ser transmitida, el número de niveles a ser codificados y transmitidos se calcula como $n!/k!(n-k)!$, donde n es la dimensión del segmento y k es el número de pulsos:

A)

10
$$28 + 28 = 56 \text{ niveles}$$

B)

$$1 + 91 = 92 \text{ niveles}$$

En caso de que se permita que los pulsos ocupen la misma posición, y el signo de los pulsos también tenga que ser codificado:

15 A)

$$128 + 128 = 256 \text{ niveles}$$

B)

$$8 + 392 = 400 \text{ niveles}$$

20 En ambos casos es obvio que una segmentación más simétrica es más eficiente. Por lo tanto, la tecnología propuesta descrita en lo sucesivo aspira a la creación de segmentos de tamaño esencialmente igual, con el fin de facilitar una codificación eficiente, preferiblemente codificación posicional.

25 Un problema asociado con una división uniforme del vector de entrada es que la variación de energía entre las diferentes partes podría ser grande, lo que causará una cuantificación de ganancia inestable. Por lo tanto, la tecnología propuesta descrita en lo sucesivo también aspira a la determinación de relaciones de energía para representar una diferencia de energía relativa entre los segmentos.

Las realizaciones de la tecnología propuesta se refieren a una división no recursiva y uniforme del vector de entrada en segmentos, y comprenden un cálculo recursivo de relaciones de energía de una dimensión lo más grande posible para un cierto nivel.

30 Los bits para la codificación de los segmentos creados se pueden distribuir en base a la energía y, opcionalmente, también en base a las longitudes de los segmentos.

35 La Figura 2 ilustra un diagrama de flujo de pasos de una realización de un método para la partición de los vectores de entrada para codificación, preferiblemente codificación posicional. Preferiblemente, los vectores de entrada se originan a partir de señales de audio, pero las ideas presentadas aquí también funcionan bien, por ejemplo, para señales de video también. El proceso comienza en el paso 200. En el paso 210, se obtiene un vector de entrada. En el paso 220, el vector de entrada se segmenta en un número entero de segmentos del vector de entrada. Preferiblemente, el número entero es el número entero más pequeño por el cual cada segmento de vector de entrada cumple las restricciones asociadas con un cuantificador para la codificación, preferiblemente codificación posicional. Tales restricciones asociadas con un cuantificador típicamente comprenden las restricciones de bits reales del cuantificador. Sin embargo, las restricciones asociadas con un cuantificador también pueden comprender ajustes del coste de la tasa de bits efectiva para representar las diferencias de energía relativas cuando se segmenta dicho vector de entrada en varios segmentos del vector de entrada. En otras palabras, se determina el número de segmentos del vector de entrada, preferiblemente el número mínimo de segmentos del vector de entrada, donde cada segmento de vector de entrada individual es lo suficientemente pequeño como para ser procesado por la codificación, preferiblemente codificación posicional, a seguir. Este número entero de segmentos del vector de entrada se denota como N^{SEG} . Esta segmentación se realiza de una manera no recursiva. En el paso 230, se determina una representación de una diferencia de energía relativa respectiva entre partes del vector de entrada en cada lado de cada límite entre los segmentos del vector de entrada. Esto, por otra parte, se realiza de una manera recursiva.

50 En una realización particular, los bits para la codificación de los segmentos creados se pueden distribuir en base a la energía y, opcionalmente, también en base a las longitudes de los segmentos. En tal realización, y por lo tanto

ilustrada por un recuadro de puntos, el método puede comprender el paso 240 adicional de asignación de bits para codificación de cada segmento de vector de entrada y codificación de una representación de diferencias de energía relativas entre los segmentos de nivel.

5 Según la realización principal, en el paso 250, los segmentos del vector de entrada se proporcionan para codificación individual, preferiblemente codificación posicional, junto con representaciones de las relaciones de energía. El proceso termina en el paso 299.

10 Expresado de una manera más matemática, una realización de la segmentación se puede describir de la siguiente manera. Con una longitud L de un vector de entrada, un presupuesto total de bits para cuantificar este vector B^{TOT} , y las restricciones del cuantificador (por ejemplo, bits máximos permitidos por cuantificador/segmento Q^{MAX}) el número de segmentos se calculará como:

$$N^{SEG} = \left\lceil \frac{B^{TOT}}{Q^{MAX}} \right\rceil$$

15 Si $\lceil \cdot \rceil$ es la función de redondeo superior, la cantidad N^{SEG} representa el número más pequeño de segmentos del vector de entrada que aún se pueden procesar por el cuantificador previsto. En otras palabras, N^{SEG} es el número entero más pequeño posible de segmentos del vector de entrada, mediante el cual cada segmento de vector de entrada cumple las restricciones de un cuantificador para la codificación, preferiblemente codificación posicional. En realizaciones particulares, las restricciones de cuantificador se pueden basar en la cantidad Q^{MAX} y un término de ajuste que refleja el coste de la tasa de bits efectiva para la representación de las diferencias de energía relativas cuando se divide el vector de entrada en varios segmentos del vector de entrada.

La longitud de un segmento se puede obtener como:

$$20 \quad L^{SEG} = \frac{L}{N^{SEG}}$$

Si el vector de entrada no se puede dividir en segmentos del vector de entrada iguales, entonces: $L^{SEG} = \left\lfloor \frac{L}{N^{SEG}} \right\rfloor$, donde $\lfloor \cdot \rfloor$ es la función de redondeo inferior.

25 Los coeficientes restantes $L - L^{SEG} N^{SEG}$ se pueden distribuir a los segmentos de varias formas, por ejemplo, todos incluidos en el último segmento o secuencialmente a cada segmento hasta que no haya más coeficientes restantes. De este modo, se prefiere mantener una gran mayoría de los segmentos para que sean más o menos del mismo tamaño. En otras palabras, al menos $N^{SEG}-1$ de los segmentos del vector de entrada tienen una longitud respectiva que difiere en menos de 1. En una realización particular, todos los coeficientes restantes se incluyen en el último segmento, es decir, los primeros $N^{SEG}-1$ segmentos del vector de entrada tienen longitudes idénticas. En otra realización particular, los coeficientes restantes se distribuyen secuencialmente en cada segmento hasta que no haya más coeficientes restantes. De este modo, los diferentes segmentos del vector de entrada diferirán en longitud en una unidad como máximo. En otras palabras, todos los segmentos del vector de entrada que tienen longitudes que no difieren en más de 1.

35 En una realización, después de una segmentación del vector de entrada, se cuantifica el vector de forma de cada segmento. La ganancia está excluida, por ejemplo, suponiendo un valor de raíz de error cuadrático medio de uno. Las relaciones de energía que describen las diferencias de energía relativas entre los segmentos se determinan, cuantifican y usan para escalar los vectores de forma cuantificados, de manera que se conserve la forma del vector de entrada. Las relaciones de energía se calculan de manera recursiva de menor a mayor resolución, y de la forma más simétrica. Esto se describirá mediante ejemplos en conexión con las Figuras 3-6.

40 En los ejemplos, los segmentos se caracterizan por su número de bits B_x^{SEG} usados para representar el segmento. En las Figuras 3-6, estos números de bits también se usan para denotar los segmentos en sí mismos. Por lo tanto, un segmento B_0^{SEG} se debería entender como el segmento que se codifica por los bits B_0^{SEG} . Del mismo modo, la representación de una diferencia de energía relativa se caracteriza por los bits, por ejemplo, B_0^E , usados para codificar esa diferencia.

45 En la Figura 3, se ilustra una situación donde se determina que el vector de entrada se divida en dos segmentos. El vector de entrada de nivel 0, L_0 , se divide en dos segmentos B_0^{SEG} y B_1^{SEG} de nivel 1, L_1 . Un caso trivial de relación de energía R_0 , y una representación B_0^E de una diferencia de energía relativa se proporciona en un nivel entre esos segmentos.

En la Figura 4, se ilustra una situación donde se determina que el vector de entrada sea dividido en tres segmentos. Las relaciones de energía se proporcionan en dos niveles, siendo el primero que es asimétrico debido al número impar de segmentos. Más en detalle, el vector de entrada de nivel 0, L0, se divide en dos segmentos B_0^{SEG} y B_1^{SEG} de nivel 1, L1. El segmento B_1^{SEG} , o más bien el segmento a ser codificado mediante los bits B_1^{SEG} , está incluyendo en este caso dos de los segmentos en los que se divide el vector de entrada, los segmentos del vector de entrada, mientras que el segmento B_0^{SEG} incluye uno de los segmentos del vector de entrada. Se proporciona una relación de energía R_0 y una representación B_0^E de una diferencia de energía relativa en el nivel L1 entre esos segmentos, B_0^{SEG} y B_1^{SEG} . El segmento B_1^{SEG} se maneja posteriormente como un nuevo vector de entrada de nivel superior del nivel L1 y se divide a su vez en dos segmentos B_{10}^{SEG} y B_{11}^{SEG} de nivel 2, L2. Ahora, los segmentos B_{10}^{SEG} y B_{11}^{SEG} incluyen un número igual de los segmentos del vector de entrada. Se proporciona una relación de energía R_{01} , y una representación B_{01}^E de una diferencia de energía relativa en el nivel L2 entre esos segmentos, B_{10}^{SEG} y B_{11}^{SEG} .

En la Figura 5, se ilustra una situación donde se determina que el vector de entrada sea dividido en cuatro segmentos. Las relaciones de energía son en este caso simétricas en dos niveles. Más en detalle, el vector de entrada de nivel 0, L0, se divide en dos segmentos B_0^{SEG} y B_1^{SEG} de nivel 1, L1. Los segmentos B_1^{SEG} y B_0^{SEG} están incluyendo en este caso un número igual de segmentos del vector de entrada. Se proporciona una relación de energía R_0 , y una representación B_0^E de una diferencia de energía relativa en el nivel L1 entre esos segmentos, B_0^{SEG} y B_1^{SEG} . El segmento B_0^{SEG} se maneja posteriormente como un nuevo vector de entrada de nivel superior de nivel L1 y se divide a su vez en dos segmentos B_{00}^{SEG} y B_{01}^{SEG} de nivel 2, L2. Los segmentos B_{00}^{SEG} y B_{01}^{SEG} están incluyendo un número igual de los segmentos del vector de entrada. Se proporciona una relación de energía R_{00} , y una representación B_{00}^E de una diferencia de energía relativa en el nivel L2 entre esos segmentos, B_{00}^{SEG} y B_{01}^{SEG} . El segmento B_1^{SEG} también se trata posteriormente como un nuevo vector de entrada de nivel superior de nivel L1 y a su vez se divide en dos segmentos B_{10}^{SEG} y B_{11}^{SEG} de nivel 2, L2. Ahora, los segmentos B_{10}^{SEG} y B_{11}^{SEG} están incluyendo un número igual de los segmentos del vector de entrada. Se proporciona una relación de energía R_{01} , y una representación B_{01}^E de una diferencia de energía relativa en el nivel L2 entre esos segmentos, B_{10}^{SEG} y B_{11}^{SEG} .

En la Figura 6, se ilustra una situación donde se determina que el vector de entrada sea dividido en cinco segmentos. En este caso, las relaciones de energía se calculan en tres niveles. Más en detalle, el vector de entrada de nivel 0, L0, se divide en dos segmentos B_0^{SEG} y B_1^{SEG} de nivel 1, L1. Los segmentos B_1^{SEG} y B_0^{SEG} no están incluyendo en este caso un número igual de los segmentos del vector de entrada. Se proporciona una relación de energía R_0 , y una representación B_0^E de una diferencia de energía relativa en el nivel L1 entre esos segmentos, B_0^{SEG} y B_1^{SEG} . El segmento B_0^{SEG} se maneja posteriormente como un nuevo vector de entrada de nivel superior de nivel L1 y a su vez se divide en dos segmentos B_{00}^{SEG} y B_{01}^{SEG} de nivel 2, L2. Los segmentos B_{00}^{SEG} y B_{01}^{SEG} están incluyendo un número igual de los segmentos del vector de entrada. Se proporciona una relación de energía R_{00} , y una representación B_{00}^E de una diferencia de energía relativa en el nivel L2 entre esos segmentos, B_{00}^{SEG} y B_{01}^{SEG} . El segmento B_1^{SEG} también se maneja posteriormente como un nuevo vector de entrada de nivel superior de nivel L1 y a su vez se divide en dos segmentos B_{10}^{SEG} y B_{11}^{SEG} de nivel 2, L2. Los segmentos B_{10}^{SEG} y B_{11}^{SEG} no están incluyendo un número igual de los segmentos del vector de entrada. Se proporciona una relación de energía R_{01} , y una representación B_{01}^E de una diferencia de energía relativa en el nivel L2 entre esos segmentos, B_{10}^{SEG} y B_{11}^{SEG} . El segmento B_{11}^{SEG} en este caso comprende más de un segmento final y, en consecuencia, está causando otro nivel de cálculos de relación de energía. Por lo tanto, el segmento B_{11}^{SEG} se maneja como un nuevo vector de entrada de nivel superior de nivel L2 y a su vez se divide en dos segmentos B_{110}^{SEG} y B_{111}^{SEG} de nivel 3, L3. Los segmentos B_{110}^{SEG} y B_{111}^{SEG} están incluyendo un número igual de los segmentos del vector de entrada. Se proporciona una relación de energía R_{011} , y una representación B_{011}^E de una diferencia de energía relativa en el nivel L3 entre esos segmentos, B_{110}^{SEG} y B_{111}^{SEG} . Ahora, todos los segmentos están divididos. De la serie de figuras anteriores, se puede ver que el vector de entrada se establece como un vector de entrada de nivel superior, originalmente en el nivel L0. Entonces, con el fin de dividir el vector de entrada en dos partes, se ha de encontrar un límite central entre los segmentos del vector de entrada. El vector de entrada de nivel superior se está dividiendo por ello en el límite central encontrado, en dos "segmentos de nivel", o vectores de entrada de nivel inferior. Si el vector de entrada se puede dividir en dos partes igualmente grandes, el límite se encuentra en el centro. Si el vector de entrada tiene que ser dividido en dos partes desigualmente grandes, por ejemplo, causado por un número desigual de segmentos o segmentos de diferentes tamaños, se selecciona preferiblemente el límite más cercano a un primer lado al centro del vector de entrada de nivel superior. En la realización de las Figuras 3-6, se selecciona el límite en el lado izquierdo. En otras palabras, si el vector de entrada de nivel superior tiene que ser dividido en vectores de entrada de nivel inferior desigualmente dimensionados, el límite central se selecciona como el límite más cercano al centro del vector de entrada de nivel superior dando un último (derecha) vector de entrada de nivel inferior más grande que el primer (izquierda) vector de entrada de nivel inferior.

Se calcula una representación de una diferencia de energía relativa entre los dos vectores de entrada de nivel inferior. Si al menos uno de los dos vectores de entrada de nivel inferior comprende más de un segmento de vector, el procedimiento se repite, pero ahora con los vectores de entrada de nivel inferior, que comprenden más de un segmento de vector de entrada, usados como vectores de entrada de nivel superior. Todo el proceso continúa hasta que todos los límites entre los segmentos del vector de entrada se provean con una representación asociada de una diferencia de energía relativa, en algún nivel.

Obsérvese que la división en segmentos se realiza de manera no recursiva en una primera etapa. En una segunda etapa, las diferencias de energía se determinan de una manera recursiva.

La Figura 7 ilustra un diagrama de flujo de pasos secundarios de una realización de un paso 230 para determinar de manera recursiva una representación de diferencias de energía entre segmentos del vector de entrada. El flujo comienza desde el paso 220 de la Figura 2. En el paso 231 el vector de entrada se establece como vector de entrada de nivel superior. En el paso 232, se encuentra un límite central. El límite central es el límite entre los segmentos del vector de entrada que están en o más cerca en un primer lado al centro del vector de entrada de nivel superior. En el paso 233, el vector de entrada de nivel superior se divide en el límite central en dos vectores de entrada de nivel inferior. En el paso 234, se calcula una representación de una diferencia de energía relativa entre los dos vectores de entrada de nivel inferior. En el paso 235 se determina si todos los vectores de entrada de nivel inferior consisten o no en segmentos únicos. Todos los vectores de entrada de nivel inferior consisten en segmentos únicos cuando todos los límites entre segmentos de vectores de entrada se proveen con una representación asociada de una diferencia de energía relativa. Si hay vectores de entrada de nivel inferior restantes que comprenden más de un segmento, el flujo continúa al paso 236, donde los vectores de entrada de nivel inferior se restablecen como nuevos vectores de entrada de nivel superior. El proceso continúa entonces desde el paso 232, repitiendo la búsqueda, dividiendo y calculando si es necesario. Los pasos 232, 233 y 234 no se realizan para ningún vector de entrada de nivel superior que comprenda un segmento, es decir, sin encapsular ningún límite en absoluto.

Si, en el paso 235, se concluye que todos los vectores de entrada de nivel inferior consisten en segmentos de vectores de entrada únicos, el flujo continúa al paso 250 o 240.

El número medio de bits por segmento, según la discusión de más arriba, sería:

$$B^{SEG} = B^{TOT} / N^{SEG}$$

En una realización particular, los bits medios por segmento calculados anteriormente son sólo una estimación inicial que se puede reajustar después de calcular las relaciones de energía entre segmentos vecinos. Los bits para la codificación de los segmentos creados se pueden distribuir en base a la energía, y en base a las longitudes de los segmentos. Los bits se pueden transferir desde segmentos con energía más baja hacia segmentos con energía más alta. Al mismo tiempo, el tamaño L^{SEG} y los límites del segmento no se ven afectados. Esto se ilustra, por ejemplo, como el paso 240 en la Figura 2, que muestra una asignación general de bits para la codificación de cada segmento de vector de entrada y para la codificación de una representación de diferencias de energía relativas entre los segmentos, tanto segmentos del vector de entrada como segmentos de nivel.

Como se indica en la Figura 7, el paso 240 de asignación de bits para la codificación de cada segmento de vector de entrada y para la codificación de una representación de diferencias de energía relativas entre los segmentos de nivel también se puede incluir como un proceso recursivo en una estructura jerárquica. En otras palabras, la asignación de bits se puede realizar de manera concurrente a la determinación, de una manera recursiva, de una representación de una diferencia de energía relativa respectiva. Con referencia a la realización ilustrada por la Figura 7, se ve que el paso de asignación de bits para la codificación de cada segmento de vector de entrada y la codificación de una representación de diferencias de energía relativas entre los segmentos de nivel se realiza en conexión con el cálculo de la representación de las diferencias de energía relativas.

La codificación de relación de energía jerárquica se puede usar para distribuir los bits de manera recursiva a los segmentos ya determinados. En el nivel superior, nivel L0, el número total de bits B^{TOT} se dividen en bits de relación de energía B^E y bits de segmento B^{SEG} para el nivel inferior, nivel L1, de manera que

$$B^{TOT} = B^E + B^{SEG},$$

con

$$B^{SEG} = B_0^{SEG} + B_1^{SEG}$$

donde B_0^{SEG} y B_1^{SEG} son los bits asignados para los segmentos de nivel izquierdo y derecho, respectivamente, o en términos de la descripción anterior, el primer y último vector de entrada de nivel inferior en el nivel L1.

Esto se repite para cada nivel, en el sentido de que en cada nivel los bits asignados al primer y al último vector de entrada de nivel inferior, en caso de que el vector de entrada de nivel inferior encapsule más de un segmento de vector de entrada, se dividen en bits para la codificación de la representación de la diferencia de energía relativa y bits para la codificación del primer y último vector de entrada de nivel inferior respectivos.

Si el segmento de capa posterior, es decir, el vector de entrada de nivel inferior consiste en un único grupo o segmento, a los bits de segmento B^{SH} asignados se les asignará la codificación de forma, es decir, por ejemplo, el segundo nivel de la Figura 4 donde $B^{SH} = B_0^{SEG}$.

Los bits de segmento de nivel B^{SEG} se distribuyen preferiblemente a los segmentos de primer nivel, es decir, los vectores de entrada de nivel inferior (que consisten en uno o varios segmentos de la agrupación del vector de entrada) en base a la relación de energía entre estos segmentos de nivel o vectores de entrada de nivel inferior. En general, el paso de asignación de bits asigna bits para los vectores de entrada de nivel inferior en dependencia de

una relación entre el número de coeficientes de los vectores de entrada de nivel inferior y una relación entre las energías en los vectores de entrada de nivel inferior. La diferencia φ en bits por coeficiente entre los segmentos de nivel es:

$$\varphi = \frac{B_1^{SEG}}{L_1^{SEG}} - \frac{B_0^{SEG}}{L_0^{SEG}}, \quad (1)$$

5 que con una diferencia de energía de medio bit por \log_2 es:

$$\varphi = \frac{1}{2}(\log_2(E_1) - \log_2(E_0)) = \frac{1}{2}\log_2(R_0) \quad (2)$$

donde E_0 y E_1 son las energías de los segmentos de nivel izquierdo y derecho, es decir, el primer y último vector de entrada de nivel inferior, respectivamente. La relación de energía R_0 se puede expresar de manera equivalente en términos de un ángulo α como:

10 $R_0 = \tan^2 \alpha,$

donde

$$\alpha = \arctan \sqrt{\frac{E_1}{E_0}}$$

Esto significa que el número de bits para cada segmento de nivel es:

$$B_0^{SEG} = \frac{B^{SEG} - \varphi L_1^{SEG}}{1 + \frac{L_1^{SEG}}{L_0^{SEG}}} = \frac{B^{SEG} - \frac{1}{2}\log_2(R_0)L_1^{SEG}}{1 + \frac{L_1^{SEG}}{L_0^{SEG}}} = \frac{B^{SEG} - \log_2(\tan(\alpha))L_1^{SEG}}{1 + \frac{L_1^{SEG}}{L_0^{SEG}}}$$

15 $B_1^{SEG} = B^{SEG} - B_0^{SEG}$

Dependiendo de la longitud del vector de entrada L y del número de agrupaciones (segmentos) N^{SEG} , las agrupaciones pueden no ser igualmente grandes. Esto también hace que algunos de los vectores de entrada de nivel inferior sean de diferente tamaño. También, si el número de agrupaciones o segmentos es diferente de $2n$, algunos vectores de entrada de nivel inferior serán de diferente tamaño. El tamaño diferente de los segmentos del vector de entrada también tendrá un impacto negativo en la codificación de forma en las bandas que son más grandes, debido a la codificación, por ejemplo, codificación posicional. Con el fin de compensar las bandas dimensionadas diferentes, la diferencia en bits por coeficiente, compárese con la Ec. (1), se puede compensar de manera que:

$$\left(\frac{B_1^{SEG}}{L_1^{SEG}} + f_1 \right) - \left(\frac{B_0^{SEG}}{L_0^{SEG}} + f_0 \right) = \varphi \quad (3)$$

25 donde los factores de compensación f_i puede ser, por ejemplo, una función $f_i = F(N^{SEG}, B^{SEG}, L_i)$ de las longitudes de la agrupación L_i , donde j es el índice de la agrupación (0, ..., $N^{SEG}-1$), el número de segmentos N^{SEG} y los bits de segmento B^{SEG} . En otras palabras, los factores de compensación pueden ser dependientes de las longitudes de los segmentos del vector de entrada, del número de segmentos del vector de entrada dentro de ambos vectores de entrada de nivel inferior y de los bits asignados para ambos vectores de entrada de nivel inferior. Combinar las Ec. (2) y (3) da las relaciones:

30

$$B_0^{SEG} = \frac{B^{SEG} + (f_1 - f_0)L_1^{SEG} - \frac{1}{2} \log_2(R_0)L_1^{SEG}}{1 + \frac{L_1^{SEG}}{L_0^{SEG}}}$$

$$B_1^{SEG} = B^{SEG} - B_0^{SEG}$$

5 donde B^{SEG} es la suma de los bits asignados para ambos vectores de entrada de nivel inferior, excluyendo los bits asignados para codificar una representación de una diferencia de energía relativa entre los vectores de entrada de nivel inferior, B_0^{SEG} son los bits asignados para el primer vector de entrada de nivel inferior, L_0^{SEG} y L_1^{SEG} son las longitudes del primer y último vectores de entrada de nivel inferior, respectivamente, R_0 representa la relación entre las energías en los vectores de entrada de nivel inferior y f_0 y f_1 son factores de compensación para diferentes longitudes de segmentos del vector de entrada dentro del primer y último vectores de entrada de nivel inferior, respectivamente. Los factores de compensación f_0 y f_1 se definen de manera que llegan a ser cero para longitudes iguales de los segmentos del vector de entrada dentro del primer y último segmentos de nivel inferior, respectivamente.

10 En una realización, las formas se cuantifican con un cuantificador de pulso tal como es el PVQ. Los factores de compensación se basan en los bits medios por segmento, y en la diferencia entre las longitudes de segmento y la longitud mínima de segmento. En otras palabras, los factores de compensación dependen de al menos los bits medios por segmento de vector de entrada dentro del primer y último vectores de entrada de nivel inferior, respectivamente, las longitudes de segmento del vector de entrada dentro del primer y último vectores de entrada de nivel inferior, respectivamente, y una longitud mínima de segmento del vector de entrada.

Esto se puede expresar como:

$$f_i = \sum_j \left(F \left(\frac{B^{SEG}}{N^{SEG}}, L_{MIN}, L_i^j \right) \right)$$

20 donde B^{SEG} es la suma de los bits asignados para ambos vectores de entrada de nivel inferior y N^{SEG} es el número total de segmentos de vector dentro de ambos vectores de entrada de nivel inferior.

La función $F(\cdot)$ se define de manera que llega a ser cero cuando una agrupación es de longitud L_{MIN} . Esto significa que f_i llega a ser cero cuando todas las agrupaciones en el segmento de nivel correspondiente son de longitud L_{MIN} .

25 En esta realización, cuando los coeficientes restantes en la agrupación, es decir, la partición del vector de entrada, $L - L^{SEG} N^{SEG}$, donde N^{SEG} denota el número total de segmentos de vectores, se dan sólo a la última agrupación, el factor de compensación f_0 llega a ser cero en la medida que todas las agrupaciones j son de longitud L_{MIN} . Además, en la medida que todas las agrupaciones excepto la última, denotada $N_1^{SEG} - 1$, son de longitud L_{MIN} , el factor llega a ser:

$$f_1 = F \left(\frac{B^{SEG}}{N^{SEG}}, L_{MIN}, L_1^{N_1^{SEG} - 1} \right)$$

30 La función $F(\cdot)$ está en la realización definida como:

$$F \left(\frac{B^{SEG}}{N^{SEG}}, L_{MIN}, L_1^{N_1^{SEG} - 1} \right) = \frac{B^{SEG}}{N^{SEG}} - G_2 \left(L_{MIN}, G_1 \left(L_1^{N_1^{SEG} - 1}, \frac{B^{SEG}}{N^{SEG}} \right) \right)$$

donde la función $G_1(\cdot)$ da el número de pulsos unitarios que dando una longitud de vector $L_1^{N_1^{SEG} - 1}$, se pueden

representar usando $\frac{B^{SEG}}{N^{SEG}}$ bits. La función $G_2(\cdot)$ da el número de bits usados para representar por la función $G_1(\cdot)$ el número de pulsos determinado, pero para la dimensión inferior L_{MIN} .

35 En implementaciones de baja complejidad, la complejidad de $G_1(\cdot)$ y $G_2(\cdot)$ se puede reducir usando tablas de búsqueda de aproximaciones o muestras secundarias.

En otra realización, los factores de compensación también son dependientes de al menos los bits medios por segmento del vector de entrada dentro del primer y último vector de entrada de nivel inferior, respectivamente, las longitudes de segmento del vector de entrada y una longitud de segmento de vector de entrada mínima.

$$f_i = \sum_j -\frac{1}{L_i^{SEG}} \left(\frac{B^{SEG}}{N^{SEG}} - G_2 \left(\min(L_i^j), G_1 \left(L_i^j, \frac{B^{SEG}}{N^{SEG}} \right) \right) \right), L_i^{SEG} = \sum_j L_i^j,$$

5 donde B^{SEG} es la suma de bits asignados para ambos vectores de entrada de nivel inferior y N^{SEG} es el número total de segmentos de vector dentro de ambos vectores de entrada de nivel inferior.

Debido a la estructura jerárquica de las relaciones de energía, se puede usar una relación de energía de ascendentes para controlar los bits B^E que se usan para codificar la relación de energía de descendentes. En caso de que la relación de energía de ascendentes indique baja energía para el segmento actual, B^E se puede reducir o
10 limitar y los bits ahorrados se pueden redistribuir a la codificación del vector de forma usando un B^{SH} números de bits.

Además, si el cuantificador de vector posicional, por ejemplo, una implementación de cuantificador de vector de pulso PVQ de complejidad optimizada, es un cuantificador de tasa variable, los bits ocasionalmente ahorrados o
15 gastados (excedidos) por el cuantificador de tasa variable para cada segmento se pueden incorporar y usar para actualizar los segmentos restantes, incluyendo sus factores de compensación.

De este modo, en un caso de codificación, preferiblemente codificación posicional, de vectores grandes o de codificación de alta tasa de bits, por ejemplo, codificación posicional de alta tasa de bits, el vector de entrada se puede procesar previamente, comprendiendo una partición (es decir, agrupación o segmentación) antes de la
20 cuantificación real. Una ventaja con las realizaciones descritas en la presente memoria es que ofrecen una solución ligera para la partición del vector de entrada de una forma óptima para un cuantificador posicional. Las realizaciones también compensan el caso cuando la partición óptima no es posible, mediante el ajuste de los bits asignados.

La tecnología propuesta proporciona una unidad de partición configurada para dividir vectores de entrada para codificación, preferiblemente codificación posicional, en donde la unidad de partición está configurada para obtener
25 un vector de entrada. Preferiblemente, la unidad de partición está destinada a señales de audio. Sin embargo, las ideas presentadas aquí también funcionan bien para, por ejemplo, señales de video también. La unidad de partición está configurada además para segmentar, de manera no recursiva, el vector de entrada en un número entero, N^{SEG} , de segmentos del vector de entrada. La unidad de partición está configurada para determinar, de una manera recursiva, una representación de una diferencia de energía relativa respectiva entre partes del vector de entrada a cada lado de cada límite entre los segmentos del vector de entrada. La unidad de partición también está configurada
30 para proporcionar los segmentos del vector de entrada y representaciones de las diferencias de energía relativas para codificación individual, preferiblemente codificación posicional.

Se apreciará que los métodos y dispositivos descritos en la presente memoria se pueden combinar y reorganizar en una variedad de formas.

Por ejemplo, las realizaciones se pueden implementar en hardware o en software para su ejecución mediante
35 circuitería de procesamiento adecuada, o una combinación de los mismos.

Los pasos, funciones, procedimientos, módulos y/o bloques descritos en la presente memoria se pueden implementar en hardware usando cualquier tecnología convencional, tal como tecnología de circuitos discretos o de circuitos integrados, incluyendo tanto circuitería electrónica de propósito general como circuitería de aplicaciones específicas.

Ejemplos particulares incluyen uno o más procesadores de señal digital configurados adecuadamente y otros circuitos electrónicos conocidos, por ejemplo, puertas lógicas discretas interconectadas para realizar una función especializada, o Circuitos Integrados de Aplicaciones Específicas (ASIC). Una realización de una unidad 20 de partición se ilustra en la Figura 8. Un vector de entrada de longitud L se obtiene a través de una sección 21 de entrada. La unidad 20 de partición está configurada para proporcionar segmentos del vector de entrada y representaciones de relaciones de energía según la descripción aquí anterior. Los segmentos del vector de entrada, junto con la representación de una diferencia de energía relativa respectiva entre partes del vector de entrada en cada lado de cada límite entre los segmentos del vector de entrada, se proporcionan para codificación individual, preferiblemente codificación posicional individual, a través de la sección 29 de salida.
40
45

Alternativamente, al menos algunos de los pasos, funciones, procedimientos, módulos y/o bloques descritos en la presente memoria se pueden implementar en software tal como un programa de ordenador para su ejecución mediante circuitería de procesamiento adecuada, tal como uno o más procesadores o unidades de procesamiento.
50

Por lo tanto, el diagrama o los diagramas de flujo presentados en la presente memoria se pueden considerar como un diagrama o diagramas de flujo de ordenador, cuando se realizan mediante uno o más procesadores. Un aparato correspondiente se puede definir como un grupo de módulos de función, donde cada paso realizado por el procesador o procesadores corresponde a un módulo de función. En este caso, los módulos de función se implementan como un programa de ordenador que se ejecuta en el procesador o los procesadores.

En particular, como se ilustra en la Figura 9, la unidad 20 de partición puede comprender un procesador 60 y una memoria 70. La memoria 70 comprende instrucciones ejecutables por el procesador 60, por las cuales el procesador 60 está operativo para obtener un vector de entrada, para segmentar el vector de entrada en un número entero, N^{SEG} , de segmentos del vector de entrada, para determinar, de una manera recursiva, una representación de una diferencia de energía relativa respectiva entre partes del vector de entrada en cada lado de cada límite entre los segmentos del vector de entrada; y para proporcionar los segmentos del vector de entrada y representaciones de las diferencias de energía relativas para codificación individual, preferiblemente codificación posicional individual.

Ejemplos de circuitería de procesamiento incluyen, pero no se limitan a, uno o más microprocesadores, uno o más Procesadores de Señal Digital (DSP), una o más Unidades de Procesamiento Central (CPU), hardware de aceleración de video y/o cualquier circuitería de lógica programable adecuada tal como una o más Agrupaciones de Puertas Programables en Campo (FPGA), o uno o más Controladores Lógicos Programables (PLC).

También se debería entender que puede ser posible reutilizar las capacidades generales de procesamiento de cualquier dispositivo o unidad convencional en el que se implemente la tecnología propuesta. También puede ser posible reutilizar software existente, por ejemplo, mediante la reprogramación del software existente o añadiendo nuevos componentes de software.

En el ejemplo particular de la Figura 9, al menos algunos de los pasos, funciones, procedimientos, módulos y/o bloques descritos en la presente memoria se implementan en un programa de ordenador, que se carga en la memoria para su ejecución procesando circuitería que incluye uno o más procesadores. El procesador o procesadores y la memoria están interconectados entre sí para permitir la ejecución normal del software. Un dispositivo opcional de entrada/salida también se puede interconectar al procesador o procesadores y/o la memoria para permitir la entrada y/o salida de datos relevantes, tales como parámetro o parámetros de entrada y/o parámetro o parámetros de salida resultantes.

El término "procesador" se debería interpretar en un sentido general como cualquier sistema o dispositivo capaz de ejecutar código de programa o instrucciones de programa de ordenador para realizar una tarea de procesamiento, determinación o cálculo particular.

La circuitería de procesamiento que incluye uno o más procesadores está configurada de este modo para realizar, cuando se ejecuta el programa de ordenador, tareas de procesamiento bien definidas tales como las descritas en la presente memoria.

La circuitería de procesamiento no tiene que estar dedicada a ejecutar sólo los pasos, funciones, procedimientos y/o bloques descritos anteriormente, sino que también pueden ejecutar otras tareas.

En una realización particular, los segmentos del vector de entrada tienen longitudes idénticas o una longitud respectiva que no difiere en más de $N^{SEG}-1$.

En una realización particular, los primeros $N^{SEG}-1$ segmentos del vector de entrada tienen longitudes idénticas.

En una realización particular, todos los segmentos del vector de entrada tienen longitudes que no difieren en más de 1.

En una realización particular, la unidad de partición está configurada para realizar la determinación, de una manera recursiva, de una representación de una diferencia de energía relativa respectiva, estableciendo el vector de entrada como un vector de entrada de nivel superior, encontrando un límite central, en su caso, entre segmentos del vector de entrada que están en o más cercanos al primer lado al centro del vector de entrada de nivel superior, dividiendo el vector de entrada de nivel superior en el límite central, en su caso, en dos vectores de entrada de nivel inferior, calculando una representación de una diferencia de energía relativa entre los dos vectores de entrada de nivel inferior si existe el límite central, y repitiendo la búsqueda, dividiendo y calculando restableciendo los vectores de entrada de nivel inferior como un vector de entrada de nivel superior respectivo, hasta que todos los límites entre segmentos del vector de entrada se provean con una representación asociada de una diferencia de energía relativa.

En una realización particular, la unidad de partición está configurada para, si el vector de entrada de nivel superior tiene que ser dividido en vectores de entrada de nivel inferior no igualmente dimensionados, seleccionar el límite central como el límite más cercano al centro del vector de entrada de nivel superior que da un último vector de entrada de nivel inferior más grande que el primer vector de entrada de nivel inferior.

En una realización particular, la unidad de partición está configurada además para asignar bits para la codificación de cada segmento de vector de entrada y para la codificación de una representación de diferencias de energía relativas entre los segmentos.

5 En una realización particular, la unidad de partición está configurada para realizar la asignación de bits concurrentemente a la determinación, de una manera recursiva, de una representación de una diferencia de energía relativa respectiva.

En una realización particular, la unidad de partición está configurada además para asignar bits para la codificación de cada uno de los segmentos del vector de entrada realizada en conexión con el cálculo de una representación de una diferencia de energía relativa.

10 En una realización particular, la unidad de partición está configurada para realizar la asignación de bits asignando bits para los vectores de entrada de nivel inferior en dependencia de una relación entre las longitudes de los vectores de entrada de nivel inferior y una relación entre las energías en los vectores de entrada de nivel inferior.

En una realización particular, la unidad de partición está configurada para realizar la asignación de bits asignando bits para el vector de entrada de nivel inferior según las ecuaciones presentadas más arriba.

15 En una realización particular, los factores de compensación son dependientes de las longitudes de los segmentos del vector de entrada, el número de segmentos del vector de entrada dentro de los vectores de entrada de nivel inferior y bits asignados para ambos vectores de entrada de nivel inferior.

20 En una realización particular, los factores de compensación son dependientes de al menos los bits medios por segmento de vector de entrada, las longitudes de segmento de vector de entrada y una longitud de segmento de vector de entrada mínima.

La unidad de partición constituye típicamente una parte de un codificador. Una realización se aplica a un codificador, preferiblemente un codificador para codificación posicional, como se ilustra en la Figura 10.

25 De este modo, la Figura 10 es un diagrama de bloques esquemático de un codificador 50 posicional según las realizaciones. El codificador comprende una unidad 10 de entrada configurada para recibir un vector de entrada de longitud L, una unidad 20 de partición, un cuantificador 30 posicional y una unidad 40 de salida para la señal de audio codificada. Preferiblemente, el codificador está configurado para la codificación posicional de señales de audio, es decir, donde el vector de entrada representa una señal de audio a ser codificada. Sin embargo, las ideas presentadas aquí también funcionan bien para, por ejemplo, señales de video también.

30 El codificador 50 posicional con sus unidades incluídas se podría implementar en hardware. Hay numerosas variantes de elementos de circuitería que se pueden usar y combinar para lograr las funciones de las unidades del codificador. Tales variantes se abarcan por las realizaciones. Ejemplos particulares de implementación de hardware del codificador son la implementación en hardware de procesador de señal digital (DSP) y tecnología de circuitos integrados, incluyendo tanto circuitería electrónica de propósito general como circuitería de aplicaciones específicas.

35 El codificador posicional descrito en la presente memoria se podría implementar alternativamente, como se ilustra en la Figura 11, por ejemplo, por uno o más de un procesador 60 y software adecuado con almacenamiento o memoria 70 adecuados, por lo tanto, con el fin de realizar la partición de un vector de entrada, según las realizaciones descritas en la presente memoria. El vector entrante se recibe por una entrada (ENTRADA) 10, a la que se conectan el procesador 60 y la memoria 70, y la señal codificada obtenida del software se emite desde la salida (SALIDA) 40.

40 En una realización, un codificador para codificación posicional comprende una unidad de entrada configurada para recibir un vector de entrada, una unidad de partición según cualquiera de las realizaciones presentadas más arriba, un cuantificador y una unidad de salida para una señal codificada.

45 En una realización particular, un programa de ordenador comprende instrucciones que, cuando se ejecutan por al menos un procesador, hacen que el procesador o procesadores obtengan un vector de entrada, para segmentar, de una manera no recursiva, el vector de entrada en un número entero, N^{SEG} , de segmentos del vector de entrada. Las instrucciones, cuando se ejecutan por el procesador, hacen que el procesador determine además, de una manera recursiva, una representación de una diferencia de energía relativa respectiva entre partes del vector de entrada en cada lado de cada límite entre los segmentos del vector de entrada, y proporcione los segmentos del vector de entrada y las representaciones de las diferencias de energía relativas para la codificación individual, preferiblemente la codificación posicional.

50 La tecnología propuesta también proporciona un portador que comprende el programa de ordenador, en donde el portador es uno de una señal electrónica, una señal óptica, una señal electromagnética, una señal magnética, una señal eléctrica, una señal de radio, una señal de microondas o un medio de almacenamiento legible por ordenador.

A modo de ejemplo, el software o programa de ordenador se puede realizar como producto de programa de ordenador, que normalmente se transporta o almacena en un medio legible por ordenador, en particular un medio no

- 5 volátil. El medio legible por ordenador puede incluir uno o más dispositivos de memoria extraíbles o no extraíbles que incluyen, pero no se limita a, una Memoria de Sólo Lectura (ROM), una Memoria de Acceso Aleatorio (RAM), un Disco Compacto (CD), un Disco Versátil Digital (DVD), un disco Blu-ray, una memoria de Bus Universal Serie (USB), un dispositivo de almacenamiento Unidad de Disco Duro (HDD), una memoria rápida, una cinta magnética o cualquier otro dispositivo de memoria convencional. De este modo, el programa de ordenador se puede cargar en la memoria operativa de un ordenador o de un dispositivo de procesamiento equivalente para su ejecución por la circuitería de procesamiento del mismo.
- 10 En una realización particular, un portador comprende el programa de ordenador mencionado más arriba, en donde el portador es uno de una señal electrónica, una señal óptica, una señal electromagnética, una señal magnética, una señal eléctrica, una señal de radio, una señal de microondas o un medio de almacenamiento legible por ordenador.
- La tecnología descrita anteriormente se puede usar, por ejemplo, en un emisor, que se puede usar en un dispositivo móvil (por ejemplo, teléfono móvil, ordenador portátil) o un dispositivo estacionario, tal como un ordenador personal. La tecnología propuesta se puede aplicar a un terminal de usuario, que puede ser un dispositivo cableado o inalámbrico.
- 15 Como se usa en la presente memoria, los términos no limitantes “Equipo de Usuario” y “dispositivo inalámbrico” pueden referirse a un teléfono móvil, un teléfono celular, un Asistente Digital Personal, PDA, equipado con capacidades de radiocomunicación, un teléfono inteligente, un ordenador portátil u Ordenador Personal, PC, equipado con un módem de banda ancha móvil interno o externo, un PC de tableta con capacidades de radiocomunicación, un dispositivo de destino, un UE de dispositivo a dispositivo, un UE de tipo máquina o UE capaz de comunicación máquina a máquina, iPad, equipo de instalaciones de cliente, CPE, equipo incorporado en ordenador portátil, LEE, equipo montado en ordenador portátil, LME, llave electrónica USB, un dispositivo portátil de radiocomunicación electrónico, un dispositivo sensor equipado con capacidades de radiocomunicación o similares. En particular, el término “UE” y el término “dispositivo inalámbrico” se deberían interpretar como términos no limitantes que comprenden cualquier tipo de dispositivo inalámbrico que se comunica con un nodo de red de radio en un sistema de comunicación celular o móvil o cualquier dispositivo equipado con circuitería de radio para comunicación inalámbrica según cualquier estándar relevante para comunicación dentro de un sistema de comunicación celular o móvil.
- 20 25
- Como se usa en la presente memoria, el término “dispositivo cableado” puede referirse a cualquier dispositivo configurado o preparado para la conexión cableada a una red. En particular, el dispositivo cableado puede ser al menos alguno de los dispositivos anteriores, con o sin capacidad de radiocomunicación, cuando está configurado para conexión cableada.
- 30
- Se ha de entender que la elección de unidades o módulos de interacción, así como la denominación de las unidades son sólo con propósitos ejemplares, y se puede configurar en una pluralidad de formas alternativas con el fin de ser capaz de ejecutar las acciones de proceso descritas.
- 35
- Por lo tanto, el diagrama o los diagramas de flujo presentados en la presente memoria se pueden considerar como un diagrama o diagramas de flujo de ordenador, cuando se realiza por uno o más procesadores. Una unidad de partición o codificador posicional correspondiente se puede definir como un grupo de módulos de función, donde cada paso realizado por el procesador corresponde a un módulo de función. En este caso, los módulos de función se implementan como un programa de ordenador que se ejecuta en el procesador. Por lo tanto, la unidad de partición o el codificador posicional se pueden definir alternativamente como un grupo de módulos de función, donde los módulos de función se implementan como un programa de ordenador que se ejecuta en al menos un procesador.
- 40
- De este modo, el programa de ordenador que reside en la memoria se puede organizar como módulos de función apropiados configurados para realizar, cuando se ejecutan por el procesador, al menos parte de los pasos y/o tareas descritos en la presente memoria. Un ejemplo de tales módulos de función se ilustra en la Figura 12.
- 45
- La Figura 12 es un diagrama de bloques esquemático que ilustra un ejemplo de un aparato para la partición de vectores de entrada para codificación, preferiblemente codificación posicional, o una unidad 30 de partición que comprende un grupo de módulos de función. La unidad 30 de partición comprende un módulo 401 de obtención para obtener un vector de entrada. La unidad 30 de partición comprende un módulo 402 de segmentación para segmentar, de una manera no recursiva, el vector de entrada en un número entero, N^{SEG} , de segmentos del vector de entrada. La unidad de partición 30 comprende un módulo 403 de determinación recursiva para determinar, de una manera recursiva, una representación de una diferencia de energía relativa respectiva entre partes del vector de entrada en cada lado de cada límite entre los segmentos del vector de entrada. La unidad 30 de partición comprende un módulo 405 de provisión para proporcionar los segmentos del vector de entrada y las representaciones de las diferencias de energía relativas para codificación individual, preferiblemente codificación posicional individual.
- 50
- 55 Preferiblemente, el aparato para la partición está configurado para codificación posicional de señales de audio, es decir, donde el vector de entrada representa una señal de audio para ser codificada. Sin embargo, las ideas presentadas aquí también funcionan bien para, por ejemplo, señales de video también.

En una realización particular, la unidad 30 de partición también comprende un módulo 404 de asignación para asignar bits a segmentos del vector de entrada y para una representación de las diferencias de energía relativas entre segmentos de nivel inferior.

5 Alternativamente, es posible realizar los módulos en la Figura 12 de manera predominante por módulos de hardware, o alternativamente por hardware. La medida del software frente al hardware es puramente una selección de implementación.

10 También se debería observar que las unidades o módulos descritos en esta descripción se han de considerar como entidades lógicas y no necesariamente como entidades físicas separadas. Se apreciará que el alcance de la tecnología descrita en la presente memoria abarca completamente otras realizaciones que pueden llegar a ser obvias para los expertos en la técnica, y que el alcance de esta descripción no está limitado en consecuencia.

Abreviaturas

- ASIC Circuito Integrado de Aplicaciones Específicas
- B^E bits para codificar la relación de energía
- B^{SEG} bits por segmento
- 15 B^{SH} bits para el vector de forma correspondiente a cierta relación de energía
- B^{TOT} presupuesto total de bits disponibles
- CD Disco Compacto
- UPC Unidad de Procesamiento Central
- DSP Procesador de Señal Digital
- 20 DVD Disco Versátil Digital
- E energía por segmento en un nivel
- FPC Codificación de Pulso Factorial
- FPGA Agrupación de Puertas Programables en Campo
- HDD Unidad de Disco Duro
- 25 L longitud (dimensión) del vector de entrada
- L^{SEG} longitud (dimensión) de un segmento
- LEE Equipo Integrado en Ordenador Portátil
- LME Equipo Montado en Ordenador Portátil
- N^{SEG} número de segmentos
- 30 PC Ordenador Personal
- PDA Asistente Digital Personal
- PLC Controlador Lógico Programable
- PVQ Cuantificación de Vector Piramidal
- Q^{MAX} bits permitidos máximos por cuantificador
- 35 R relación de energía entre segmentos vecinos en un nivel
- RAM Memoria de Acceso Aleatorio
- ROM Memoria de Sólo Lectura
- UE Equipo de Usuario
- USB Bus Universal Serie

40

REIVINDICACIONES

1. Un método de codificación de audio que comprende la partición de vectores de entrada de coeficientes que se originan a partir de la señal de audio para la codificación posicional de formas de los vectores de entrada, en donde dicha codificación posicional comprende la cuantificación de vector de segmentos de un vector de entrada individualmente y en donde un número máximo de bits permitidos para cuantificar un segmento de vector está restringido por un cuantificador de vector, en donde dicho método comprende:
- obtener (210) el vector de entrada;
 - segmentar (220) dicho vector de entrada en un número entero, N^{SEG} , de segmentos del vector de entrada según una relación entre un presupuesto total de bits para cuantificar el vector de entrada y un número máximo de bits permitidos para cuantificar un segmento de vector;
 - determinar (230) una representación de una diferencia de energía relativa respectiva entre partes de dicho vector de entrada en cada lado de cada límite entre dichos segmentos del vector de entrada:
 - a) estableciendo (231) dicho vector de entrada como vector de entrada de nivel superior;
 - b) dividiendo (233) el vector de entrada de nivel superior en partes izquierda y derecha, cada parte que comprende uno o más segmentos del vector de entrada, en donde el vector de entrada de nivel superior se divide en el límite del segmento entre dicha parte izquierda y dicha parte derecha en dos vectores de entrada de nivel inferior;
 - c) calculando (234) una representación de una diferencia de energía relativa entre dichos dos vectores de entrada de nivel inferior según una relación de energía entre dichos vectores de entrada de nivel inferior; y
 - d) repitiendo (236) dichos pasos b) y c) de división y cálculo restableciendo dichos vectores de entrada de nivel inferior como vector de entrada de nivel superior respectivo, hasta que todos los límites entre segmentos del vector de entrada se provean con una representación asociada de una diferencia de energía relativa;
 - asignar (240) bits para codificar la forma de cada uno de dicho segmento del vector de entrada y para la codificación de dichas representaciones de dichas diferencias de energía relativa entre dichos segmentos del vector de entrada, en donde los bits para codificar los segmentos del vector de entrada se distribuyen entre segmentos según las diferencias de energía relativa entre partes de dicho vector de entrada; y
 - proporcionar (250) cada uno de dichos segmentos del vector de entrada, dichas representaciones de dichas diferencias de energía relativas e información de asignación al cuantificador para la codificación individual de dichos segmentos del vector de entrada.
2. El método según la reivindicación 1, caracterizado por que dicho número entero, N^{SEG} , es el número entero más pequeño por el cual cada segmento de vector de entrada cumple las restricciones asociadas con un cuantificador para dicha codificación.
3. El método según la reivindicación 1, caracterizado por que si dicho vector de entrada de nivel superior tiene que ser dividido en vectores de entrada de nivel inferior no igualmente dimensionados, seleccionar el límite del segmento como el límite más cercano al centro del vector de entrada de nivel superior dando un último vector de entrada de nivel inferior más grande que el primer vector de entrada de nivel inferior.
4. El método según la reivindicación 1, caracterizado por que el paso de asignar (240) bits se realiza en conexión con dicho paso de determinar (230), de una manera recursiva, una representación de una diferencia de energía relativa respectiva.
5. El método según la reivindicación 1, caracterizado por que el paso de asignar (240) bits para la codificación de cada uno de dichos segmentos del vector de entrada realizado en conexión con dicho paso d) calcular (234) una representación de una diferencia de energía relativa.
6. El método según la reivindicación 5, caracterizado por que dicho paso de asignar (240) bits asigna bits para dichos vectores de entrada de nivel inferior en dependencia de una relación entre las longitudes de dichos vectores de entrada de nivel inferior y una relación entre las energías en dichos vectores de entrada de nivel inferior.
7. El método según la reivindicación 6, caracterizado por que dicho paso de asignar (240) bits asigna bits para dicho primer vector de entrada de nivel inferior según:

$$B_0^{SEG} = \frac{B^{SEG} + (f_1 - f_0)L_1^{SEG} - \frac{1}{2} \log_2(R_0)L_1^{SEG}}{1 + \frac{L_1^{SEG}}{L_0^{SEG}}},$$

donde B^{SEG} es la suma de bits asignados para ambos vectores de entrada de nivel inferior, excluyendo los bits asignados para la codificación de una representación de una diferencia de energía relativa entre los vectores de entrada de nivel inferior, B_0^{SEG} es el número de bits asignados para el primer vector de entrada de nivel inferior, L_0^{SEG} y L_1^{SEG} son las longitudes del primer y último vectores de entrada de nivel inferior, respectivamente, R_0 representa dicha relación entre las energías en dichos vectores de entrada de nivel inferior y f_0 y f_1 son factores de compensación para longitudes que difieren del primer y último vectores de entrada de nivel inferior, respectivamente, en donde f_0 y f_1 llegan a ser cero para longitudes iguales de los segmentos del vector de entrada dentro del primer y último segmentos de nivel inferior respectivamente,

y para dicho último vector de entrada de nivel inferior según:

$$B_1^{SEG} = B^{SEG} - B_0^{SEG},$$

donde B_1^{SEG} son los bits asignados para el último vector de entrada de nivel inferior.

8. Un codificador de audio (50) para codificación posicional, que comprende una unidad (10) de entrada configurada para recibir un vector de entrada que representa una señal de audio, una unidad (20) de partición configurada para partición de vectores de entrada de coeficientes que se originan a partir de la señal de audio para la codificación posicional de formas de los vectores de entrada, un cuantificador (30) configurado para cuantificar en vectores segmentos de un vector de entrada individualmente y en donde un número máximo de bits permitidos para cuantificar un segmento de vector está restringido por un cuantificador de vector, y una unidad (40) de salida para una señal codificada, en donde la unidad de partición está configurada para obtener un vector de entrada;

en donde dicha unidad (20) de partición está configurada para segmentar dicho vector de entrada en un número entero, N^{SEG} , de segmentos del vector de entrada según una relación entre un presupuesto total de bits para cuantificar el vector de entrada y un número máximo de bits permitidos para cuantificar un segmento de vector; en donde dicha unidad (20) de partición está configurada para determinar una representación de una diferencia de energía relativa respectiva entre partes de dicho vector de entrada en cada lado de cada límite entre dichos segmentos del vector de entrada por medio:

- a) estableciendo dicho vector de entrada como un vector de entrada de nivel superior;
- b) dividiendo el vector de entrada de nivel superior en partes izquierda y derecha, cada parte que comprende uno o más segmentos del vector de entrada, en donde el vector de entrada de nivel superior se divide en el límite del segmento entre dicha parte izquierda y dicha parte derecha en dos vectores de entrada de nivel inferior;
- c) calculando una representación de una diferencia de energía relativa entre dichos dos vectores de entrada de nivel inferior según una relación de energía entre dichos vectores de entrada de nivel inferior; y
- d) repitiendo dichos pasos b) y c) de división y cálculo restableciendo dichos vectores de entrada de nivel inferior como vector de entrada de nivel superior respectivo, hasta que todos los límites entre segmentos del vector de entrada se provean con una representación asociada de una diferencia de energía relativa;

en donde dicha unidad (20) de partición está configurada para asignar bits para codificar la forma de cada uno de dichos segmentos del vector de entrada y para la codificación de dichas representaciones de dichas diferencias de energía relativas entre dichos segmentos del vector de entrada, en donde los bits para codificar los segmentos del vector de entrada se distribuyen entre segmentos según las diferencias de energía relativas entre partes de dicho vector de entrada; y

en donde dicha unidad (20) de partición está configurada para proporcionar cada uno dicho segmento del vector de entrada, dichas representaciones de dichas diferencias de energía relativas e información de asignación al cuantificador (30) para la codificación individual de dichos segmentos del vector de entrada.

9. El codificador de audio de la reivindicación 8, caracterizado por que dicho número entero, N^{SEG} , es el número entero más pequeño por el cual cada dicho segmento de vector de entrada cumple las restricciones asociadas con un cuantificador para dicha codificación.

10. El codificador de audio según la reivindicación 8, caracterizado por que dicha unidad (20) de partición está configurada para, si dicho vector de entrada de nivel superior tiene que ser dividido en vectores de entrada de nivel inferior no igualmente dimensionados, seleccionar el límite de segmento como el límite más cercano al centro del vector de entrada de nivel superior que da un último vector de entrada de nivel inferior más grande que el primer vector de entrada de nivel inferior.

11. El codificador de audio según la reivindicación 8, caracterizado por que dicha unidad (20) de partición está configurada para realizar dicha asignación de bits en conexión con dicha determinación, de una manera recursiva, de una representación de una diferencia de energía relativa respectiva.

12. El codificador de audio según la reivindicación 8, caracterizado por que dicha unidad (20) de partición está configurada para asignar bits para la codificación de cada uno de dichos segmentos del vector de entrada realizada de manera concurrente a dicho d) cálculo de una representación de una diferencia de energía relativa.

5 13. El codificador de audio según la reivindicación 12, caracterizado por que dicha unidad (20) de partición está configurada para realizar dicha asignación de bits asignando bits para dichos vectores de entrada de nivel inferior en dependencia de una relación entre las longitudes de dichos vectores de entrada de nivel inferior y una relación entre las energías en dichos vectores de entrada de nivel inferior.

10 14. El codificador de audio según la reivindicación 13, caracterizado por que dicha unidad (20) de partición está configurada para realizar dicha asignación de bits asignando bits para dicho primer vector de entrada de nivel inferior según:

$$B_0^{SEG} = \frac{B^{SEG} + (f_1 - f_0)L_1^{SEG} - \frac{1}{2} \log_2(R_0)L_1^{SEG}}{1 + \frac{L_1^{SEG}}{L_0^{SEG}}},$$

15 donde B^{SEG} es la suma de bits asignados para ambos vectores de entrada de nivel inferior, excluyendo los bits asignados para la codificación de una representación de una diferencia de energía relativa entre los vectores de entrada de nivel inferior, B_0^{SEG} es el número de bits asignados para el primer vector de entrada de nivel inferior, L_0^{SEG} y L_1^{SEG} son las longitudes del primer y último vectores de entrada de nivel inferior, respectivamente, R_0 representa dicha relación entre las energías en dichos vectores de entrada de nivel inferior y f_0 y f_1 son factores de compensación para longitudes que difieren del primer y último vectores de entrada de nivel inferior, respectivamente, en donde f_0 y f_1 llegan a ser cero para longitudes iguales de los segmentos del vector de entrada dentro del primer y último segmentos de nivel inferior, respectivamente,

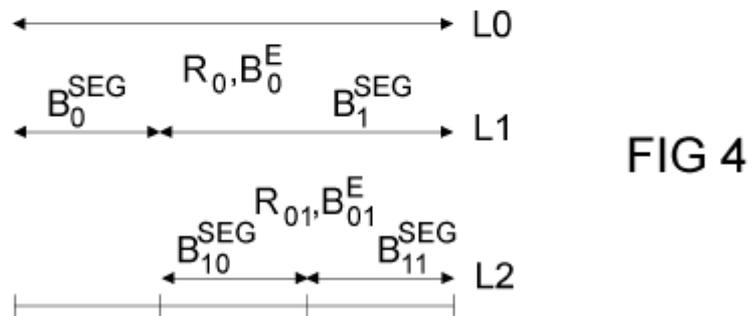
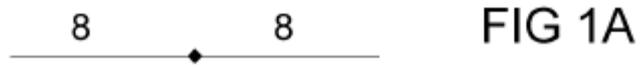
20 y para dicho último vector de entrada de nivel inferior según:

$$B_1^{SEG} = B^{SEG} - B_0^{SEG},$$

donde B_1^{SEG} son los bits asignados para el último vector de entrada de nivel inferior.

25 15. Un programa de ordenador que comprende instrucciones, que cuando se ejecutan por al menos un procesador (60), hacen que el al menos un procesador (60) realice el método según una cualquiera de las reivindicaciones 1 a 7.

16. Un portador que comprende el programa de ordenador de la reivindicación 15, en donde el portador es uno de una señal electrónica, una señal óptica, una señal electromagnética, una señal magnética, una señal eléctrica, una señal de radio, una señal de microondas o un medio de almacenamiento legible por ordenador.



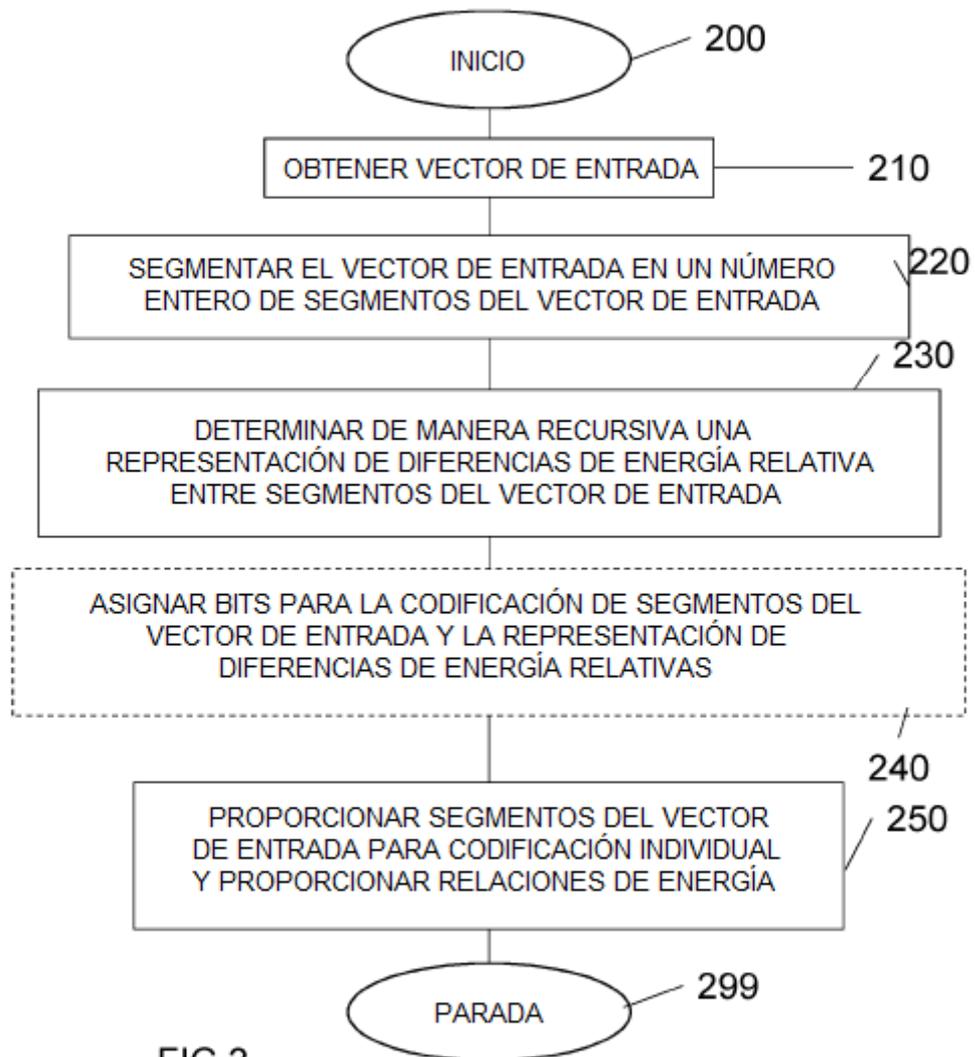
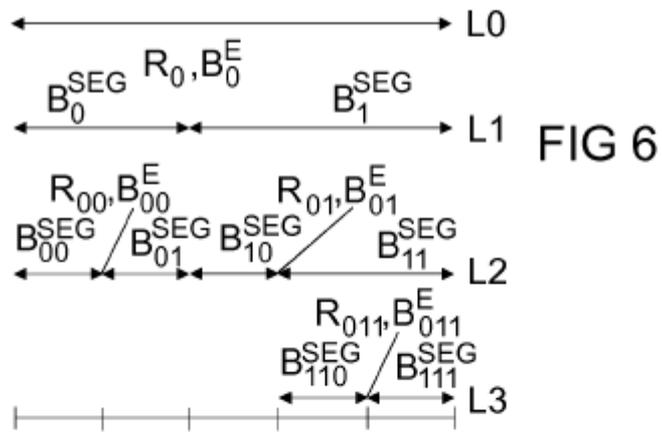
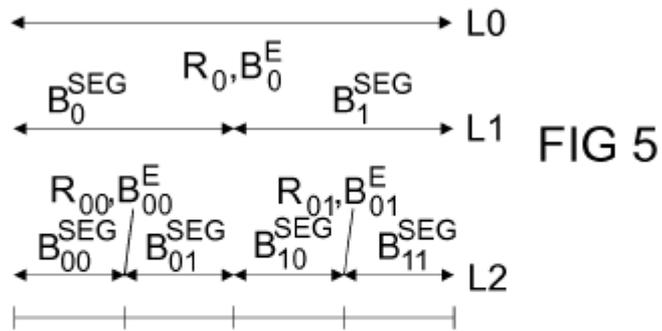
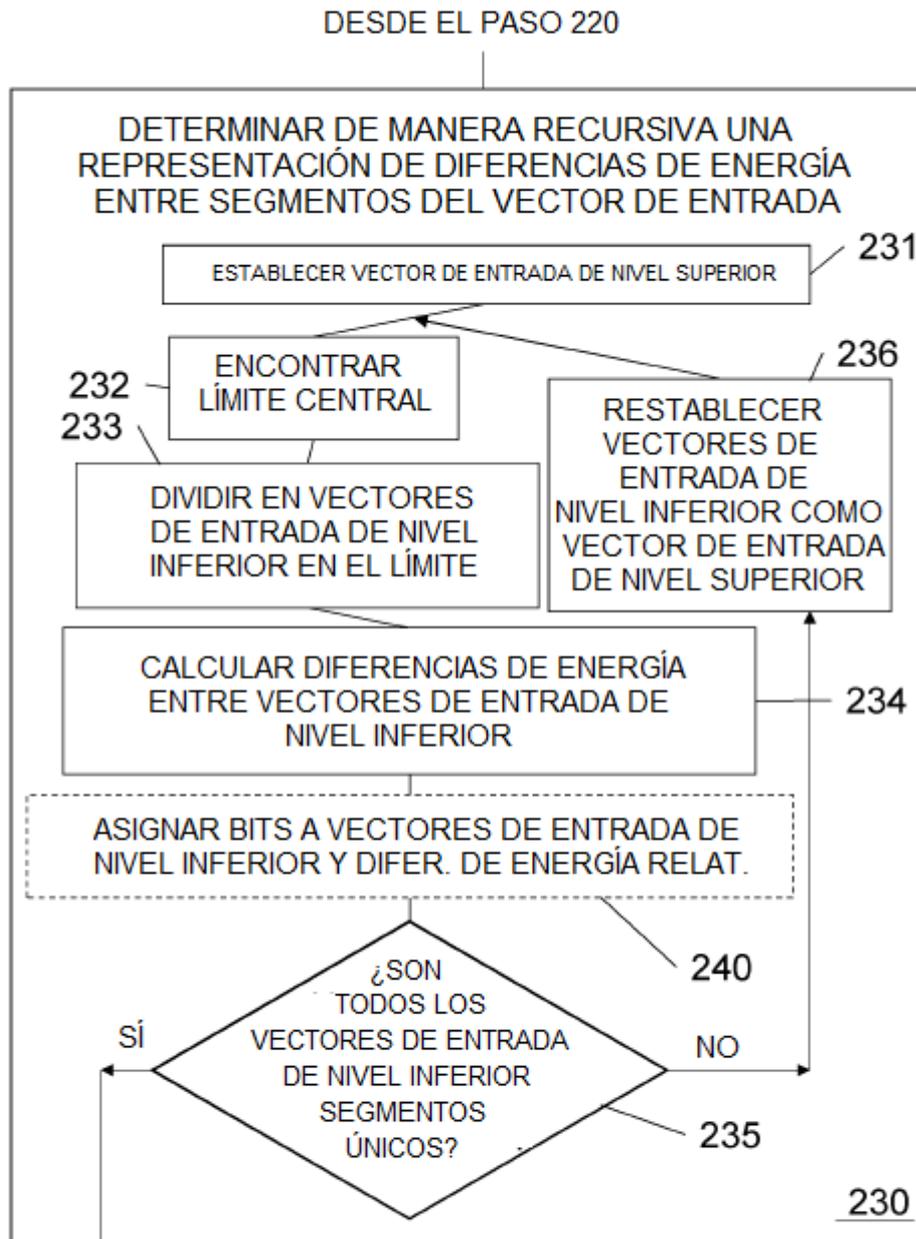


FIG 2





AL PASO 250 (240)

FIG 7

FIG 8

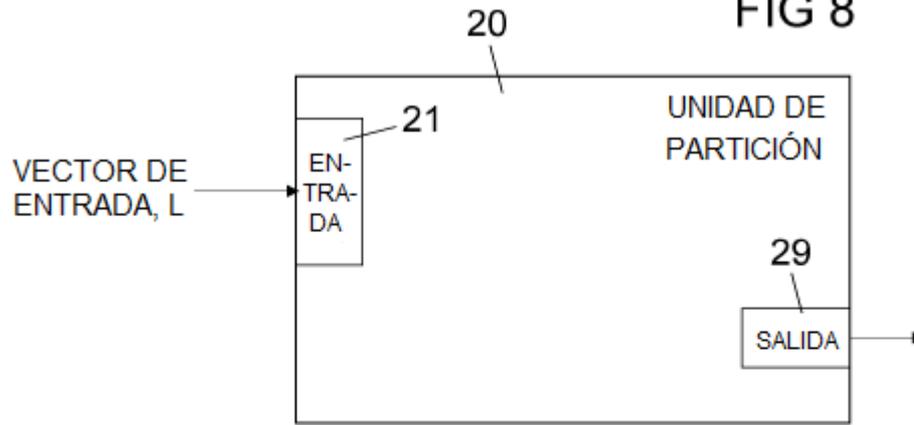


FIG 9

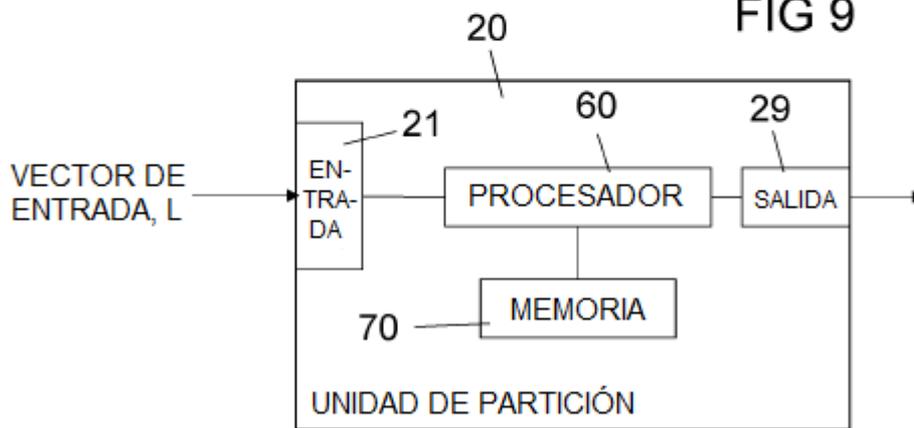


FIG 10

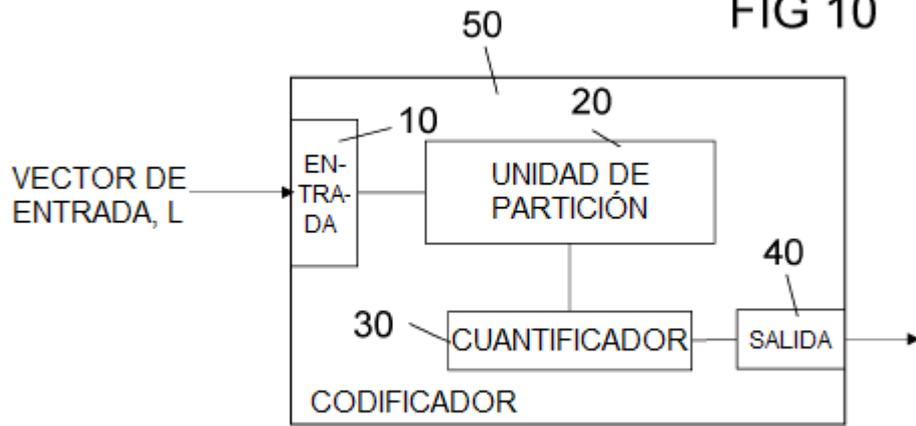
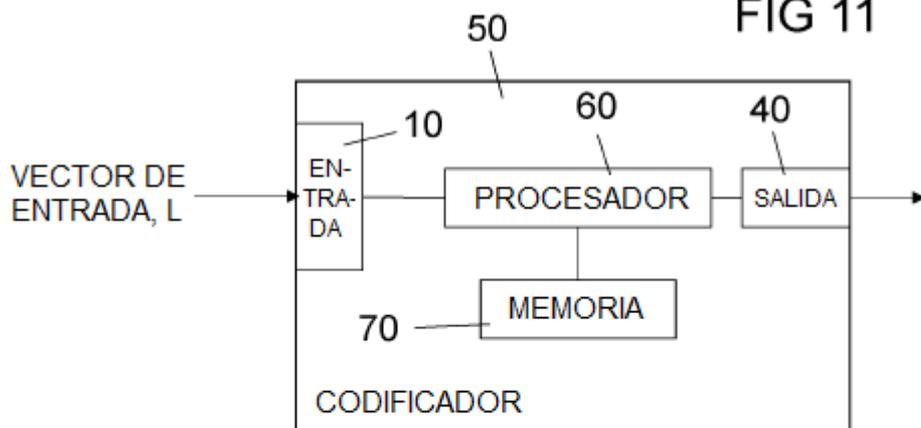


FIG 11



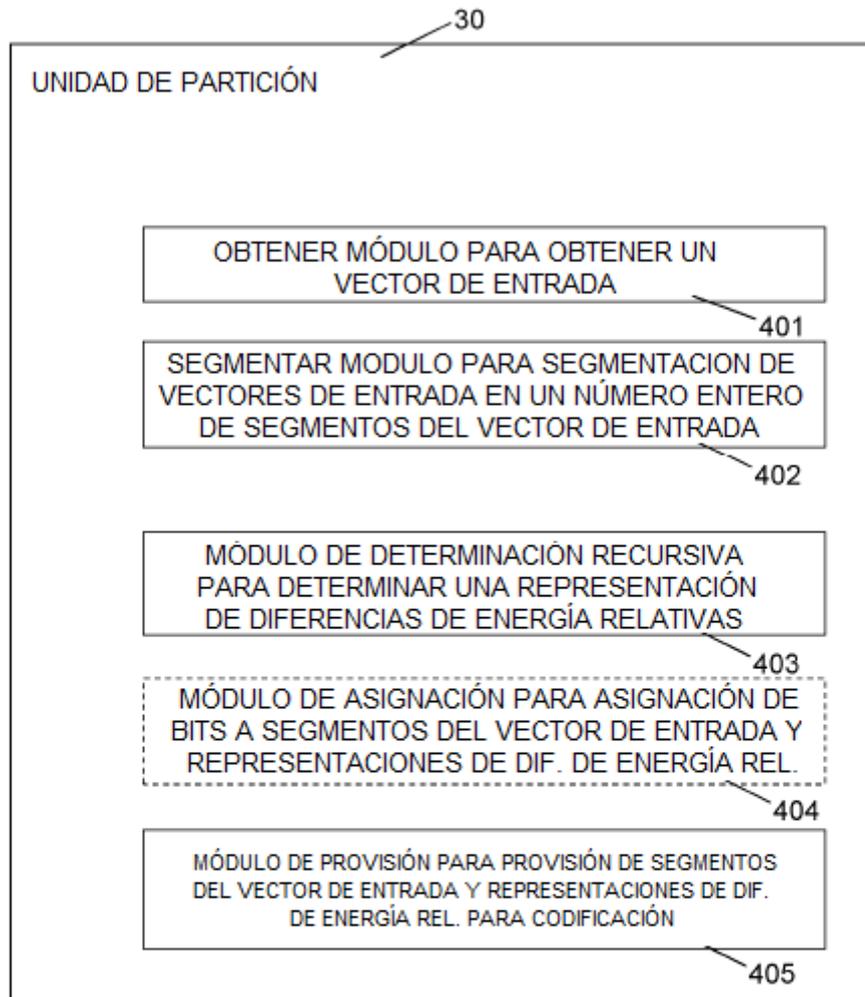


FIG 12