

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 787 029**

51 Int. Cl.:

H02M 1/32 (2007.01)
H02H 7/12 (2006.01)
H02M 3/155 (2006.01)
H02H 3/20 (2006.01)
H02M 3/158 (2006.01)
H02M 1/34 (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.12.2010 E 18165947 (5)**

97 Fecha y número de publicación de la concesión europea: **05.02.2020 EP 3376653**

54 Título: **Protección contra sobretensiones en un convertidor de conmutación**

30 Prioridad:

23.12.2009 US 646451

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

14.10.2020

73 Titular/es:

**R2 SEMICONDUCTOR INC. (100.0%)
3600 West Bayshore Dr. Suite 205
Palo Alto, CA 94303, US**

72 Inventor/es:

**BURNS, LAWRENCE y
FISHER, DAVID**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 787 029 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Protección contra sobretensiones en un convertidor de conmutación

Campo de las realizaciones descritas

5 Las realizaciones descritas se refieren genéricamente a la conversión de potencia. Más en particular, las realizaciones descritas se refieren a protección contra sobretensiones en un convertidor de conmutación en un circuito integrado encapsulado.

Antecedentes

10 Los convertidores y reguladores de corriente continua, DC, son bien conocidos en la técnica y se utilizan ampliamente para garantizar que la tensión continua suministrada a dispositivos electrónicos tiene el valor correcto independientemente de las variaciones en la tensión de alimentación disponible o en la carga que presenta el dispositivo que está siendo alimentado. Por ejemplo, la mayor parte de los dispositivos electrónicos de consumo que funcionan mediante baterías utilizan reguladores DC-DC para convertir la tensión de batería de 2,7 - 5,5 V en una tensión de funcionamiento inferior de 0,56 - 3,4 V requerida por los circuitos integrados de la placa. Los reguladores de tensión se utilizan de manera universal para convertir la tensión de la batería en una tensión de valor fijo deseada con la que se alimentará al circuito integrado, y para garantizar que el valor permanece constante cuando la batería envejece y cuando cambia la corriente absorbida por el circuito integrado.

15 Los reguladores de tensión pueden clasificarse como reguladores lineales o de conmutación. Un regulador lineal es esencialmente una carga resistiva conectada en serie (o en paralelo) con la carga que va a ser alimentada; la resistencia del regulador se ajusta mediante un circuito de control para garantizar que la tensión en la salida del regulador es constante. Por el contrario, un regulador de conmutación convierte una tensión continua de entrada en una tensión o una corriente variables con el tiempo, y a continuación hace uso de elementos de conmutación o rectificadores y de componentes pasivos tales como bobinas y condensadores, conjuntamente con un circuito de control, para reconvertir esta señal variable con el tiempo en una tensión continua de un valor fijo diferente al de la tensión de entrada. La Figura 1 muestra un ejemplo de un regulador de tensión lineal que corresponde a la técnica anterior y un regulador de tensión de conmutación que corresponde a la técnica anterior.

20 Los reguladores lineales son sencillos de implementar, rápidos y compactos. Más aún, no emiten señales de interferencia electromagnética (EMI). Sin embargo, presentan dos limitaciones importantes. En primer lugar, un regulador lineal sólo puede reducir, pero no aumentar, la tensión que se le suministra. En segundo lugar, los reguladores lineales tienen una eficiencia muy baja en muchas aplicaciones (o en casos en los que la tensión de salida no está ligeramente por debajo de la tensión de entrada). La eficiencia se define como la ratio entre la potencia de salida y la potencia de entrada. En el caso de un regulador lineal ideal (en el que no se disipa ninguna potencia en los circuitos de control o regulación), la eficiencia no puede ser mayor que V_{out} / V_{in} , en donde V_{out} es la tensión de salida del regulador y V_{in} es la tensión de entrada del regulador. Por lo tanto, cuando la aplicación requiere una reducción sustancial en la tensión de entrada, un regulador lineal ofrece inevitablemente una eficiencia baja. También pueden utilizarse otras tipologías de regulador, tales como un regulador lineal en puente (en el que el regulador funciona como una resistencia variable en paralelo con la carga), pero ofrecen resultados sustancialmente similares. Particularmente en el caso de dispositivos alimentados por baterías, una regulación de tensión ineficiente tiene un impacto directo en la vida útil de la batería y, por lo tanto, resulta altamente indeseable. Como consecuencia de estas limitaciones, los convertidores de conmutación se utilizan en muchas aplicaciones electrónicas, particularmente en aquellas en las que la eficiencia energética y/o la vida útil de la batería son de importancia crítica.

25 Desafortunadamente, la mayor parte de los reguladores de conmutación requieren bobinas y condensadores externos de alto valor (y físicamente grandes y gruesos) para funcionar. Para comprender la razón, consideremos como ejemplo un convertidor de reducción de tensión ("buck", reductor) que corresponde a la técnica anterior, mostrado de manera simplificada en la Figura 2 (nótese que los transistores pueden ser dispositivos PMOS o NMOS). La corriente de bobina variable con el tiempo resultante en el límite de la conmutación ideal (instantánea) se muestra en la Figura 3. En funcionamiento, el transistor Q_{series} está conmutado a ON durante un intervalo T_{on} de tiempo, permitiendo que circule corriente desde la alimentación a través de la bobina L_{out} de salida. Durante este periodo T_{on} de tiempo, la corriente I_{out} de salida aumenta linealmente con el tiempo a un ritmo proporcional a la diferencia entre las tensiones de entrada y de salida, en donde esta última tiene un valor sustancialmente fijo durante el ciclo de conmutación si se utiliza un condensador de salida con un valor C_{out} lo suficientemente grande:

$$\frac{dI_{out}}{dt} = \frac{(V_{in} - V_{out})}{L_{out}} \quad (1)$$

45 Cuando termina el intervalo T_{on} de tiempo, el conmutador Q_{series} es conmutado a OFF. Después de un tiempo muerto breve, el conmutador Q_{shunt} se conmuta entonces a ON y la corriente de bobina circula desde masa a través del

conmutador Q_{shunt} . De nuevo, la corriente I_{out} varía linealmente con el tiempo, en este caso decreciendo al transcurrir el tiempo:

$$\frac{dI_{out}}{dt} = \frac{-V_{out}}{L_{out}} \quad (2)$$

La corriente a través de la bobina de salida varía por lo tanto con el tiempo; esta variación se conoce como rizado de corriente de bobina. Para un valor cualquiera dado de inducción de la bobina, si el tiempo T_{off} durante el cual el conmutador Q_{series} en serie está conmutado a OFF es lo suficientemente grande, la corriente de bobina disminuirá hasta alcanzar un valor nulo y bien cambiará de dirección o bien se extinguirá mediante la conmutación a OFF del conmutador Q_{shunt} . El modo de funcionamiento en el que la corriente se extingue se conoce como funcionamiento "discontinuo", con el fin de distinguirlo del funcionamiento "continuo" en el que la corriente siempre se está suministrando a la carga desde la bobina de salida. En la mayor parte de los diseños prácticos de convertidor, la variación de la corriente con el tiempo (la corriente de rizado) se elige con un valor menor que aproximadamente un 20% de la corriente de salida media, como regla general. El requerimiento de limitar el rizado al 20% en la corriente media establece un valor mínimo de la inductancia de la bobina según la expresión:

$$L_{min} = \frac{V_{out}}{0.2(I_{out})} \frac{1 - V_{out}/V_{in}}{f_s} \quad (3)$$

en donde I_{out} es la corriente de salida media del convertidor y f_s es la frecuencia de conmutación. Esta relación se representa gráficamente la Figura 4 para valores típicos de los parámetros relevantes en dispositivos móviles (la línea mostrada en la figura es específica para el límite del 20% de rizado mencionado anteriormente, y se desplazaría ligeramente si se utilizase un criterio diferente). Para convertidores que funcionan en el intervalo de frecuencias de conmutación tradicionales entre 50 kHz y 1 MHz, resulta claro que se necesitan inducciones de bobina en el intervalo entre 3 y 30 μ H para un funcionamiento continuo.

Unos valores de inducción de bobina tan altos se consiguen normalmente arrollando un conductor alrededor de un núcleo ferromagnético, aumentando fuertemente la inductancia obtenida para un número determinado de vueltas de un determinado radio. A frecuencias lo suficientemente bajas, estas bobinas tienen unas pérdidas muy bajas. Sin embargo, presentan diversas desventajas.

Los materiales utilizados para mejorar magnéticamente la bobina presentan limitaciones en la temperatura de funcionamiento (típicamente entre -30 y +85°C) y limitaciones en el pico de corriente debidas a los efectos de saturación del núcleo. Un material ferromagnético alcanza la saturación cuando la magnetización en el material del núcleo no sigue aumentando en respuesta a un aumento en el campo magnetizante producido por los arrollamientos. La saturación se produce cuando la magnitud del campo magnetizante es mayor que un valor máximo; el valor máximo disminuye al aumentar la temperatura, y se reduce fuertemente a frecuencias altas (típicamente mayores de 20 MHz). La saturación del núcleo conduce a una reducción significativa de la inductancia y a un aumento de las pérdidas (en ambos casos debido a un fuerte aumento en la corriente de la bobina). Por lo tanto, no puede permitirse que la bobina se sature durante el funcionamiento normal como regulador.

Como resultado de ello, una bobina mejorada magnéticamente debe ser diseñada con cuidado y seleccionada para la aplicación. Por ejemplo, para el convertidor reductor representado en la Figura 2, la corriente de carga máxima es:

$$I_{load,max} = I_{out,max,DC} - I_{out,p-p}$$

$$I_{out,p-p} = I_{max} - I_{min} = (V_{in} - V_{out}) \frac{V_{out}}{V_{in}} \frac{1}{f_s L_{out}} \quad (4)$$

Aquí, $I_{out,max,DC}$ es la corriente de mayor valor que puede circular por la bobina de salida sin que se produzca saturación. $I_{out,p-p}$ es la variación de pico a pico en la corriente tal como se representa en la Figura 3, y se expresa en función de las tensiones de entrada y de salida y de la frecuencia de conmutación bajo la hipótesis de conmutación ideal utilizada anteriormente.

Para una aplicación dada, la máxima corriente de carga y las tensiones de entrada y de salida son requerimientos fijos. Por lo tanto, el núcleo debe estar dimensionado para soportar la corriente requerida por la aplicación. La

frecuencia de conmutación puede aumentarse para reducir el pico de corriente que se encuentra, pero, tal como se indicó anteriormente, a altas frecuencias la magnetización de saturación disminuye, estableciendo un límite en la cantidad de mejora que puede obtenerse de ese modo. A mayores frecuencias, las pérdidas del núcleo empiezan a aumentar rápidamente y la eficiencia disminuye.

5 Lo que es más importante, las bobinas magnéticas se fabrican típicamente arrollando cable alrededor de un núcleo magnético. Las bobinas magnéticas arrolladas tienen un gran tamaño en comparación a los componentes integrados en un chip semiconductor. Las demandas del mercado para electrónica de consumo están induciendo a los proveedores de componentes a crear unos dispositivos lo más delgados y pequeños posibles. En el caso de dispositivos que funcionan mediante baterías, la altura de los componentes electrónicos montados en la placa de
10 circuito impreso (PCB) interna está usualmente limitada por el grosor de las bobinas utilizadas para la conversión DC-DC de potencia. Además, tal como se discutió anteriormente, las bobinas magnéticas arrolladas son sobre todo apropiadas para funcionar a frecuencias de algunos MHz o menos. El condensador C_{out} de la Figura 2 funciona junto con la bobina L_{out} de salida para filtrar la tensión de salida. Con el fin de garantizar un rizado de salida mínimo, el condensador debe tener una capacidad con un valor lo suficientemente alto como para almacenar la carga variable
15 con el tiempo entregada durante el ciclo de conmutación sin que se produzca una variación significativa en la tensión a través del condensador. Para convertidores que funcionan a 10 MHz o menos, el condensador tiene típicamente una capacidad de 5 μF o mayor, aumentando de nuevo de manera sustancial el tamaño y el coste económico del convertidor. Adicionalmente, se necesita un condensador en la entrada del convertidor cuya capacidad tiene un valor que es un poco mayor, o un poco menor, en comparación con el condensador de salida. Por ejemplo, entre 0,5
20 veces y 2 veces el valor de la capacidad de salida.

A partir de la ecuación (3) y de la Figura 4, resulta obvio que el tamaño de la bobina puede reducirse si se aumenta la frecuencia de conmutación. Pueden considerarse valores de algunas decenas de nH para frecuencias de conmutación en el entorno de decenas a centenares de MHz. Como beneficio secundario, los valores requeridos para la capacidad del condensador del filtro también se reducen. El uso de bobinas de bajo valor permite utilizar
25 geometrías planas que pueden integrarse en placas de circuito impreso o fabricarse en circuitos integrados. Mientras que pueden utilizarse todavía materiales magnéticos, su deposición requiere pasos de proceso adicionales y, por lo tanto, añade coste económico. A frecuencias de conmutación elevadas, la mayor parte de los materiales magnéticos tienen una permeabilidad reducida y unas pérdidas aumentadas, aunque el comportamiento exacto varía ampliamente dependiendo del material y de las técnicas de fabricación utilizadas. Por lo tanto, resulta de interés
30 combinar una conmutación de alta frecuencia con bobinas mejoradas no magnéticamente para llevar a cabo convertidores DC-DC de conmutación eficientes.

Aumentar la frecuencia de conmutación hasta un valor entre 10 y 100 MHz o más, manteniendo a la vez una alta eficiencia, requiere que las pérdidas en los conmutadores se minimicen. Las pérdidas de conmutación surgen de dos fuentes independientes, representadas de una manera simplificada en la Figura 5. La corriente y la tensión de
35 conmutación se representan de manera cualitativa en función del tiempo en el cuadro 110. Durante el tiempo en el que un conmutador está conmutado a OFF o abierto (en el caso de un transistor, la tensión de puerta aplicada es tal que elimina el canal conductor), soporta una tensión considerable, pero circula una corriente muy pequeña a su través, de manera que las pérdidas son despreciables. De manera similar, cuando el conmutador está conmutado a ON o cerrado (cuando la tensión de puerta se establece en un valor que aumenta la conductividad del canal),
40 circulan corrientes de gran valor, pero aparece una tensión relativamente pequeña entre los bornes del conmutador (debido a una resistencia R_{ON} de transistor supuestamente pequeña), de manera que las pérdidas son de nuevo pequeñas. Sin embargo, durante el tiempo T_{sw} cuando el transistor está conmutando desde el estado abierto al estado cerrado, o viceversa, pueden estar presentes de manera simultánea corrientes y tensiones de alto valor, y las pérdidas pueden ser sustanciales debido a que se disipa potencia en los dispositivos de conmutación. Estas
45 pérdidas son del mismo orden que el producto de la corriente de funcionamiento, la tensión, y el tiempo de conmutación, y se producen dos veces en cada ciclo.

Para un convertidor reductor con conmutación simétrica de los transistores serie y paralelo, y para una variación lineal simple de la corriente y de la tensión con el tiempo, tendremos:

$$P_{switch} \approx \frac{2}{3} I_{out} V_{max} T_{sw} f_s \quad (5)$$

50 en donde P_{switch} es la potencia disipada por los dos transistores de conmutación cuando están conmutando a una frecuencia f_s , T_{sw} es el tiempo requerido por el transistor para conmutar a ON o a OFF, y V_{max} es la tensión presente en el conmutador en el estado abierto inmediatamente antes de cerrarse, o justo después de abrirse. Para un tiempo T_{sw} determinado, estas pérdidas aumentan con la frecuencia f_s de conmutación.

En segundo lugar, la tensión en la puerta de un transistor debe cambiarse con el fin de conmutar su estado de
55 abierto a cerrado o de cerrado a abierto. Con el fin de cambiar la tensión, una cantidad de carga proporcional a la capacidad C_{gate} del transistor debe suministrarse a, o retirarse de, la puerta por medio de los circuitos 130 de

excitación. Cargar el condensador de puerta hasta una tensión V_{gate} a través de un elemento resistivo en serie requiere una energía 120 igual a $C_{gate}V_{gate}^2$, que debe suministrarse en cada ciclo de conmutación; esta energía se pierde cuando la carga encuentra finalmente su camino a masa (a no ser que se utilice algún tipo de reciclado de carga), dando como resultado una disipación mínima proporcional a la frecuencia para cada transistor de conmutación:

$$P_{gate} = C_{gate} V_{gate}^2 f_{sw} \quad (6)$$

Las soluciones correspondientes a la técnica anterior al problema de la disipación en el seno del canal del transistor durante la conmutación a altas frecuencias se han orientado hacia la minimización de la tensión V_{max} drenador-surtidor. En el límite en el que la tensión entre los bornes de cada transistor es 0 en el instante en el que cambia el estado del transistor, no se disipa ninguna potencia (o muy poca) durante el evento de la conmutación. Esta condición se conoce como Conmutación Blanda o Conmutación a Tensión Cero (ZVS, *Zero-Voltage Switching*) (existen estrategias análogas para conmutar con corriente cero a través del dispositivo de conmutación, conocidas como Conmutación a Corriente Cero y que ofrecen beneficios y retos similares). Un ejemplo de la temporización de control utilizada en esta estrategia se muestra en la Figura 6, utilizando un circuito típico correspondiente a la técnica anterior que se muestra la Figura 7. La conmutación a tensión cero depende del uso de un tiempo de no solapamiento o tiempo muerto durante el cual tanto los conmutadores serie como los paralelo están en estado OFF, tal como los intervalos 206 y 207 de tiempo. Durante este tiempo, continúa la circulación de corriente hacia o desde el nodo V_{sw} debido a la bobina de alta inducción L_{out} , provocando la variación de la tensión 208 del nodo. Cuando la tensión 201 de control de conmutación serie toma el valor alto para conmutar al conmutador Q_{series} serie al estado OFF, la tensión 208 del nodo cae; si la tensión 202 de control de conmutación paralelo conmuta al valor alto justo cuando la tensión 208 cruza por 0, la tensión existente entre el drenador del transistor y el surtidor del transistor en el momento de la conmutación es muy pequeña o nula y se reducen las pérdidas de conmutación. Sin embargo, durante el tiempo 207 muerto, cuando el conmutador paralelo pasa al estado OFF bajo un funcionamiento normal de bajo rizado, la tensión del nodo cae de nuevo, aumentando la tensión entregada al conmutador serie. Con el fin de conseguir una conmutación ZVS en ambos elementos de conmutación, es necesario que la corriente de rizado de la bobina supere a la corriente media, de tal manera que circule corriente hacia el nodo V_{sw} durante la parte del ciclo 205 de conmutación, cuando la tensión 202 de control del conmutador paralelo haya tomado el valor bajo pero la tensión 201 de control del conmutador serie todavía esté alta. La tensión 208 del nodo aumentará entonces cuando la corriente circula hacia el nodo; cuando la tensión del nodo se iguala con aquella suministrada al conmutador serie, la tensión 201 de control del conmutador serie toma el valor bajo, de tal manera que la conmutación a ON del transistor Q_{series} serie también se produce con una tensión en bornes del transistor cercana a cero, minimizando las pérdidas en el mismo. El ritmo al cual varía la tensión V_{sw} durante el tiempo en el que ambos conmutadores están en estado OFF está determinado por la ratio entre la corriente del nodo y la capacidad. La capacidad del nodo puede ser intrínsecamente muy pequeña, provocando cambios rápidos en la tensión y haciendo difícil mantener una temporización de conmutación correcta, de manera que resulta típico añadir condensadores conectados al nodo o en paralelo con los transistores de conmutación, representados en la Figura 7 como C_{series} y C_{shunt} , para simplificar el problema de la temporización de conmutación precisa.

Para minimizar la disipación debida a la conmutación de la carga capacitiva presentada por los transistores de conmutación, el trabajo de la técnica anterior se ha centrado en diseños que almacenan la energía de conmutación de la capacidad de puerta en elementos inductivos adicionales, dando lugar a un convertidor resonante (ver Figura 8). De acuerdo con una teoría bien conocida, los circuitos resonantes serie pueden mantener tensiones altas a través de los elementos individuales con pérdidas muy pequeñas si la ratio entre la reactancia y la resistencia de cada elemento es alta. Sin embargo, tales circuitos funcionan de manera óptima solamente en una banda de frecuencias estrecha y entregan tensiones sustancialmente senoidales a los componentes constituyentes, de manera que generalmente no puede utilizarse modulación de ancho de pulso (PWM) para controlar la tensión de salida, y debe sustituirse por otros medios tales como variación de frecuencia o control ON-OFF. Finalmente, el uso de una entrada resonante puede conducir a oscilaciones de tensión de gran valor en las puertas de los transistores de conmutación con el fin de garantizar transitorios de conmutación rápidos, lo que puede provocar problemas de fiabilidad.

Una estrategia alternativa para minimizar ambas fuentes de pérdidas de conmutación consiste en utilizar tiempos de conmutación muy rápidos, reduciendo de ese modo el término T_{sw} en la ecuación (5). El tiempo requerido para conmutar el transistor debería ser una fracción pequeña del periodo de control de conmutación. En el caso de un funcionamiento a 100 MHz, en el que el periodo de control de conmutación es de 10 nanosegundos, el tiempo T_{sw} para una tensión senoidal (apropiada para ser utilizada en un convertidor ZVS) es de aproximadamente 1,6 nanosegundos. Con el fin de conseguir una disipación de conmutación comparable a cuando se conmuta a una tensión finita, el tiempo T_{sw} de conmutación debería ser inferior a aproximadamente una quinta parte de este tiempo, o 350 picosegundos.

Para implementar tales tiempos de conmutación rápidos, resulta necesario el uso de transistores avanzados que utilizan longitudes de canal muy cortas y capas de óxido muy delgadas, con consumos de área reducidos y

5 tensiones de conmutación a ON más bajas. Utilizando tales tecnologías, se minimiza la capacidad (para la misma resistencia RON) y se reduce la tensión requerida para cambiar el estado del transistor y, por lo tanto, también se reducen las pérdidas de conmutación de puerta. La Tabla 1 resume valores típicos de algunos factores de calidad clave para las tecnologías CMOS en función de la generación tecnológica (expresada como el tamaño L_{min} característico mínimo). Resulta claro que para generaciones tecnológicas más avanzadas la energía requerida para cargar una unidad de área de puerta hasta la máxima tensión permitida cae de manera drástica, reduciendo las pérdidas de conmutación de puerta (los factores de calidad simples mostrados aquí subestiman el beneficio resultante, debido a que el área requerida para conseguir una determinada resistencia RON también cae para tamaños característicos más pequeños). También cae el retardo mínimo y, por lo tanto, el producto del tiempo requerido para cambiar el estado de un conmutador por la frecuencia de conmutación, que determina las pérdidas de conmutación del canal, cae desde un valor sustancialmente del 12% para transistores de 0,5 micras hasta un valor despreciablemente pequeño del 1,5% para estructuras de 65 nanómetros.

Tabla 1: Parámetros clave del convertidor para diferentes generaciones de tecnologías de fabricación CMOS en silicio

Lmin	Cgate	Kn	Vmax DC	Vt	Retardo mínimo	Energía de puerta	$2T_{sw} * f_{sw}$
0,5	3	60	5	1	94	37,5	7,5%
0,35	5	80	3,3	1	100	27,2	8%
0,25	6	100	2,7	0,8	59	21,9	4,7%
0,18	8	130	1,8	0,65	52	13,0	4,2%
0,13	9	150	1,3	0,55	41	7,6	3,2%
0,09	10	160	1,1	0,45	23	6,1	1,9%
0,065	10	160	1,1	0,4	11	6,1	0,9%

15

Tabla 2: Explicación de los nombres de los parámetros utilizados en la Tabla 1

Parámetro	Descripción	Unidades
Lmin	Mínima dimensión característica de una generación tecnológica dada	micras
Cgate	Capacidad de puerta del transistor MOS estándar	fF/ μm^2
Kn	Parámetro de transconductancia del dispositivo NMOS	$\mu\text{A}/\text{V}^2$
Vmax DC	Valor máximo permitido de Vgs o Vds, medido en DC	V
Vt	Tensión umbral del transistor MOS	V
Retardo	Retardo característico para inversores adaptados (oscilador en anillo), estimado como $T_{switch} \approx \frac{2\beta L_{min}^2}{\mu_n (V_{max,DC} - V_t)}$ donde μ_n es la movilidad de los electrones estimada a partir de la medida de capacidad de puerta y parámetro de transconductancia, y β es una constante empírica ajustada para coincidir con resultados de simulación obtenidos con Lmin = 0,18 micras.	Ps
Energía de puerta	Energía para cargar 1 micra cuadrada de puerta a una tensión Vmax	fJ
$2T_{sw} * f_{sw}$	Porcentaje relativo del periodo de conmutación dedicado realmente a las transiciones, estimado como $[2 * (\text{tiempo de transición del conmutador} * 100 \text{ MHz})]$, suponiendo un <i>buffer</i> con transición de anchura 4x	%

Sin embargo, puede observarse que las tensiones continuas máximas permitidas también disminuyen y, de hecho,

5 las tensiones de entrada anteriormente reportadas para convertidores de un solo transistor de conmutación se muestran en función de la tecnología utilizada en la Figura 9. Resulta notorio que para dispositivos CMOS con dimensiones críticas de 180 nanómetros e inferiores, la tensión de entrada caerá por debajo de las tensiones de alimentación comúnmente relevantes, tales como 3,0, 3,6 y 5 voltios, que son importantes en aplicaciones de dispositivos portátiles. Bajo esas condiciones, un circuito convertidor reductor convencional como el que se representa en la Figura 2 no puede funcionar de manera fiable.

10 Por lo tanto, existe una necesidad de un convertidor DC-DC que sea simultáneamente compacto (incluyendo una fabricación óptima de todos los componentes activos y pasivos en un solo sustrato semiconductor), de bajo coste, de alta eficiencia incluso con ratios entre tensión de salida y tensión de alimentación pequeñas, y con baja corriente de salida.

Resulta deseable disponer de un método y un equipo para proteger a los elementos de conmutación de un convertidor frente a transitorios de tensión para permitir operaciones de conmutación rápidas con bajas pérdidas sin una pérdida de fiabilidad. A modo de antecedentes adicionales, se hace referencia a las siguientes solicitudes de patente publicadas.

15 La publicación de solicitud de patente de los EE. UU. Número US 2008/150627 A1 a favor de Hong y otros describe circuitos y un método para suprimir fluctuaciones de tensión. Se describen circuitos de protección que utilizan diseños RC y se toma en consideración la existencia de elementos parásitos en circuitos integrados. El valor del elemento de disipación (impedancia de amortiguamiento) del circuito se escoge con el fin de reducir el efecto de la inductancia parásita en particular. Se afirma que, independientemente de la frecuencia de la tensión del circuito, el fenómeno de fluctuación de tensión en el circuito puede mejorar de manera significativa.

La publicación de solicitud de patente de los EE. UU. Número US 2005/141158 A1 a favor de Sae-Ueng y otros describe un circuito de protección frente a sobretensiones que se utiliza para limitar o reducir la tensión de salida de un circuito de alimentación de tensión cuando la tensión de salida del circuito de alimentación de tensión supera su tensión de salida máxima recomendada.

25 La publicación de solicitud de patente de los EE. UU. Número US 3353066 A1 a favor de De Souza describe circuitos de protección frente a sobretensiones para ser utilizados en fuentes de alimentación de potencia de continua y circuitos de carga de continua que incluyen un medio de protección de alta tensión actuado por tensiones por encima de una primera tensión predeterminada y un medio de protección de baja tensión actuado por tensiones por debajo de una segunda tensión predeterminada inferior a la mencionada primera tensión.

30 **Resumen de la invención**

La invención se expone en la reivindicación 1 del conjunto de reivindicaciones anexas. Las reivindicaciones dependientes exponen realizaciones particulares. Se considera que las realizaciones o los ejemplos de la descripción que sigue que no están cubiertos por las reivindicaciones anexas no forman parte de la invención de acuerdo con esta descripción.

35 **Resumen**

La invención se refiere a un regulador de tensión. El regulador de tensión incluye circuitos de regulación para generar una tensión regulada a partir de una primera alimentación de potencia y una segunda alimentación de potencia, y circuitos de protección frente a picos de tensión para proteger a los circuitos de regulación frente a picos de tensión, en donde los circuitos de protección frente a picos de tensión incluyen un elemento de disipación y un circuito de almacenamiento de carga.

Otros aspectos y ventajas de las realizaciones descritas se apreciarán a partir de la descripción detallada que sigue, considerada conjuntamente con los dibujos adjuntos, que ilustran a modo de ejemplo los principios de las realizaciones descritas.

Breve descripción de los dibujos

45 La Figura 1 muestra un ejemplo de un regulador de tensión lineal que corresponde a la técnica anterior y un regulador de tensión de conmutación que corresponde a la técnica anterior.

La Figura 2 muestra un ejemplo de un regulador de tensión reductor de conmutación que corresponde a la técnica anterior.

La Figura 3 es un gráfico temporal que muestra la corriente de una bobina principal de salida.

50 La Figura 4 muestra valores estimados de inductancias mínimas requeridas en un regulador de tensión de conmutación en función de la frecuencia de conmutación.

La Figura 5 es un gráfico temporal que muestra un ejemplo de pérdidas de conmutación en un transistor típico

debidas a la energía de carga de puerta y la disipación transitoria en un canal conductor.

La Figura 6 muestra gráficos temporales de formas de onda de tensión y de corriente correspondientes a un convertidor reductor con Conmutación a Tensión Cero.

5 La Figura 7 muestra un ejemplo de una implementación de un convertidor reductor con Conmutación a Tensión Cero que incluye condensadores adicionales en paralelo con los transistores de conmutación.

La Figura 8 muestra un ejemplo de un circuito de puerta resonante que utiliza elementos inductivos para minimizar la energía de conmutación y maximizar la tensión de conmutación.

La Figura 9 es una gráfica que muestra la tensión de funcionamiento máxima reportada para convertidores de un solo transistor que utilizan tecnologías CMOS.

10 La Figura 10 muestra un ejemplo de un regulador de tensión de conmutación.

La Figura 11 muestra un ejemplo de un gráfico temporal de la tensión V_{sw} de conmutación del nodo común, y las tensiones de puerta asociadas al bloque de conmutación serie.

La Figura 12 se muestra un ejemplo de una implementación más detallada de un convertidor de tensión.

15 La Figura 13 muestra una realización a modo de ejemplo de un elemento de conmutación serie apilado y un elemento de conmutación paralelo apilado.

La Figura 14 muestra condiciones de polarización a modo de ejemplo para transistores de conmutación paralelo y de protección.

La Figura 15 muestra un ejemplo de un medio convencional para construir una fuente de alimentación con auto-elevación (*bootstrap*).

20 La Figura 16 muestra un ejemplo de una realización de un circuito de auto-elevación que aborda las deficiencias de los circuitos de auto-elevación convencionales.

La Figura 17 muestra un ejemplo de una realización de un circuito de desplazamiento de nivel.

La Figura 18 muestra unos circuitos de conmutación divididos en cuatro secciones, y un ejemplo de una condición de oscilación persistente como resultado de una transición de tensión rápida.

25 La Figura 19 muestra un ejemplo de un regulador de tensión que incluye adicionalmente circuitos de protección frente a picos.

La Figura 20 muestra unos circuitos de conmutación divididos en cuatro secciones, unos circuitos de protección frente a picos y un ejemplo del amortiguamiento resultante de la condición de oscilación.

30 La Figura 21 muestra un ejemplo de los circuitos de conmutación divididos en un número determinado de segmentos de circuito, y los segmentos de circuito de los circuitos de protección asociados con cada segmento de circuito de los circuitos de conmutación.

La Figura 22 muestra un ejemplo de un plano de montaje de un convertidor de tensión segmentado.

Descripción detallada

35 Las realizaciones descritas incluyen la provisión de protecciones de los elementos de conmutación del convertidor frente a tensiones transitorias para permitir un funcionamiento de conmutación rápida con pérdidas bajas sin degradación de la fiabilidad. Ejemplos no inventivos incluyen métodos para seleccionar la temporización de las entradas de control a los elementos de conmutación del convertidor DC-DC con el fin de permitir la re-captura de carga almacenada con mínimas pérdidas de conmutación, sin necesidad de añadir condensadores a los nodos de conmutación.

40 La Figura 10 muestra un ejemplo de un convertidor 310 de tensión que incluye al menos algunos de los elementos de las realizaciones descritas. El convertidor 310 incluye un elemento 301 de conmutación serie y un elemento 302 de conmutación paralelo, cada uno de ellos implementado mediante transistores apilados. Una realización del elemento 301 de conmutación serie incluye un transistor Q_{ssw} de conmutación serie de tipo metal-óxido-semiconductor de tipo N (NMOS) apilado con un transistor Q_{sp} de protección serie de tipo NMOS, y una realización del elemento 302 de conmutación paralelo incluye un transistor Q_{shsw} de conmutación paralelo de tipo NMOS apilado con un transistor Q_{shp} de protección paralelo de tipo NMOS. Una sección 350 de bloque marcada por la línea discontinua en la Figura 10 representa al transistor apilado de tipo NMOS Q_{ssw} , Q_{sp} , Q_{shsw} , Q_{shp} , de los elementos 301, 302 serie y paralelo, y unos circuitos 304 de excitación y alimentación flotantes que controlan las tensiones de puerta de los transistores Q_{ssw} , Q_{sp} , del elemento 301 de conmutación serie.

Un controlador proporciona señales de control de conmutación que controlan la temporización de la abertura y el cierre del elemento 301 de conmutación serie y del elemento 302 de conmutación paralelo. Esta realización del convertidor 310 incluye adicionalmente unos circuitos 304 de excitación y alimentación flotantes (a los que también se hace referencia como circuitos de auto-elevación) configurados para proporcionar entradas de control y entradas de polarización a los transistores de conmutación y de protección, respectivamente, del elemento 301 de conmutación serie, tensiones que están referidas al valor variable con el tiempo del potencial V_{sw} del nodo conmutación de salida.

Tal como se mostrará y se describirá, un método para generar una tensión regulada incluye la generación de la tensión regulada a través del cierre y abertura controladas del elemento 301 de conmutación serie y del elemento 302 de conmutación paralelo. Tal como se muestra en la Figura 10, el elemento de conmutación serie está conectado entre un primer punto de suministro de tensión (mostrada como V_{hi} en la Figura 10) y un nodo común (representado como el nodo de conmutación de salida que posee un potencial eléctrico V_{sw}), y el elemento 302 de conmutación paralelo está conectado entre el nodo común y un segundo punto de suministro de tensión (mostrada como V_{loc} en la Figura 10).

El método para generar la tensión regulada incluye cerrar el elemento 301 de conmutación serie durante un primer período. Cerrar el elemento 301 de conmutación serie incluye aplicar una tensión V_{gssw} a la puerta del transistor Q_{ssw} de conmutación serie de tipo NMOS del elemento 301 de conmutación serie, de manera que la tensión V_{gssw} de puerta de conmutación corresponde a un potencial eléctrico de al menos una tensión umbral mayor que una tensión (V_{sw}) del nodo común. Más aún, el método para generar la tensión regulada incluye cerrar el elemento 302 de conmutación paralelo durante un segundo período. Tal como se mencionó anteriormente, el elemento 302 de conmutación paralelo incluye un transistor Q_{shsw} de conmutación paralelo de tipo NMOS apilado con el transistor Q_{shp} de protección paralelo de tipo NMOS.

Tal como se describirá, cerrar el elemento 301 de conmutación serie durante el primer periodo incluye adicionalmente aplicar una segunda tensión V_{gsp} de puerta de conmutación al transistor Q_{sp} de protección serie de tipo NMOS, de manera que la segunda tensión V_{gsp} de puerta de conmutación corresponde a un potencial eléctrico menor que la primera tensión de alimentación más una tensión de DC (continua) máxima recomendada del transistor de conmutación serie de tipo NMOS, y mayor que el potencial eléctrico de la primera tensión de alimentación más el potencial umbral. Para los propósitos de esta discusión, la tensión umbral es la tensión aplicada a la puerta del transistor de tipo NMOS correspondiente que hace que el transistor conduzca corriente.

El cierre del elemento 302 de conmutación paralelo durante el segundo periodo incluye aplicar una tensión V_{gshsw} de puerta de conmutación a una puerta del transistor Q_{shsw} de conmutación paralelo de tipo NMOS del elemento 302 de conmutación paralelo, de manera que la tensión V_{gshsw} de puerta de conmutación corresponde a un potencial eléctrico de al menos un potencial umbral mayor que una tensión umbral mayor que un potencial eléctrico de la segunda tensión de alimentación. Cerrar el elemento 302 de conmutación paralelo en el segundo período incluye adicionalmente aplicar una segunda tensión V_{gshp} de puerta de conmutación a una puerta del transistor Q_{shp} de protección paralelo de tipo NMOS del elemento 302 de conmutación paralelo, de manera que la segunda tensión V_{gshp} de puerta de conmutación corresponde a un potencial eléctrico menor que la segunda tensión de alimentación más una tensión de DC (continua) máxima recomendada del transistor de conmutación serie de tipo NMOS, y mayor que el potencial eléctrico de la primera tensión de alimentación menos la tensión de DC (continua) máxima recomendada del transistor de conmutación serie de tipo NMOS.

Una realización incluye el hecho de que una diferencia entre el potencial eléctrico de la primera tensión de alimentación y la segunda tensión de alimentación está limitada a la suma de la tensión de DC (continua) máxima recomendada del transistor de conmutación serie de tipo NMOS y el transistor de protección serie de tipo NMOS.

La Figura 11 muestra un ejemplo de un gráfico temporal de la tensión de conmutación (V_{sw} , a la que también se hace referencia como potencial eléctrico del nodo común) del nodo común, y las tensiones de puerta asociadas al bloque 301 de conmutación serie. Se proporciona una serie simplificada de representaciones 1190, 1192, 1194 del circuito regulador junto con el gráfico temporal para representar los estados (abierto o cerrado) del elemento 301 de conmutación serie y del elemento 302 de conmutación paralelo a lo largo de los períodos de conmutación mostrados en el gráfico temporal.

Tal como se muestra en la figura, durante el primer periodo anteriormente descrito (elemento 301 de conmutación serie cerrado, elemento 302 de conmutación paralelo abierto, tal como se muestra mediante la representación 1190 del circuito regulador), la tensión (V_{sw}) de conmutación tiene un valor de aproximadamente V_{BATT} . Adicionalmente, Tal como se muestra en la figura, la tensión V_{gssw} de puerta (a la que también se hace referencia como la tensión de puerta de conmutación) de la puerta del transistor Q_{ssw} de conmutación serie de tipo NMOS del elemento 301 de conmutación serie tiene un valor de potencial igual a V_{BATT} más una tensión (V_{th}) umbral. Debe observarse que el valor de potencial eléctrico de la tensión V_{gssw} de puerta es mayor que el potencial V_{BATT} eléctrico, requiriendo por ello que los circuitos pertenecientes a los circuitos 304 de excitación y alimentación flotantes proporcionen este potencial eléctrico. Más aún, la tensión V_{gsp} (a la que también se hace referencia como la segunda tensión de conmutación) de la puerta del transistor de protección serie de tipo NMOS del bloque 301 de conmutación serie posee un valor de potencial igual a V_{BATT} menos una tensión $V_{max,DC}$, en donde $V_{max,DC}$ es una tensión continua

máxima que puede aplicarse entre los bornes drenador y surtidor de los transistores de tipo NMOS sin destruir los transistores.

5 Durante un período de transición entre el primer periodo y el segundo periodo, tanto el elemento 301 de conmutación serie como el elemento 302 de conmutación paralelo están abiertos, tal como se muestra mediante la representación 1194 de circuito regulador. Durante el segundo periodo previamente descrito (el elemento 301 de conmutación serie abierto, el elemento 302 de conmutación paralelo cerrado, tal como se muestra mediante la representación 1192 de circuito regulador), la tensión (V_{sw}) de conmutación ha disminuido hasta alcanzar un valor de potencial de aproximadamente cero voltios. Nótese que la tensión (V_{sw}) de conmutación caerá cuando tanto el conmutador serie como el conmutador paralelo estén ambos abiertos, así como cuando esté cerrado solamente el conmutador paralelo. Adicionalmente, Tal como se muestra en la figura, la tensión V_{gssw} de la puerta del transistor de conmutación serie de tipo NMOS del elemento 301 de conmutación serie tiene un valor de potencial igual a aproximadamente la tensión (V_{sw}) de conmutación. Más aún, la tensión V_{gsp} de puerta (a la que también se hace referencia como la segunda tensión de conmutación) de la puerta del transistor Q_{sp} de protección serie de tipo NMOS del bloque 301 de conmutación serie tiene un valor de potencial igual a aproximadamente V_{BATT} menos la tensión $V_{max,DC}$.

La Figura 12 muestra un ejemplo de una implementación más detallada de un convertidor 300 de tensión. Tal como se muestra en la figura, el convertidor 300 de tensión puede incluir adicionalmente un circuito 303 de protección contra picos de tensión en el chip de con inductancia parásita ultra baja para permitir una conmutación rápida y con pérdidas pequeñas. Tal como se muestra en la figura, el convertidor 300 puede incluir adicionalmente un circuito 305 de desplazamiento de nivel para traducir las señales provenientes del controlador, que se refieren a la tensión V_{loc} de masa local, en señales equivalentes referenciadas al valor variable con el tiempo de la tensión V_{sw} del nodo de conmutación. Este convertidor 300 incluye adicionalmente circuitos de excitación para los transistores de protección y de conmutación paralelo, consistentes en un bloque 307 de retardo con unos circuitos que presentan tiempos de retardo sustancialmente idénticos al bloque 305 de desplazamiento de nivel sin inducir un desplazamiento en los niveles de continua, y un circuito 306 de excitación de transición progresiva que proporciona señales de control al conmutador serie con tiempos de retardo sustancialmente idénticos a los del circuito 304 de excitación flotante para el conmutador serie.

La Figura 13 muestra una realización a modo de ejemplo del elemento 301 de conmutación serie apilado y del elemento 302 de conmutación paralelo apilado. Tal como se muestra en la figura, cada bloque 301 y 302 de conmutación incluye dos transistores, un transistor de conmutación y un transistor de protección, y resulta apropiado para funcionar con tensiones de alimentación con un valor de aproximadamente el doble de la máxima tensión continua drenador-surtidor permitida para la tecnología de transistor utilizada. Aunque el elemento 301 de conmutación serie apilado y el elemento 302 de conmutación paralelo apilado se muestran con sólo dos transistores cada uno, debe comprenderse que otras implementaciones pueden incluir más de dos transistores dentro del elemento 301 de conmutación serie apilado y del elemento 302 de conmutación paralelo apilado manteniendo una funcionalidad equivalente.

Focalizando la atención en primer lugar en el bloque 302 de conmutación paralelo, la realización a modo de ejemplo incluye dos transistores Q_{shsw} y Q_{shp} de tipo NMOS en serie, que son, respectivamente, los transistores de conmutación y de protección. Es importante observar que, tal como se indica en los diagramas esquemáticos, estos transistores están configurados de tal manera que el contacto local del chasis se mantiene al mismo potencial del surtidor del transistor. En el caso del transistor Q_{shsw} , este potencial es el mismo que el potencial V_{loc} de masa local, y este transistor puede fabricarse en el seno de un pozo local en el material de sustrato, pero el transistor o transistores Q_{shp} de protección deben fabricarse en el seno de un pozo y con el potencial local de ese pozo conectado al potencial del contacto de surtidor del transistor, con el fin de evitar tensiones excesivas entre el contacto de puerta y el contacto del chasis del transistor. En una realización, cada transistor se fabrica en el seno de su propio pozo p situado en el interior de una región aislada con dopaje n, pero en una realización alternativa ambos transistores pueden fabricarse en pozos aislados con dopaje p en el seno de un pozo con dopaje n mayor, en donde el pozo con dopaje n mayor está conectado a una tensión de entrada mayor (generalmente V_{in}). Nótese que la unión entre el pozo y la región de fondo de dopaje global esta típicamente poco dopada y puede tolerar unas tensiones mucho mayores que los terminales del transistor sin que se produzca una ruptura en avalancha. Otras realizaciones pueden incluir, por ejemplo, transistores con aislamiento dieléctrico para conseguir el mismo objetivo.

Las tensiones 312 de control proporcionadas al transistor Q_{shsw} están referenciadas a un potencial de masa local y pueden ser proporcionadas por un amplificador *buffer*, separador, de transición progresiva convencional referenciado a la masa local, excepto como se describe más adelante en relación a la gestión de retardos en el seno del *buffer*. El valor de la tensión V_{gshp} proporcionada al transistor Q_{shp} se escoge para evitar un estrés de tensión excesivo en el transistor de conmutación.

La Figura 14 muestra condiciones de polarización a modo de ejemplo para los transistores de conmutación y de protección paralelo. El ejemplo de la Figura 14 corresponde al caso en el que la tensión de alimentación es de aproximadamente 3,6 V y en el que se utilizan como Q_{shp} y Q_{shsw} transistores con una tensión umbral de aproximadamente 0,5 V y con tensiones máximas puerta-surtidor, puerta-drenador y drenador-surtidor de 1,8 V. Cuando el conmutador 301 serie está conmutado a ON y el conmutador 302 paralelo está conmutado a OFF,

haciendo referencia a la Figura 14, se observa que la tensión V_{sw} será aproximadamente igual a la tensión de alimentación (ignorando pequeñas correcciones por la resistencia del estado ON de los elementos de conmutación serie y otras resistencias parásitas, y las tensiones variables con el tiempo que se examinarán más adelante con mayor detalle). La tensión de puerta proporcionada al transistor Q_{shsw} es menor que la tensión umbral, de tal manera que el conmutador paralelo está conmutado a OFF. Proporcionando un valor intermedio de tensión continua a la puerta del transistor de protección, mostrada aquí con un valor de 1,8 V, el nodo cuya tensión es $V_{s,int}$ intermedio entre los transistores de conmutación y de protección es forzado a adoptar un potencial eléctrico menor que el potencial umbral cuando el transistor de conmutación inferior está conmutado a OFF y aproximadamente igual a V_{MAX} cuando el transistor está conmutado a ON. Por lo tanto, las tensiones en los diversos nodos se auto-ajustan con el fin de evitar que aparezca una tensión excesiva entre cualesquiera dos terminales de transistor, y la fiabilidad de barrera se mantiene en un valor aceptable.

De manera similar, cuando el conmutador 301 serie está conmutado a OFF y el conmutador 302 paralelo está conmutado a ON, la tensión V_{sw} de salida es prácticamente igual a 0, ignorando las pequeñas caídas de tensión debidas a la resistencia en estado modo ON del transistor. Las tensiones entre la puerta del transistor Q_{shp} de protección y el surtidor y el drenador están de nuevo dentro de los límites de tensión permitida, garantizando una resistencia aceptable frente a una eventual ruptura eléctrica.

Nótese que, en este circuito y en el elemento de conmutación paralelo tal como se ha descrito anteriormente, resulta posible utilizar más de dos transistores en serie para operar con mayores tensiones de entrada en relación a la tensión máxima aceptable para un único transistor. Sin embargo, en un caso tal, resulta necesario permitir una variación en la tensión de puerta aplicada a los transistores de conmutación. Puesto que se reduce la magnitud de la tensión aplicada a los mismos, la energía adicional suministrada a las puertas a estos transistores de protección añadidos es pequeña en relación a aquella requerida para conmutar un único transistor principal de capacidad similar.

Focalizándonos ahora en el elemento 301 de conmutación serie, la implementación a modo de ejemplo incluye dos transistores Q_{ssw} y Q_{sp} de tipo NMOS en serie, que son, respectivamente, los transistores de conmutación y de protección. Nótese de nuevo que, tal como se indica en los diagramas esquemáticos, estos transistores están configurados de tal manera que el contacto local del chasis se mantiene al mismo potencial del surtidor del transistor. En el caso del bloque 301 de conmutación serie, resulta indispensable que todos los contactos del chasis de los transistores estén conectados al potencial local de surtidor del transistor respectivo, puesto que el potencial de surtidor referencia al potencial V_{sw} del nodo de conmutación de salida, que oscila desde un potencial cercano al potencial V_{loc} de masa local hasta un potencial V_{hi} de alimentación local cuando varía el estado de los conmutadores.

En el caso del elemento 301 de conmutación serie, la tensión 311 de control aplicada a la puerta del transistor Q_{ssw} y la tensión de polarización aplicada a la puerta del transistor Q_{sp} deben estar ambas referenciadas al potencial V_{sw} del nodo de conmutación de salida. Por lo tanto, la diferencia entre el potencial V_{gsp} y el potencial V_{sw} se mantiene constante a pesar de las variaciones en el valor del potencial V_{sw} en relación al potencial V_{loc} de masa local, y, de manera similar, la diferencia entre el potencial V_{gssw} y el potencial V_{sw} se mantiene constante en un estado de control dado a pesar de las variaciones en el valor del potencial V_{sw} en relación al potencial V_{loc} de masa local. Es decir, las tensiones de polarización y de control del conmutador serie deben ser flotantes en relación a masa. Más adelante se describe con mayor detalle un medio para conseguir esto en la realización a modo de ejemplo.

Nótese que es posible utilizar transistores PMOS como elementos 301 de protección y de conmutación serie. En este caso, las tensiones de control y de polarización se refieren a la tensión V_{hi} de alimentación local, que no varía de manera significativa en relación a la tensión V_{loc} de masa local durante el ciclo de conmutación (ignorando efectos parásitos y efectos transitorios que se discutirán más adelante con mayor detalle). Cuando se utilizan transistores PMOS para el bloque 301 de conmutación serie, pero las tensiones máximas puerta-drenador o puerta-surtidor de los transistores utilizados son sustancialmente menores que la tensión de alimentación, todavía resulta necesario proporcionar un medio para desplazar el nivel de las tensiones de control en relación a la masa local, tal como se describirá más adelante para la implementación a modo de ejemplo, pero no resulta ya necesario disponer de tensiones de excitación y de alimentación flotantes. Sin embargo, el uso de transistores PMOS en lugar de transistores NMOS presenta diversas desventajas. La minimización de la resistencia del transistor en estado ON es particularmente importante en el caso de un bloque de conmutación apilado, puesto que la corriente de salida debe circular a través de dos transistores conectados en serie, incurriendo en pérdidas por disipación en cada uno de ellos. Puesto que la movilidad de los huecos en silicio es sustancialmente menor que la movilidad de los electrones, los transistores PMOS deben ser mucho más anchos que los dispositivos NMOS para conseguir una resistencia en estado ON equivalente y, por lo tanto, la capacidad de puerta de los conmutadores PMOS será mayor que la de los dispositivos NMOS comparables. Haciendo referencia a la ecuación 6, resulta notorio que las pérdidas de conmutación de puerta aumentarán en proporción a la capacidad de puerta y, por lo tanto, la eficiencia del convertidor se verá afectada. Además, el comportamiento transitorio de los dispositivos PMOS durante la conmutación es diferente al de los dispositivos NMOS, y varía de manera distinta ante variaciones en parámetros de proceso durante la fabricación, y la temperatura de funcionamiento y el potencial eléctrico, de tal manera que es más difícil conseguir un control preciso de los tiempos de conmutación relativos de los elementos de conmutación serie y paralelo, particularmente a las frecuencias de funcionamiento altas requeridas para garantizar el tamaño compacto

deseado y la integración sencilla de los elementos del convertidor. Por lo tanto, el uso de transistores NMOS en el conmutador serie puede resultar ventajosa.

Fuente de alimentación con auto-elevación, *bootstrap*, y circuitos de desplazamiento de nivel

5 La utilización de un conmutador 301 serie de tipo NMOS apilado requiere que la tensión 311 de control proporcionada al transistor de conmutación serie, y la tensión V_{gsp} de polarización proporcionada al transistor de protección serie, estén referenciadas a la tensión V_{sw} de potencial del nodo de conmutación de salida tal como se ha descrito anteriormente. Un medio convencional para construir una fuente de alimentación con auto-elevación tal se muestra en la Figura 15. Se utiliza un diodo 401 para conectar un condensador 402 a la tensión de alimentación positiva. Cuando el potencial del nodo flotante (aquí, V_{sw}) es llevado por debajo de la tensión de alimentación positiva, el diodo 401 queda polarizado en directo y el condensador 402 puede ser cargado hasta un potencial igual a la diferencia entre la tensión de alimentación y el valor bajo del nodo flotante, menos la tensión de codo del diodo. Cuando el potencial del nodo flotante oscila hasta el valor alto, el diodo 401 queda polarizado en inverso y el borne superior del condensador 402 de filtrado es capaz de flotar hasta valores superiores a los de la tensión de alimentación, manteniendo de ese modo a los transistores de conmutación serie conmutados a ON durante la parte apropiada del ciclo de conmutación. Puede utilizarse un divisor 404/405 de tensión resistivo, tal como se muestra en la Figura 15, para extraer la tensión de polarización deseada que será aplicada al transistor Q_{sp} de protección; también puede utilizarse para este propósito un circuito de diodo en serie o un regulador de baja caída. En algunas realizaciones, el *buffer* no puede oscilar de línea a línea, *rail-to-rail*, y necesita reducirse hasta un intervalo de tensiones dentro de los límites de ruptura del dispositivo de conmutación.

20 La estrategia descrita anteriormente presenta diversas desventajas. Los diodos Shottky construidos en silicio son difíciles de fabricar con un rendimiento aceptable y, por lo tanto, no están generalmente disponibles o no proporcionan un rendimiento aceptable. Un diodo de unión puede intercambiarse por un diodo Shottky. Los diodos de unión pueden utilizarse en sistemas de alta tensión y de baja frecuencia. Sin embargo, los diodos de unión se caracterizan por un tiempo de respuesta finito al que se hace referencia como tiempo de recuperación inversa, durante el cual se conduce corriente durante un intervalo en la dirección que nominalmente es de bloqueo después de un estado de funcionamiento de polarización directa (esto es el resultado de la necesidad de eliminar portadores minoritarios de las regiones de la unión que se inyectaron durante un periodo previo de circulación de corriente en directo). En el convertidor de alta frecuencia de las realizaciones descritas, este tiempo de recuperación inversa es típicamente una fracción sustancial del periodo de conmutación total, dando como resultado una pérdida significativa de carga y, por lo tanto, de tensión en el condensador de filtrado. En tercer lugar, la tensión de alimentación no está regulada, de tal manera que ello puede afectar a la fiabilidad cuando está presente una fuente de tensión alta, tal como una batería nueva. Finalmente, la tensión más alta disponible para aplicarse entre los bornes del condensador es la tensión de alimentación menos la tensión de codo del diodo, tal como se indicó anteriormente. Particularmente en el caso de un diodo de unión, la tensión de codo puede ser tan grande como 0,85 V o más, representando una fracción significativa de la tensión de alimentación, afectando al funcionamiento con baterías, especialmente cuando la tensión de entrada ha caído debido a una descarga y/o a un envejecimiento. Por lo tanto, las fuentes de alimentación de tipo *bootstrap* tradicionales presentan diferentes desventajas significativas cuando se utilizan con el regulador de alta frecuencia.

40 La Figura 16 muestra un ejemplo de una realización de un circuito 304 de *bootstrap* que aborda las deficiencias descritas. La tensión V_{hi} de alimentación se aplica a la entrada de un regulador 411 lineal de baja caída (LDO, *Low Drop Out*) cuya eficiencia tiene poco impacto sobre la eficiencia global del sistema puesto que la cantidad de potencia que suministra a los circuitos de excitación es mínima y cuya tensión de salida puede ser sustancialmente igual a la tensión de alimentación de potencia del LDO. La salida del LDO se aplica a un condensador 412 de filtrado conectado al potencial de masa local. Cuando los transistores $Q_{b,d}$ y $Q_{b,p}$ están conduciendo, el LDO genera la segunda tensión V_{gsp} de puerta de conmutación descrita anteriormente.

45 Este condensador 412 de filtrado suministra tensión a la pareja de transistores $Q_{b,d}$ y $Q_{b,p}$ de tipo NMOS conectados en serie. Una realización incluye el hecho de que el primer transistor está excitado mediante una réplica 406 con desplazamiento de nivel de la tensión 312 de excitación aplicada al transistor de conmutación paralelo de la Figura 13. En consecuencia, cuando los transistores 302 de conmutación paralelo están conmutados a ON y la tensión V_{sw} cae hasta el potencial V_{loc} de masa local, el transistor $Q_{b,d}$ también conmuta al estado ON, de tal manera que la capacidad de filtrado puede suministrar carga a la capacidad 414 flotante. Cuando el conmutador 302 paralelo está en estado OFF, el conmutador 301 serie está en estado ON, y la tensión V_{sw} se eleva hasta el potencial V_{hi} de alimentación local, el transistor $Q_{b,d}$ conmuta al estado OFF y la capacidad 414 flotante puede seguir a la tensión V_{sw} , de tal manera que el borne superior del condensador 414 flotante se mantiene por encima de la tensión V_{hi} de alimentación local por la tensión V_{LDO} deseada.

50 Durante el segundo periodo descrito anteriormente, el condensador flotante se carga. El condensador 414 que se está cargando está conectado entre el nodo (V_{sw}) común y una puerta del transistor de protección serie de tipo NMOS, y ayuda a controlar la tensión V_{gsp} de puerta de conmutación. Una realización incluye el hecho de que el condensador flotante se carga durante el segundo periodo mediante el cierre de un conmutador que proporciona un camino de conducción entre el regulador lineal (LDO) y el condensador flotante. Una realización más específica incluye el hecho de que las tensiones de puerta de los transistores $Q_{b,d}$ y $Q_{b,p}$ de *bootstrap* conmutan a ON cuando

el elemento 302 de conmutación paralelo se cierra, y la pareja de transistores $Q_{b,d}$ y $Q_{b,p}$ de *bootstrap* proporciona un camino de conducción entre el regulador 411 lineal de baja caída y el condensador 414 flotante. Cuando se lleva a cabo la transición desde el segundo periodo hasta el primer periodo al cerrar el elemento 301 de conmutación serie, el condensador 414 flotante proporciona un gran aumento de tensión en el potencial eléctrico de puerta de conmutación cuando aumenta V_{sw} . Es decir, el condensador flotante proporciona un aumento de tensión que es mayor que la primera tensión de alimentación a la tensión de puerta de conmutación cuando se lleva a cabo la transición hasta el primer periodo al cerrarse el elemento de conmutación serie.

El transistor $Q_{b,p}$ actúa como un transistor de protección para el transistor $Q_{b,d}$, del mismo modo descrito anteriormente con respecto a los transistores de conmutación principales. La tensión $V_{g,bp}$ aplicada a este transistor se obtiene utilizando un diodo para desplazar el nivel de tensión aplicada a la puerta del transistor $Q_{b,d}$ y a continuación filtrando el resultado mediante un condensador, para garantizar que la tensión $V_{g,bp}$ en la puerta del transistor de protección es siempre superior a la tensión $V_{g,bd}$ media aplicada a la puerta del transistor de conmutación.

La tensión V_{LDO} de salida del regulador está controlada por la tensión V_{ctr} de entrada, que es proporcional a la tensión entre los bornes del condensador 414 flotante, extraída mediante un *buffer* 415 diferencial.

El circuito de la Figura 16 proporciona un cierto número de ventajas en relación a la alimentación de tipo *bootstrap* basada en diodo ya descrita. El circuito puede implementarse utilizando dispositivos NMOS estándar y procesos CMOS estándar. La tensión suministrada es regulada y no puede superar los valores pretendidos con una nueva batería. La tensión suministrada puede acercarse a la tensión de alimentación local hasta un intervalo que depende de la resistencia del estado ON de los dispositivos serie de tipo NMOS y del regulador, y, por lo tanto, no está limitada por una caída de tensión de un diodo, de manera que el rendimiento no se ve afectado cuando la batería envejece. Pueden utilizarse dispositivos NMOS rápidos para la función de conmutación de Q_{bd} , de tal manera que el funcionamiento del circuito no depende de los tiempos de recuperación de polarización inversa. La reutilización de la tensión V_{gshsw} de entrada de control garantiza el mantenimiento de la sincronización temporal entre la operación de alimentación *bootstrap* y la operación de los conmutadores apilados cuando varía el ciclo de trabajo.

Para realizaciones particulares, el amplificador 413 *buffer* utilizado en el circuito de la Figura 16 es un *buffer* CMOS de transición progresiva convencional, pero las líneas de alimentación para este *buffer* son el potencial V_{sw} del nodo de conmutación y el borne superior del condensador 414 flotante, que es algo menor que V_{LDO} sobre V_{sw} . Por lo tanto, las tensiones de control suministradas a este amplificador *buffer* deben estar también referenciadas al potencial V_{sw} del nodo de conmutación en lugar de estarlo al potencial V_{loc} de masa local. La realización a modo de ejemplo de un circuito 305 de desplazamiento de nivel de la Figura 17 aborda este requerimiento.

La tensión de puerta de conmutación descrita anteriormente puede generarse mediante un desplazamiento de nivel de una tensión de control proveniente del controlador. En una realización, el desplazamiento de nivel de la tensión de control incluye referenciar la tensión de puerta de conmutación al potencial eléctrico del nodo común.

La diferencia de potencial ($aV_{dd1} - V_{sw}$) es aproximadamente igual a la máxima tensión continua permitida para los transistores que se están utilizando, como, por ejemplo, 2,0 V para una tecnología de 0,18 micras. La tensión aV_{dd2} también se establece en ese valor, referenciado al nodo de masa. La tensión $V_{sw} + 1$ V se obtiene mediante el uso de un diodo entre aV_{dd1} y V_{sw} , con filtrado capacitivo para eliminar transitorios.

La tensión de control diferencial referenciada a masa del controlador es alimentada a un convertidor 501 de tensión a corriente. La corriente diferencial de salida en cada rama pasa a través de dos transistores en configuración cascode, una pareja 502 mantenida a un potencial aV_{dd2} y la otra pareja 503 a un potencial de aproximadamente $V_{sw} + 1,3$ V. Las corrientes pasan a continuación a través de cargas activas, representadas aquí de forma simplificada mediante resistencias R_{act} , que convierten las corrientes diferenciales de nuevo a tensión diferencial, que se alimenta al amplificador 504 diferencial de transresistencia y por lo tanto a través de etapas 413 de *buffer* adicionales tal como resulta apropiado para controlar la tensión V_{gssw} de puerta de conmutación serie. En la realización preferida, las cargas activas se implementan mediante diodos NMOS con transistores NMOS de acoplamiento cruzado para aumentar la resistencia de carga en alterna, con algunas resistencias fijas adicionales.

Es importante observar que los circuitos 305 de desplazamiento de nivel mostrados en la Figura 17 pueden replicarse de manera sustancial, representándose como el bloque 307 de retardo en la Figura 12 para suministrar una tensión de control al conmutador 302 paralelo. En el bloque 307 de retardo, el circuito está configurado con la tensión de puerta aplicada a ambos transistores igual a aV_{dd2} y, por lo tanto, no se produce ningún desplazamiento de tensión. Sin embargo, el retardo de propagación es sustancialmente idéntico al encontrado en el bloque de desplazamiento de nivel, preservando de ese modo una sincronización exacta de las entradas de control a los conmutadores serie y paralelo, que resulta vital para el funcionamiento satisfactorio del convertidor de alta frecuencia de la invención.

Circuito de protección frente a picos

El uso de tiempos de conmutación extremadamente rápidos, tal como se ha descrito anteriormente, minimiza la disipación en el canal de los transistores de conmutación durante la transición desde el estado OFF hasta el estado ON. Sin embargo, es necesario adoptar precauciones adicionales para utilizar tales tiempos de conmutación rápidos en un proceso de baja tensión convencional sin provocar un impacto muy notorio en la fiabilidad del convertidor. En cualquier implementación práctica de un convertidor, las conexiones que proporcionan corriente desde la alimentación (tal como una batería) al borne superior del conmutador serie están asociadas a una inductancia $L_{par,hi}$ parásita finita. Esta inductancia es el resultado neto de varias inductancias físicas presentes en cualquier dispositivo encapsulado de forma realista, incluyendo la inductancia parásita de condensadores de desacoplamiento externos al encapsulado, la inductancia parásita de las pistas y/o soldaduras de cables que conectan los terminales o bornes de alimentación a los terminales de contacto en el circuito integrado que contiene el convertidor, y una contribución típicamente más pequeña, pero aun así no despreciable, de las pistas del circuito integrado del convertidor propiamente dicho. La inductancia equivalente de estas contribuciones diversas se desprecia típicamente al diseñar convertidores de baja frecuencia convencionales. Los convertidores de alta frecuencia que corresponden a la técnica anterior y que utilizan controladores de puerta resonantes, en los que la tensión de conmutación proporcionada a la puerta del dispositivo de conmutación es sustancialmente senoidal y, por lo tanto, la transición de conmutación es relativamente lenta, también han despreciado hasta el momento esta inductancia.

Sin embargo, las realizaciones descritas pueden utilizar transiciones de conmutación muy rápidas, y el condensador paralelo no se añade de manera intencionada a los transistores de conmutación como podría ser el caso en una estrategia de Conmutación a Tensión Cero correspondiente a la técnica anterior. En consecuencia, haciendo referencia de nuevo a la Figura 12, cuando el conmutador 301 serie está conmutado a ON, toda la corriente de salida pasa a través de la inductancia $L_{par,hi}$ parásita. Cuando el conmutador 301 serie conmuta rápidamente al estado OFF, esta inductancia parásita intenta mantener la misma corriente de salida, provocando un aumento muy rápido en la tensión V_{hi} en ausencia de medidas preventivas. También puede anticiparse que, en ausencia de disipación en el seno del circuito, la inductancia parásita puede interactuar con capacidades parásitas para formar un circuito resonante de alta frecuencia, que creará una condición de oscilación persistente como resultado de la transición de tensión rápida inicial. En la Figura 18 se representa un ejemplo. En este caso, un circuito de conmutación apilado realista, dividido en cuatro bloques, se simuló utilizando las transiciones de conmutación rápidas descritas anteriormente, empleando valores realistas para las inductancias ($L_{par,pk}$ y $L_{par,bd}$) parásitas asociadas al encapsulado del semiconductor y a la placa de circuito impreso, pero sin ningún condensador de puenteo ni ningún sistema de prevención de picos. Puede observarse que en el momento en el que el conmutador serie conmutó al estado OFF, la tensión de alimentación local alcanzó un pico tan alto como 12,5 voltios, muy por encima del límite máximo incluso para una configuración apilada (cascodo) que utiliza dispositivos de 0,18 micras. Adicionalmente, el circuito muestra un comportamiento con oscilaciones extendidas con una frecuencia característica de aproximadamente 1,5 GHz. Cuando el conmutador serie conmuta al estado ON, la tensión de alimentación local cae rápidamente hasta alcanzar valores tan bajos como 1 V y a continuación oscila a una frecuencia de aproximadamente 1 GHz. En cada caso, la amplitud de la oscilación muestra un amortiguamiento lento durante un tiempo de entre 5 y 10 nanosegundos. Debe apreciarse que la inclusión de un condensador fuera del chip no afecta de manera apreciable a la magnitud de los picos.

Debe apreciarse que los picos de tensión se producirán en cualquier convertidor que tenga transiciones de conmutación rápidas sin que se haya añadido un condensador paralelo puenteando los conmutadores, independientemente de si los elementos de conmutación son conmutadores apilados de tipo NMOS o cualquier otro tipo de conmutadores, lo que incluye, por ejemplo, transistores PMOS, un único transistor PMOS, un único transistor NMOS o cualquier otro dispositivo de conmutación rápido. Adicionalmente, mientras que el comportamiento detallado mostrado en la Figura 18 puede ser específico a las realizaciones descritas, el fenómeno genérico de excursiones (picos) de tensión excesivas y de oscilaciones ocurrirá siempre que se utilicen transiciones de conmutación rápidas sin añadir condensadores en paralelo en el convertidor.

Claramente, resulta deseable proporcionar unos circuitos de protección frente a picos para los elementos de conmutación serie y paralelo de cualquier convertidor DC-DC que utilicen transiciones de conmutación rápidas tal como se ha descrito anteriormente. Idealmente, la protección frente a picos incluye elementos capacitivos entre la primera tensión de alimentación y la segunda tensión de alimentación previamente descritas. En una realización, los circuitos de protección frente a picos incluyen una línea de transmisión que posee inductancias parásitas mínimas, minimizando de ese modo la impedancia de la línea de transmisión.

La Figura 19 muestra un ejemplo de un regulador de tensión que incluye adicionalmente un circuito 1910 de protección frente a picos. El circuito 1910 de protección frente a picos proporciona un circuito de almacenamiento de carga entre la primera tensión (potencia) de alimentación y la segunda tensión (potencia) de alimentación. Tal como se muestra en la figura, el circuito 1910 de protección frente a picos está situado en el mismo circuito 1930 integrado que incluye los elementos de conmutación serie y paralelo. Los circuitos de almacenamiento de carga incluyen elementos (C_{SP}) capacitivos que están situados en un mismo circuito integrado que incluye el elemento de conmutación serie y el elemento de conmutación paralelo, adyacentes a cada uno de los elementos de conmutación serie y de los elementos de conmutación paralelo. El circuito integrado está situado en el seno de un encapsulado 1940. De manera más específica, los circuitos 1910 de protección frente a picos están situados de manera proximal directamente en el circuito 1930 integrado, y pueden estar situados en ambos lados de los circuitos de conmutación,

sin ningún bloque funcional excepto las interconexiones entre los circuitos de conmutación y los circuitos 1910 de protección frente a picos. Una realización incluye el hecho de que los elementos capacitivos están situados en lados opuestos de cada uno de los elementos de conmutación serie y elementos de conmutación paralelo.

5 Es importante observar que, en ausencia de la impedancia de disipación, representada de forma simplificada en la Figura 19 mediante R_{sp} , el condensador de protección frente a picos puede formar un circuito resonante serie con alto factor de calidad (alto Q) con las inductancias $L_{par,pk}$ y L_{int1} , donde L_{int1} es una inductancia parásita de los circuitos internos en el chip. La respuesta de un circuito tal a una excitación de tipo escalón, tal como la que se proporciona de manera efectiva cuando el conmutador serie experimenta una transición repentina desde el estado ON hasta el estado OFF, da como resultado una tensión senoidal persistente a la frecuencia de resonancia, tal como se representa en la Figura 18. Más aún, la magnitud de esta tensión de resonancia a través de cada componente serie puede superar ampliamente la magnitud de la tensión total a través del circuito resonante. La tensión senoidal persistirá hasta que su energía se disipe en forma de pérdidas en el seno del circuito resonante o de los componentes asociados. Esta es una situación altamente indeseable, puesto que cada excursión de la tensión del nodo producirá un estrés adicional en los transistores de conmutación serie y/o paralelo, y la oscilación puede conducir también a la generación de interferencias con el funcionamiento de circuitos cercanos, tanto en el convertidor DC-DC como en otros circuitos del mismo chip, cuando el convertidor forma parte de un sistema integrado. La oscilación también puede causar una pérdida de eficiencia si la oscilación está temporizada de manera desafortunada con la abertura o el cierre de uno de los conmutadores. Es por lo tanto importante incorporar un elemento de disipación en la impedancia de protección frente a picos, representado de manera esquemática mediante R_{sp} , para minimizar la oscilación indeseada en el circuito de protección frente a picos. Esto es, el elemento de disipación amortigua la oscilación de una fuente de alimentación al circuito de regulación. En una realización, el elemento de disipación amortigua críticamente la oscilación de una fuente de alimentación al circuito de regulación.

El valor de este elemento de disipación se selecciona sobre la base de un cierto número de consideraciones. En primer lugar, la impedancia del elemento debe ser en sí misma lo suficientemente pequeña como para que la tensión resultante cuando la corriente de salida circula a su través sea pequeña en comparación con las tensiones máximas permitidas en las uniones de los transistores de conmutación, para garantizar que la impedancia de disipación no crea por sí misma tensiones que degraden la fiabilidad. En segundo lugar, el elemento de disipación debe tener un valor lo suficientemente grande como para eliminar la oscilación excesiva en el circuito resonante serie consistente en las inductancias parásitas y en los circuitos de disipación de picos. Por último, debería utilizarse el valor más pequeño de disipación que produce una eliminación de oscilación aceptable, puesto que la disipación en la resistencia R_{sp} equivalente no llega a la carga y por lo tanto degrada la eficiencia global del sistema. No resulta posible en general proporcionar una fórmula analítica simple que proporcione el valor exacto de disipación, que debe ser encontrado, por el contrario, utilizando una simulación detallada del circuito y optimizando los dos coeficientes de calidad relevantes: la eficiencia global del convertidor y la tensión eficaz (RMS) aplicada a las conexiones puerta-drenador o puerta-surtidor del transistor de conmutación. En una realización, el valor de la resistencia óptima es típicamente cercano al que coincide con la impedancia característica correspondiente a una aproximación de elementos discretos de una línea de transmisión, es decir:

$$R_{sp} \approx \sqrt{\frac{L_{par,pk} + L_{par,pk}}{C_{sp}}}$$

En una realización, un valor de la resistencia del elemento de disipación coincide con una impedancia característica correspondiente a una aproximación de elementos discretos de una línea de transmisión, en donde la línea de transmisión comprende el circuito de almacenamiento de carga y una inductancia parásita asociada a los circuitos del regulador. Para otra realización, el valor de la resistencia del elemento de disipación se basa en una impedancia característica correspondiente a una aproximación de elementos discretos de una línea de transmisión, en donde la línea de transmisión comprende el circuito de almacenamiento de carga y una inductancia parásita asociada a los circuitos del regulador. En una realización, la inductancia parásita incluye una inductancia asociada con al menos un encapsulado de circuito integrado que incluye el regulador de tensión, y un circuito integrado que incluye el regulador de tensión.

En una realización, el elemento de disipación elimina la oscilación de la tensión de regulación durante un periodo de conmutación del elemento de conmutación. Una realización incluye un valor de resistencia del elemento de disipación que se elige para evitar la degradación de los elementos de conmutación.

En la realización a modo de ejemplo, para la que los resultados de simulación se presentan en la Figura 20, los circuitos de conmutación y los circuitos asociados de protección frente a picos se dividen en cuatro segmentos de circuito, tal como se discute en otra parte de este documento. Cada segmento de circuito de protección frente a picos proporciona un condensador con una capacidad equivalente de 50 pF y una resistencia de disipación equivalente de 2 ohms, de modo que el convertidor en su totalidad proporciona una disipación de protección frente a picos aproximadamente equivalente a un valor de 0,5 ohms para R_{sp} , y un condensador C_{sp} con una capacidad

equivalente de 200 pF, a la vez que conmuta con una corriente de alimentación de 600 mA. Tal como puede observarse por comparación con la Figura 18, los picos de tensión de alimentación local se reducen sustancialmente.

5 En una realización, los circuitos de protección frente a picos de tensión se forman utilizando el condensador puerta-canal de estructuras MOS. Las estructuras MOS se utilizan en esta realización puesto que proporcionan la mayor capacidad por unidad de área típicamente disponible en un proceso CMOS estándar. En una realización, al menos una estructura MOS incluye el circuito de almacenamiento de carga y al menos una parte del elemento de disipación. Si están disponibles en un determinado proceso, pueden utilizarse otras estructuras de condensador, tales como condensadores metal-aislante-metal (MIM, *Metal-Insulator-Metal*) de placas paralelas, condensadores de borde contorneado, condensadores de zanja o diversas estructuras de columnas o pilares tales como aquellas que son bien conocidas en la técnica y que se utilizan en celdas de memoria DRAM. En general, la tensión que puede aplicarse de manera segura a través de una estructura MOS entre la puerta y la conexión común de surtidor/drenador/chasis es similar a la que resulta permisible entre la puerta y cualquier otro terminal de dispositivo en transistores MOS ordinarios en funcionamiento. Puesto que el circuito 303 de protección frente a picos de tensión está conectado entre los terminales V_{hi} y V_{loc} locales, entre los cuales está conectada al menos la tensión continua de alimentación, puede resultar necesario situar múltiples condensadores MOS en serie con el fin de garantizar que la tensión entre los bornes de los terminales de cualquier condensador es aceptablemente pequeña. En una realización, una tensión entre los bornes de cada condensador MOS se elige con un valor de capacidad que está por debajo de un umbral predefinido tal como se determina a partir de una tensión continua máxima permitida de cada condensador MOS. Puede utilizarse una red de polarización para garantizar que la tensión del nodo intermedio entre las estructuras MOS serie interpola la tensión continua aplicada de la manera deseada, sin afectar a las características de corriente alterna de la red de desacoplamiento. En la realización a modo de ejemplo, se utilizan pozos con un dopaje de tipo n relativamente fuerte para maximizar la capacidad entre la puerta y la región del canal/chasis, pero también pueden utilizarse dispositivos NMOS o CMOS convencionales.

25 Los elementos R_{sp} de disipación pueden incorporarse en serie con los condensadores. Estos elementos de disipación pueden materializarse como resistencias de polisilicio, resistencias de película metálica delgada u otro elemento resistivo o cualquiera que resulte conveniente. La resistencia serie equivalente asociada con las estructuras de condensador varía dependiendo del proceso utilizado y de la estrategia empleada para la fabricación del condensador y, en algunos casos, puede ser lo suficientemente grande como para que no se necesiten elementos de disipación adicionales.

En general, aumentar el valor del condensador C_{sp} puede conducir a un aumento de la inductancia L_{int1} parásita para cualquier tecnología y disposición interna dadas del condensador, debido a que el tamaño físico del condensador aumenta, y, por lo tanto, aumenta la corriente que debe ser conducida por los cables de interconexión. La inductancia parásita asociada a una estructura de condensador dada puede reducirse siguiendo buenas directrices de disposición interna; por ejemplo, los contactos no deberían situarse en extremos opuestos de una estructura rectangular, sino que deberían colocarse preferiblemente cerca del centro de la estructura, o bien ambos deberían ubicarse en un extremo de la misma, con el fin de reducir la inductancia parásita. Sin embargo, si aumenta la corriente máxima, fabricar un único condensador con una inductancia lo suficientemente baja se vuelve difícil. Por ejemplo, si se dobla la máxima corriente de salida, la capacidad de protección debe doblarse, pero la inductancia (que varía a la misma escala que la capacidad) debe dividirse por dos. Para cualquier tecnología y estructura y disposición interna del condensador dadas, se alcanzará una corriente de salida para la cual la inductancia parásita tendrá un valor excesivo.

Puede encontrarse una solución a este problema subdividiendo adicionalmente los elementos de conmutación de los circuitos 301 y 302 de conmutación en segmentos (segmentos de bloque de conmutación) conectados en paralelo, de tal manera que cada segmento conduce una parte de la corriente de salida total, y particionando adicionalmente también el circuito $C_{sp} - R_{sp}$ en segmentos separados, de manera que cada uno de ellos protege a uno de los segmentos de bloque de conmutación. En una realización, los circuitos de protección se subdividen adicionalmente de tal manera que una parte del circuito de protección está situada en cada lado del segmento de circuito de conmutación, y de manera opcional en otras ubicaciones convenientes próximas a los propios conmutadores. En una realización, al menos una parte de los circuitos de protección frente a picos de tensión está ubicada entre la pluralidad de segmentos de bloque de conmutación. Los circuitos de protección frente a picos pueden incluir segmentos de circuito de almacenamiento de carga. Una realización incluye el hecho de que cada segmento de circuito de almacenamiento de carga del circuito de protección frente a picos está ubicado físicamente más cerca del segmento de bloque de conmutación al que protege que de cualquier otro segmento de bloque de conmutación.

55 En la Figura 21 se muestra un ejemplo en el que los circuitos 301 y 302 de conmutación (elementos de conmutación) están divididos en un número de segmentos 2120, 2130, 2140, y así sucesivamente, de bloques de conmutación, y asociados a cada segmento existen bloques de circuitos de protección, tales como el 2121 y el 2122. En esta configuración, la corriente máxima asociada a cada estructura de condensador se reduce (por un factor n si están presentes n bloques), y, por lo tanto, el tamaño físico requerido se reduce lo suficiente como para minimizar la inductancia parásita. En general, la corriente de salida total será compartida de manera aproximadamente equitativa entre los diversos segmentos de los circuitos de conmutación, aunque en algunas aplicaciones puede resultar

ventajoso que se comparta de manera desigual.

Una implementación a modo de ejemplo de un convertidor segmentado tal se muestra esquemáticamente en la Figura 22. En la realización a modo de ejemplo, cuatro segmentos 2220, 2230, 2240 y 2250 proporcionan, cada uno de ellos, una corriente de salida máxima de 150 mA, dando un total de 600 mA de corriente de salida máxima. En una realización, cada segmento tiene una altura de aproximadamente 400 micras, y posee tres contactos, mostrados para el segmento 2220 como 2221, 2222 y 2223, conectados respectivamente a la tensión V_{hi} de alimentación, a la bobina de salida (que conduce una corriente I_{out}) y a la conexión V_{loc} de masa local. En la realización a modo de ejemplo, estas conexiones se llevan a cabo utilizando una estructura de matriz de malla de bolas, BGA, *Ball Grid Array*, pero puede utilizarse soldadura de hilos u otros medios de contacto. Una vista en primer plano de uno de los segmentos 2220 muestra un bus 2226 para la primera tensión V_{hi} de alimentación, conectado a un contacto 2221 de bola (utilizando metalización de nivel alto que no se muestra aquí por razones de claridad) y un bus 2227 para la masa V_{loc} local conectado al contacto 2223 de bola (utilizando de nuevo metalización de nivel alto, que no se muestra aquí). El bloque 2225 central contiene los circuitos de conmutación, descritos anteriormente en detalle, de modo que la corriente de salida de los mismos está conectada al contacto 2222 de bola. Los buses 2226 y 2227 rodean al bloque 2225 de los circuitos de conmutación. Se utilizan contactos de vía para conectar los buses 2226 y 2227 a bloques de condensadores situados en una región de condensadores ubicada genéricamente por debajo de los buses, tal como se muestra en la imagen 22202 de sección transversal. Los condensadores pueden implementarse de cualquier modo conveniente para el proceso en uso, tal como se describió anteriormente; en la realización preferida, los condensadores se implementan como dos estructuras NMOS en serie, tal como se describió anteriormente. Los buses con forma de anillo proporcionan la inductancia parásita mínima para una determinada capacidad de protección frente a picos (las resistencias R_{sp} de disipación, que son compactas, no se muestran aquí, pero pueden situarse en cualquier ubicación conveniente a lo largo de los contactos del bus). En una realización, puede obtenerse una capacidad de 50 pF por segmento, con una inductancia parásita menor de 80 pH por segmento, utilizando buses con forma de anillo con capacidad distribuida por debajo de los buses. El circuito equivalente global resultante posee una capacidad de protección frente a picos de 200 pF con una inductancia parásita de sólo 20 pH aproximadamente, para el convertidor completo compuesto por cuatro segmentos. Tal como se muestra en la Figura 20, esto da como resultado unas tensiones de picos máximas en el orden de 0,9 V para tiempos en el orden de 1 nanosegundo, con algo de oscilación a niveles de tensión ligeramente inferiores. Para una tensión continua a modo de ejemplo de 4,4 V, la tensión eficaz aplicada a los conmutadores apilados aumenta solamente entre 0,1 V y 4,5 V aproximadamente, lo que típicamente tiene un efecto insignificante en la fiabilidad.

El alcance de la invención se define en las reivindicaciones anexas.

REIVINDICACIONES

- 1.- Un regulador (300) de tensión que comprende:
- 5 circuitos (301, 302, 304, 306) de regulación de conmutación para generar una tensión (V_{out}) regulada, que poseen elementos (301, 302) de conmutación serie y paralelo; y
- 5 circuitos (303) de protección contra picos de tensión, situados entre los terminales de los elementos de conmutación serie y paralelo en la entrada de los circuitos de regulación de conmutación para proteger a los circuitos de regulación de conmutación frente a picos de tensión, que comprenden un elemento (R_{sp}) de disipación y un circuito (C_{sp}) de almacenamiento de carga;
- caracterizado por que:
- 10 los mencionados circuitos (301, 302, 304, 306) de regulación de conmutación y los mencionados circuitos (303) de protección frente a picos de tensión están implementados mediante un circuito (1930) integrado en un encapsulado (1940) de circuito integrado;
- los mencionados elementos (301, 302) de conmutación serie y paralelo de los mencionados circuitos de regulación de conmutación están subdivididos en segmentos (2120, 2130, 2140) de bloque de conmutación conectados; y
- 15 el mencionado circuito (C_{sp}) de almacenamiento de carga de los mencionados circuitos de protección frente a picos de tensión está subdividido en segmentos (2121, 2122) de circuito de almacenamiento de carga conectados que están intercalados entre los mencionados segmentos de bloques de conmutación.
- 2.- El regulador de tensión de la reivindicación 1, que comprende al menos una estructura MOS o un condensador metal-aislante-metal, MIM, de placas paralelas que incluye el circuito de almacenamiento de carga y al menos una parte del elemento de disipación.
- 20 3.- El regulador de tensión de la reivindicación 2, en donde el mencionado circuito de almacenamiento de carga comprende múltiples condensadores MOS, en donde un nodo intermedio de los condensadores MOS serie está conectado a una red de polarización.
- 4.- El regulador de tensión de la reivindicación 3, en donde los condensadores MOS serie están configurados para generar una tensión interpolada deseada en el nodo intermedio de los condensadores MOS serie basada en una tensión continua aplicada.
- 25 5.- El regulador de tensión de la reivindicación 4, que está dispuesto para mantener una tensión entre los bornes de cada condensador por debajo de un umbral de tensión continua.
- 6.- El regulador de tensión de la reivindicación 2, en donde el elemento de disipación está dispuesto para disminuir la oscilación de la tensión de regulación durante un periodo de conmutación de los elementos de conmutación.
- 30 7.- El regulador de tensión de la reivindicación 2, en donde el elemento de disipación está dispuesto para disminuir la degradación de los elementos de conmutación.
- 8.- El regulador de tensión de la reivindicación 2, en donde un valor (R_{diss}) de resistencia del elemento de disipación está basado en la impedancia (Z_{char}) característica de una aproximación de elementos discretos de una línea de transmisión, en donde la línea de transmisión comprende el circuito de almacenamiento de carga y una inductancia parásita asociada a los circuitos de regulación que incluye una inductancia (L_{int1}) asociada a los circuitos internos en el chip del mencionado circuito integrado y una inductancia ($L_{par,pk}$) asociada al mencionado encapsulado integrado.
- 35 9.- El regulador de tensión de la reivindicación 2, en donde un valor (R_{diss}) de resistencia del elemento de disipación constituye una adaptación de impedancia a la impedancia (Z_{char}) característica de una aproximación de elementos discretos de una línea de transmisión que comprende el circuito de almacenamiento de carga y una inductancia parásita asociada a los circuitos de regulación por lo cual disminuyen los picos de tensión en un intervalo de frecuencias.
- 40 10.- El regulador de tensión de la reivindicación 2, en donde una línea de transmisión comprende el circuito de almacenamiento de carga y una inductancia parásita asociada a los circuitos de regulación de conmutación que incluye una inductancia (L_{int1}) asociada a los circuitos internos en el chip de un circuito integrado del regulador de tensión y una inductancia ($L_{par,pk}$) asociada a un encapsulado del circuito integrado.
- 45 11.- El regulador de tensión de la reivindicación 2, en donde los circuitos de protección frente a picos de tensión están configurados para proteger los elementos de conmutación serie y paralelo frente a picos de tensión en la entrada del circuito de regulación.
- 50 12.- El regulador de tensión de la reivindicación 11, en donde un valor (R_{diss}) de resistencia del elemento de

disipación constituye una adaptación de impedancia a una impedancia (Z_{char}) característica de una aproximación de elementos discretos de una línea de transmisión que comprende el circuito de almacenamiento de carga y una inductancia parásita asociada al circuito de regulación por lo cual disminuyen los picos de tensión en un intervalo de frecuencias.

- 5 13.- El regulador de tensión de la reivindicación 12, en donde la línea de transmisión comprende el circuito de almacenamiento de carga y una inductancia parásita asociada a los circuitos de regulación de conmutación que incluye una inductancia (L_{inti}) asociada a los circuitos internos en el chip de un circuito integrado del regulador de tensión y una inductancia ($L_{par,pk}$) asociada a un encapsulado del circuito integrado.
- 10 14.- El regulador de tensión de la reivindicación 2, en donde el valor (R_{diss}) de resistencia del elemento de disipación constituye una adaptación de impedancia a la impedancia (Z_{char}) característica de una línea de transmisión por lo cual disminuyen los picos de tensión en un intervalo de frecuencias.

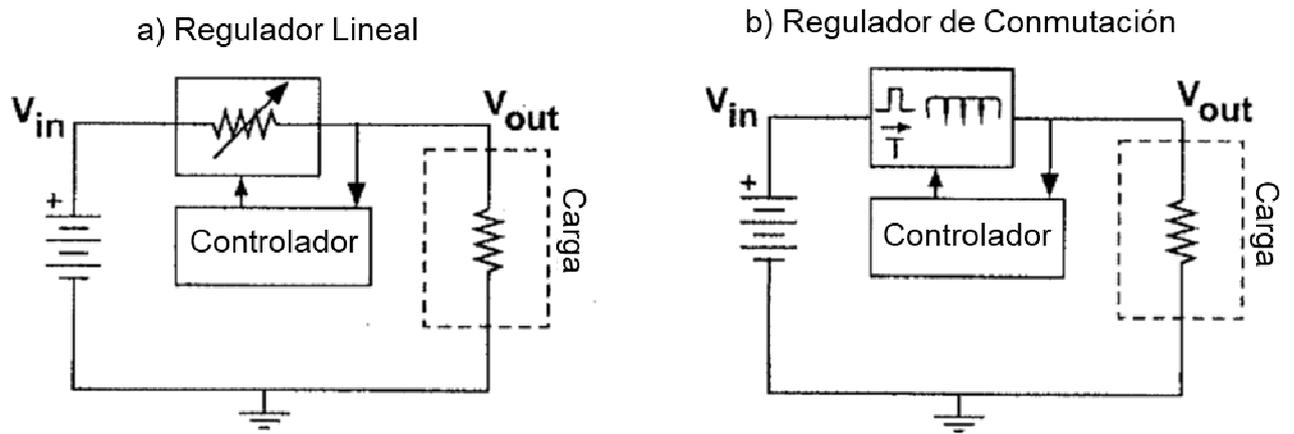


FIGURA 1 (TÉCNICA ANTERIOR)

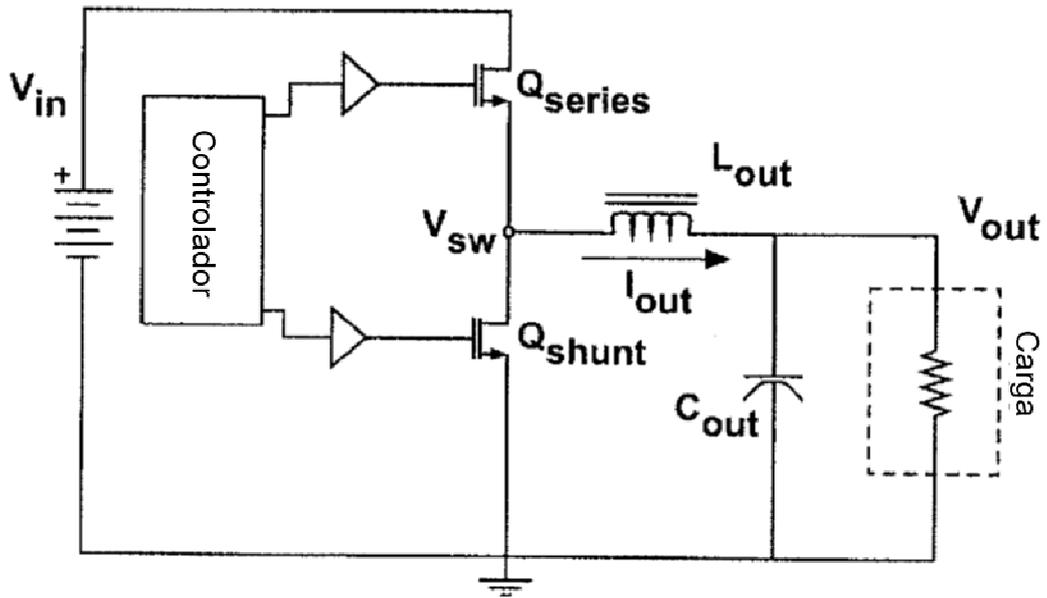


FIGURA 2 (TÉCNICA ANTERIOR)

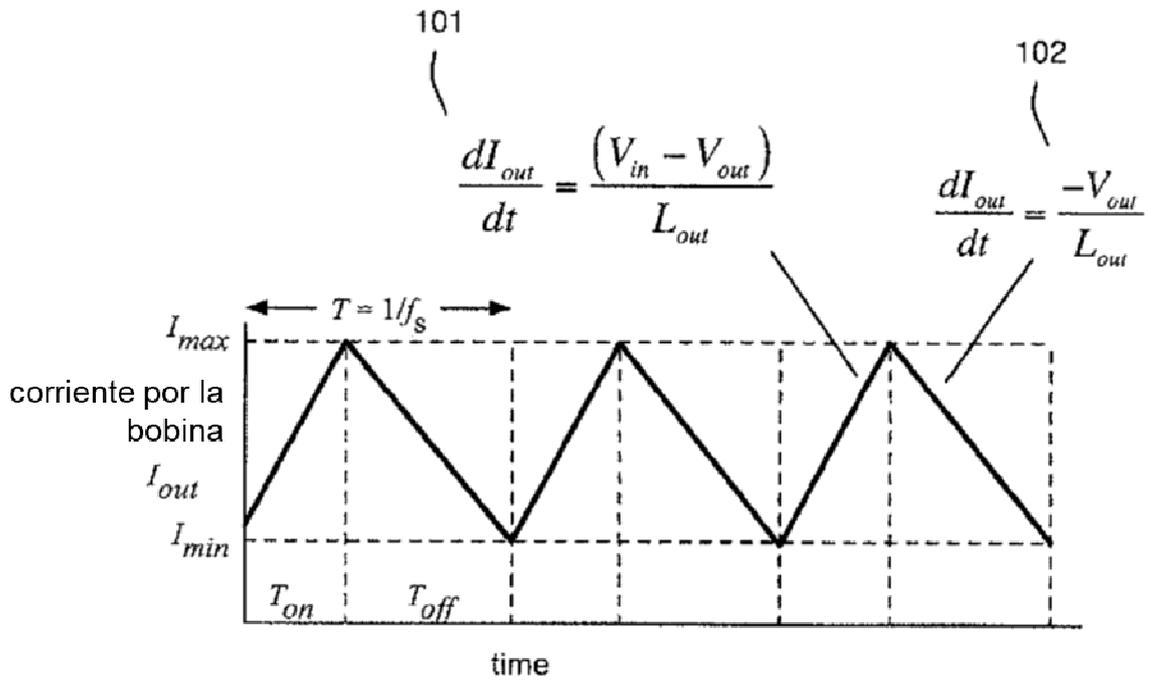


FIGURA 3 (TÉCNICA ANTERIOR)

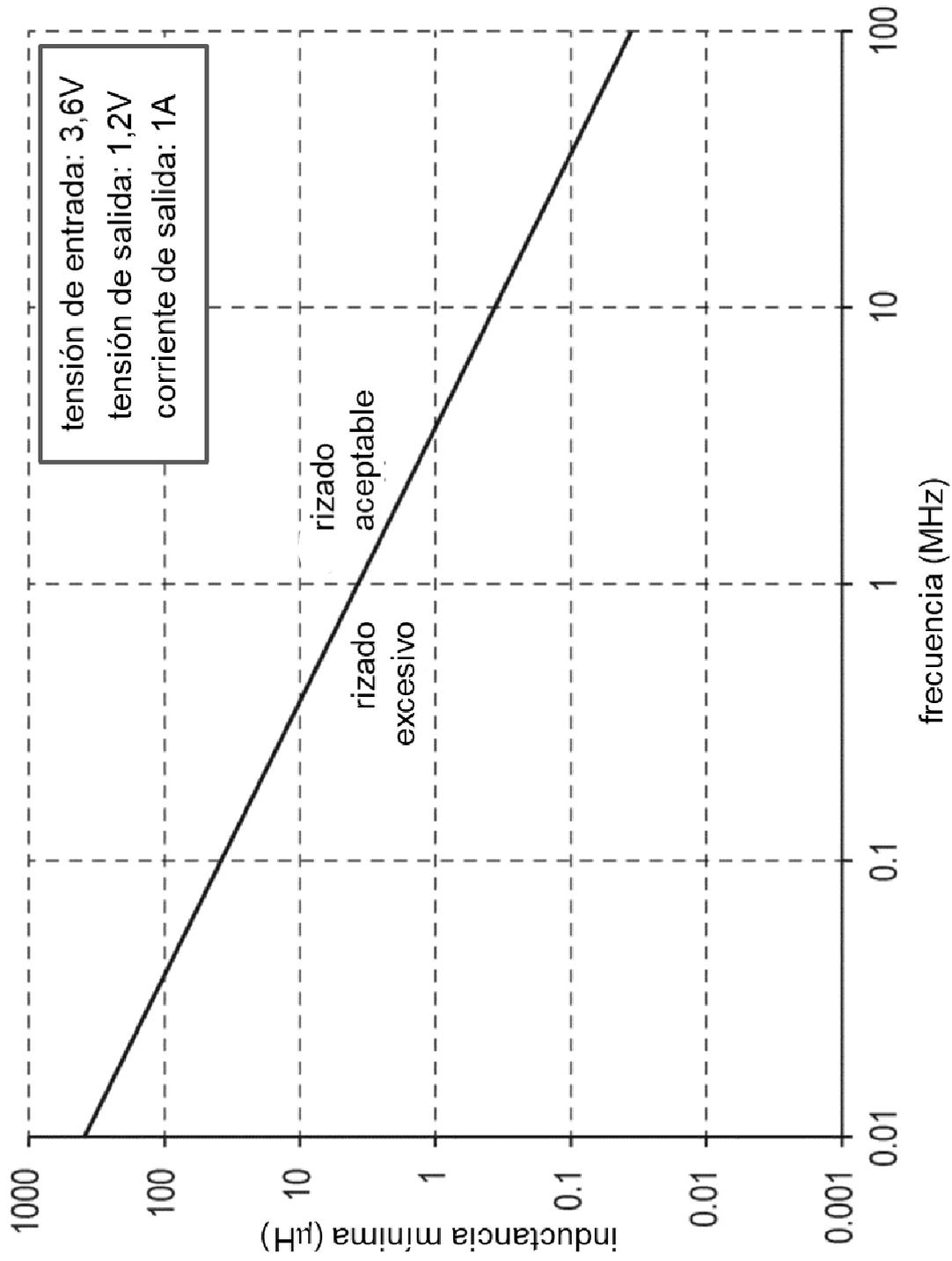


FIG. 4
 (TÉCNICA ANTERIOR)

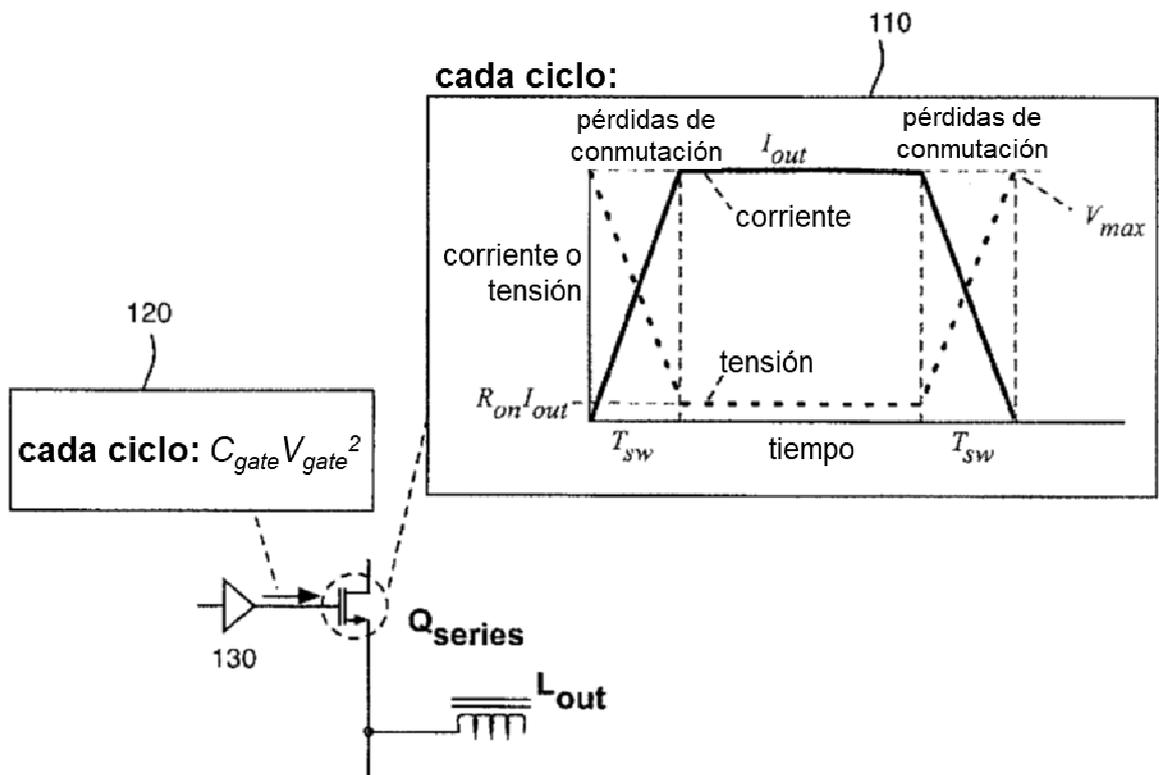


FIGURA 5 (TÉCNICA ANTERIOR)

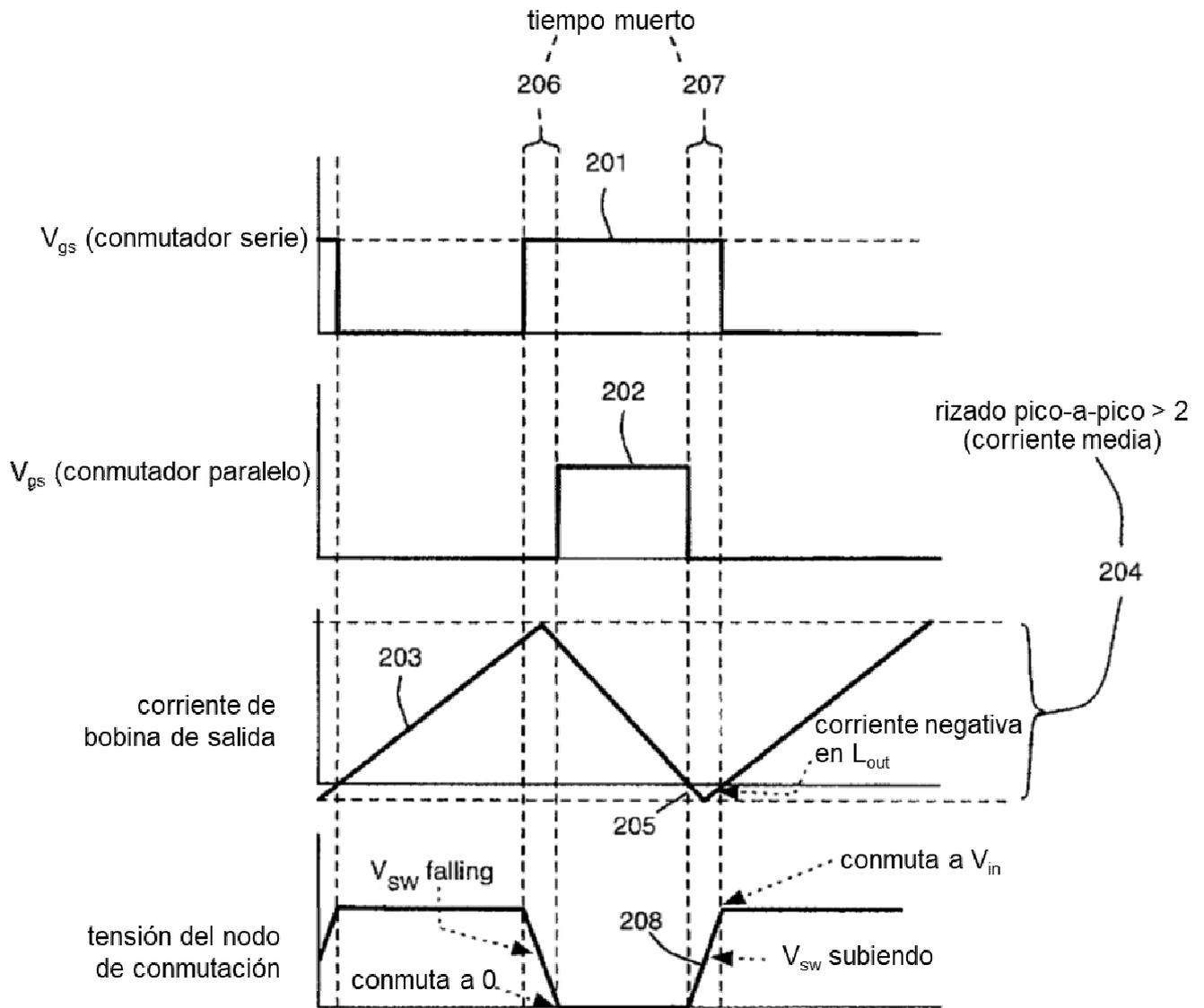
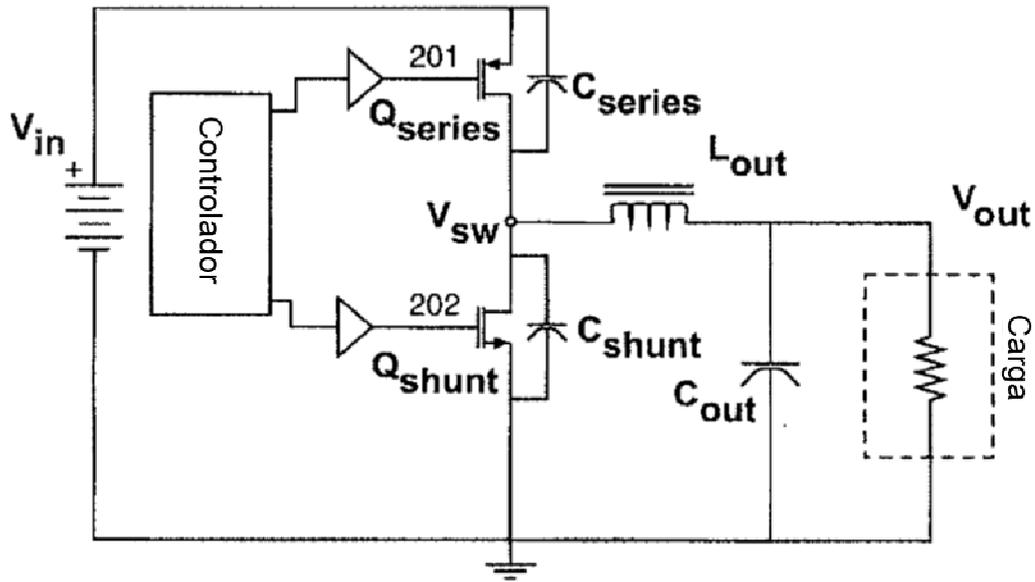
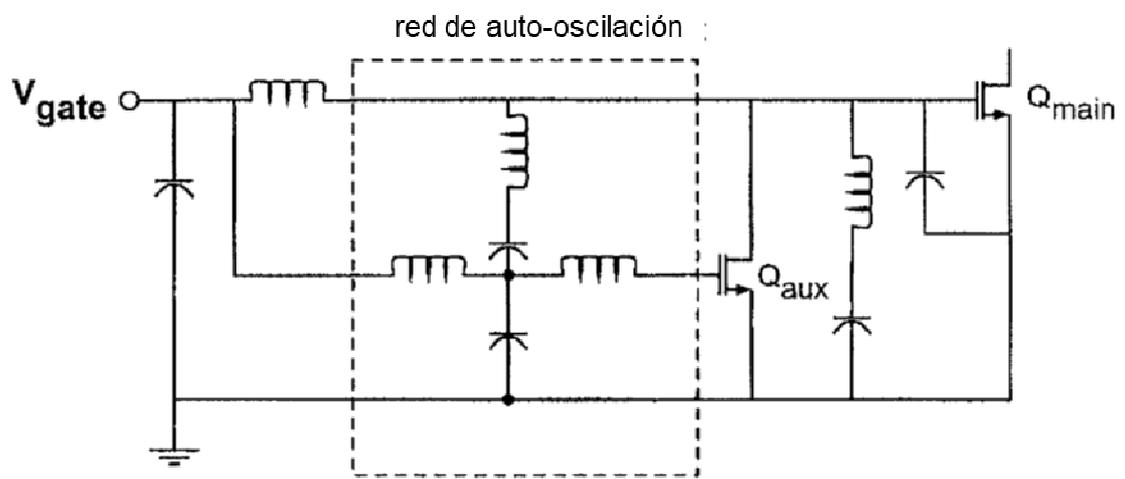


FIGURA 6 (TÉCNICA ANTERIOR)



TÉCNICA ANTERIOR

FIGURA 7 (TÉCNICA ANTERIOR)



TÉCNICA ANTERIOR

FIGURA 8 (TÉCNICA ANTERIOR)

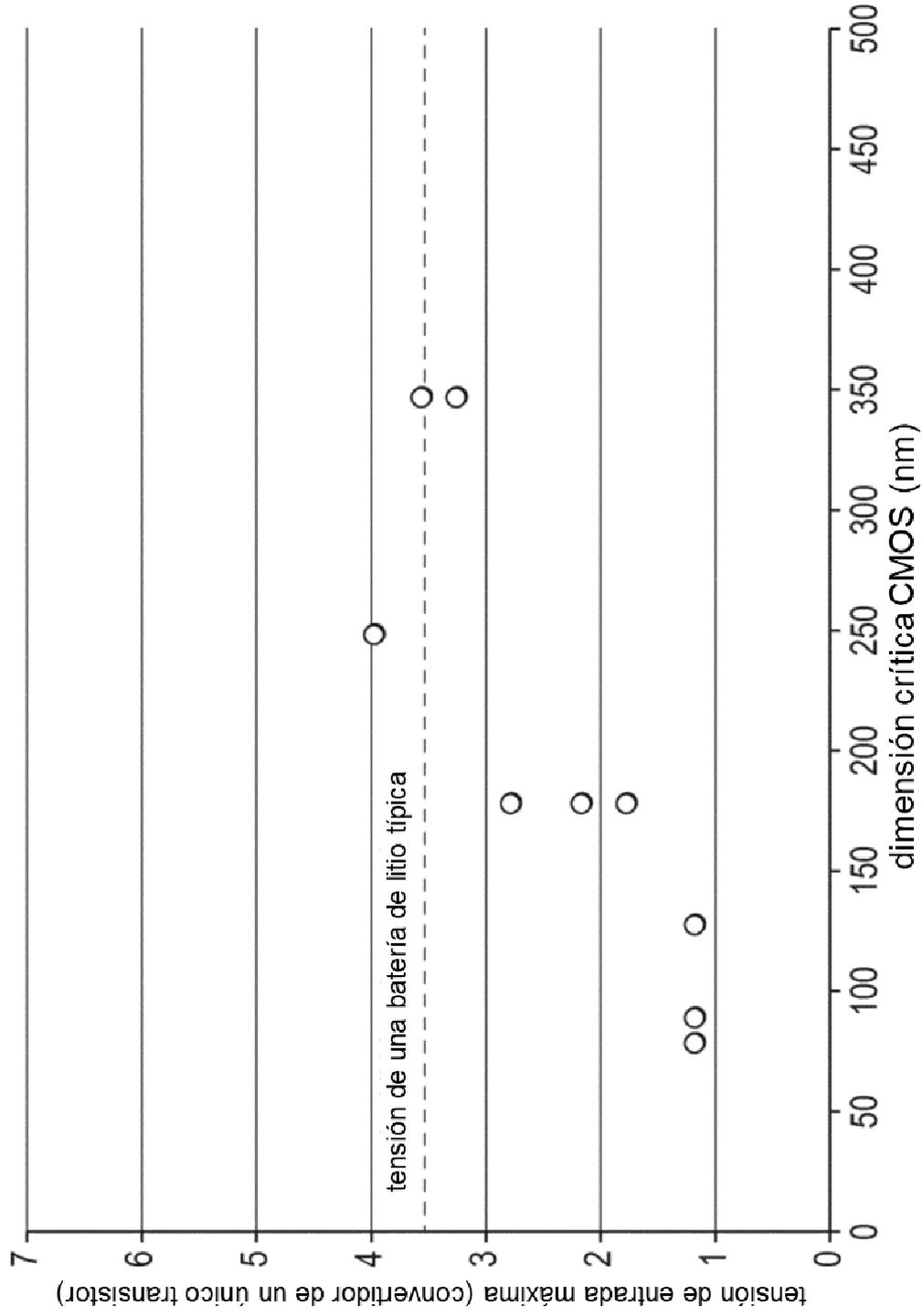


FIG. 9
(TÉCNICA ANTERIOR)

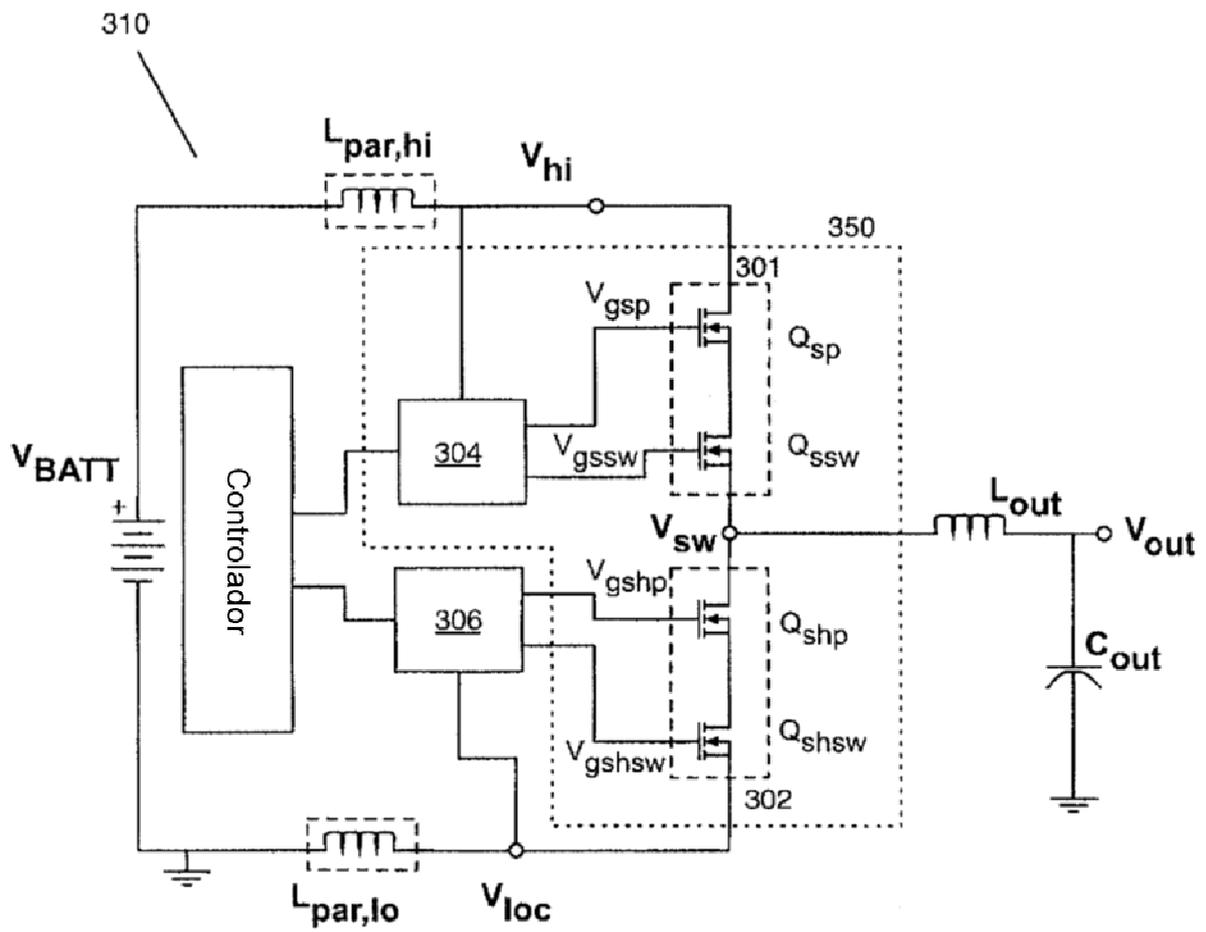


FIGURA 10

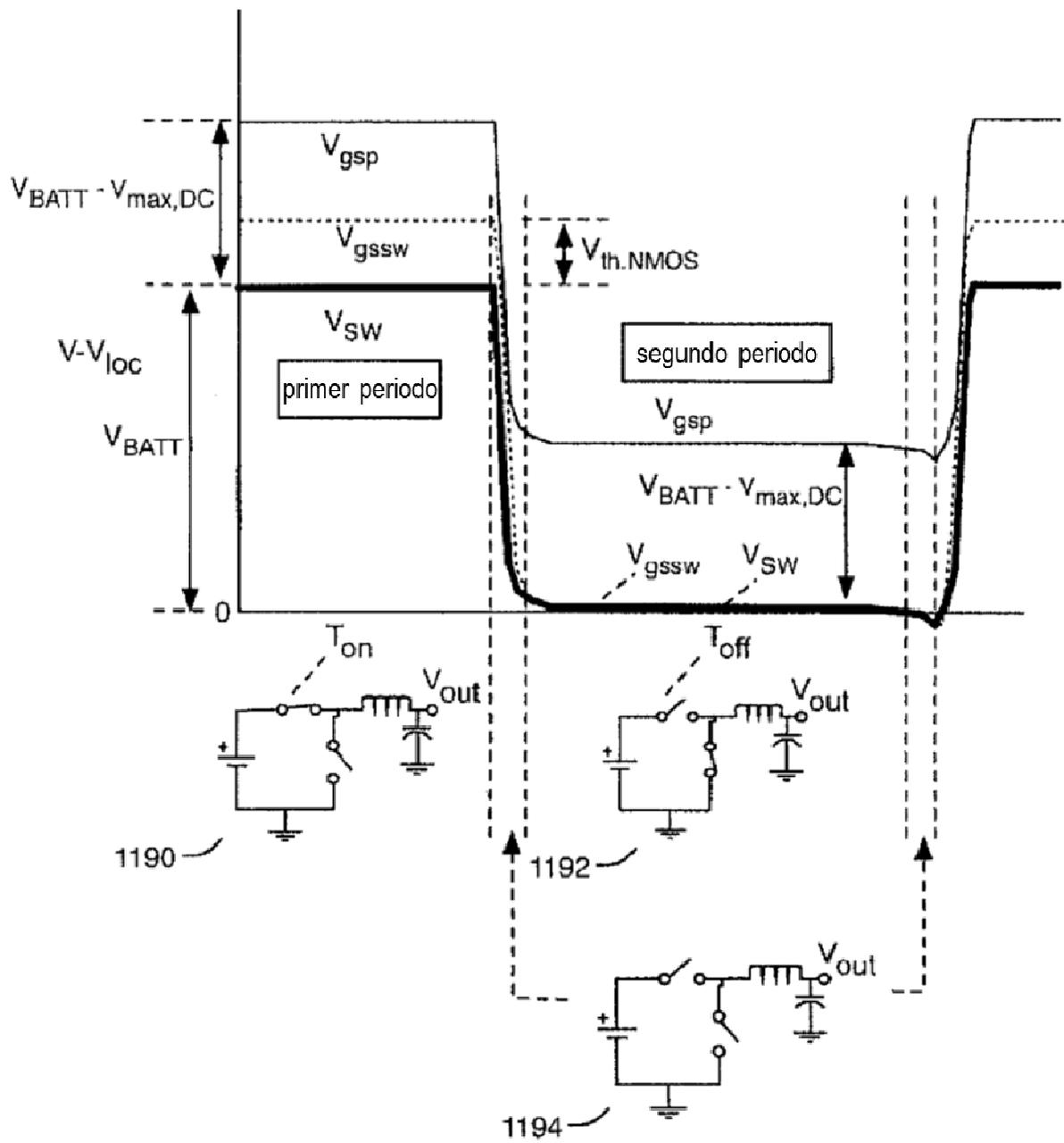


FIGURA 11

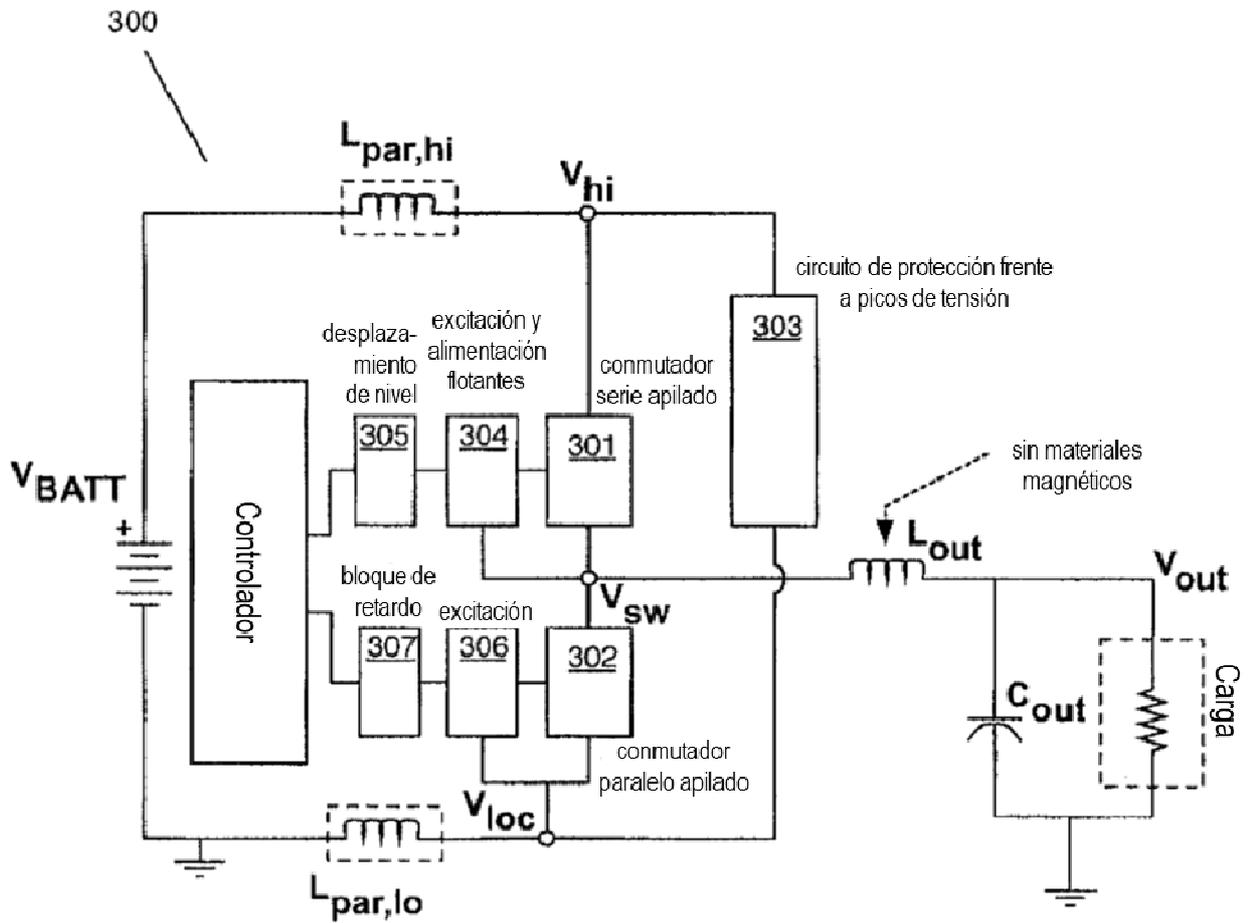


FIGURA 12

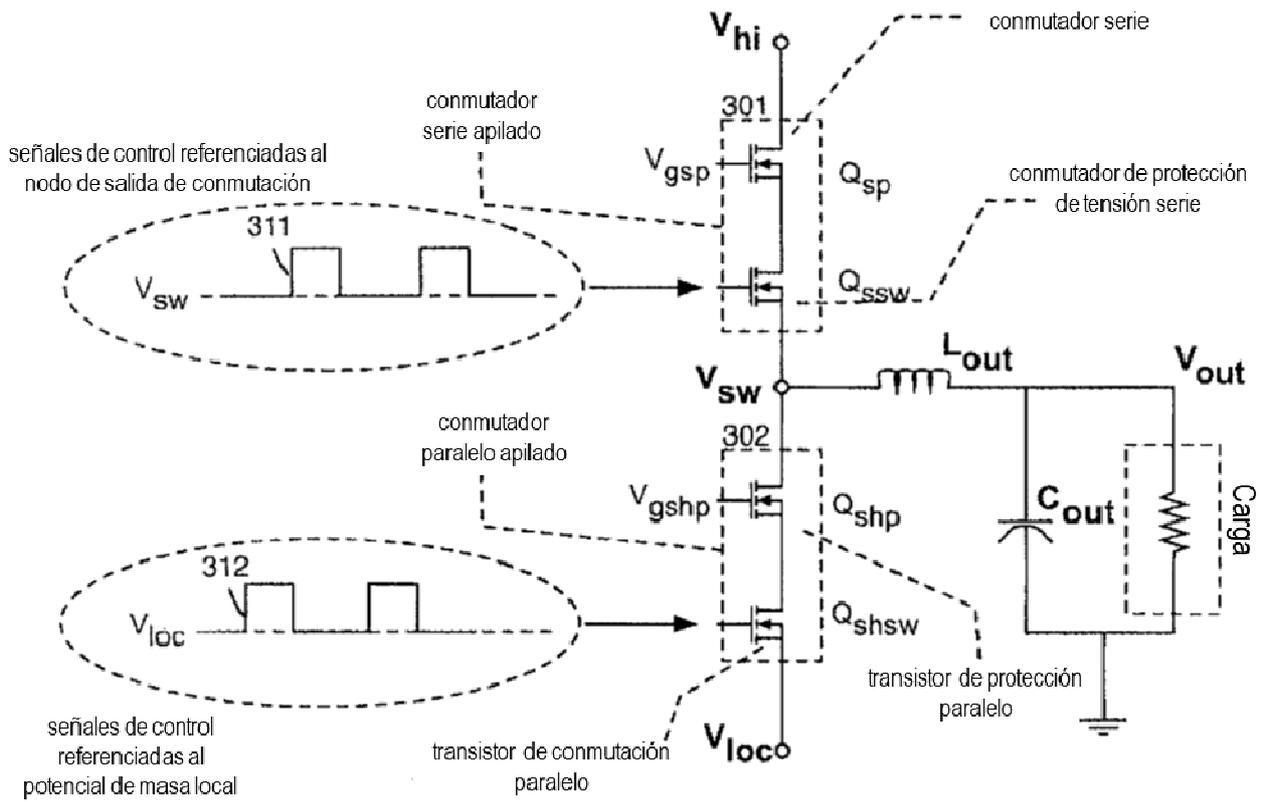


FIGURA 13

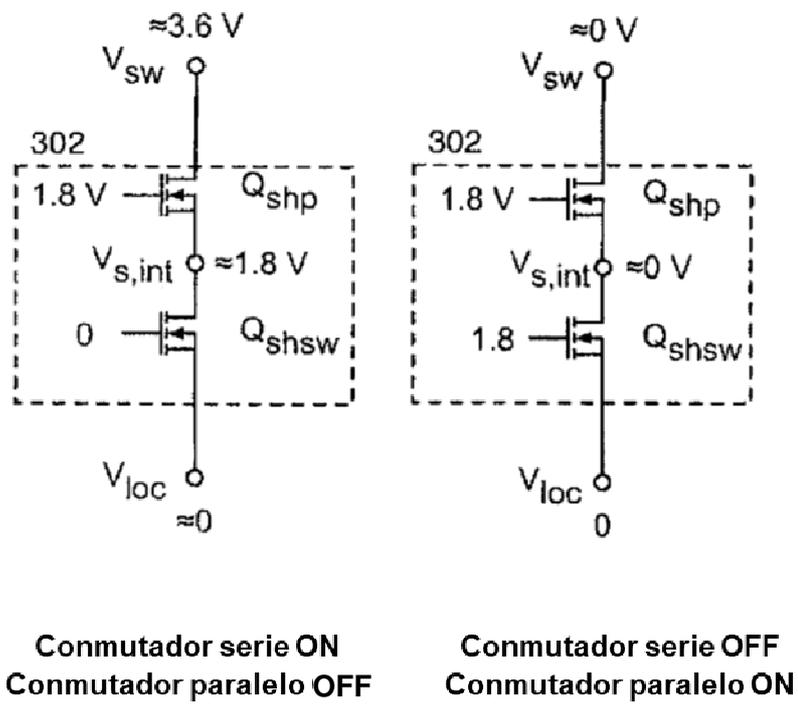


FIGURA 14

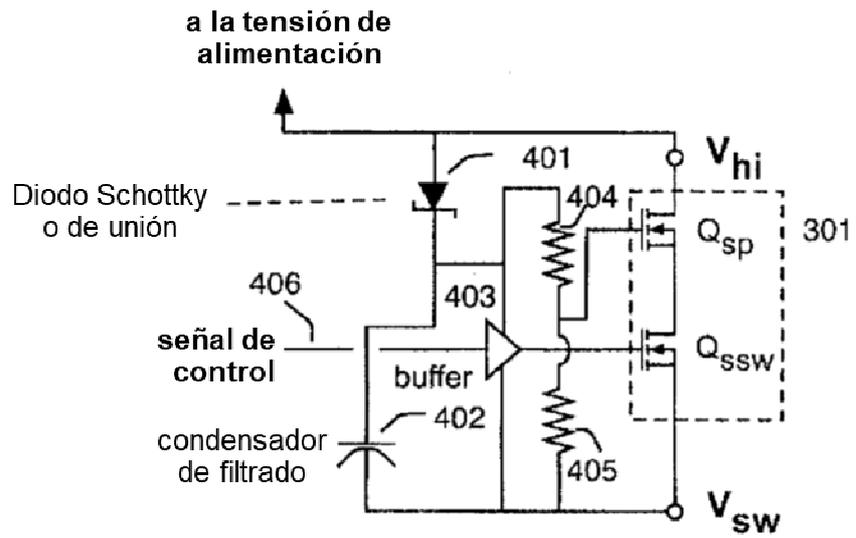


FIGURA 15

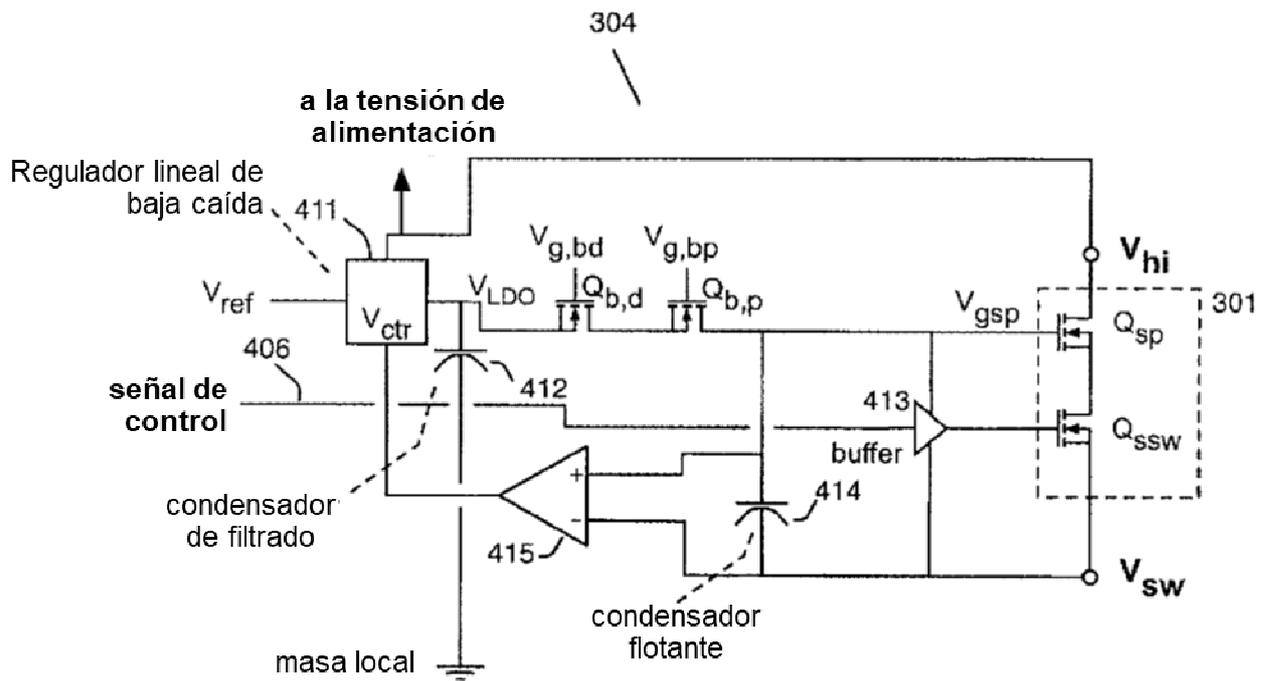


FIGURA 16

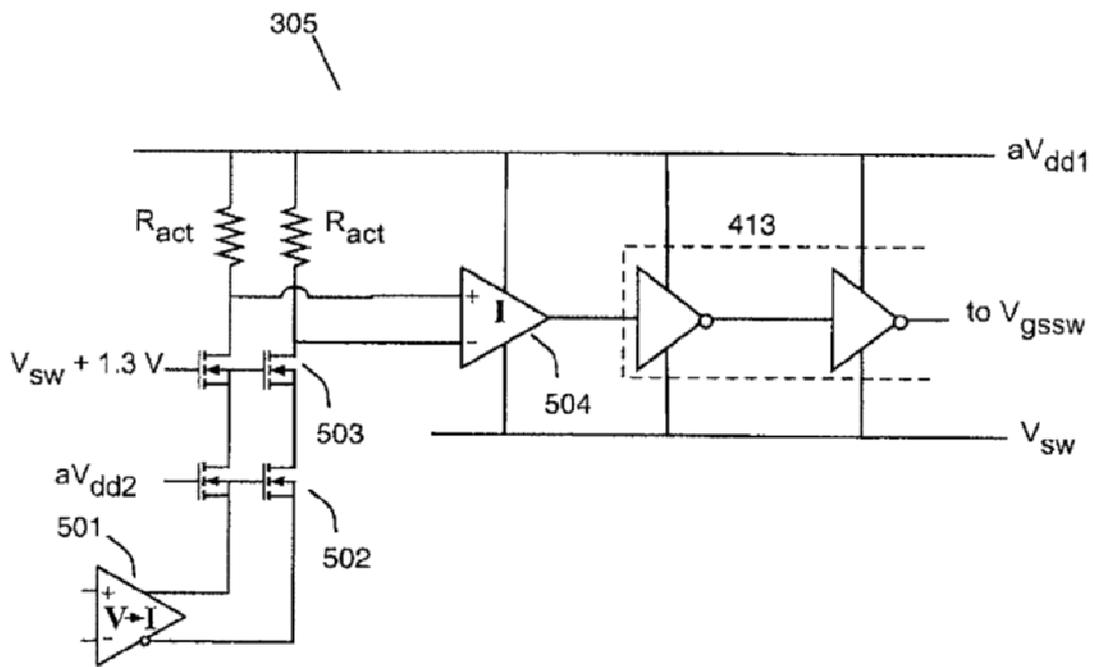


FIGURA 17

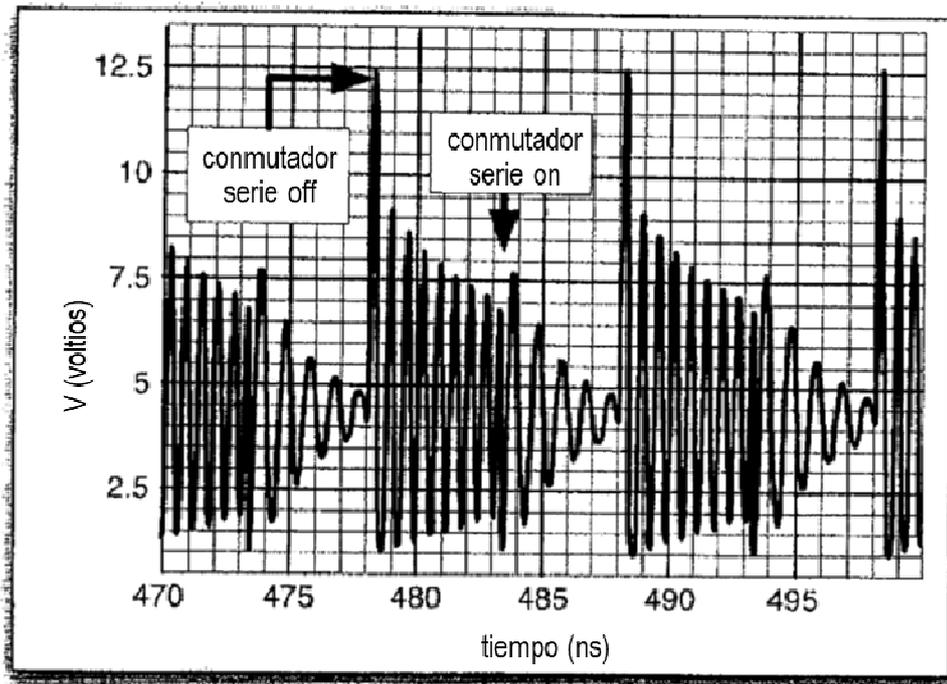
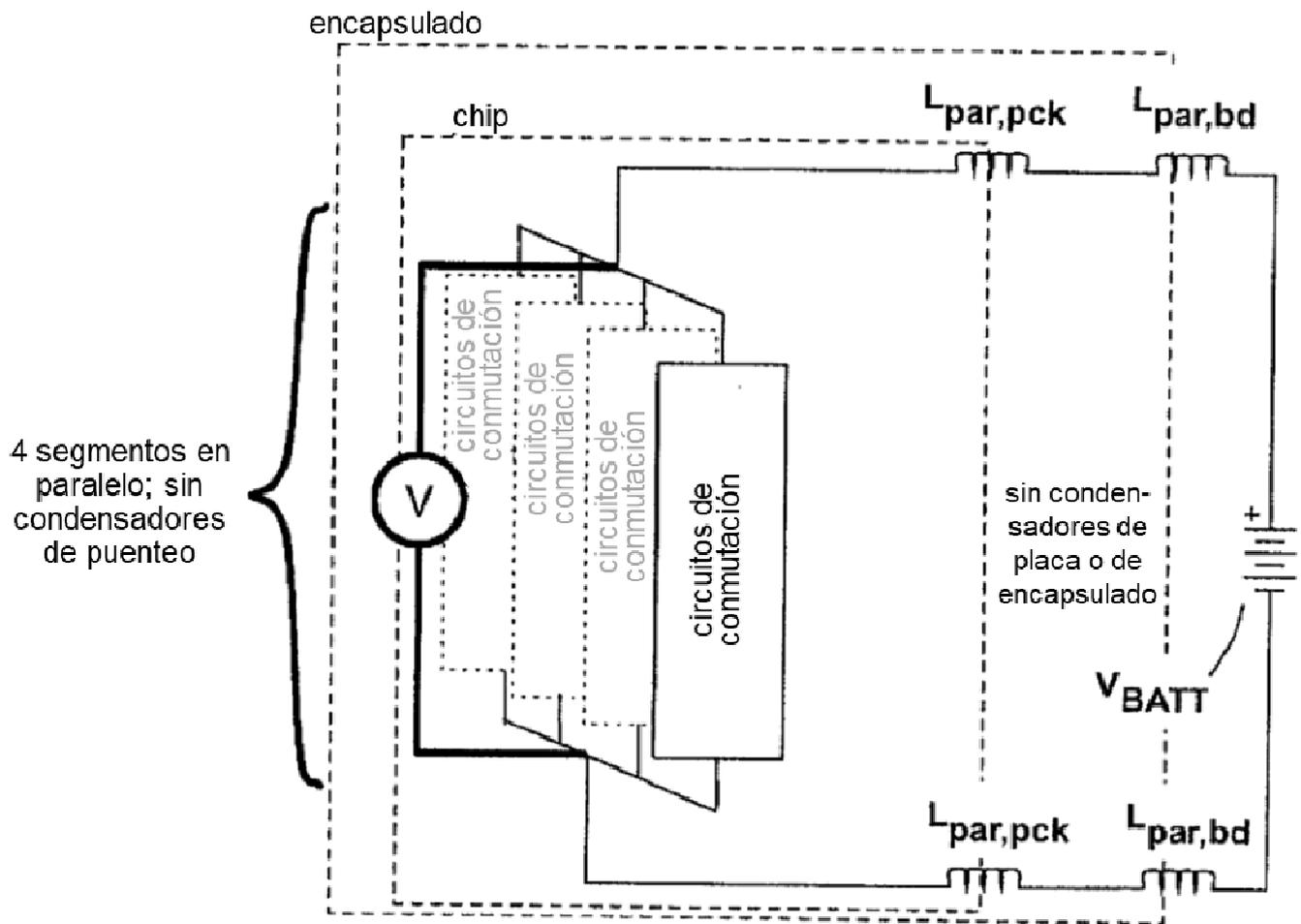


FIGURA 18

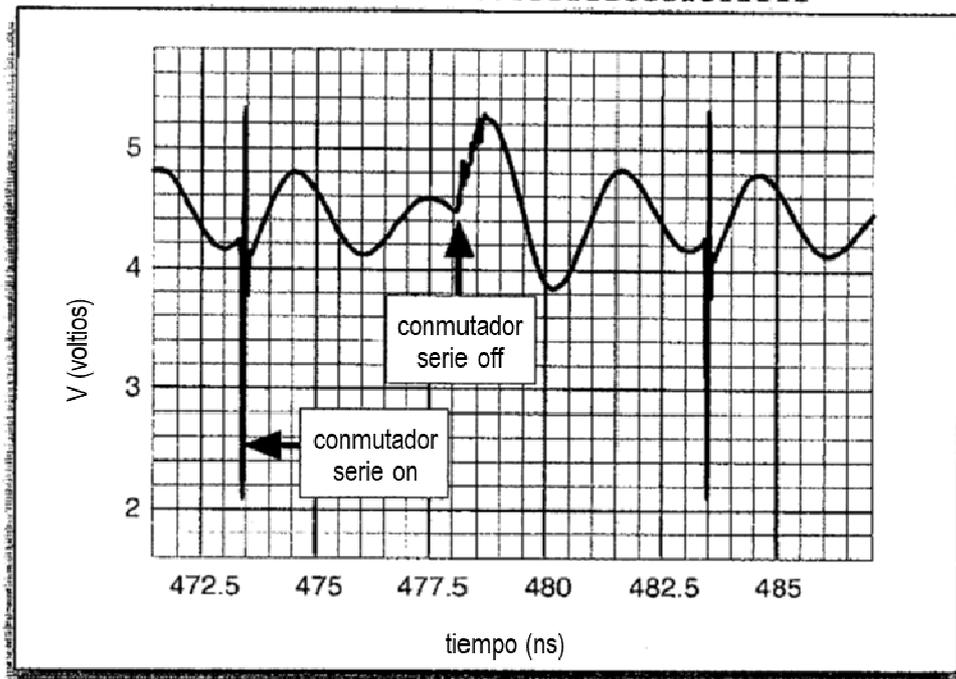
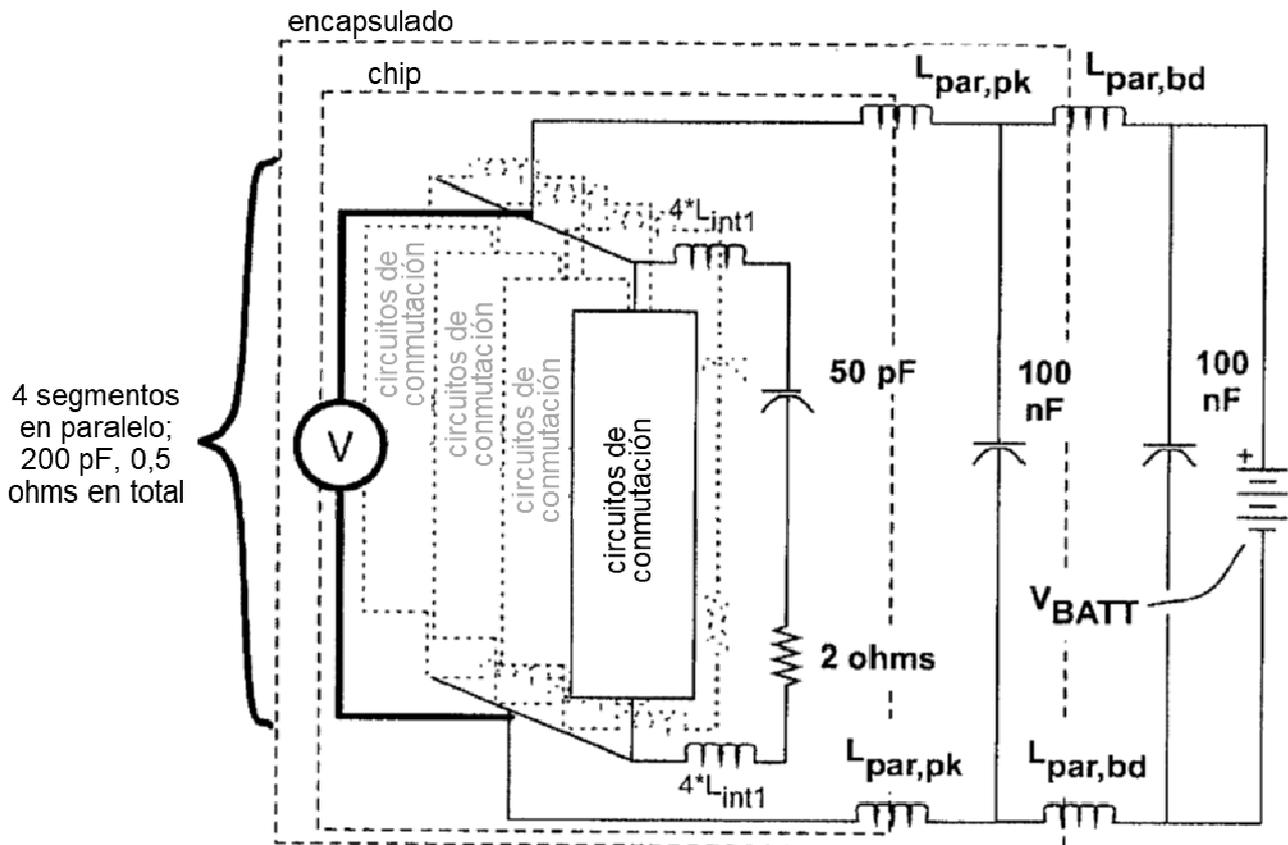


FIGURA 20

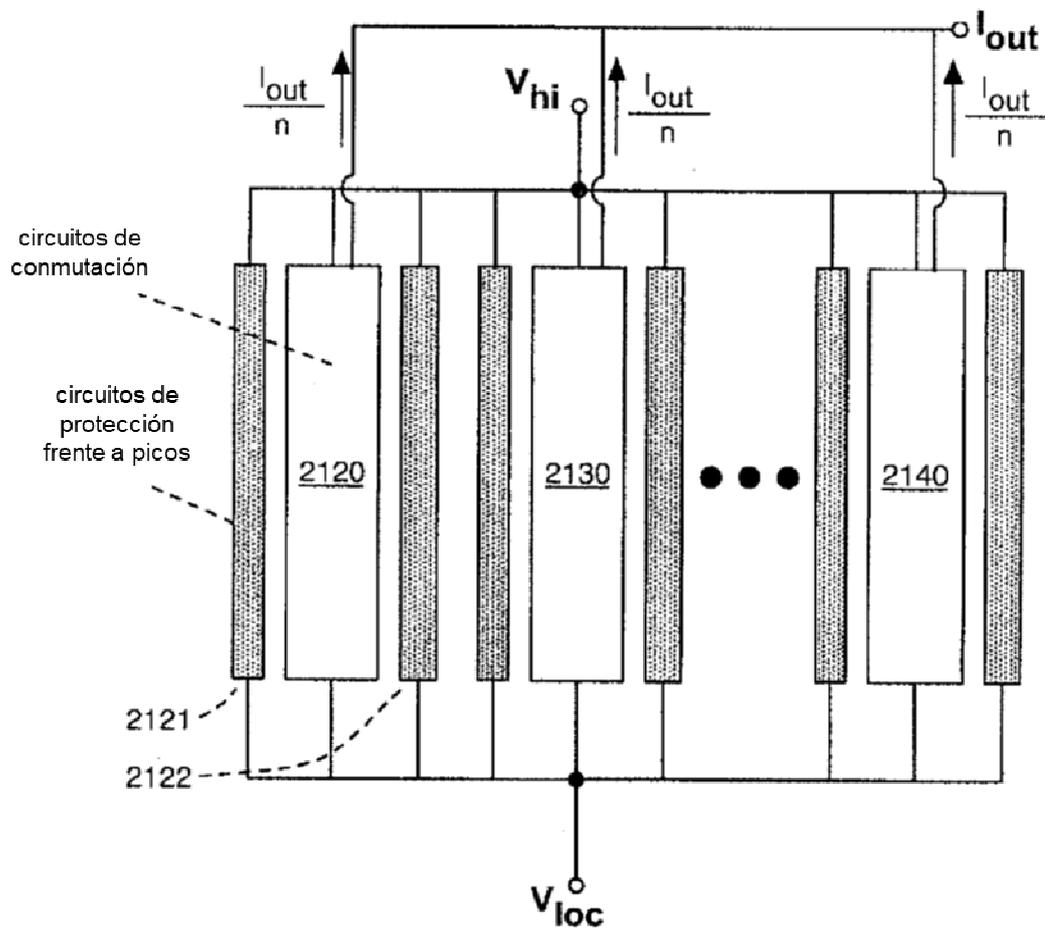


FIGURA 21

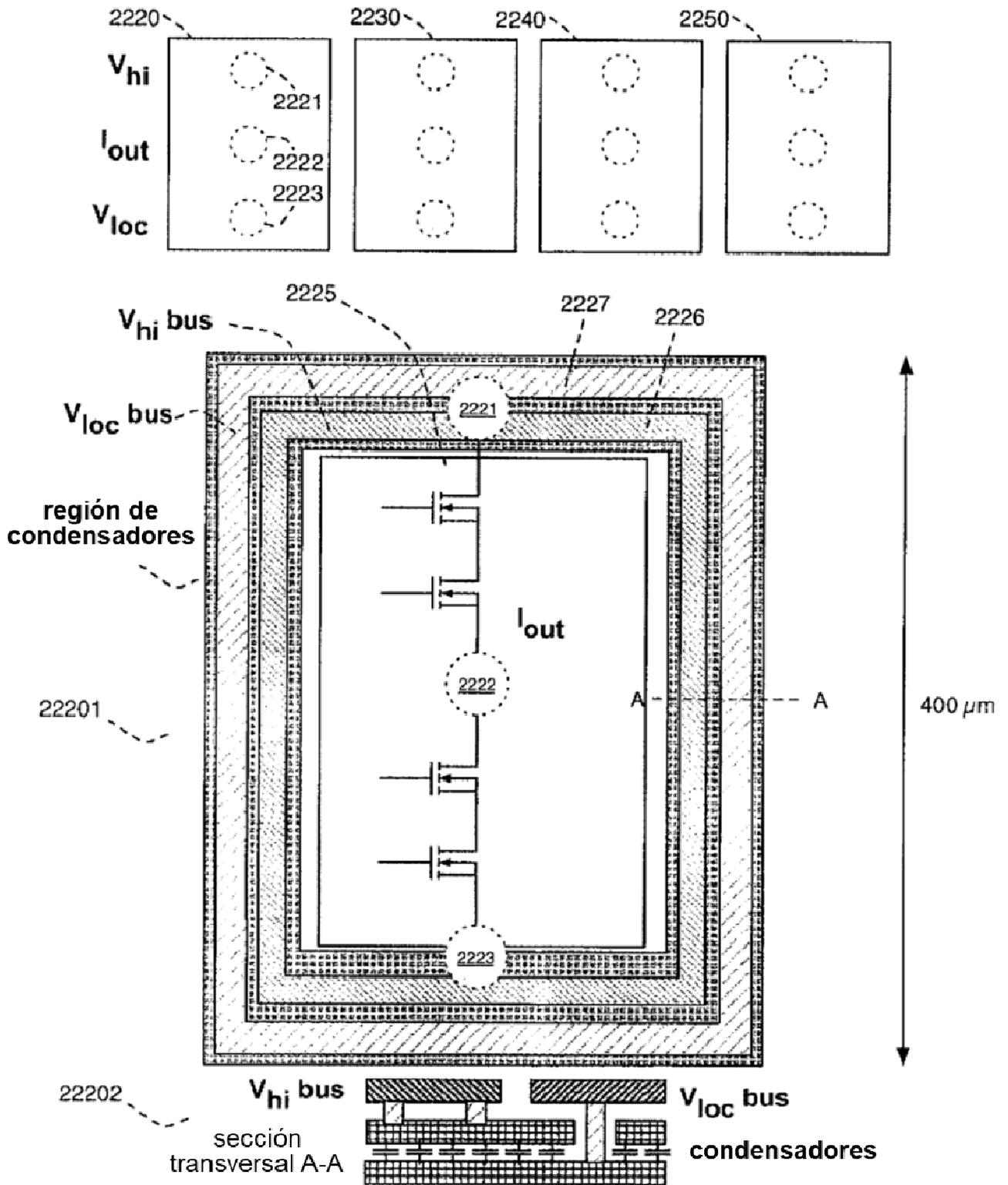


FIGURA 22