

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 791 059**

51 Int. Cl.:

G01R 29/08 (2006.01)

H04B 1/16 (2006.01)

H04B 17/00 (2015.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **26.03.2012 PCT/CA2012/000314**

87 Fecha y número de publicación internacional: **15.11.2012 WO12151662**

96 Fecha de presentación y número de la solicitud europea: **26.03.2012 E 12782130 (4)**

97 Fecha y número de publicación de la concesión europea: **06.11.2019 EP 2705378**

54 Título: **Sistema y método para decodificar una señal de radio**

30 Prioridad:

06.05.2011 US 201161483289 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

30.10.2020

73 Titular/es:

**PER VICES CORPORATION (100.0%)
73 Strathcona Avenue
Toronto, Ontario M4J 1G9, CA**

72 Inventor/es:

**WOLLESEN, VICTOR y
YAO, YI**

74 Agente/Representante:

VÁZQUEZ FERNÁNDEZ-VILLA, Concepción

ES 2 791 059 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y método para decodificar una señal de radio

5 **Referencia cruzada a solicitudes relacionadas**

Esta solicitud reivindica prioridad de la solicitud de patente provisional estadounidense con número de serie 61/483.289, presentada el 6 de mayo de 2011.

10 **Campo técnico**

La presente invención se refiere a sistemas de radiocomunicación, y en particular a sistemas de radio definidos por software.

15 **Antecedentes de invención**

Tradicionalmente, el desarrollo de productos de radiocomunicación implica esfuerzos de desarrollo de hardware significativos. Sistema radioeléctrico determinado por programas informáticos (SDR) es una tecnología que implementa tecnologías de comunicación inalámbrica de capa física en software, convirtiendo muchos problemas de desarrollo de hardware relacionados con radio en cuestiones de software. Esto puede acortar el ciclo de desarrollo del producto, reducir costes y facilitar mucho la distribución del producto. Además, el SDR proporciona flexibilidad y programabilidad aumentadas, lo que puede acelerar la innovación en comunicaciones inalámbricas.

Las plataformas de SDR se han desarrollado usando una unidad central de procesamiento (CPU) de un ordenador personal, que trabaja en conexión con una matriz de puertas programable *in situ* (FPGA), con algún hardware de extremo frontal de radiofrecuencia (RF) para recibir y transmitir formas de onda de radio. Algunas aplicaciones de SDR requieren una modulación compleja o algoritmos computacionalmente intensivos que pueden incluir transformadas de Fourier rápidas (FFT), correlación cruzada, o el cálculo de métricas de información mutua. Estas operaciones pueden ser costosas en términos de potencia de procesamiento. A una CPU que trabaja en conexión con una FPGA le puede faltar la arquitectura de computación para soportar estas aplicaciones. Más recientemente, se han desarrollado plataformas de SDR usando una CPU que trabaja en conexión con una unidad de procesamiento de gráficos (GPU). Sin embargo, a una GPU que trabaja en conexión con una CPU le pueden faltar las capacidades de procesamiento de flujo o en serie para cumplir los requisitos de tiempo real de algoritmos de comunicación digital que realizan el procesamiento en serie.

Un objeto de la presente invención es obviar o mitigar al menos uno de los inconvenientes anteriores. El documento US-2007/0174891 da a conocer un sistema de detección de canal de radiodifusión con un receptor de radiodifusión digital, un autocorrelacionador y una unidad de función de detección de señales periódicas.

El documento US2010/157066 da a conocer un método para detectar la presencia de una señal de televisión incrustada en una señal recibida, basándose en la detección de picos en la función de autocorrelación.

Sumario de la invención

45 En un aspecto, se proporciona un método de decodificar una señal de radio mediante un dispositivo electrónico según la reivindicación 1.

En otro aspecto, se proporciona un dispositivo electrónico, tal como un dispositivo de SDR. El dispositivo electrónico incluye un extremo frontal de RF, una unidad de procesamiento y una memoria, almacenando la memoria instrucciones ejecutables por ordenador que cuando se ejecutan mediante la unidad de procesamiento, hacen que el dispositivo electrónico realice el método según la reivindicación 1.

La unidad de procesamiento puede incluir una FPGA en comunicación con el extremo frontal de RF. La FPGA puede realizar procesamiento en serie en la señal de radio digitalizada proporcionada por el extremo frontal de RF. La unidad de procesamiento también puede incluir una GPU en comunicación con la FPGA para realizar procesamiento en paralelo en la señal de radio digitalizada proporcionada por la FPGA.

En otro aspecto, se proporciona un medio de almacenamiento legible por ordenador para decodificar una señal de radio mediante un dispositivo electrónico. El medio de almacenamiento legible por ordenador incluye instrucciones ejecutables por ordenador que cuando se ejecutan mediante una unidad de procesamiento, hacen que el dispositivo electrónico realice el método según la reivindicación 1.

En otro aspecto no reivindicado por sí mismo, se proporciona un dispositivo electrónico. El dispositivo electrónico incluye un extremo frontal de radiofrecuencia para recibir radiación electromagnética y digitalizar la radiación electromagnética para generar una señal digital. El dispositivo electrónico también incluye una matriz de puertas programable *in situ* en comunicación con el extremo frontal de radiofrecuencia. La matriz de puertas programable *in*

situ se optimiza para realizar procesamiento en serie. El dispositivo electrónico también incluye una unidad de procesamiento de gráficos en comunicación con la matriz de puertas programable *in situ* optimizada para realizar procesamiento en paralelo.

5 **Breve descripción de los dibujos**

Se describirán realizaciones de la invención a modo de ejemplo sólo con referencia a los dibujos adjuntos en los que:

- 10 la figura 1 es un diagrama de bloques de un dispositivo de SDR a modo de ejemplo;
- la figura 2 es un diagrama de bloques de un monitor objetivo que recibe una señal de entrada y produce una señal de emanación que se intercepta mediante un dispositivo de SDR a modo de ejemplo;
- 15 la figura 3 es un diagrama de bloques de una configuración a modo de ejemplo del dispositivo de SDR para la aplicación específica de decodificación de una señal de emanación;
- la figura 4 es un diagrama esquemático de un extremo frontal de radiofrecuencia a modo de ejemplo;
- 20 la figura 5 es un diagrama de flujo de un procedimiento a modo de ejemplo para decodificar la señal de entrada de un monitor objetivo a partir de su radiación electromagnética usando un dispositivo de SDR a modo de ejemplo;
- la figura 6 es una vista frontal de un monitor objetivo que visualiza una imagen de píxel de 2 por 2 a modo de ejemplo y señales de entrada y emanación correspondientes de la misma;
- 25 la figura 7 es un diagrama de flujo de un procedimiento de inicialización a modo de ejemplo para un dispositivo de SDR a modo de ejemplo;
- 30 las figuras 8(a) a (c) son formas de onda a modo de ejemplo de una señal autocorrelacionada y la transformada de Fourier de la misma;
- las figuras 9(a) y (b) son formas de onda que corresponden a una señal demodulada a modo de ejemplo; y
- 35 la figura 10 es un diagrama de bloques de una capa de aplicación a modo de ejemplo del dispositivo de SDR.

Descripción detallada de la invención

Se apreciará que por simplicidad y claridad de ilustración, donde se ha considerado apropiado, se repiten números de referencia entre las figuras para indicar elementos correspondientes o análogos. Además, se explican numerosos detalles específicos con el fin de proporcionar una comprensión exhaustiva de las realizaciones a modo de ejemplo descritas en el presente documento. Sin embargo, los expertos habituales en la técnica entenderán que las realizaciones a modo de ejemplo descritas en el presente documento pueden llevarse a cabo sin estos detalles específicos.

45 En otros casos, no se han descrito con detalle métodos, procedimientos y componentes bien conocidos para no dificultar las realizaciones a modo de ejemplo descritas en el presente documento. Además, no ha de considerarse que la descripción limite el alcance de las realizaciones a modo de ejemplo descritas en el presente documento.

50 Pasando a la figura 1, se proporciona un diagrama esquemático de un dispositivo 10 de SDR a modo de ejemplo. En este ejemplo, el dispositivo 10 de SDR incluye un extremo 12 frontal de RF que tiene una antena 28 para recibir y convertir radiación electromagnética en una señal digital, una matriz 14 de puertas programable *in situ* (FPGA) para realizar el procesamiento en serie de alta velocidad y una unidad 16 de procesamiento de gráficos (GPU) para realizar el procesamiento en paralelo. El dispositivo 10 de SDR también puede incluir una unidad 18 de procesamiento de ordenador de propósito general (CPU) para realizar computaciones generales que incluyen proporcionar la interfaz de usuario y programar la FPGA 14 y la GPU 16. La FPGA 14, la GPU 16 y la CPU 18 pueden tener cada una su propia memoria 15, 17 y 19, respectivamente, y/o pueden acceder a un componente 13 de memoria independiente del dispositivo 10. Se entiende que la FPGA 14 puede incluir cualquier dispositivo lógico programable adecuado y la GPU 16 incluye computación de propósito general en una unidad de procesamiento de gráficos ((GP)GPU).

60 En el ejemplo de la figura 1, el extremo 12 frontal de RF se conecta a la FPGA 14 y puede hacerse funcionar para comunicarse con la FPGA 14 mediante una pluralidad de señales digitales. La FPGA 14, la GPU 16 y la CPU 18 se conectan entre sí mediante un bus 21 de alta velocidad, tal como un bus exprés de interconexión de componentes periféricos (PCIe), por ejemplo.

65 El dispositivo 10 de SDR permite la computación en serie y en paralelo rápidas de datos de procesamiento de

señales. Por ejemplo, el dispositivo 10 de SDR puede dividir algoritmos de procesamiento de señales en procesos de bloque y de flujo e implementar los procesos de bloque y de flujo para optimizar la eficiencia del procesamiento. El procesamiento de flujo puede separar en segmentos la señal de entrada dando como resultado una pluralidad de segmentos discretos o "porciones" basándose, en parte, en el estado actual de la señal de entrada que pasa a su través, mientras que el procesamiento de bloque puede comprender el procesamiento fijado e invariante en cada porción.

En un dispositivo 10 de SDR a modo de ejemplo, la FPGA 14 se optimiza para proporcionar un entorno de procesamiento en serie para realizar el procesamiento de flujo de forma más rápida que la GPU 16. La GPU 16 se optimiza para proporcionar un entorno de procesamiento en paralelo para paralelizar procesos de bloque de forma más rápida que la FPGA 14. Por tanto, la GPU 16 implementa de manera eficaz cálculos y algoritmos paralelizables, incluyendo, por ejemplo, reconstrucción de señales débiles, autocorrelación, FFT, métricas de información mutua, así como el procesamiento simultáneo de algoritmos o cálculos arbitrarios en flujos de datos individuales o múltiples.

La programabilidad de la FPGA 14 y la GPU 16 también proporciona flexibilidad, de modo que el dispositivo 10 de SDR puede ejecutar protocolos inalámbricos arbitrarios. Por ejemplo, la CPU 18 puede reprogramar la FPGA 14 y la GPU 16 durante el funcionamiento para manejar cambios en el protocolo de comunicación de la señal de entrada. Una vez programado, el dispositivo 10 de SDR puede almacenar y enviar de manera autónoma datos sin requerir configuración o intervención adicional.

El dispositivo 10 de SDR también puede configurarse para monitorizar simultáneamente recursos de espectro y de red y, por consiguiente, ajustar parámetros de transmisión y recepción. Además, el dispositivo 10 de SDR puede gestionar sus propios recursos (por ejemplo, la FPGA 14 y la GPU 16) de modo que se atribuyen eficazmente tareas al componente apropiado basándose en el tipo de computación y uso de recursos.

En una aplicación a modo de ejemplo del dispositivo 10 de SDR, se hace funcionar para identificar e interceptar radiación electromagnética que emana de un dispositivo electrónico y para decodificar la radiación electromagnética. Por ejemplo, monitores de ordenador, teclados, teléfonos celulares, receptores de radiobúsqueda y lectores y etiquetas de RFID pueden emitir diversas formas de radiación electromagnética tal como ondas de radio cuando están en funcionamiento. La radiación electromagnética de un dispositivo electrónico puede relacionarse con la señal de entrada procesada por ese dispositivo. Cuando se emite radiación electromagnética desde un dispositivo electrónico en la forma de ondas de radio, el dispositivo 10 de SDR puede hacerse funcionar para interceptar estas ondas de radio a una distancia del dispositivo electrónico, incluyendo a través de barreras físicas tales como paredes y puertas.

En el ejemplo de un monitor de ordenador, el dispositivo 10 de SDR puede recibir y decodificar emanaciones electromagnéticas del monitor de ordenador, que se relacionan con su señal de entrada, para determinar la imagen visualizada en el monitor de ordenador. Decodificando la señal de emanación, el dispositivo 10 de SDR puede reproducir o permitir subrepticamente la reproducción de las imágenes visualizadas en el monitor de ordenador de manera remota, sin el conocimiento del monitor de ordenador o su usuario.

Pasando a la figura 2, se proporciona un diagrama de bloques de un monitor 20 objetivo que recibe una señal 24 de entrada, por ejemplo, desde el cable 26 de interfaz de vídeo del monitor objetivo (tal como DVI, VGA o HDMI, por ejemplo). Basándose en la señal 24 de entrada, el monitor 20 objetivo visualiza una imagen que también hace que el monitor 20 objetivo produzca una señal 22 de emanación, en forma de radiación electromagnética, y específicamente ondas de radio. La señal 22 de emanación puede recibirse o interceptarse mediante una antena 28 del dispositivo 10 de SDR.

Pasando a la figura 3, se proporciona un diagrama de bloques de una configuración a modo de ejemplo del dispositivo 10 de SDR para la aplicación específica de decodificación de una señal 22 de emanación. El dispositivo 10 de SDR tiene un extremo 12 frontal de RF que incluye una antena 28 para recibir una señal 22 de emanación, una utilidad 302 de preprocesamiento para procesar la señal 22 de emanación para digitalización, y un convertidor 304 analógico digital (ADC) para convertir la señal 22 de emanación recibida en una señal 306 digital. Un módulo 310 de sintonización de la FPGA 14 puede proporcionar una frecuencia 308 de sintonización a la utilidad 302 de preprocesamiento para sintonizar la utilidad 302 de preprocesamiento a una frecuencia particular correspondiente a la señal 22 de emanación. La señal 306 digital producida por el ADC 304 se envía a la FPGA 14.

Pasando a la figura 4, se proporciona un diagrama esquemático más detallado de un extremo 12 frontal de RF a modo de ejemplo. El extremo frontal de RF preprocesa la señal 22 de emanación mediante amplificación y conversión descendente antes de la digitalización. El extremo frontal de RF incluye una antena 28 para interceptar la señal 22 de emanación y puede incluir componentes de preprocesamiento tales como un amplificador 402 de bajo ruido (LNA) para amplificar señales débiles, un filtro 404 paso alto (HPF) para filtrar y pasar las frecuencias altas y atenuar las frecuencias bajas, un amplificador (por ejemplo, bloque 406 de ganancia y/o atenuador 408 de ganancia variable), un atenuador 410 variable para variar la ganancia de señal, un convertidor 412 descendente para realizar la conversión descendente de la señal a la banda de base, un convertidor 304 analógico digital (ADC), y un controlador 416 y un filtro 418 antiplegamiento para mejorar la calidad de la conversión ADC.

En el ejemplo de la figura 4, el extremo 12 frontal de RF tiene dos modos de operación, A y B, que pueden seleccionarse mediante un conmutador 420. Cada modo de operación realiza una serie de operaciones en la señal 22 de emanación antes de la digitalización mediante el ADC 304. En la figura 4, se selecciona el primer modo de operación A. La señal 22 de emanación interceptada por la antena 28 se amplifica mediante el LNA 402 y se filtra usando el HPF 404. La ganancia de la señal analógica se modifica entonces usando bloque 406 de ganancia y un atenuador 410 variable. A la señal resultante se le aplica entonces conversión descendente mezclándola en una señal generada mediante el oscilador 422 local usando la mezcladora 412 para producir una señal de banda de base. El oscilador 422 local está configurado para generar una señal en la frecuencia 308 de sintonización proporcionada por el módulo 310 de sintonización de la FPGA 14. La señal de banda de base puede desfasarse mediante un convertidor 424 de fase, amplificarse adicionalmente por el controlador 416 y filtrarse mediante el filtro 418 antiplegamiento antes de la digitalización usando el ADC 304. En este ejemplo, la señal 306 digital resultante se descompone en su forma de portadora en cuadratura (IQ) que comprende una componente 306a en fase, y una componente 306b de cuadratura. La frecuencia de corte de la señal de banda de base puede determinarse mediante los filtros 418 antiplegamiento y puede configurarse basándose en la aplicación del dispositivo 10 de SDR.

Modificando la frecuencia 308 de sintonización, el dispositivo 10 de SDR puede sintonizar y aislar una señal 22 de emanación individual a partir de una o más señales de emanación recibidas por la antena 28. Por ejemplo, el dispositivo 10 de SDR puede aislar una señal 22 de emanación a partir de un monitor particular de un grupo de monitores en proximidad espacial cercana, debido a que las señales de emanación asociadas con cada monitor tendrán una frecuencia de portadora diferente.

En el segundo modo de operación B, la señal analógica recibida por la antena 28 puede amplificarse mediante el LNA 402 y filtrarse usando el HPF 404, como en el primer modo de operación A. Sin embargo, la señal analógica puede amplificarse entonces usando un amplificador 408 de ganancia variable y aplicarse directamente al ADC 304.

Puede apreciarse que el extremo 12 frontal de RF puede ser cualquier receptor apropiado que pueda digitalizar la señal 22 de emanación con una relación de señal con respecto a ruido suficiente para permitir la reconstrucción de la señal 24 de entrada del monitor 20 objetivo mediante el dispositivo 10 de SDR. Por ejemplo, el extremo 12 frontal de RF puede ser un receptor superheterodino.

Volviendo a la figura 3, el dispositivo 10 de SDR en este ejemplo también tiene una FPGA 14 configurada para incluir un módulo 310 de sintonización para proporcionar la utilidad 302 de preprocesamiento del extremo 12 frontal de RF con una frecuencia 308 de sintonización, un módulo 312 de demodulación para demodular la señal 306 digital para producir una señal 314 demodulada, y un módulo 316 de decodificación para decodificar la señal 314 demodulada para producir una señal 318 decodificada. La FPGA 14 también puede incluir un módulo 320 de seguimiento de errores para evaluar el error en la señal 318 decodificada y para iniciar la corrección de errores.

Puede apreciarse que la FPGA 14 puede tener uno o más módulos 312 de demodulación para llevar a cabo la demodulación de la señal 22 de emanación, tal como modulación de amplitud (AM), modulación de frecuencia (FM) y modulación de banda lateral individual (SSB). Cada módulo 312 de demodulación también puede aplicar demodulación a uno o más protocolos de comunicación diferentes (por ejemplo, sistema global para las comunicaciones móviles (GSM) o Zigbee). Las técnicas de modulación y los protocolos de comunicación pueden configurarse por el usuario o proporcionarse por terceros. Además, un módulo 312 de demodulación puede reprogramarse durante el funcionamiento para implementar una técnica de modulación y/o protocolo de comunicación diferentes. Por consiguiente, el módulo 312 de demodulación permite que se elijan diferentes técnicas de modulación y protocolos de comunicación y se implementen al vuelo mientras que el dispositivo permanece en funcionamiento.

Puede apreciarse además que la FPGA 14 puede dirigir la señal 306 digital a uno o más de sus módulos, su memoria interna, y/o eludir el procesamiento de FPGA completamente, configurando los conmutadores programables proporcionados por la FPGA. Por ejemplo, determinados datos pueden no requerir el uso de tanto la FPGA 14 como la GPU 16. Pueden definirse determinados protocolos de comunicaciones y procesarse en su totalidad dentro de la FPGA 14 y no requerir el entorno de procesamiento en paralelo proporcionado por la GPU 16. La selección y el paso de la señal dentro de la FPGA 14 puede establecerse según la aplicación deseada usando conmutadores configurados de manera apropiada.

El dispositivo 10 de SDR en el ejemplo también tiene una GPU 16 configurada para incluir un módulo 322 de correlación para evaluar las similitudes en la señal 314 demodulada en relación con una separación del tiempo (es decir, encontrar patrones de repetición en la señal 314 demodulada) y para proporcionar parámetros que caracterizan esta similitud para el módulo 316 de decodificación de la FPGA 14. Por ejemplo, el módulo 322 de correlación puede hacerse funcionar para realizar correlación cruzada y/o autocorrelación.

Pasando a la figura 5, se proporciona un diagrama de flujo de un proceso a modo de ejemplo para decodificar la señal 24 de entrada de un monitor 20 objetivo a partir de su señal 22 de emanación usando el dispositivo 10 de SDR. En el bloque 500, el extremo 12 frontal de RF intercepta una señal 22 de emanación usando su antena 28. En

5 el bloque 502, el dispositivo 10 obtiene la frecuencia de portadora f_c de la señal 22 de emanación e información específica relacionada con la señal 24 de entrada, tal como información periódica y geométrica. En el bloque 504, el extremo 12 frontal de RF sintoniza la frecuencia de portadora preprocesando la señal 22 de emanación a la frecuencia de portadora f_c . En el bloque 506, el extremo 12 frontal de RF digitaliza la señal de emanación preprocesada usando su ADC 304 para generar una señal 306 digital. En el bloque 508, la FPGA 14 demodula la señal 306 digital usando su módulo 312 de demodulación para generar una señal 314 demodulada. En el bloque 512, la FPGA 14 decodifica la señal 314 demodulada usando información específica relacionada con la señal 24 de entrada para generar una señal 318 decodificada. La señal 318 decodificada contiene toda la información de la señal 24 de entrada suficiente para generar una imagen en otro monitor que corresponde a la misma imagen de la señal 24 de entrada en el monitor 20 objetivo.

15 La figura 6(a) proporciona una imagen de píxel de 2 por 2 a modo de ejemplo de un monitor 20 objetivo teórico, y las figuras 6(b) y (c) proporcionan formas de onda de las señales que corresponden a la imagen de píxel de la figura 6(a). Por simplificación de comprensión, el ejemplo de la figura 6(a) considera un monitor 20 objetivo que visualiza una imagen de píxel de 2 por 2 y que tiene un campo de píxel de x_t por y_t . Los píxeles p0 a p3 componen la imagen, h0 y h1 representan pausas de retorno horizontal, y v0 representa una pausa de retorno vertical. Las pausas de retorno horizontal h0, h1 transmiten información de sincronización para alinear el segmento de la señal 24 de entrada que representa una línea horizontal de una trama (es decir, p0 a p1) con respecto a la línea horizontal correspondiente del monitor 20 objetivo. La pausa de retorno vertical v0 transmite información de sincronización para alinear el segmento de la señal 24 de entrada que representa una trama (es decir, la imagen de p0 a p3) para abarcar toda la pantalla del monitor 20 objetivo, comenzando con p0 en la esquina superior izquierda, y finalizando con p3 en la esquina inferior derecha del monitor 20 objetivo (las pausas de retorno no se visualizan realmente en el monitor 20 objetivo). En la figura 6(b) se muestra una señal 24 de entrada a modo de ejemplo que corresponde a la imagen de píxel de la figura 6(a). Los parámetros $1/f_h$ y $1/f_v$ representan el tiempo necesario para que la señal 24 de entrada represente una línea horizontal de la imagen, y toda la imagen, respectivamente. Los parámetros f_v y f_h se denominan la velocidad de regeneración vertical y la velocidad de regeneración horizontal del monitor 20 objetivo, respectivamente. La figura 6(c) proporciona una señal 22 de emanación a modo de ejemplo que corresponde a la señal 24 de entrada de la figura 6(b). La señal 22 de emanación a modo de ejemplo de la figura 6(c) es una señal de amplitud modulada de la señal 24 de entrada a una frecuencia de portadora f_c . Con el fin de decodificar la señal 22 de emanación mediante el dispositivo 10 de SDR, pueden tener que determinarse la frecuencia de portadora f_c , información periódica de la señal 24 de entrada (por ejemplo, f_h o f_v) e información geométrica del campo de píxeles (por ejemplo, x_t y y_t).

35 Tal como se observó anteriormente, en el bloque 502, el dispositivo 10 de SDR obtiene la frecuencia de portadora f_c de la señal 22 de emanación e información específica relacionada con la señal 24 de entrada. En una realización, esta información se obtiene durante el proceso de inicialización a modo de ejemplo del dispositivo 10 de SDR mostrado en la figura 7. En el bloque 702, el extremo 12 frontal de RF obtiene una frecuencia de sintonización a partir del módulo 310 de sintonización de FPGA 14. En el bloque 704, el extremo 12 frontal de RF preprocesa la señal 22 de emanación a la frecuencia de sintonización usando la utilidad 302 de preprocesamiento. En el bloque 706, el extremo 12 frontal de RF digitaliza la señal de emanación preprocesada usando su ADC 304 para generar una señal 306 digital y envía la señal demodulada al módulo 312 de demodulación de la FPGA.

45 En el bloque 708, la FPGA 14 demodula la señal 306 digital usando su módulo 312 de demodulación para generar una señal 314 demodulada. La señal 314 demodulada se envía entonces al módulo 322 de correlación de la GPU 16.

50 En el bloque 710, la GPU 16 obtiene información periódica de la señal 314 demodulada usando el módulo 322 de correlación. En una realización, puede obtenerse información periódica de la señal 314 demodulada realizando la correlación cruzada de la señal 314 demodulada consigo misma (es decir, autocorrelación). Por ejemplo, una señal demodulada $x[n]$ puede autocorrelacionarse calculando una función de autocorrelación $\phi_{xx}[j] = \sum_m x[m+j]x[m]$ para generar una señal autocorrelacionada, donde m abarca todas las muestras de $x[n]$ y j representa el retardo entre las instancias de $x[n]$ que se están correlacionando.

55 Haciendo referencia a la figura 8(a), se proporciona una forma de onda a modo de ejemplo de una señal autocorrelacionada. Los picos de la señal autocorrelacionada pueden corresponder a información periódica en la señal 314 demodulada. La amplitud es la mayor con un retardo de 0 cuando la señal 314 demodulada se correlaciona consigo misma. También puede haber correlación significativa cuando el retardo no es 0 puesto que tramas cercanas en la señal 314 demodulada serán muy similares. Por ejemplo, el siguiente pico más alto sin un retardo de 0, tal como con un retardo B, puede identificar la periodicidad de la señal 314 demodulada que corresponde a $1/f_v$ (es decir, la longitud de una trama) puesto que tramas adyacentes en la señal 314 demodulada serán posiblemente muy similares. Además, puede haber picos adicionales separados por aproximadamente una longitud de trama puesto que tramas cercanas en la señal 314 demodulada también serán posiblemente similares. La señal autocorrelacionada puede contener picos secundarios, tales como con un retardo A o C, que corresponden a la longitud de una línea horizontal dentro de una trama, puesto que líneas horizontales adyacentes o cercanas pueden ser similares. Aunque se ha descrito el retardo en la unidad de muestras en la figura 8(a), se apreciará que

la unidad de muestras puede convertirse a tiempo dada la frecuencia de muestreo del dispositivo 10 de SDR. La información periódica (por ejemplo, $1/f_v$, $1/f_h$, f_v y/o f_h) puede determinarse a partir de la señal autocorrelacionada y enviarse al módulo 316 de decodificación de la FPGA 14.

5 En otra realización, puede aplicarse una transformada de Fourier, tal como la transformada rápida de Fourier o cualquier otra implementación adecuada, a la señal autocorrelacionada para mejorar la extracción de parámetros de temporización f_v y/o f_h . Haciendo referencia a la figura 8(b), se proporciona la transformada de Fourier de la señal autocorrelacionada de la figura 8(a). Como la señal autocorrelacionada tendrá picos cuando el retardo es un número entero múltiple de la longitud de trama (por ejemplo, $1/f_v$), la transformada de Fourier incluirá un pico primario E a una frecuencia e , que representa la velocidad de regeneración vertical f_v . Los armónicos de órdenes mayores en los picos F y G se producen a aproximadamente números enteros múltiples de f_v .

15 Tal como se mencionó anteriormente, la periodicidad de las líneas horizontales puede captarse mediante picos secundarios en la señal autocorrelacionada. Por ejemplo, la periodicidad de línea horizontal puede reflejarse en la transformada de Fourier en un pico H de frecuencia mucho mayor que f_v y con amplitud significativa mayor que los picos F y G de los armónicos de órdenes mayores de f_v . Por ejemplo, un monitor de ordenador que tiene una velocidad de regeneración vertical f_v puede estar en el orden de menos de 100 Hz mientras que la velocidad de regeneración horizontal f_h está en el orden de los kHz. Por tanto, el pico que corresponde a f_h puede ser significativamente mayor en amplitud que los picos de los armónicos de orden superior de f_v que pueden estar cercanos. La información periódica f_v y/o f_h puede determinarse a partir de la transformada de Fourier de la señal autocorrelacionada y enviarse al módulo 316 de decodificación de la FPGA 14. Aplicar la transformada de Fourier puede ayudar a mejorar la determinación de los parámetros de temporización cuando la señal 314 demodulada tiene una relación de señal con respecto a ruido baja.

25 En otra realización, puede aplicarse un filtro a la señal autocorrelacionada antes de aplicar la transformada de Fourier. Realizar ventanas o filtrar la señal autocorrelacionada puede mejorar la recuperación de parámetros de temporización específicos mientras que se suprimen fuentes de ruido y falsos picos. En el ejemplo de la figura 8(c), se aplica un filtro paso bajo a la señal autocorrelacionada para atenuar los armónicos de orden superior en la señal autocorrelacionada. Como resultado, los armónicos de orden superior en los picos F y G, junto con el pico H mostrado en la figura 8(b) se atenúan significativamente o están ausentes de la transformada de Fourier. Por tanto, el uso de un filtro paso bajo puede simplificar la determinación de información de temporización reduciendo el número de picos a diferenciar e identificar. Puede apreciarse que puede aplicarse un filtro paso alto en lugar de un filtro paso bajo para aislar un pico diferente en la señal autocorrelacionada, por ejemplo, para identificar f_h a partir de la transformada de Fourier.

35 Tal como se mencionó anteriormente, el uso de un filtro puede usarse para aislar una frecuencia en la señal autocorrelacionada. Si la señal 314 demodulada incluye múltiples fuentes con parámetros de temporización similares pero únicos, un filtro puede ayudar a aislar una frecuencia por fuente en la señal autocorrelacionada y por tanto permitir que el dispositivo 10 de SDR determine cuándo múltiples fuentes están presentes en la señal 314 demodulada, tal como se indica mediante el número de distintos picos en la forma de onda de la transformada de Fourier resultante. La frecuencia en cada pico puede determinarse entonces y usarse posteriormente como la velocidad de regeneración vertical respectiva f_v cuando se decodifican múltiples señales que se superponen en la señal 314 demodulada.

45 En otra realización, el módulo 322 de correlación puede evaluar un parámetro de precisión o confianza de la información periódica generada. Tal como se mencionó anteriormente, la transformada de Fourier de la señal autocorrelacionada en la figura 8(b) incluirá armónicos de orden mayor a frecuencias f y g de frecuencia e . Por definición, los armónicos de orden superior deben producirse en números enteros múltiples de e y por tanto, los picos E, F y G deben estar separados la misma distancia. En un ejemplo, el módulo 322 de correlación puede calcular la frecuencia e y la diferencia entre sus armónicos de orden mayor (por ejemplo, $f-e$, $g-h$). La media de los valores calculados (es decir, e , $f-e$, y $g-h$) puede usarse como f_v y el parámetro de confianza puede calcularse como la desviación estándar de estos valores.

55 En otro ejemplo, una anchura del pico a partir del cual se obtiene información periódica puede calcularse y usarse como un parámetro de confianza. En el ejemplo de la figura 8(c), la frecuencia e' en el pico E' representa la velocidad de regeneración vertical f_v . La anchura del pico E' puede definirse como la distancia desde el centro (es decir, la frecuencia e') hasta una frecuencia en la que la amplitud de la señal decae hasta una fracción especificada (por ejemplo, $1/\sqrt{2}$) de la amplitud máxima del pico E'. Si el parámetro de confianza está por debajo de un valor aceptable, puede repetirse la correlación hasta que se satisface el requisito de confianza.

60 Volviendo a hacer referencia a la figura 7, en el bloque 712, el módulo 316 de decodificación obtiene información geométrica del módulo 330 geométrico. En un ejemplo, el módulo geométrico proporciona un valor de x_t y y_t seleccionado a partir de un conjunto de valores predeterminado. El conjunto de valores predeterminado puede limitarse, por ejemplo, a resoluciones de visualización que pertenecen a normas de pantallas de ordenador establecidos por organizaciones de la industria tales como VESA.

En el bloque 714, la FPGA 14 decodifica la señal 314 demodulada usando la información periódica y la información geométrica para generar una señal decodificada. Como parte de la decodificación de la señal 314 demodulada, el dispositivo 10 de SDR puede determinar la ubicación del inicio de cada trama de x_t por y_t píxeles dentro de la señal 314 demodulada para que la señal 318 decodificada identifique correctamente partes de la señal 314 demodulada que representan píxeles de imagen y pausas de retorno horizontal y vertical. Esta alineación permite que las imágenes representadas por la señal 318 decodificada se centren en un monitor de ordenador que visualiza la señal 318 decodificada.

En una realización, el módulo 316 de decodificación puede realizar la correlación cruzada de la señal 314 demodulada en función de una señal de referencia con información de sincronización conocida (es decir, ubicaciones de las pausas de retorno horizontal y vertical) que representa una imagen similar. La señal a la que se ha realizado correlación cruzada puede proporcionar un pico intenso en el desfase relativo entre la señal 314 demodulada y la señal de referencia. Compensar este desfase en la señal 314 demodulada permite que la información de sincronización de la señal de referencia se aplique a la señal 314 demodulada. En un ejemplo, el monitor 20 objetivo y el dispositivo 10 de SDR pueden estar de acuerdo con respecto a la señal de referencia. En otro ejemplo, la señal de referencia puede incluir una imagen conocida que probablemente se visualice en el monitor objetivo tal como un menú o botón de inicio de un sistema operativo popular. Puede apreciarse que la correlación cruzada de múltiples señales de referencia, representando cada una una imagen diferente que se visualiza normalmente en un monitor de ordenador, puede realizarse con la señal 314 demodulada y puede aplicarse la información de sincronización de la señal de referencia con la mayor correlación. En el caso de múltiples fuentes presentes en la señal 314 demodulada, la correlación cruzada de la señal 314 demodulada en función de una señal de referencia de una imagen conocida puede ayudar en la reconstrucción de temporización y mejora del rechazo de parámetros de señal indeseados.

En otra realización, el módulo 316 de decodificación puede identificar propiedades en la señal 314 demodulada específicas para pausas de retorno horizontal y vertical. Por ejemplo, los valores de tensión de las pausas de retorno horizontal y vertical pueden ser diferentes y únicos en relación con los valores de tensión para los píxeles de imagen.

En otra realización, la alineación de la señal 314 demodulada puede realizarse manualmente por un usuario que inspecciona la imagen resultante representada por la señal 314 demodulada mientras que se ajusta la fase de la trama con respecto a la señal 314 demodulada.

En el bloque 716, la señal decodificada se evalúa para determinar si la señal 318 decodificada produce una imagen inteligible. Si la señal 318 decodificada produce una imagen inteligible, la frecuencia de sintonización usada en el bloque 702 se almacena como la frecuencia de portadora f_c que va a usarse en el bloque 502 de la figura 5, y la información periódica e información geométrica se almacenan para su uso en el bloque 514 de la figura 5.

Si el mensaje decodificado no produce una imagen inteligible, la FPGA 14 repite los bloques 712 (para obtener un conjunto diferente de información geométrica), 714 y 716 (indicados por la línea discontinua 718) hasta que o bien la señal 318 decodificada produce una imagen inteligible o bien el módulo 330 geométrico no tiene ninguna información geométrica diferente que probar. En este último caso, el módulo 310 de sintonización puede proporcionar entonces una frecuencia de sintonización diferente a la utilidad 302 de procesamiento de modo que los bloques 702 a 716 pueden repetirse (indicados por la línea discontinua 720). La frecuencia de sintonización puede barrerse todo un intervalo de frecuencias hasta que se encuentra la frecuencia de portadora f_c , información periódica (por ejemplo, f_v), e información geométrica (por ejemplo, x_t y y_t) que producen una imagen inteligible.

En el proceso de inicialización a modo de ejemplo de la figura 7, el dispositivo 10 de SDR puede realizar los bloques 702 a 716 en un intervalo de frecuencias de sintonización hasta que se obtiene la frecuencia de portadora f_c . El módulo 310 de sintonización de FPGA 14 puede proporcionar el intervalo de frecuencia que va a barrerse. En una realización, el dispositivo 10 de SDR puede reducir el proceso de inicialización generando una señal 318 decodificada a una frecuencia de sintonización diferente antes de que se haya evaluado una señal 318 decodificada anterior. Por ejemplo, los bloques 702 a 708 pueden realizarse en un conjunto de frecuencias de sintonización de modo que la señal demodulada a cada frecuencia de sintonización se generará y enviará a la GPU 16 de manera secuencial. Puesto que la autocorrelación realizada en el bloque 710 puede llevar mucho más tiempo que los bloques 702 a 708 para generar una señal demodulada, pueden autocorrelacionarse múltiples señales demoduladas a diferentes frecuencias de sintonización mediante la GPU 16 en paralelo. Las capacidades de procesamiento en paralelo de la GPU 16 están bien adecuadas para realizar la autocorrelación, que generalmente incorpora FFT.

Una vez que se completa la autocorrelación para una señal demodulada a una frecuencia de sintonización particular, puede realizarse la decodificación en esa señal demodulada. Las señales decodificadas a diferentes frecuencias de sintonización y/o con diferente información geométrica también pueden evaluarse simultáneamente. Por ejemplo, pueden proporcionarse múltiples imágenes, correspondiendo cada una a la imagen de una señal decodificada con una frecuencia de sintonización diferente y/o diferente información geométrica a un usuario del dispositivo 10 de SDR para la selección de la imagen inteligible. Alternativamente, la selección de la imagen inteligible puede realizarse mediante el propio dispositivo 10, a través de la implementación de reconocimiento de imágenes y

software de análisis para identificar una imagen inteligible basándose en criterios predefinidos.

Puede apreciarse que el intervalo de frecuencia de sintonización y elecciones de información geométrica en el proceso de inicialización a modo de ejemplo pueden reducirse basándose en las especificaciones del monitor 22 objetivo. Por ejemplo, si se conoce la información geométrica del monitor 22 objetivo, los bloques 712 - 716 (indicados por la línea discontinua 718) no tienen que repetirse. En otro ejemplo, si el dispositivo electrónico que genera la señal 22 de emanación es un monitor de ordenador, el conjunto de información geométrica que va a usar en los bloques 712 a 716 puede limitarse a los modos de visualización posibles conocidos, tal como se exponen mediante la norma VESA, por ejemplo.

Volviendo de nuevo a la figura 5, en el bloque 508 se demodula la señal 306 digital. En el dispositivo de SDR a modo de ejemplo de la figura 3, el módulo 316 de decodificación de la FPGA 14 demodula la señal 306 digital. En una realización, el módulo 316 de decodificación puede incluir un módulo de detector de picos para detectar los picos o envolvente de la señal 306 digital usando una implementación digital adecuada para separar la forma de onda de portadora de sus datos subyacentes. Para mejorar la demodulación, puede promediarse un segmento de la señal demodulada (que incluye al menos una trama) con uno o más segmentos anteriores de la misma longitud. El promediado puede mejorar la demodulación y dar como resultado una imagen de mayor fidelidad que se genera posteriormente a partir de la señal 318 decodificada. La figura 9(a) ilustra una señal demodulada a modo de ejemplo de 3 longitudes de trama después de la detección de pico y la figura 9(b) ilustra una señal 314 demodulada a modo de ejemplo de la señal 306 digital después de promediar la trama actual k con las dos tramas anteriores $k-1$, y $k-2$ para crear una trama promediada k_{avg} con menos ruido.

En otra realización, el promediado puede producirse después de que se haya obtenido información periódica de la señal 314 demodulada. En esta realización, el módulo 312 de demodulación puede obtener la información periódica, tal como la velocidad de regeneración vertical f_v o longitud de trama, a partir del proceso del bloque 502, tal como se describe adicionalmente en la figura 7, e incorpora esta información periódica en el promediado llevado a cabo por el módulo 312 de demodulación. En otro ejemplo, el módulo 312 de demodulación puede enviar la señal 314 demodulada al módulo 322 de correlación de la GPU 16 para la generación de información periódica, que puede enviarse de nuevo al módulo 312 de demodulación para su uso en el promediado. En este ejemplo, el módulo 322 de correlación puede seguir funcionando, incluso después del proceso de inicialización de la figura 7.

Tal como se observa a partir de las figuras 5 y 7, el dispositivo 10 de SDR puede procesar la señal 306 digital en primer lugar en la FPGA 14, y después pasar la señal (con ancho de banda posiblemente reducido) a la GPU 16. Esto minimiza las transferencias de datos entre los componentes del dispositivo 10 que pueden consumir mucho tiempo, requerir el ancho de banda, y requerir una tara de protocolo significativa. Por tanto, el uso de la FPGA 14 para procesar la señal 306 digital antes de que la use la GPU 16 puede permitir que el dispositivo 10 de SDR procese información en tiempo real, o casi en tiempo real.

En otra realización, el proceso a modo de ejemplo de la figura 5 puede incluir operaciones adicionales para seguir y/o corregir errores en la señal 318 decodificada generada en el bloque 514 modificando la señal 318 decodificada. Por ejemplo, la señal 18 decodificada puede alimentarse a un módulo 320 de seguimiento de errores implementado en la FPGA 14. El módulo 320 de seguimiento de errores puede implementar un filtro Kalman, tal como un bucle de enganche de fase (PLL) para seguir la trama actual de la señal 318 decodificada en relación con una o más tramas anteriores de la señal 318 decodificada. En el ejemplo de un PLL, la señal decodificada anterior podría servir como la señal de referencia para reducir la cantidad de deriva en tramas posteriores de la señal decodificada 18.

En otra realización, el proceso a modo de ejemplo de la figura 5 puede incluir operaciones adicionales para seguir y/o corregir errores en la señal 318 decodificada generada en el bloque 514 generando uno o más parámetros usados en el proceso de la figura 5. Por ejemplo, el módulo 320 de seguimiento de errores puede medir uno o más parámetros de calidad de servicio (QoS) y si el parámetro de QoS alcanza un valor predefinido, el módulo 320 de seguimiento de errores puede activar el módulo de correlación de la GPU 16 para regenerar información periódica (que puede haber cambiado a lo largo del tiempo), y para configurar el módulo 316 de decodificación para que use la información periódica actualizada. En este ejemplo, los parámetros de QoS pueden usarse para sintonizar dinámicamente procesos o parámetros de algoritmo llevados a cabo por el dispositivo 10 para minimizar el consumo de tiempo y cálculos caros o flujos de señal tan sólo cuando se necesitan. El parámetro de QoS podría ser una medida de la calidad o error en la señal 318 decodificada, ser un intervalo de tiempo o ser cualquier otro parámetro adecuado. Además, el cálculo de los parámetros de QoS puede basarse en el estado actual del dispositivo 10, o también incorporar el historial del dispositivo 10.

Volviendo de nuevo a la figura 3, el dispositivo 10 de SDR en este ejemplo también puede incluir una CPU 18 configurada para proporcionar una interfaz 324 de usuario para permitir a un usuario que interactúe con el dispositivo 10 de SDR. La CPU 18 incluye un controlador 326 de GPU y un controlador 328 de FPGA. Los controladores 326 y 328 permiten que la CPU 18 se comunique con la FPGA 14 y la GPU 16 (por ejemplo, para programar la FPGA 14 y la GPU 16).

Volviendo a la figura 10, se muestra un diagrama de bloques de una capa 900 de aplicación de modo de ejemplo del

dispositivo 10 de SDR. En este ejemplo, la capa 900 de aplicación incluye un API 902 de SDR que proporciona las normas y especificaciones para acceder a los componentes del dispositivo 10, tal como la GPU 16 y la FPGA 14. Cada componente también tiene su propio controlador para conectarse con la API 902 de SDR (por ejemplo, el controlador 326 de GPU, el controlador 328 de FPGA). Por consiguiente, un usuario puede acceder al dispositivo 10 usando la interfaz 324 de usuario, que puede incluir una interfaz 904 de línea de comando (CLI), una interfaz 906 web de usuario (Web UI) y/o una interfaz 908 gráfica de usuario (GUI), que permiten la comunicación con los recursos de dispositivo a través de la API 902. En el ejemplo de la figura 10, la API 902 puede proporcionar acceso a una memoria 910 local o remota (por ejemplo, la memoria remota puede ser accesible a través de una red). La memoria 910 local o remota puede almacenar programas de GPU y flujos 912 de bits de FPGA usados para hacer funcionar el dispositivo 10 de SDR.

La capa 900 de aplicación proporciona una API común para usuarios remotos que se conectan al dispositivo 10 de SDR. El usuario puede conectarse al dispositivo con el fin de recibir datos desde el dispositivo 10 de SDR, inyectar datos para que se transmitan mediante el dispositivo 10 de SDR, o para configurar el dispositivo 10 de SDR. Puede apreciarse que el dispositivo 10 puede programarse para permitirle que actúe de manera autónoma para captar, transmitir, almacenar o comunicarse con otros dispositivos. La capa 900 de aplicación también proporciona unos medios mediante los cuales pueden enviarse datos procesados a través de otra conexión, de ancho de banda posiblemente menor, a usuarios remotos. La capa 900 de aplicación puede proporcionar un mecanismo mediante el cual los usuarios remotos pueden acceder y recuperar datos almacenados, así como modificar y programar el comportamiento del dispositivo 10.

En una realización, la Web UI 906 puede hacerse funcionar para permitir la comunicación entre el dispositivo 10 de SDR y un usuario remoto a través de internet. Por ejemplo, las conexiones al dispositivo 10 de SDR pueden realizarse a través de un protocolo de comunicación de internet tal como protocolo de control de transmisión/protocolo de Internet (TCP/IP). Un usuario puede comunicarse de manera remota con el dispositivo 10 de SDR usando un buscador web de terceros o software informático específico de SDR. En el ejemplo de un buscador web, pueden transferirse programas de GPU y flujos 912 de bits de FPGA a través de la red usando un protocolo de red tal como comandos POST de protocolo de transferencia de hipertexto (HTTP). La Web UI 906 puede recibir programas de GPU y enviarlos a la GPU 16 a través de la API 902 de SDR y el controlador 326 de GPU. La Web UI 906 puede recibir flujos de bits de FPGA y enviarlos a la FPGA 14 a través de la API 902 de SDR y el controlador 328 de FPGA. La Web UI 906 también puede hacerse funcionar para permitir que un usuario configure y controle el comportamiento del dispositivo 10 de SDR a través de los comandos GET de HTTP, por ejemplo. La Web UI 906 puede traducir los comandos GET de HTTP a llamadas de API para la API 902 de SDR.

Puede apreciarse que el software que se ejecuta en el dispositivo 10 de SDR no se restringe a un componente físico. Puede ejecutarse en la CPU 18, la GPU 16, la FPGA 14 y/o el extremo 12 frontal de RF. Cada componente físico puede realizar una tarea computacional diferente. Por ejemplo, la CPU 18 o la FPGA 14 puede proporcionar una interfaz de usuario, recuperar y almacenar datos a partir de la memoria, y programar y configurar dinámicamente la GPU 16 y el extremo 12 frontal de RF. La GPU 16 puede ejecutar tareas intensas computacionalmente tales como análisis espectral y criptoanálisis. El extremo 12 frontal de RF puede proporcionar los medios analógicos necesarios para una aplicación deseada.

Aunque se ha descrito el dispositivo 10 de SDR para interceptar una señal 22 de emanación, puede apreciarse que el dispositivo 10 de SDR también puede transmitir una señal con propiedades similares que la señal 22 de emanación. Por ejemplo, el dispositivo 10 de SDR puede modificarse para transmitir una señal con propiedades similares que la señal 22 de emanación proporcionando un transmisor similar al receptor descrito previamente sustituyendo el módulo 312 de demodulación con un módulo de modulación correspondiente, sustituyendo el módulo 316 de decodificación con un módulo de codificación correspondiente, y sustituyendo el ADC 304 y la utilidad 302 de preprocesamiento con un convertidor analógico digital (DAC) correspondiente y un flujo de bits de utilidad de preprocesamiento desde el DAC. Una vez que se conoce la información de sincronización y la frecuencia de portadora de la señal 22 de emanación (por ejemplo, tal como se determina durante el proceso de reconstrucción de la señal 24 de entrada a partir de la señal 22 de emanación), el dispositivo de SDR podría revertir simplemente el proceso descrito anteriormente para codificar una señal basándose en la información de sincronización, modular la señal codificada usando la frecuencia de portadora de la señal de emanación, convertir la señal modulada a una señal analógica y después transmitir la señal analógica usando la antena 28. Puede apreciarse además que el dispositivo 10 de SDR puede modificarse para tanto decodificar una señal 22 de emanación como transmitir una señal con propiedades similares a la señal 22 de emanación añadiendo, en lugar de sustituir, los componentes apropiados descritos anteriormente.

También puede apreciarse que el dispositivo 10 de SDR puede recibir señales de emanación desde otros dispositivos electrónicos además de monitores de ordenador. Por ejemplo, la radiación electromagnética que emana desde un teclado puede analizarse para determinar los datos introducidos usando el teclado (es decir, identificando la secuencia de teclas presionadas). El dispositivo 10 de SDR permite a su usuario reconstruir datos subrepticamente que pueden usarse de manera remota, sin el conocimiento del dispositivo o usuario que los origina de ese dispositivo.

- También puede apreciarse que el SDR 10 puede realizar actividades de gestión. Esto puede incluir usar la señal o información espectral para gestionar la propia conexión o comunicación. La actividad de gestión también puede incluir la monitorización de la red o entorno de RF ambiente para modificar los parámetros de protocolo de comunicación para optimizar la transmisión, recepción y otras características de comunicación. El dispositivo 10 de SDR puede elegir redefinir independientemente sus parámetros de transmisión, basándose en algoritmos predefinidos o de acuerdo con otros dispositivos. Estos algoritmos cognitivos pueden calcularse en la FPGA 14 o paralelizarse y calcularse en la GPU 16.
- 5
- 10 Aunque la invención se ha descrito con referencia a determinadas realizaciones específicas, resultarán evidentes a los expertos en la técnica diversas modificaciones de las mismas sin apartarse del alcance de la invención tal como se destaca en las reivindicaciones adjuntas en el presente documento.

REIVINDICACIONES

1. Método de decodificación de una señal (22) de radio mediante un dispositivo (10) electrónico, comprendiendo el método:
 - 5 recibir la señal (22) de radio;
 - digitalizar la señal (22) de radio;
 - 10 autocorrelacionar la señal (306) de radio digitalizada para generar una primera señal; y
 - determinar información periódica de la señal (22) de radio usando la primera señal, estando dicho método caracterizado porque la etapa de determinación de información periódica de la señal (22) de radio comprende:
 - 15 aplicar un filtro a la primera señal para generar una segunda señal, con el fin de mejorar la recuperación de parámetros de temporización específicos;
 - aplicar una transformada de Fourier a la segunda señal para generar una tercera señal;
 - 20 identificar uno o más picos en la tercera señal; y
 - comprendiendo además dicho método:
 - 25 generar un parámetro de confianza de la información periódica, calculando una información estadística del uno o más picos, o una anchura de un pico a partir de la que se obtiene información periódica;
 - cuando el parámetro de confianza está por debajo de un valor aceptable, repetir la autocorrelación, la determinación de información periódica y la generación del parámetro de confianza, hasta que el parámetro de confianza cumple el valor aceptable;
 - 30 decodificar la señal (22) de radio usando la información periódica.
- 35 2. Método según la reivindicación 1, en el que la determinación de información periódica de la señal (22) de radio usando la primera señal comprende identificar uno o más picos en la primera señal.
3. Método según una cualquiera de las reivindicaciones 1 y 2, en el que la señal (22) de radio comprende una señal de emanación de un dispositivo electrónico.
- 40 4. Método según la reivindicación 3, en el que el dispositivo electrónico comprende un monitor (20).
5. Método según la reivindicación 4, en el que la información periódica comprende al menos una de una velocidad de regeneración vertical (f_v) y una velocidad de regeneración horizontal (f_h).
- 45 6. Método según la reivindicación 5, en el que el método comprende además determinar una ubicación dentro de la señal (22) de radio como la ubicación de comienzo de una trama.
7. Método según la reivindicación 6, en el que la determinación de la ubicación comprende:
 - 50 realizar la correlación cruzada de la señal (22) de radio con una o más señales de referencia;
 - desplazar la señal (22) de radio mediante un desfase basándose en la correlación cruzada; y
 - 55 aplicar información de sincronización de una de la una o más señales de referencia a la señal (22) de radio.
8. Método según la reivindicación 6, en el que la determinación de la ubicación comprende identificar al menos una de una pausa de retorno vertical (v_0) y una pausa de retorno horizontal (h_0, h_1) en la señal (22) de radio.
- 60 9. Método según una cualquiera de las reivindicaciones 1 a 8 que comprende además demodular la señal (22) de radio antes de realizar la autocorrelación.
10. Dispositivo electrónico que comprende un extremo (12) frontal de radiofrecuencia, una unidad de procesamiento y memoria (12), almacenando la memoria (12) instrucciones ejecutables por ordenador que cuando se ejecutan mediante la unidad de procesamiento, hacen que el dispositivo electrónico realice el método según una cualquiera de las reivindicaciones 1 a 9.
- 65

11. Dispositivo electrónico según la reivindicación 10, en el que el extremo (12) frontal de radiofrecuencia recibe y digitaliza una señal (22) de radio, y en el que la unidad de procesamiento comprende una matriz (14) de puertas programable *in situ* en comunicación con el extremo (12) frontal de radiofrecuencia, la matriz (14) de puertas programable *in situ* para realizar procesamiento en serie en la señal (306) de radio digitalizada proporcionada por el extremo (12) frontal de radiofrecuencia.
- 5
12. Dispositivo electrónico según la reivindicación 11, en el que la unidad de procesamiento comprende además una unidad (16) de procesamiento de gráficos en comunicación con la matriz (14) de puertas programable *in situ* para realizar procesamiento en paralelo en la señal (306) de radio digitalizada proporcionada por la matriz de puertas programable *in situ*.
- 10
13. Dispositivo electrónico según la reivindicación 12, en el que al menos uno del extremo (12) frontal de radiofrecuencia, la matriz (14) de puertas programable *in situ* y la unidad (16) de procesamiento de gráficos está configurado para recibir datos a través de una red de comunicación, en el que los datos incluyen información de configuración para al menos uno del extremo (12) frontal de radiofrecuencia, la matriz (14) de puertas programable *in situ* y la unidad (16) de procesamiento de gráficos.
- 15
14. Medio de almacenamiento legible por ordenador para decodificar una señal (22) de radio mediante un dispositivo electrónico, comprendiendo el medio de almacenamiento legible por ordenador instrucciones ejecutables por ordenador que cuando se ejecutan mediante una unidad de procesamiento, hacen que el dispositivo electrónico realice el método según una cualquiera de las reivindicaciones 1 a 9.
- 20

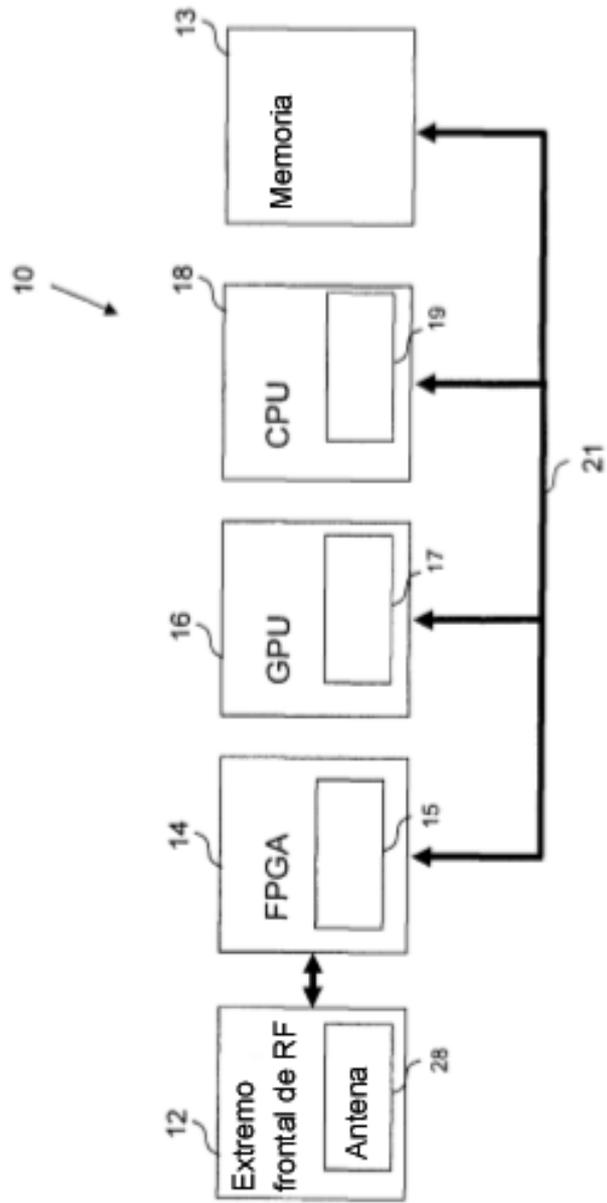


Figura 1

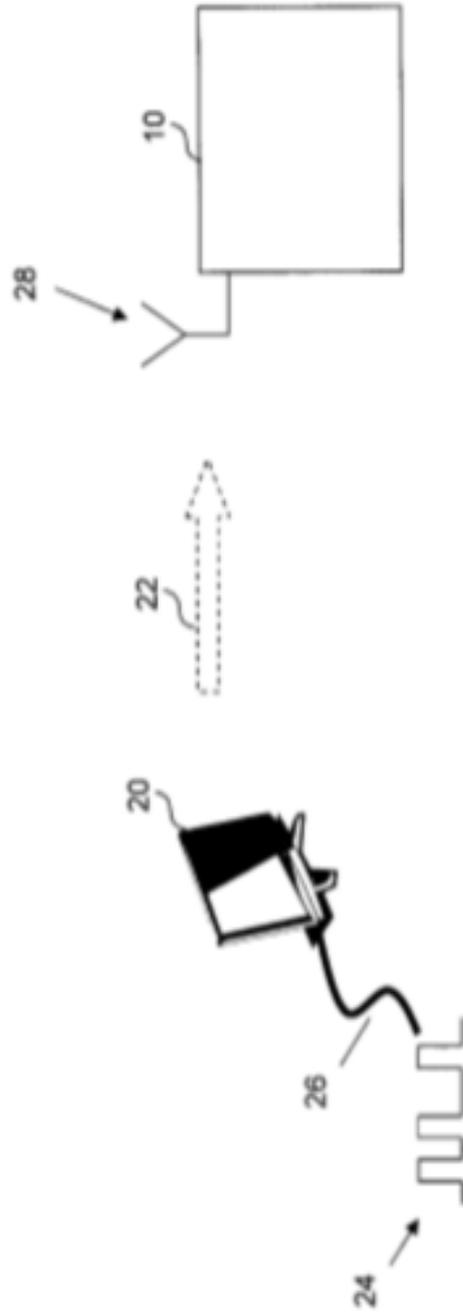


Figura 2

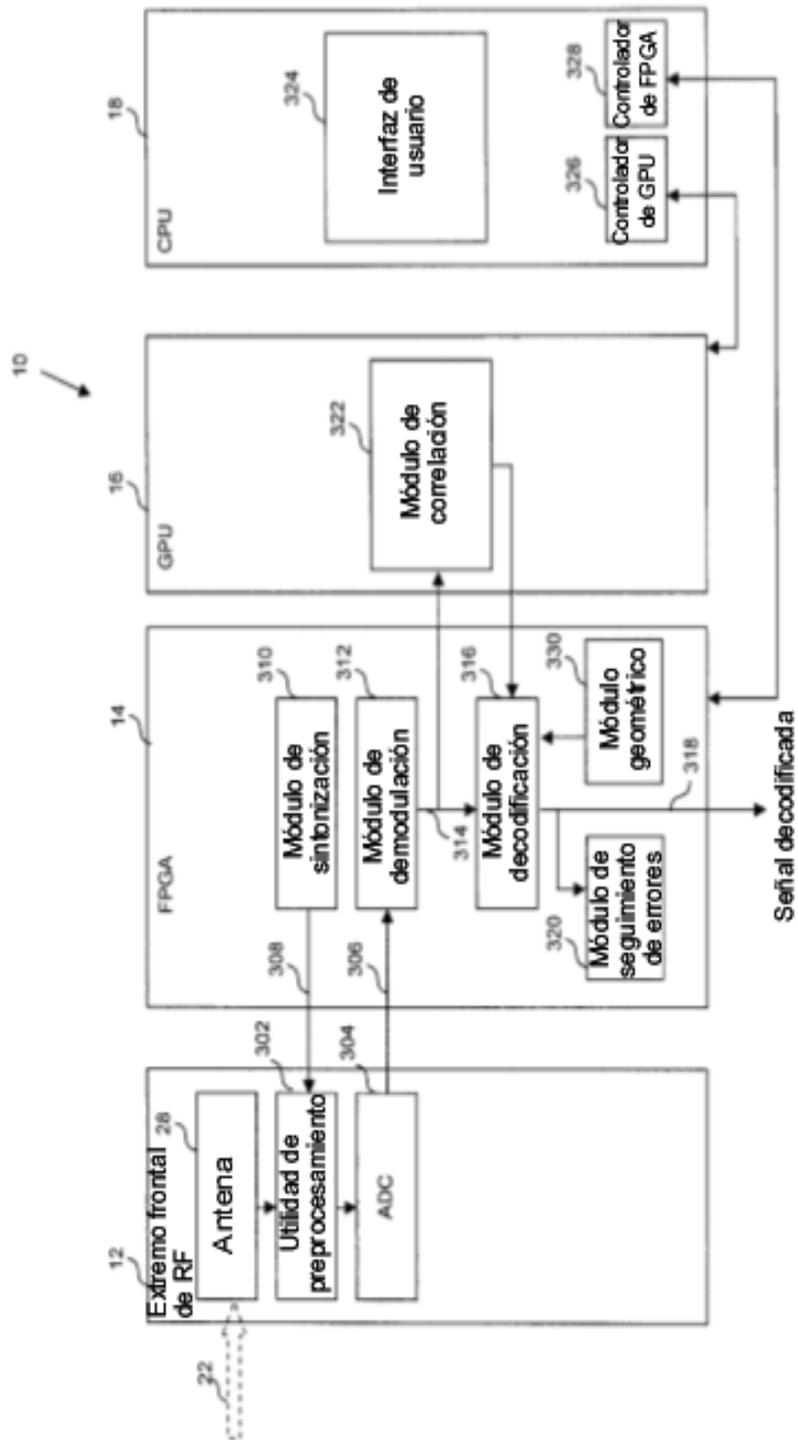


Figura 3

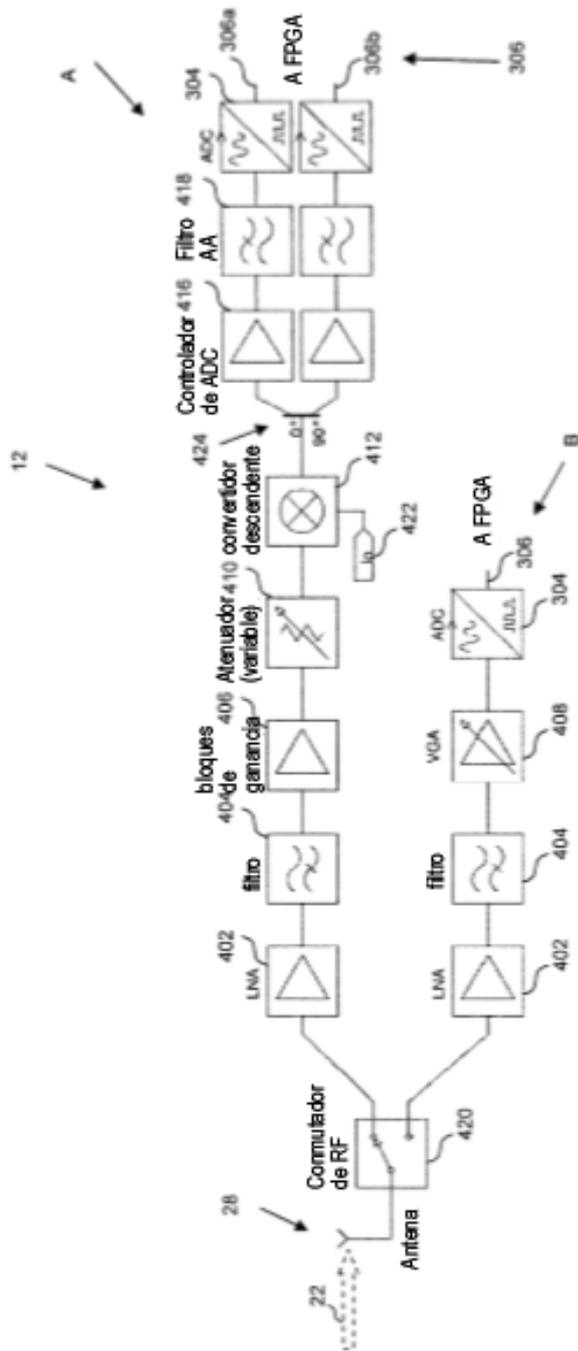


Figura 4

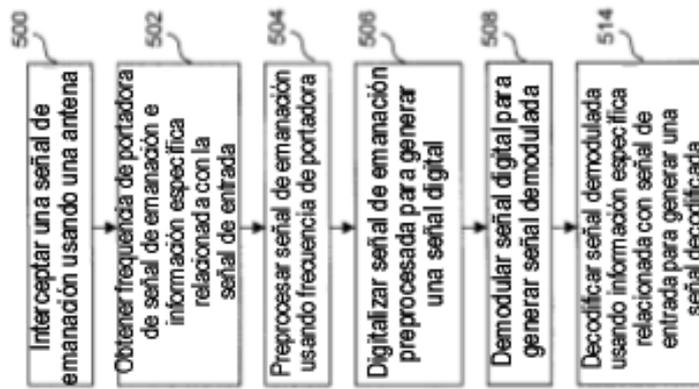


Figura 5

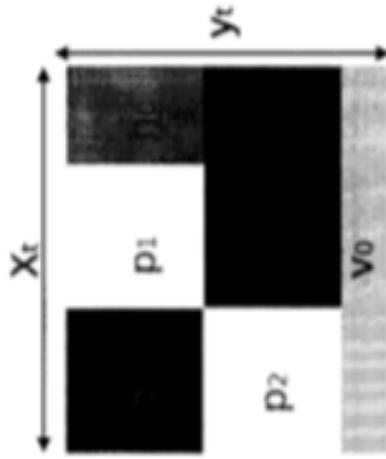


Figura 6(a)

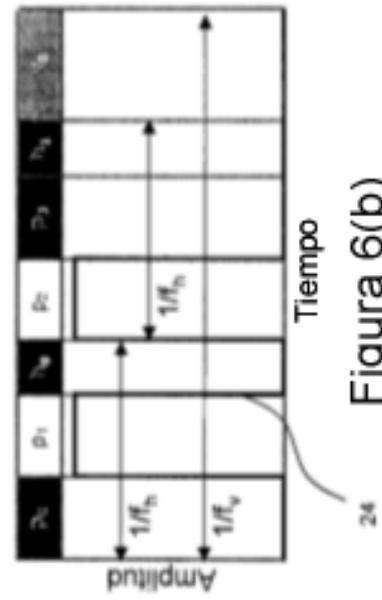


Figura 6(b)

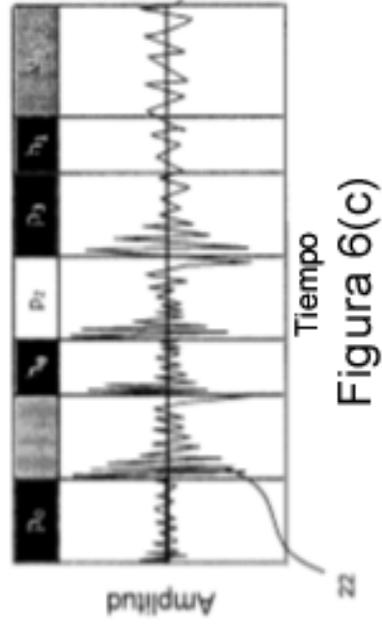


Figura 6(c)

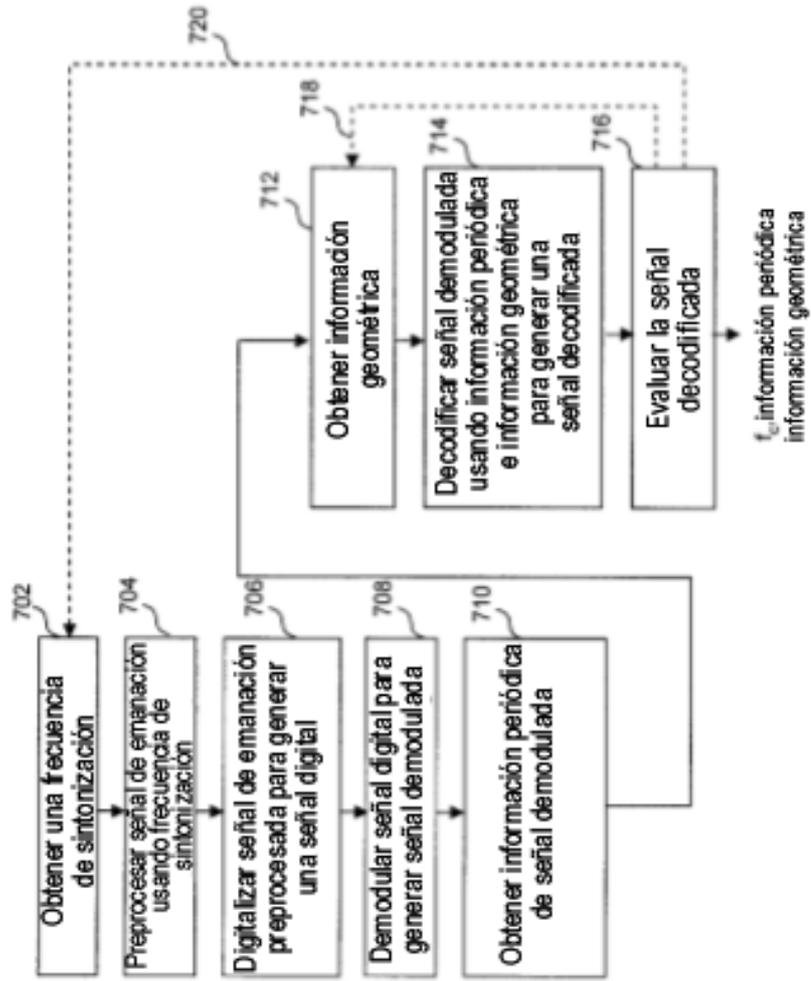


Figura 7

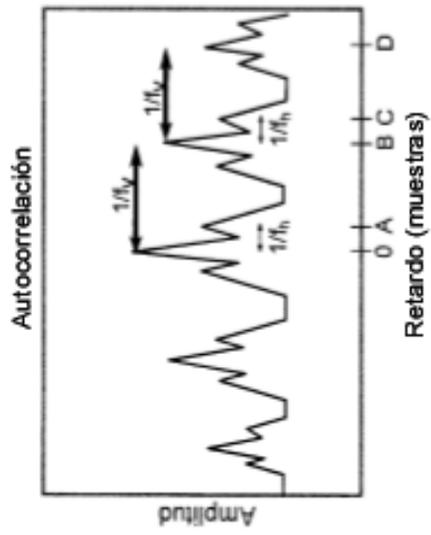


Figura 8(a)

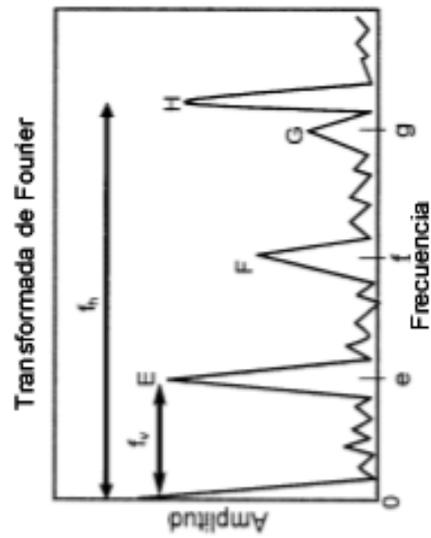


Figura 8(b)

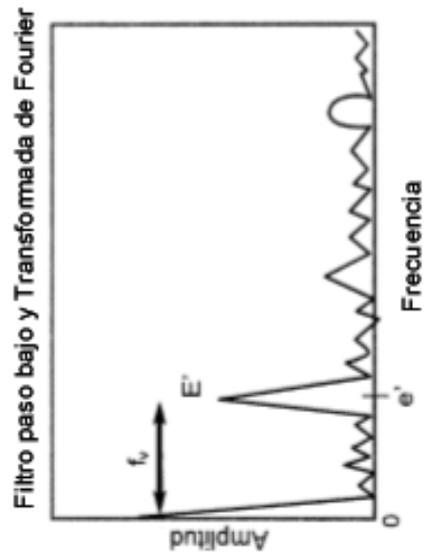


Figura 8(c)

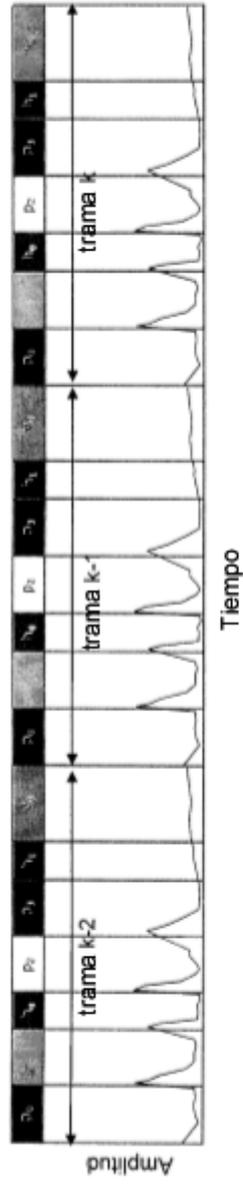


Figura 9(a)

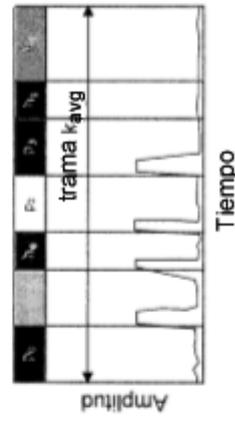


Figura 9(b)

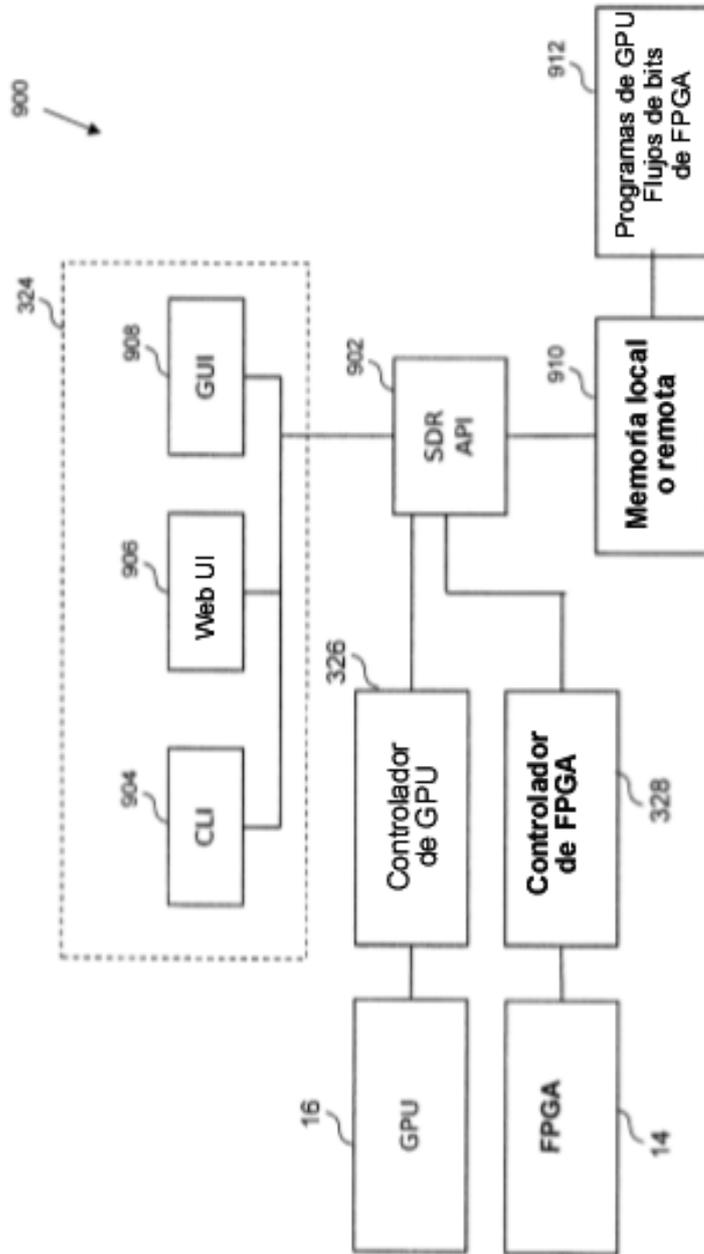


Figura 10