

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 792 051**

51 Int. Cl.:

**G06F 11/16** (2006.01)

**H03L 7/08** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **31.05.2016 PCT/CN2016/084178**

87 Fecha y número de publicación internacional: **07.12.2017 WO17206075**

96 Fecha de presentación y número de la solicitud europea: **31.05.2016 E 16903460 (0)**

97 Fecha y número de publicación de la concesión europea: **25.03.2020 EP 3457572**

54 Título: **Circuito de generación de reloj y procedimiento de generación de la señal de reloj**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**06.11.2020**

73 Titular/es:  
**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)  
Huawei Administration Building, Bantian,  
Longgang District  
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

**LI, HUA;  
GAO, YAN y  
MA, SHENG**

74 Agente/Representante:

**ELZABURU, S.L.P**

ES 2 792 051 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Circuito de generación de reloj y procedimiento de generación de la señal de reloj

**Campo técnico**

5 Esta solicitud se refiere al campo de las tecnologías de circuito, y, en particular, a un circuito de generación de reloj y a un procedimiento de generación de la señal de reloj.

**Antecedentes**

10 Una señal de reloj proporciona una secuencia de pulsos periódica a un componente en un circuito digital y asegura el funcionamiento normal del circuito digital. La señal de reloj puede generarse mediante el uso de un circuito de generación de reloj. El circuito de generación de reloj normalmente incluye una fuente de reloj, y un circuito de oscilación en la fuente de reloj se utiliza para generar un pulso periódico que se utiliza como señal de reloj.

15 Para mejorar la fiabilidad del circuito de generación de reloj, se pueden disponer dos fuentes de reloj tales como una fuente de reloj primaria y una fuente de reloj secundaria en el circuito de generación de reloj. La fuente de reloj primaria y la fuente de reloj secundaria generan una señal de reloj. Un circuito de detección dedicado está dispuesto en el circuito de generación de reloj para detectar si la fuente de reloj primaria tiene un fallo, y cuando se detecta que no se emite señal de reloj desde la fuente de reloj primaria, se emite una señal de reloj desde la fuente de reloj secundaria. En el procedimiento anterior, se debe tomar un período de tiempo desde el tiempo en el que la fuente de reloj primaria deja de emitir una señal de reloj hasta el tiempo en el que el circuito de detección detecta que la fuente de reloj primaria deja de emitir una señal de reloj y la fuente de reloj secundaria está seleccionada. En este período de tiempo, el circuito de generación de reloj no puede proporcionar una señal de reloj correcta.

20 En conclusión, en un circuito de generación de reloj actual, se produce el problema de que una señal de reloj emitida por el circuito de generación de reloj se interrumpe cuando una fuente de reloj no puede funcionar normalmente.

25 El documento JP 2 996290 B2 describe la conmutación de un oscilador activo a un oscilador de reserva. Un detector de fase compara las fases de las señales de salida de dos osciladores para proporcionar el resultado de la detección a un circuito de control. El circuito de control cierra un interruptor de conmutación del oscilador de reserva cuando la diferencia de fase es cero y abre el interruptor de conmutación del oscilador activo justo después. El documento US 2015/227162 describe un aparato que incluye un detector de error de fase, un detector de alineación de fase y un circuito de selección. El detector de error de fase está configurado para generar una indicación de una diferencia de fase relativa entre una primera señal de reloj de referencia y una segunda señal de reloj de referencia.

30 El detector de alineación de fase está configurado para recibir la indicación de la diferencia de fase relativa y determinar cuándo la diferencia de fase relativa satisface un umbral preestablecido. El circuito de selección está configurado para efectuar la transición de proporcionar la primera señal de reloj de referencia como una señal de referencia del sistema de reloj a proporcionar la segunda señal de reloj de referencia como la señal de referencia del sistema de reloj en respuesta al detector de alineación de fase que detecta que la diferencia de fase relativa satisface el umbral preestablecido.

35 El documento JP H04 158420 A (NEC CORP) 1 de junio de 1992 (1992-06-01), describe un oscilador de reloj redundante de un microcontrolador, que monitoriza las salidas de dos generadores de reloj y conmuta entre ellos en caso de fallo del reloj principal.

**Compendio**

40 En vista de esto, se proporcionan un circuito de generación de reloj y un procedimiento de generación de la señal de reloj, para resolver un problema de que una señal de reloj emitida por un circuito de generación de reloj se interrumpe cuando una fuente de reloj no puede funcionar normalmente.

Según un primer aspecto, una realización de esta solicitud proporciona un circuito de generación de reloj, donde el circuito de generación de reloj incluye una primera fuente de reloj, una segunda fuente de reloj y un circuito de puerta lógica.

45 La primera fuente de reloj está acoplada al circuito de puerta lógica y la segunda fuente de reloj está acoplada al circuito de puerta lógica, la primera fuente de reloj incluye un primer circuito de oscilación y un primer circuito de polarización de corriente continua, el primer circuito de oscilación está acoplado al primer circuito de polarización de corriente continua, y el primer circuito de polarización de corriente continua está acoplado al circuito de puerta lógica, donde

50 el primer circuito de oscilación está configurado para generar una primera señal de reloj; y

el primer circuito de polarización de corriente continua está configurado para: eliminar un componente de corriente continua de la primera señal de reloj y superponer una primera tensión de corriente continua en la primera señal de

reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj, donde

5 un valor de tensión de la primera tensión de corriente continua es mayor que un umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la primera tensión de corriente continua es menor que una diferencia entre un umbral de decisión de nivel bajo del circuito de puerta lógica y un valor de tensión de nivel bajo de la primera señal de reloj;

la segunda fuente de reloj está configurada para generar una tercera señal de reloj, donde un valor absoluto de una diferencia entre una frecuencia de la tercera señal de reloj y una frecuencia de la segunda señal de reloj es menor que un primer valor preestablecido; y

10 el circuito de puerta lógica está configurado para: recibir la segunda señal de reloj y la tercera señal de reloj, y realizar una operación lógica AND en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.

15 Por medio de la solución anterior, el primer circuito de polarización de corriente continua en la primera fuente de reloj superpone una primera tensión de corriente continua en una primera señal de reloj emitida por el primer circuito de oscilación, para generar una segunda señal de reloj. Se realiza una operación lógica AND en la segunda señal de reloj y una tercera señal de reloj que es generada por la segunda fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, cuando el primer circuito de oscilación no puede funcionar normalmente, un circuito de generación de reloj

20 aún puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj cuando la conmutación se realiza desde la primera fuente de reloj a la segunda fuente de reloj.

En una posible implementación, la segunda fuente de reloj incluye un segundo circuito de oscilación y un segundo circuito de polarización de corriente continua, el segundo circuito de oscilación está acoplado al segundo circuito de polarización de corriente continua, y el segundo circuito de polarización de corriente continua está acoplado al circuito de puerta lógica, donde

25 el segundo circuito de oscilación está configurado para generar una quinta señal de reloj; y

el segundo circuito de polarización de corriente continua está configurado para: eliminar un componente de corriente continua de la quinta señal de reloj y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, donde

30 un valor de tensión de la segunda tensión de corriente continua es mayor que el umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la segunda tensión de corriente continua es menor que una diferencia entre el umbral de decisión de nivel bajo del circuito de puerta lógica y un valor de tensión de nivel bajo de la quinta señal de reloj.

35 Por medio de la solución anterior, el segundo circuito de polarización de corriente continua en la segunda fuente de reloj superpone una segunda tensión de corriente continua en una quinta señal de reloj emitida por el segundo circuito de oscilación, para generar una tercera señal de reloj. Se realiza una operación lógica AND en la tercera señal de reloj y una segunda señal de reloj que es generada por la primera fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, independientemente de si falla la primera fuente de reloj o la segunda fuente de reloj, el circuito de generación de reloj puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj después de que falla la primera fuente de reloj o la segunda fuente de reloj.

40 En una posible implementación, la segunda fuente de reloj es una fuente de reloj controlada, y el circuito de generación de reloj incluye además un circuito de control, donde

el circuito de control está configurado para: generar una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj; y

45 la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que el valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

Por medio de la solución anterior, se puede implementar el ajuste de frecuencia y/o fase para la segunda fuente de reloj, es decir, la fuente de reloj controlada, por medio del control mediante el circuito de control.

50 En una posible implementación, un primer circuito de retardo se acopla adicionalmente entre el primer circuito de oscilación y el circuito de puerta lógica; y

el primer circuito de retardo está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la segunda señal de reloj es la primera duración; o

el primer circuito de retardo está configurado para retardar la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua recibe la primera señal de reloj es la segunda duración.

5 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj puede seleccionarse a propósito acoplado el primer circuito de retardo entre el primer circuito de oscilación y el circuito de puerta lógica.

En una posible implementación, un segundo circuito de retardo se acopla adicionalmente entre la segunda fuente de reloj y el circuito de puerta lógica; y

10 el segundo circuito de retardo está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración.

Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj puede seleccionarse a propósito acoplado el segundo circuito de retardo entre la segunda fuente de reloj y el circuito de puerta lógica.

15 En una posible implementación, un segundo circuito de retardo se acopla adicionalmente entre el segundo circuito de oscilación y el circuito de puerta lógica; y

el segundo circuito de retardo está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración; o

20 el segundo circuito de retardo está configurado para retardar la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua recibe la quinta señal de reloj es la segunda duración.

25 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj puede seleccionarse a propósito acoplado el segundo circuito de retardo entre el segundo circuito de oscilación y el circuito de puerta lógica.

30 En una posible implementación, un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la tercera señal de reloj es menor que la duración de nivel alto de la segunda señal de reloj; o

35 un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la segunda señal de reloj es menor que la duración de nivel alto de la tercera señal de reloj.

40 Según un segundo aspecto, una realización de esta solicitud proporciona un procedimiento de generación de la señal de reloj, donde el procedimiento se aplica a un circuito de generación de reloj, el circuito de generación de reloj incluye una primera fuente de reloj, una segunda fuente de reloj y un circuito de puerta lógica, y la primera fuente de reloj incluye un primer circuito de oscilación y un primer circuito de polarización de corriente continua; y el procedimiento incluye:

generar, mediante el primer circuito de oscilación, una primera señal de reloj;

enviar, mediante el primer circuito de oscilación, la primera señal de reloj al primer circuito de polarización de corriente continua; y

45 eliminar, mediante el primer circuito de polarización de corriente continua, un componente de corriente continua de la primera señal de reloj, y superponer una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj, donde

50 un valor de tensión de la primera tensión de corriente continua es mayor que un umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la primera tensión de corriente continua es menor que una diferencia entre un umbral de decisión de nivel bajo del circuito de puerta lógica y un valor de tensión de nivel bajo de la segunda señal de reloj;

generar, mediante la segunda fuente de reloj, una tercera señal de reloj, donde la diferencia entre las frecuencias de la tercera señal de reloj y la segunda señal de reloj es menor que un primer valor preestablecido; y

recibir, mediante el circuito de puerta lógica, la segunda señal de reloj y la tercera señal de reloj, y realizar una operación lógica AND en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.

5 Por medio de la solución anterior, un primer circuito de polarización de corriente continua en una primera fuente de reloj superpone una primera tensión de corriente continua en una primera señal de reloj emitida por un primer circuito de oscilación, para generar una segunda señal de reloj. Se realiza una operación lógica AND en la segunda señal de reloj y una tercera señal de reloj que es generada por una segunda fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, cuando el primer circuito de oscilación no puede funcionar normalmente, un circuito de generación de reloj aún puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj cuando la conmutación se realiza desde la primera fuente de reloj a la segunda fuente de reloj.

10 En una posible implementación, la segunda fuente de reloj incluye un segundo circuito de oscilación y un segundo circuito de polarización de corriente continua; y

la generación, mediante la segunda fuente de reloj, de una tercera señal de reloj incluye específicamente:

generar, mediante el segundo circuito de oscilación, una quinta señal de reloj; y

15 enviar, mediante el segundo circuito de oscilación, la quinta señal de reloj al segundo circuito de polarización de corriente continua; y eliminar, mediante el segundo circuito de polarización de corriente continua, un componente de corriente continua de la quinta señal de reloj, y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, donde

20 un valor de tensión de la segunda tensión de corriente continua es mayor que el umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la segunda tensión de corriente continua es menor que una diferencia entre el umbral de decisión de nivel bajo del circuito de puerta lógica y un valor de tensión de nivel bajo de la quinta señal de reloj.

25 Por medio de la solución anterior, un segundo circuito de polarización de corriente continua en una segunda fuente de reloj superpone una segunda tensión de corriente continua en una quinta señal de reloj emitida por un segundo circuito de oscilación, para generar una tercera señal de reloj. Se realiza una operación lógica AND en la tercera señal de reloj y una segunda señal de reloj que es generada por una primera fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, independientemente de si falla la primera fuente de reloj o la segunda fuente de reloj, un circuito de generación de reloj puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj después de que falla la primera fuente de reloj o la segunda fuente de reloj.

30 En una posible implementación, la segunda fuente de reloj es una fuente de reloj controlada, y el circuito de generación de reloj incluye además un circuito de control; y el procedimiento incluye, además:

generar, mediante el circuito de control, una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj; y

35 la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que un valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

Por medio de la solución anterior, se puede implementar el ajuste de frecuencia y/o fase para una segunda fuente de reloj, es decir, una fuente de reloj controlada, por medio del control mediante un circuito de control.

40 En una posible implementación, el circuito de generación de reloj incluye además un primer circuito de retardo, y el procedimiento incluye, además:

retardar, mediante el primer circuito de retardo está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la segunda señal de reloj es la primera duración; o

45 retardar, mediante el primer circuito de retardo, la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua recibe la primera señal de reloj es la segunda duración.

50 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por un circuito de generación de reloj puede seleccionarse a propósito retardando una segunda señal de reloj o una primera señal de reloj mediante el uso de un primer circuito de retardo.

En una posible implementación, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración.

5 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por un circuito de generación de reloj puede seleccionarse a propósito retardando una tercera señal de reloj mediante el uso de un segundo circuito de retardo.

En una posible implementación, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

10 retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración; o

retardar, mediante el segundo circuito de retardo, la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua recibe la quinta señal de reloj es la segunda duración.

15 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por un circuito de generación de reloj puede seleccionarse a propósito retardando una tercera señal de reloj o una quinta señal de reloj mediante el uso de un segundo circuito de retardo.

20 En una posible implementación, un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la tercera señal de reloj es menor que la duración de nivel alto de la segunda señal de reloj; o

25 un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la segunda señal de reloj es menor que la duración de nivel alto de la tercera señal de reloj.

30 Según un tercer aspecto, una realización de esta solicitud proporciona un circuito de generación de reloj, donde el circuito de generación de reloj incluye una primera fuente de reloj, una segunda fuente de reloj y un circuito de puerta lógica, donde la primera fuente de reloj está acoplada al circuito de puerta lógica y la segunda fuente de reloj está acoplada al circuito de puerta lógica.

La primera fuente de reloj incluye un primer circuito de oscilación y un primer circuito de polarización de corriente continua, el primer circuito de oscilación está acoplado al primer circuito de polarización de corriente continua, y el primer circuito de polarización de corriente continua está acoplado al circuito de puerta lógica, donde

35 el primer circuito de oscilación está configurado para generar una primera señal de reloj;

el primer circuito de polarización de corriente continua está configurado para: eliminar un componente de corriente continua de la primera señal de reloj y superponer una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj, donde

40 un valor de tensión de la primera tensión de corriente continua es menor que un umbral de decisión de nivel bajo del circuito de puerta lógica, y el valor de tensión de la primera tensión de corriente continua es mayor que una diferencia entre un umbral de decisión de nivel alto del circuito de puerta lógica y un valor de tensión de nivel alto de la primera señal de reloj;

45 la segunda fuente de reloj está configurada para generar una tercera señal de reloj, donde un valor absoluto de una diferencia entre una frecuencia de la tercera señal de reloj y una frecuencia de la segunda señal de reloj es menor que un primer valor preestablecido; y

el circuito de puerta lógica está configurado para: recibir la segunda señal de reloj y la tercera señal de reloj, y realizar una operación lógica OR en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.

50 Por medio de la solución anterior, el primer circuito de polarización de corriente continua en la primera fuente de reloj superpone una primera tensión de corriente continua en una primera señal de reloj emitida por el primer circuito de oscilación, para generar una segunda señal de reloj. Se realiza una operación lógica OR en la segunda señal de reloj y una tercera señal de reloj que es generada por la segunda fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, cuando el primer circuito de oscilación no puede funcionar normalmente, un circuito de generación de

reloj aún puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj cuando la conmutación se realiza desde la primera fuente de reloj a la segunda fuente de reloj.

5 En una posible implementación, la segunda fuente de reloj incluye un segundo circuito de oscilación y un segundo circuito de polarización de corriente continua, el segundo circuito de oscilación está acoplado al segundo circuito de polarización de corriente continua, y el segundo circuito de polarización de corriente continua está acoplado al circuito de puerta lógica, donde

el segundo circuito de oscilación está configurado para generar una quinta señal de reloj; y

10 el segundo circuito de polarización de corriente continua está configurado para: eliminar un componente de corriente continua de la quinta señal de reloj y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, donde

un valor de tensión de la segunda tensión de corriente continua es menor que el umbral de decisión de nivel bajo del circuito de puerta lógica, y el valor de tensión de la segunda tensión de corriente continua es mayor que una diferencia entre el umbral de decisión de nivel alto del circuito de puerta lógica y un valor de tensión de nivel alto de la quinta señal de reloj.

15 Por medio de la solución anterior, el segundo circuito de polarización de corriente continua en la segunda fuente de reloj superpone una segunda tensión de corriente continua en una quinta señal de reloj emitida por el segundo circuito de oscilación, para generar una tercera señal de reloj. Se realiza una operación lógica OR en la tercera señal de reloj y una segunda señal de reloj que es generada por la primera fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, independientemente de si falla la primera fuente de reloj o la segunda fuente de reloj, el circuito de generación de reloj puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj después de que falla la primera fuente de reloj o la segunda fuente de reloj.

20

En una posible implementación, la segunda fuente de reloj es una fuente de reloj controlada, y el circuito de generación de reloj incluye además un circuito de control, donde

25 el circuito de control está configurado para: generar una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj; y

la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que un valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

30 Por medio de la solución anterior, se puede implementar el ajuste de frecuencia y/o fase para la segunda fuente de reloj, es decir, la fuente de reloj controlada, por medio del control mediante el circuito de control.

En una posible implementación, un primer circuito de retardo se acopla adicionalmente entre el primer circuito de oscilación y el circuito de puerta lógica; y

35 el primer circuito de retardo está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la segunda señal de reloj es la primera duración; o

el primer circuito de retardo está configurado para retardar la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua recibe la primera señal de reloj es la segunda duración.

40 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj puede seleccionarse a propósito acoplando el primer circuito de retardo entre el primer circuito de oscilación y el circuito de puerta lógica.

En una posible implementación, un segundo circuito de retardo se acopla adicionalmente entre la segunda fuente de reloj y el circuito de puerta lógica; y

45 el segundo circuito de retardo está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración.

50 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj puede seleccionarse a propósito acoplando el segundo circuito de retardo entre la segunda fuente de reloj y el circuito de puerta lógica.

En una posible implementación, un segundo circuito de retardo se acopla adicionalmente entre el segundo circuito de oscilación y el circuito de puerta lógica; y

el segundo circuito de retardo está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración; o

- 5 el segundo circuito de retardo está configurado para retardar la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua recibe la quinta señal de reloj es la segunda duración.

Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj puede seleccionarse a propósito acoplando el segundo circuito de retardo entre el segundo circuito de oscilación y el circuito de puerta lógica.

- 10 En una posible implementación, un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la tercera señal de reloj es menor que la duración de nivel bajo de la segunda señal de reloj; o

- 15 un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la segunda señal de reloj es menor que la duración de nivel bajo de la tercera señal de reloj.

- 20 Según un cuarto aspecto, una realización de esta solicitud proporciona un procedimiento de generación de la señal de reloj, donde el procedimiento se aplica a un circuito de generación de reloj, el circuito de generación de reloj incluye una primera fuente de reloj, una segunda fuente de reloj y un circuito de puerta lógica, y la primera fuente de reloj incluye un primer circuito de oscilación y un primer circuito de polarización de corriente continua; y el procedimiento incluye:

- 25 generar, mediante el primer circuito de oscilación, una primera señal de reloj;

enviar, mediante el primer circuito de oscilación, la primera señal de reloj al primer circuito de polarización de corriente continua;

- 30 eliminar, mediante el primer circuito de polarización de corriente continua, un componente de corriente continua de la primera señal de reloj, y superponer una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj, donde

un valor de tensión de la primera tensión de corriente continua es menor que un umbral de decisión de nivel bajo del circuito de puerta lógica, y el valor de tensión de la primera tensión de corriente continua es mayor que una diferencia entre un umbral de decisión de nivel alto del circuito de puerta lógica y un valor de tensión de nivel alto de la segunda señal de reloj;

- 35 generar, mediante la segunda fuente de reloj, una tercera señal de reloj, donde la diferencia entre las frecuencias de la tercera señal de reloj y la segunda señal de reloj es menor que un primer valor preestablecido; y

recibir, mediante el circuito de puerta lógica, la segunda señal de reloj y la tercera señal de reloj, y realizar una operación lógica OR en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.

- 40 Por medio de la solución anterior, un primer circuito de polarización de corriente continua en una primera fuente de reloj superpone una primera tensión de corriente continua en una primera señal de reloj emitida por un primer circuito de oscilación, para generar una segunda señal de reloj. Se realiza una operación lógica OR en la segunda señal de reloj y una tercera señal de reloj que es generada por una segunda fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, cuando el primer circuito de oscilación no puede funcionar normalmente, un circuito de generación de reloj aún puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj cuando la conmutación se realiza desde la primera fuente de reloj a la segunda fuente de reloj.

- 45 En una posible implementación, la segunda fuente de reloj incluye un segundo circuito de oscilación y un segundo circuito de polarización de corriente continua; y

la generación, mediante la segunda fuente de reloj, de una tercera señal de reloj incluye específicamente:

generar, mediante el segundo circuito de oscilación, una quinta señal de reloj; y

- 50 enviar, mediante el segundo circuito de oscilación, la quinta señal de reloj al segundo circuito de polarización de corriente continua; y eliminar, mediante el segundo circuito de polarización de corriente continua, un componente de corriente continua de la quinta señal de reloj, y superponer una segunda tensión de corriente continua en la quinta

señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, donde

5 un valor de tensión de la segunda tensión de corriente continua es menor que el umbral de decisión de nivel bajo del circuito de puerta lógica, y el valor de tensión de la segunda tensión de corriente continua es mayor que una diferencia entre el umbral de decisión de nivel alto del circuito de puerta lógica y un valor de tensión de nivel alto de la quinta señal de reloj.

10 Por medio de la solución anterior, un segundo circuito de polarización de corriente continua en una segunda fuente de reloj superpone una segunda tensión de corriente continua en una quinta señal de reloj emitida por un segundo circuito de oscilación, para generar una tercera señal de reloj. Se realiza una operación lógica OR en la tercera señal de reloj y una segunda señal de reloj que es generada por una primera fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, independientemente de si falla la primera fuente de reloj o la segunda fuente de reloj, un circuito de generación de reloj puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj después de que falla la primera fuente de reloj o la segunda fuente de reloj.

15 En una posible implementación, la segunda fuente de reloj es una fuente de reloj controlada, y el circuito de generación de reloj incluye además un circuito de control; y el procedimiento incluye, además:

generar, mediante el circuito de control, una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj; y

20 la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que un valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

Por medio de la solución anterior, se puede implementar el ajuste de frecuencia y/o fase para una segunda fuente de reloj, es decir, una fuente de reloj controlada, por medio del control mediante un circuito de control.

En una posible implementación,

25 el circuito de generación de reloj incluye además un primer circuito de retardo, y el procedimiento incluye, además: retardar, mediante el primer circuito de retardo, la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la segunda señal de reloj es la primera duración; o

30 retardar, mediante el primer circuito de retardo, la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua recibe la primera señal de reloj es la segunda duración.

Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por un circuito de generación de reloj puede seleccionarse a propósito retardando una segunda señal de reloj o una primera señal de reloj mediante el uso de un primer circuito de retardo.

35 En una posible implementación, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración.

40 Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por un circuito de generación de reloj puede seleccionarse a propósito retardando una tercera señal de reloj mediante el uso de un segundo circuito de retardo.

En una posible implementación, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

45 retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración; o

50 retardar, mediante el segundo circuito de retardo, la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua recibe la quinta señal de reloj es la segunda duración.

Por medio de la solución anterior, un flanco ascendente de una señal de reloj emitida por un circuito de generación de reloj puede seleccionarse a propósito retardando una tercera señal de reloj o una quinta señal de reloj mediante el uso de un segundo circuito de retardo.

5 En una posible implementación, un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la tercera señal de reloj es menor que la duración de nivel bajo de la segunda señal de reloj; o

10 un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la segunda señal de reloj es menor que la duración de nivel bajo de la tercera señal de reloj.

### Breve descripción de los dibujos

- 15 La FIG. 1 muestra un circuito de generación de reloj en la técnica anterior;
- la FIG. 2 es un diagrama esquemático de duración cuando una señal de reloj en el circuito de generación de reloj que se muestra en la FIG. 1 se interrumpe;
- la FIG. 3 muestra un primer circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 4 muestra un segundo circuito de generación de reloj según una realización de esta solicitud;
- 20 la FIG. 5 muestra un tercer circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 6 muestra un cuarto circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 7 muestra un quinto circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 8 es un diagrama esquemático de realización de una operación lógica AND en una segunda señal de reloj retardada y una tercera señal de reloj retardada que están en un circuito de generación de reloj;
- 25 la FIG. 9 es un diagrama esquemático de un error de fase entre una tercera señal de reloj y una segunda señal de reloj;
- la FIG. 10 muestra un sexto circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 11 muestra un séptimo circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 12 muestra un octavo circuito de generación de reloj según una realización de esta solicitud;
- 30 la FIG. 13 muestra un noveno circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 14 muestra un décimo circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 15 es un diagrama de flujo de un primer procedimiento de generación de reloj según una realización de esta solicitud;
- la FIG. 16 muestra un undécimo circuito de generación de reloj según una realización de esta solicitud;
- 35 la FIG. 17 muestra un duodécimo circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 18 muestra un decimotercero circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 19 muestra un decimocuarto circuito de generación de reloj según una realización de esta solicitud;
- la FIG. 20 muestra un decimoquinto circuito de generación de reloj según una realización de esta solicitud;
- 40 la FIG. 21 es un diagrama esquemático de realización de una operación lógica OR en una segunda señal de reloj retardada y una tercera señal de reloj retardada; y
- la FIG. 22 es un diagrama de flujo de un segundo procedimiento de generación de reloj según una realización de esta solicitud.

### Descripción de las realizaciones

Para que los objetivos, las soluciones técnicas y las ventajas de esta solicitud sean más comprensibles, a continuación se proporcionan descripciones detalladas. Las descripciones detalladas proporcionan diversas implementaciones de un dispositivo y/o un procedimiento mediante el uso de diagramas de bloques, diagramas de flujo y/o ejemplos. Estos diagramas de bloques, diagramas de flujo y/o ejemplos incluyen una o más funciones y/u operaciones. Las personas en la técnica pueden comprender que cada función y/u operación en los diagramas de bloques, los diagramas de flujo y/o los ejemplos se pueden realizar de forma independiente y/o conjunta mediante el uso de diversos hardware, software y firmware, y/o cualquier combinación de los mismos.

En esta solicitud, un umbral de decisión de nivel alto de un circuito de puerta lógica se refiere a un valor de tensión preestablecido. Cuando un valor de tensión de una señal introducida en el circuito de puerta lógica es mayor que el valor de tensión preestablecido, el circuito de puerta lógica utiliza la señal introducida como "1" lógico.

En esta solicitud, un umbral de decisión de nivel bajo de un circuito de puerta lógica se refiere a un valor de tensión preestablecido. Cuando un valor de tensión de una señal introducida en el circuito de puerta lógica es menor que el valor de tensión preestablecido, el circuito de puerta lógica utiliza la señal introducida como "0" lógico.

En esta solicitud, una señal de reloj se refiere a una secuencia de pulsos de reloj de uno o más períodos consecutivos. Si cada período de un pulso comienza con un flanco ascendente, un pulso de reloj de cada período incluye un flanco ascendente, un nivel alto, un flanco descendente y un nivel bajo. Por supuesto, cada período puede comenzar con otro tiempo del pulso de reloj, por ejemplo, un tiempo de inicio del nivel alto. La duración de los períodos de la señal de reloj no es necesariamente completamente igual. Por ejemplo, en las realizaciones de esta solicitud, la duración de cada período de una señal emitida por una fuente de reloj controlada puede variar dentro de un intervalo de sintonización de la fuente de reloj controlada.

Un circuito de generación de reloj usado comúnmente se muestra en la FIG. 1. Un oscilador de cristal 101 y un oscilador de cristal 102 están conectados a un extremo de salida mediante el uso de un multiplexor (en inglés, Multiplexer, MUX) 103, y el extremo de salida emite una secuencia de pulsos de reloj, es decir, una señal de reloj emitida por el circuito de generación de reloj. Si el multiplexor 103 selecciona una señal de reloj del oscilador de cristal 101 o del oscilador de cristal 102 está controlado por un módulo de detección 104. Un procedimiento de selección común es: Cuando el oscilador de cristal 101 y el oscilador de cristal 102 funcionan normalmente, la señal de reloj emitida por el oscilador de cristal 101 se selecciona preferentemente. Cuando se detecta que se pierde la señal de reloj emitida por el oscilador de cristal 101, se selecciona la señal de reloj emitida por el oscilador de cristal 102. En el circuito de generación de reloj que se muestra en la FIG. 1, debe tomarse una duración específica para completar un proceso desde un tiempo en el que se pierde la señal de reloj emitida por el oscilador de cristal 101, hasta un tiempo en el que el módulo de detección 104 detecta e informa que la señal de reloj emitida por el oscilador de cristal 101 se pierde y un tiempo en el que el circuito de generación de reloj se conmuta al oscilador de cristal 102. Como se muestra en la FIG. 2, en una duración de  $t_1$  a  $t_2$ , la señal de reloj emitida por el circuito de generación de reloj se interrumpe, provocando la interrupción de la señal de reloj. Así mismo, para asegurar la calidad de detección del módulo de detección 104, el módulo de detección necesita una fuente de reloj con mayor precisión para proporcionar una señal de reloj, originando altos costes.

Para resolver un problema de que una señal de reloj emitida por un circuito de generación de reloj se interrumpe cuando una fuente de reloj no puede funcionar normalmente, en las realizaciones de esta solicitud, un circuito de polarización de corriente continua en una primera fuente de reloj superpone una primera tensión de corriente continua en una primera señal de reloj emitida por un primer circuito de oscilación, para generar una segunda señal de reloj. Se realiza una operación lógica en la segunda señal de reloj y una tercera señal de reloj que es generada por una segunda fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, cuando el primer circuito de oscilación no puede funcionar normalmente, un circuito de generación de reloj aún puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj cuando la conmutación se realiza desde la primera fuente de reloj a la segunda fuente de reloj.

A continuación se describen las realizaciones de esta solicitud en detalle con referencia a los dibujos adjuntos.

Una realización de esta solicitud proporciona un circuito de generación de reloj 300. Como se muestra en la FIG. 3, el circuito de generación de reloj 300 incluye una primera fuente de reloj 301, una segunda fuente de reloj 302 y un circuito de puerta lógica 303. La primera fuente de reloj 301 está acoplada al circuito de puerta lógica 303, y la segunda fuente de reloj 302 está acoplada al circuito de puerta lógica 303. La primera fuente de reloj 301 incluye un primer circuito de oscilación 304 y un primer circuito de polarización de corriente continua 305, el primer circuito de oscilación 304 está acoplado al primer circuito de polarización de corriente continua 305, y el primer circuito de polarización de corriente continua 305 está acoplado al circuito de puerta lógica 303.

El primer circuito de oscilación 304 está configurado para generar una primera señal de reloj.

El primer circuito de polarización de corriente continua 305 está configurado para: eliminar un componente de corriente continua de la primera señal de reloj y superponer una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj, donde un valor de tensión de la primera tensión de corriente continua es mayor que un umbral de decisión de

nivel alto del circuito de puerta lógica 303, y el valor de tensión de la primera tensión de corriente continua es menor que una diferencia entre un umbral de decisión de nivel bajo del circuito de puerta lógica 303 y un valor de tensión de nivel bajo de la primera señal de reloj.

5 La segunda fuente de reloj 302 está configurada para generar una tercera señal de reloj, donde un valor absoluto de una diferencia entre una frecuencia de la tercera señal de reloj y una frecuencia de la segunda señal de reloj es menor que un primer valor preestablecido.

El circuito de puerta lógica 303 está configurado para realizar una operación lógica AND en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.

10 Por ejemplo, el primer circuito de oscilación 304 puede incluir un oscilador de cristal (en inglés, "crystal oscillator" para abreviar), un sistema microelectromecánico a base de silicio (en inglés, Micro-Electro-Mechanical System, MEMS) o un oscilador inductor-condensador.

Por ejemplo, la segunda fuente de reloj 302 puede incluir un oscilador de cristal, un sistema microelectromecánico a base de silicio (en inglés, Micro-Electro-Mechanical System, MEMS) o un oscilador inductor-condensador.

15 Cabe destacar que, el valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido se refiere a que la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es fundamentalmente la misma. Por ejemplo, en una ventana de tiempo de observación relativamente grande, las frecuencias de la tercera señal de reloj y la segunda señal de reloj son las mismas. Por ejemplo, si el primer valor preestablecido es 1‰, una diferencia de frecuencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj en cualquier momento no sobrepasa el 1‰. El  
20 primer valor preestablecido específico se puede determinar según la precisión requerida por el circuito de generación de reloj 300.

25 Por ejemplo, en el primer circuito de polarización de corriente continua 305, se puede implementar una función de eliminación del componente de corriente continua de la primera señal de reloj mediante el uso de un condensador. Un extremo del condensador está conectado al primer circuito de oscilación 304, y el otro extremo está conectado a un módulo, que implementa la superposición de la primera tensión de corriente continua, en el primer circuito de polarización de corriente continua 305.

30 Por ejemplo, el circuito de puerta lógica 303 puede implementarse mediante el uso de software o hardware. Por ejemplo, una implementación del circuito de puerta lógica 303 incluye, pero no se limita a, una matriz de puertas programables in situ (en inglés, field-programmable gate array, FPGA), un circuito integrado específico de la aplicación (application-specific integrated circuit, ASIC), o una unidad central de procesamiento (en inglés, central processing unit, CPU).

La primera fuente de reloj 301 está configurada para generar la segunda señal de reloj.

35 El primer circuito de polarización de corriente continua 305 está configurado para: eliminar el componente de corriente continua de la primera señal de reloj y superponer la primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la segunda señal de reloj.

40 Si el primer circuito de oscilación 304 normalmente genera la primera señal de reloj, la primera señal de reloj obtenida después de que se elimina el componente de corriente continua puede ser aproximadamente una onda rectangular de niveles altos y niveles bajos alternos. Puesto que el componente de corriente continua es aproximadamente igual a cero, un valor de tensión de nivel alto de la primera señal de reloj obtenida después de que se elimina el componente de corriente continua es un valor mayor que cero, y un valor de tensión de nivel bajo de la primera señal de reloj obtenida después de que se elimina el componente de corriente continua es un valor menor que cero. La segunda  
45 señal de reloj emitida por el primer circuito de polarización de corriente continua 305 es una onda rectangular cuya frecuencia es fundamentalmente igual a la de la primera señal de reloj, y un valor de tensión de la segunda señal de reloj es la suma de un valor de tensión de la primera señal de reloj y el valor de tensión de la primera tensión de corriente continua.

50 Si el primer circuito de oscilación 304 tiene un fallo y deja de funcionar, un valor de tensión emitido por el primer circuito de oscilación 304 es un valor particular de tensión de corriente continua. Por ejemplo, si el primer circuito de oscilación 304 detiene la oscilación cuando la primera señal de reloj está en un nivel alto, el valor de tensión que es introducido por el primer circuito de oscilación 304 en el primer circuito de polarización de corriente continua 305 siempre se mantiene en un valor de tensión cuando la primera señal de reloj está en el nivel alto. Un valor de tensión emitido por el primer circuito de polarización de corriente continua 305 es una suma del valor de tensión de la primera tensión de corriente continua y el valor de tensión de nivel alto de la primera señal de reloj.

55 Puesto que el valor de tensión de la primera tensión de corriente continua es mayor que el umbral de decisión de nivel alto del circuito de puerta lógica 303, y el valor de tensión de la primera tensión de corriente continua es menor que la diferencia entre el umbral de decisión de nivel bajo del circuito de puerta lógica 303 y el valor de tensión de nivel bajo de la segunda señal de reloj, cuando el primer circuito de oscilación 304 funciona con normalidad, el circuito de puerta

lógica 303 usa un nivel alto de la segunda señal de reloj como "1" lógico y usa un nivel bajo de la segunda señal de reloj como "0" lógico. Por supuesto, las personas expertas en la técnica pueden entender que, el umbral de decisión de nivel alto, el umbral de decisión de nivel bajo, un valor de tensión de nivel alto de la segunda señal de reloj, el valor de tensión de nivel bajo de la segunda señal de reloj, el valor de tensión de la primera tensión de corriente continua, y la diferencia entre el umbral de decisión de nivel bajo y el valor de tensión de nivel bajo de la segunda señal de reloj puede ser un valor mayor o igual que 0 o puede ser un valor menor que 0.

Por lo tanto, si el primer circuito de oscilación 304 funciona con normalidad, cuando la segunda señal de reloj introducida y la tercera señal de reloj introducidas están ambas en el nivel alto, la cuarta señal de reloj emitida por el circuito de puerta lógica 303 está en el nivel alto. Cuando cualquiera de la segunda señal de reloj y la tercera señal de reloj que se introducen en el circuito de puerta lógica 303 está en un nivel bajo, la cuarta señal de reloj emitida por el circuito de puerta lógica 303 está en el nivel bajo.

Opcionalmente, un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica 303 recibe el flanco ascendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica 303 recibe el flanco ascendente de la tercera señal de reloj es menor que la duración de nivel alto de la segunda señal de reloj. De forma alternativa, un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica 303 recibe el flanco ascendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica 303 recibe el flanco ascendente de la segunda señal de reloj es menor que la duración de nivel alto de la tercera señal de reloj. Por lo tanto, una fase de la segunda señal de reloj recibida por el circuito de puerta lógica 303 está fundamentalmente sincronizada con una fase de la tercera señal de reloj recibida por el circuito de puerta lógica 303.

Cabe destacar que, la segunda señal de reloj y la tercera señal de reloj pueden ser una secuencia de pulsos de reloj que incluye múltiples periodos. Por lo tanto, la segunda señal de reloj puede incluir múltiples flancos ascendentes, y para el circuito de puerta lógica 303, hay múltiples tiempos para recibir los flancos ascendentes de la segunda señal de reloj. Del mismo modo, para el circuito de puerta lógica 303, también hay múltiples tiempos para recibir flancos ascendentes de la tercera señal de reloj. A menos que se especifique lo contrario en esta solicitud, cuando "un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la segunda señal de reloj" y "un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la tercera señal de reloj" se mencionan en asociación entre sí, se refiere a un primer tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente particular de la segunda señal de reloj, y un segundo tiempo de los múltiples tiempos en el que el circuito de puerta lógica 303 recibe los múltiples flancos ascendentes de la tercera señal de reloj. El segundo tiempo es un tiempo que es más cercano al primer tiempo de los múltiples tiempos.

Por ejemplo, si el primer tiempo en el que el circuito de puerta lógica 303 recibe el flanco ascendente particular de la segunda señal de reloj es un momento 0, y los múltiples tiempos en los que el circuito de puerta lógica 303 recibe los múltiples flancos ascendentes de la tercera señal de reloj son por separado un momento -5, un momento -1, un momento 3 y un momento 7, el segundo tiempo es el momento -1. Para poner otro ejemplo, si el primer tiempo en el que el circuito de puerta lógica 303 recibe el flanco ascendente particular de la segunda señal de reloj es un momento 0, y los múltiples tiempos en los que el circuito de puerta lógica 303 recibe los múltiples flancos ascendentes de la tercera señal de reloj son por separado un momento -7, un momento -3, un momento 1 y un momento 5, el segundo tiempo es el momento 1.

Cuando el primer circuito de oscilación 304 detiene la oscilación, el circuito de puerta lógica 303 usa el valor de tensión emitido por el primer circuito de polarización de corriente continua 305, como "1" lógico. Si el primer circuito de oscilación 304 detiene la oscilación, la cuarta señal de reloj emitida por el circuito de puerta lógica 303 es un resultado obtenido al realizar una operación lógica AND en el "1" lógico y la tercera señal de reloj.

Por medio de la solución anterior, no es necesario disponer un circuito de detección dedicado en el circuito de generación de reloj 300. Independientemente de si la primera fuente de reloj funciona con normalidad o si la primera fuente de reloj deja de funcionar, el circuito de generación de reloj 300 puede emitir una señal de reloj que cumpla un requisito, de modo que el circuito de generación de reloj 300 no provoque la interrupción de la salida de señal puesto que el primer circuito de oscilación 304 en la primera fuente de reloj 301 detiene la oscilación.

La FIG. 4 es un diagrama estructural esquemático de un circuito de generación de reloj 300b. El circuito de generación de reloj 300b que se muestra en la FIG. 4 se obtiene extendiendo el circuito de generación de reloj 300 que se muestra en la FIG. 3. Concretamente, la segunda fuente de reloj 302 que se muestra en la FIG. 3 puede extenderse para obtener una segunda fuente de reloj 302b que se muestra en la FIG. 4. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 4 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 3. Para el mismo contenido técnico en la solución que se muestra en la FIG. 4 y en la solución que se muestra en la FIG. 3, los detalles no se describen a continuación nuevamente.

Concretamente, la segunda fuente de reloj 302b que se muestra en la FIG. 4 incluye específicamente un segundo circuito de oscilación 306 y un segundo circuito de polarización de corriente continua 307. Como se muestra en la FIG. 4, el segundo circuito de oscilación 306 está acoplado al segundo circuito de polarización de corriente continua 307, y el segundo circuito de polarización de corriente continua 307 está acoplado al circuito de puerta lógica 303.

5 El segundo circuito de oscilación 306 está configurado para generar una quinta señal de reloj.

El segundo circuito de polarización de corriente continua 307 está configurado para: eliminar un componente de corriente continua de la quinta señal de reloj y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj. Un valor de tensión de la segunda tensión de corriente continua es mayor que el umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la segunda tensión de corriente continua es menor que una diferencia entre el umbral de decisión de nivel bajo del circuito de puerta lógica y un valor de tensión de nivel bajo de la quinta señal de reloj.

Por ejemplo, una implementación específica del segundo circuito de polarización de corriente continua 307 puede ser la misma que una implementación específica del primer circuito de polarización de corriente continua 305, y los detalles no se describen aquí nuevamente.

Por medio de la solución anterior, independientemente de si la primera fuente de reloj deja de generar una señal de reloj o si la segunda fuente de reloj deja de generar una señal de reloj, el circuito de generación de reloj puede generar de forma continua una señal de reloj correcta. Esto mejora la fiabilidad del circuito de generación de reloj.

La FIG. 5 es un diagrama estructural esquemático de un circuito de generación de reloj 300c. El circuito de generación de reloj 300c que se muestra en la FIG. 5 se obtiene extendiendo el circuito de generación de reloj 300 que se muestra en la FIG. 3. Concretamente, la segunda fuente de reloj 302 que se muestra en la FIG. 3 puede extenderse para obtener una segunda fuente de reloj 302c que se muestra en la FIG. 5. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 5 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 3. Para el mismo contenido técnico en la solución que se muestra en la FIG. 5 y en la solución que se muestra en la FIG. 3, los detalles no se describen a continuación nuevamente.

Como se muestra en la FIG. 5, la segunda fuente de reloj 302 puede ser una fuente de reloj controlada, y el circuito de generación de reloj 300c incluye además un circuito de control 308.

El circuito de control 308 está configurado para: generar una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj 302c.

La señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

Por ejemplo, que la segunda fuente de reloj 302c es una fuente de reloj controlada puede ser que la segunda fuente de reloj 302c incluya un circuito de oscilación controlado. Una implementación específica del circuito de oscilación controlado incluye, pero no se limita a, un oscilador de cristal controlado por tensión, un oscilador controlado digitalmente (en inglés, Digital-Controlled Oscillator, DCO), un oscilador controlado numéricamente (en inglés, Numerically-Controlled Oscillator, NCO), un sintetizador digital directo (en inglés, Direct Digital Synthesizer, DDS) y similares.

Concretamente, el circuito de control 308 está configurado para formar un mecanismo de realimentación negativa según las señales de reloj emitidas por la primera fuente de reloj 301 y la segunda fuente de reloj 302c, para ajustar la frecuencia y/o la fase de la tercera señal de reloj generada por la segunda fuente de reloj 302c.

En un ejemplo, el mecanismo de realimentación negativa puede ser: obtener la diferencia entre las frecuencias de la segunda señal de reloj y la tercera señal de reloj. Cuando la frecuencia de la segunda señal de reloj es mayor que la frecuencia de la tercera señal de reloj, la señal de control se configura para aumentar la frecuencia de la tercera señal de reloj. Cuando la frecuencia de la tercera señal de reloj es mayor que la frecuencia de la segunda señal de reloj, la señal de control se utiliza para disminuir la frecuencia de la tercera señal de reloj. De esta manera, si la frecuencia de la segunda señal de reloj es mayor que la de la tercera señal de reloj, la segunda fuente de reloj 302c aumenta la frecuencia de la tercera señal de reloj según una señal de control utilizada para aumentar la frecuencia, hasta que la frecuencia de la tercera señal de reloj sea mayor que la frecuencia de la segunda señal de reloj. Posteriormente, la segunda fuente de reloj 302c recibe además una señal de control utilizada para disminuir la frecuencia, y disminuye la frecuencia de la tercera señal de reloj.

Los expertos en la materia pueden entender que, si la primera fuente de reloj 301 funciona normalmente, las frecuencias de la primera señal de reloj emitida por el primer circuito de oscilación 304 y la segunda señal de reloj emitida por el primer circuito de polarización de corriente continua 305 permanecen fundamentalmente sin cambios. Por lo tanto, la frecuencia de la segunda señal de reloj obtenida por el circuito de control 308 se puede obtener desde

un extremo de salida del primer circuito de polarización de corriente continua 305, o se puede obtener desde un extremo de salida del primer circuito de oscilación 304, o se puede obtener desde un extremo de salida de otro componente, que puede obtener una señal con la misma frecuencia, en la primera fuente de reloj 301. Asimismo, la frecuencia de la tercera señal de reloj que se obtiene por el circuito de control 308 se puede obtener desde un extremo de salida de la segunda fuente de reloj 302c o desde un extremo de salida de un componente particular en la segunda fuente de reloj 302c. Por ejemplo, cuando una implementación utilizada para la segunda fuente de reloj 302c es la misma que para una segunda fuente de reloj 302b que se muestra en la FIG. 4, la frecuencia de la tercera señal de reloj se puede obtener desde un extremo de salida de un segundo circuito de oscilación 306, o se puede obtener desde el segundo circuito de polarización de corriente continua 307.

En otro ejemplo, el mecanismo de realimentación negativa puede ser: obtener la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj. Por ejemplo, cuando una fase de la segunda señal de reloj va por detrás de una fase de la tercera señal de reloj, la señal de control se utiliza para disminuir la frecuencia de la tercera señal de reloj, a fin de disminuir la diferencia de fase entre la tercera señal de reloj y la segunda señal de reloj. Cuando la fase de la segunda señal de reloj precede a la fase de la tercera señal de reloj, la señal de control se utiliza para aumentar la frecuencia de la tercera señal de reloj, a fin de disminuir la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj.

Cabe destacar que, si no existe un retardo obvio entre la salida de la primera señal de reloj mediante el primer circuito de oscilación 304, la salida de la segunda señal de reloj mediante el primer circuito de polarización de corriente continua 305, y la recepción de la segunda señal de reloj mediante el circuito de puerta lógica 303, una fase que es de la primera señal de reloj o de la segunda señal de reloj y que se obtiene desde uno cualquiera de los módulos anteriores se puede utilizar por el circuito de control 308 como la fase de la segunda señal de reloj. Del mismo modo, si no existe un retardo obvio entre los módulos de la segunda fuente de reloj, una fase que es de la señal de reloj y que se obtiene desde uno cualquiera en la segunda fuente de reloj 302c se puede utilizar por el circuito de control 308 como la fase de la tercera señal de reloj. Por supuesto, si las fases de las dos señales de reloj se obtienen desde los extremos de salida de los módulos que tienen una estructura similar de la primera fuente de reloj 301 y la segunda fuente de reloj 302c, por ejemplo, si las fases de las dos señales de reloj se obtienen por separado desde el extremo de salida del primer circuito de oscilación 304 y desde un extremo de salida del circuito de oscilación controlado en la segunda fuente de reloj 302c, se puede obtener una diferencia de fase más exacta, de modo que la frecuencia de la tercera señal de reloj generada por la segunda fuente de reloj 302c se puede controlar con más exactitud.

Cabe destacar que, cuando el primer circuito de oscilación 304 detiene la oscilación, es equivalente a que la frecuencia que es de la segunda señal de reloj y que se obtiene por el circuito de control 308 sea siempre menor que la frecuencia de la tercera señal de reloj, o la fase de la segunda señal de reloj siempre vaya por detrás de la fase de la tercera señal de reloj. Por lo tanto, la señal de control que es enviada por el circuito de control 308 a la segunda fuente de reloj 302c es siempre una señal de control utilizada para disminuir la frecuencia de la tercera señal de reloj. Por lo tanto, la frecuencia de la tercera señal de reloj emitida por la segunda fuente de reloj 302c se reduce gradualmente bajo el control del circuito de control 308, y finalmente, puede reducirse a un límite inferior de frecuencia de un intervalo de sintonización del circuito de oscilación controlado en la segunda fuente de reloj 302c. El intervalo de sintonización se refiere a un intervalo en el que puede alcanzar la frecuencia de una señal de reloj generada por el circuito de oscilación controlado bajo el control de la señal de control. Por lo tanto, la segunda fuente de reloj 302c, que se utiliza como fuente de reloj controlada, necesita hacer que el intervalo de sintonización del circuito de oscilación controlado cumpla un requisito sobre la precisión de reloj del circuito de generación de reloj.

Por ejemplo, si la precisión del reloj del circuito de generación de reloj requiere que la frecuencia de una señal, que se emite, esté ubicada entre  $f_1$  y  $f_2$ , la frecuencia de la tercera señal de reloj generada por la segunda fuente de reloj 302c bajo el control de la señal de control tampoco debe sobrepasar el intervalo de  $f_1$  a  $f_2$ . Al configurar el intervalo de sintonización (por ejemplo, el intervalo de sintonización <100 partes por millón (en inglés, part per million, ppm)) del circuito de oscilación controlado, una deriva de la frecuencia de una señal de reloj emitida por el circuito de oscilación controlado puede no afectar la salida de una señal de reloj mediante el circuito de generación de reloj 300. Cuando se establece el intervalo de sintonización del circuito de oscilación controlado, el intervalo de sintonización se puede determinar según un requisito de precisión de la cuarta señal de reloj generada por el circuito de generación de reloj 300c. Una mayor precisión de la cuarta señal de reloj indica un intervalo de sintonización más pequeño.

Los expertos en la materia pueden entender que, debido a que cada una de la segunda señal de reloj y la tercera señal de reloj es una secuencia de pulsos de reloj que dura un período de duración o incluye uno o más períodos, que la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj se refiere específicamente a que el circuito de control 308 obtiene la segunda señal de reloj y la tercera señal de reloj que se generan dentro del primer período de tiempo, y genera la señal de control según la diferencia de frecuencia o la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj dentro del primer período de tiempo; y la señal de control es enviada de vuelta a la segunda fuente de reloj 302c mediante el circuito de control 308. Este proceso toma un período de tiempo. Por lo tanto, la señal de control se utiliza realmente para controlar la frecuencia de la tercera señal de reloj generada por la segunda fuente de reloj 302c dentro de un segundo período de tiempo. El segundo período de tiempo es posterior al primer período de tiempo. Por supuesto, si la señal de control es una señal continua, se puede considerar aproximadamente que una señal de control generada por el circuito de control según la diferencia de

frecuencia y/o la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj en un momento  $t$  se utiliza para controlar la frecuencia de la tercera señal de reloj generada en un momento  $t - \Delta t$ .

Opcionalmente, en un ejemplo en el que la segunda fuente de reloj 302c es una fuente de reloj controlada, la segunda fuente de reloj 302c incluye un oscilador de cristal controlado por tensión. Puesto que un intervalo de sintonización del oscilador de cristal controlado por tensión es relativamente pequeño, el intervalo de sintonización de la segunda fuente de reloj 302c se puede asegurar con exactitud cuando no se disponen excesivos circuitos auxiliares.

Por ejemplo, cuando un oscilador controlado numéricamente incluido en la segunda fuente de reloj 302c se utiliza como circuito de oscilación controlado, puesto que el oscilador controlado numéricamente necesita una señal de reloj como referencia, se necesita configurar un oscilador de reloj para el oscilador controlado numéricamente. Si el oscilador controlado numéricamente se utiliza como circuito de oscilación controlado, el circuito de control 308 normalmente usa una tecnología de división de frecuencia fraccionaria. Cuando se utiliza la tecnología de división de frecuencia fraccionaria, el intervalo de sintonización del circuito de oscilación controlado es relativamente grande. Por lo tanto, se necesita una unidad lógica adicional para limitar el intervalo de sintonización del circuito de oscilación controlado.

Por medio del mecanismo de realimentación negativa del circuito de control 308, no solo se puede controlar la diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj para que se encuentre dentro de un intervalo del primer valor preestablecido, sino que también se puede hacer que la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj se encuentren dentro de un intervalo de un segundo valor preestablecido. Puesto que una diferencia de frecuencia constante entre las dos señales de reloj origina un aumento continuo en la diferencia de fase entre las dos señales de reloj y finalmente origina una pérdida de tictacs de reloj, el circuito de control 308 puede mantener la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj dentro de un intervalo específico mediante el uso de una realimentación negativa. Esto evita la pérdida de tictacs de reloj que se origina a causa de la pequeña diferencia constante entre las frecuencias de las dos señales de reloj.

El circuito de generación de reloj 300d que se muestra en la FIG. 6 se obtiene extendiendo el circuito de generación de reloj 300c que se muestra en la FIG. 5. Concretamente, el circuito de control 308 que se muestra en la FIG. 5 puede extenderse para obtener un circuito de control 308b que se muestra en la FIG. 6. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 6 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 5. Para el mismo contenido técnico en la solución que se muestra en la FIG. 6 y en la solución que se muestra en la FIG. 5, los detalles no se describen a continuación nuevamente. El circuito de control 308b en la FIG. 6 incluye específicamente un detector de fase 313 y un filtro de bucle 314.

Por ejemplo, el detector de fase 313 puede incluir un circuito multiplicador analógico o un biestable dual de tipo D (en inglés, dual D-type flip flop). El biestable de tipo D dual también puede denominarse biestable dual de datos (en inglés, dual data flip flop). El detector de fase 313 está configurado para obtener la diferencia de fase y/o la diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj. El filtro de bucle está configurado para filtrar un componente de alta frecuencia de una señal compleja generada por el detector de fase 313, para obtener una señal de baja frecuencia con una tensión de corriente casi continua como señal de control, a fin de controlar la frecuencia de la tercera señal de reloj desde la segunda fuente de reloj 302c. Opcionalmente, el detector de fase 313 tiene además una función de monitorización y puede monitorizar una diferencia de fase o una diferencia de frecuencia entre las señales introducidas. Cuando la diferencia de fase o la diferencia de frecuencia entre las señales introducidas es excesivamente grande, el detector de fase 313 envía una alarma al circuito de generación de reloj 300d.

Por ejemplo, cuando el detector de fase 313 utiliza un circuito multiplicador analógico, la salida del detector de fase 313 incluye una suma de las frecuencias de la segunda señal de reloj y la tercera señal de reloj y la diferencia entre las frecuencias de la segunda señal de reloj y la tercera señal de reloj. En esta realización de esta solicitud, se necesita la diferencia entre las frecuencias de la segunda señal de reloj y la tercera señal de reloj. Por lo tanto, la suma de las frecuencias de la segunda señal de reloj y la tercera señal de reloj puede filtrarse mediante el uso del filtro de bucle 314.

Para poner otro ejemplo, en un ejemplo en el que el detector de fase 313 incluye un biestable dual de tipo D, la segunda señal de reloj y la tercera señal de reloj se utilizan como dos señales de entrada del biestable dual de tipo D y dos señales de salida del biestable dual de tipo D forman dos pulsos rectangulares periódicos. El circuito de control 308b incluye además un módulo de integración configurado para calcular una diferencia de área entre los dos pulsos rectangulares emitidos por el biestable dual de tipo D. El circuito de control 308b utiliza la diferencia de área entre los pulsos rectangulares de las dos señales de salida como señal de control, para controlar la frecuencia de la tercera señal de reloj. Por ejemplo, cuando la diferencia de área es mayor que cero, indica que la fase de la segunda señal de reloj precede a la fase de la tercera señal de reloj, y la señal de control se utiliza para aumentar la frecuencia de la tercera señal de reloj, a fin de disminuir la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj.

La FIG. 7 es un diagrama estructural esquemático de un circuito de generación de reloj 300e. El circuito de generación de reloj 300e que se muestra en la FIG. 7 se obtiene extendiendo el circuito de generación de reloj 300 que se muestra en la FIG. 3. Concretamente, la primera fuente de reloj 301 que se muestra en la FIG. 3 puede extenderse para obtener una primera fuente de reloj 301b que se muestra en la FIG. 7. A continuación se describe solo el contenido técnico

que se encuentra en la solución que se muestra en la FIG. 7 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 3. Para el mismo contenido técnico en la solución que se muestra en la FIG. 7 y en la solución que se muestra en la FIG. 3, los detalles no se describen a continuación nuevamente. En el circuito de generación de reloj 300e, un primer circuito de retardo 309 puede estar acoplado entre el primer circuito de oscilación 304 y el circuito de puerta lógica 303.

El primer circuito de retardo 309 está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua 305 emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica 303 recibe la segunda señal de reloj es la primera duración; o el primer circuito de retardo 309 está configurado para retardar la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación 304 emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua 305 recibe la primera señal de reloj es la segunda duración.

Si el primer circuito de retardo 309 está configurado para retardar la primera señal de reloj, el primer circuito de retardo 309 puede estar acoplado entre el primer circuito de oscilación 304 y el primer circuito de polarización de corriente continua 305 (este caso no se muestra en la FIG. 7). Si el primer circuito de retardo 309 está configurado para retardar la segunda señal de reloj, el primer circuito de retardo 309 puede estar acoplado entre el primer circuito de polarización de corriente continua 305 y el circuito de puerta lógica 303. En los dos casos, las implementaciones del primer circuito de retardo 309 y las funciones del primer circuito de retardo 309 son las mismas. Por lo tanto, en la FIG. 7, solo se utiliza un ejemplo en el que el primer circuito de retardo 309 está acoplado entre el primer circuito de polarización de corriente continua 305 y el circuito de puerta lógica 303 para retardar la segunda señal de reloj.

Por ejemplo, la fase de la segunda señal de reloj emitida por el primer circuito de polarización de corriente continua 305 está básicamente sincronizada con la fase de la tercera señal de reloj emitida por la segunda fuente de reloj 302. Por ejemplo, un tiempo de emisión de cada flanco ascendente es aproximadamente el mismo. Puesto que el primer circuito de retardo 309 puede retardar la segunda señal de reloj, un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica 303 recibe un flanco ascendente de la tercera señal de reloj. Por lo tanto, un flanco ascendente de una cuarta señal de reloj que se genera al realizar una operación lógica AND en la segunda señal de reloj retardada y la tercera señal de reloj se sincroniza con el flanco ascendente de la segunda señal de reloj.

Como se muestra en la FIG. 8, una señal de reloj 1 es la segunda señal de reloj retardada, y una señal de reloj 2 es la tercera señal de reloj. Si en un circuito digital, se utiliza un flanco ascendente de una señal de reloj para provocar un cambio de estado, cuando un indicador de ruido de fase de un flanco ascendente de la primera señal de reloj generada por el primer circuito de oscilación es relativamente deseable (donde después del primer circuito de polarización de corriente continua 305 superpone la primera tensión de corriente continua en la primera señal de reloj, el indicador de ruido de fase del flanco ascendente no se ve afectado, es decir, un indicador de ruido de fase de la segunda señal de reloj también es relativamente deseable), el primer circuito de retardo 309 está acoplado entre el primer circuito de oscilación 304 y el circuito de puerta lógica 303. Por lo tanto, después de que el circuito de puerta lógica 303 realiza una operación lógica AND en la señal de reloj 1 y la señal de reloj 2, un flanco ascendente de una señal de reloj generada 3 (es decir, la cuarta señal de reloj) es un flanco ascendente de la señal de reloj 1, es decir, un flanco ascendente de una señal de reloj con un indicador de ruido de fase relativamente deseable. En una implementación real, la primera duración no necesariamente tiene un valor relativamente grande, porque el primer circuito de retardo 309 está dispuesto principalmente para obtener el flanco ascendente de la señal de reloj 1 (es decir, una señal de reloj con un indicador de ruido de fase relativamente deseable).

Por ejemplo, en una implementación en la que la segunda fuente de reloj 302 es una segunda fuente de reloj 302c que se muestra en la FIG. 5 o la FIG. 6, es decir, en una implementación en la que la segunda fuente de reloj es una fuente de reloj controlada, puesto que una frecuencia de la fuente de reloj controlada cambia de forma continua bajo el control de la señal de control, la exactitud de la frecuencia de la segunda señal de reloj generada por la primera fuente de reloj 301 es más alta que la de una segunda señal de reloj generada por la segunda fuente de reloj 302c. Por ejemplo, como se muestra en la FIG. 9, bajo el control de un circuito de control 308, los errores de fase entre la tercera señal de reloj y la segunda señal de reloj satisfacen una distribución normal. En este caso, se puede considerar que un valor máximo de un error de fase de la tercera señal de reloj es  $3\alpha$ . Por lo tanto, siempre y cuando la primera duración sea mayor de  $6\alpha$ , se puede asegurar que cada período de la cuarta señal de reloj tenga un flanco ascendente relativamente exacto.

En cuanto a un procedimiento para establecer la segunda duración, consulte un procedimiento para establecer la primera duración. Los detalles no se describen de nuevo en la presente memoria.

Por lo tanto, un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj 300e puede seleccionarse a propósito acoplado el primer circuito de retardo 309 entre el primer circuito de oscilación 304 y el circuito de puerta lógica 303.

En la práctica, el primer circuito de retardo 309 puede implementarse mediante el uso de dos inversores de fase conectados en serie.

Así mismo, cabe destacar que, en un ejemplo en el que una implementación utilizada para la segunda fuente de reloj en el circuito de generación de reloj 300e es la misma que para la segunda fuente de reloj 302c que se muestra en la FIG. 5 o la FIG. 6, si el circuito de control genera la señal de control según la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj, se puede obtener una señal de control con más exactitud si el primer circuito de retardo 309 obtiene la fase de la segunda señal de reloj antes de retardar la segunda señal de reloj.

Un circuito de generación de reloj 300f que se muestra en la FIG. 10 se obtiene extendiendo el circuito de generación de reloj 300 que se muestra en la FIG. 3. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 10 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 3. Para el mismo contenido técnico en la solución que se muestra en la FIG. 10 y en la solución que se muestra en la FIG. 3, los detalles no se describen a continuación nuevamente. Como se muestra en la FIG. 10, en el circuito de generación de reloj 300f, se puede acoplar un segundo circuito de retardo 310 entre la segunda fuente de reloj 302 y el circuito de puerta lógica 303.

El segundo circuito de retardo 310 está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj 302 emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica 303 recibe la tercera señal de reloj es la primera duración.

Opcionalmente, en una implementación en la que la segunda fuente de reloj 302 es una segunda fuente de reloj 302b que se muestra en la FIG. 4, es decir, en un ejemplo en el que la segunda fuente de reloj 302 incluye un segundo circuito de oscilación 306 y un segundo circuito de polarización de corriente continua 307, el segundo circuito de retardo 310 puede estar acoplado entre el segundo circuito de oscilación 306 y el segundo circuito de polarización de corriente continua 307 (este caso no se muestra en la FIG. 10) para retardar una quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación 306 emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua 307 recibe la quinta señal de reloj es la segunda duración. De forma alternativa, el segundo circuito de retardo 310 puede estar acoplado entre el segundo circuito de polarización de corriente continua 307 y el circuito de puerta lógica 303 para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua 307 emite la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica 303 recibe la tercera señal de reloj es la primera duración.

Una función del segundo circuito de retardo 310 es similar a la de un primer circuito de retardo 309 que se muestra en la FIG. 7, y los detalles no se describen aquí nuevamente. Una diferencia radica en que, aún utilizando un ejemplo en el que la exactitud de la segunda señal de reloj es mayor que la de la tercera señal de reloj, si en un sistema en el que se encuentra el circuito de generación de reloj 300f, un flanco descendente de una señal de reloj se utiliza para provocar un cambio de estado, el segundo circuito de retardo 310 puede hacer que la cuarta señal de reloj generada por el circuito de puerta lógica 303 tenga un flanco descendente más exacto.

En la práctica, el segundo circuito de retardo 310 puede implementarse mediante el uso de dos inversores de fase conectados en serie.

Opcionalmente, el primer circuito de retardo 309 y el segundo circuito de retardo 310 pueden estar acoplados en el circuito de generación de reloj 300. De esta manera, en vista de un error de fase entre la tercera señal de reloj y la segunda señal de reloj, si se va a seleccionar un flanco ascendente de una señal de reloj como un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj 300, un tiempo de retardo de un circuito de retardo que corresponde a la señal de reloj se puede establecer para que sea relativamente largo, incluso si el flanco ascendente de la señal de reloj seleccionada aparece relativamente tarde.

Un circuito de generación de reloj 300g que se muestra en la FIG. 11 se obtiene extendiendo el circuito de generación de reloj 300 que se muestra en la FIG. 3. Concretamente, se puede añadir un circuito de selección de señal 311 al circuito de generación de reloj 300 que se muestra en la FIG. 3, para obtener el circuito de generación de reloj 300g que se muestra en la FIG. 11. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 11 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 3. Para el mismo contenido técnico en la solución que se muestra en la FIG. 11 y en la solución que se muestra en la FIG. 3, los detalles no se describen a continuación nuevamente.

El circuito de generación de reloj 300g puede incluir además el circuito de selección de señal 311. Como se muestra en la FIG. 11, el circuito de selección de señal 311 está acoplado a la primera fuente de reloj 301 y la segunda fuente de reloj 302, y está configurado para: cuando una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj sobrepasa un umbral de diferencia de frecuencia preestablecido, desconecte un extremo de entrada del circuito de puerta lógica 303 y seleccionar directamente una señal de reloj de la segunda señal de reloj o la tercera señal de reloj como señal de reloj emitida por el circuito de generación de reloj 300g.

Por ejemplo, si una fuente de reloj pierde una señal de reloj en los dos períodos de reloj consecutivos, también se puede considerar que la señal de reloj emitida por la fuente de reloj sobrepasa el umbral de diferencia de frecuencia preestablecido. En este caso, el extremo de entrada del circuito de puerta lógica 303 también debe desconectarse, y

se selecciona una señal de reloj de entre la segunda señal de reloj o la tercera señal de reloj como la señal de reloj emitida por el circuito de generación de reloj 300g.

5 El circuito de selección de señal 311 está configurado principalmente para resolver un problema de que la diferencia entre las frecuencias de las señales de reloj emitidas por la primera fuente de reloj 301 y la segunda fuente de reloj 302 es excesivamente grande. Después de que se realiza una operación lógica AND en las dos señales de reloj cuya diferencia de frecuencia es relativamente grande, es posible que no se genere un nivel alto en algunos períodos de señal de reloj, los ciclos de trabajo de una señal de reloj emitida por el circuito de puerta lógica 303 también pueden ser diferentes en diferentes períodos de reloj, y además, la cuarta señal de reloj emitida por el circuito de generación de reloj queda desordenada.

10 El circuito de selección de señal 311 puede utilizar una solución lógica convencional de hacer tictac. Cuando la diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj es relativamente grande, se selecciona una señal de reloj estable de entre la segunda señal de reloj o la tercera señal de reloj como la señal de reloj emitida por el circuito de generación de reloj 300g. Por ejemplo, el circuito de selección de señal 311 puede seleccionar la primera señal de reloj recibida como la señal de reloj emitida por el circuito de generación de reloj 300g.

15 La FIG. 12 muestra un diagrama esquemático de una posible estructura del primer circuito de polarización de corriente continua 305 en el circuito de generación de reloj 300 que se muestra en la FIG. 3. Como se muestra en la FIG. 12, una función de eliminación de un componente de corriente continua del primer circuito de polarización de corriente continua 305 puede implementarse mediante el uso de un condensador C1. Se puede implementar una función de superposición de una primera tensión de corriente continua mediante el uso de un circuito de drenaje 305a. R1 está conectada a una primera fuente de alimentación de corriente continua Vcc, y R2 está conectada a una tierra de referencia. Una señal emitida por el circuito de drenaje 305a se superpone a la primera señal de reloj obtenida después de eliminar el componente de corriente continua, es decir, la primera tensión de corriente continua es  $R1V_{cc}/(R1+R2)$ . Una señal obtenida después de la superposición se introduce en un circuito de puerta lógica 303.

25 En el circuito de drenaje 305a, los valores de R1, R2 y Vcc cumplen un requisito de la primera tensión de corriente continua.

La FIG. 13 muestra un diagrama esquemático de otra posible estructura del primer circuito de polarización de corriente continua 305 en el circuito de generación de reloj 300 que se muestra en la FIG. 3. En el primer circuito de polarización de corriente continua 305, se puede implementar una función de superposición de una primera tensión de corriente continua mediante el uso de un circuito de amplificación diferencial 305b. Como se muestra en la FIG. 13, un extremo de entrada no inversor de un amplificador operacional en el circuito de amplificación diferencial 305b está conectado a un condensador C2 (que está configurado para eliminar un componente de corriente continua de una primera señal de reloj), está conectado a una segunda fuente de alimentación de corriente continua Vcc' mediante el uso de una resistencia R3, y está conectado a una tierra de referencia mediante el uso de una resistencia R4.

30 Un extremo de entrada inversor del amplificador operacional está conectado a la segunda fuente de alimentación de corriente continua Vcc' mediante el uso de una resistencia R5, y está conectado a la tierra de referencia mediante el uso de una resistencia R6.

Un extremo de salida del amplificador operacional está conectado al circuito de puerta lógica 303.

Una resistencia de la resistencia R4 es mayor que una resistencia de la resistencia R6.

40 Establecer las resistencias de las resistencias en un circuito de amplificación operacional y establecer un valor de tensión de la segunda fuente de alimentación de corriente continua necesita cumplir con un requisito de la primera tensión de corriente continua.

45 Así mismo, el circuito de generación de reloj 300 que se muestra en la FIG. 3 puede extenderse, y el circuito de generación de reloj 300 extendido puede incluir además un circuito de bucle de enganche de fase de salida (en inglés, Phase Lock Loop, PLL). El circuito de bucle de enganche de fase de salida está acoplado a un extremo de salida del circuito de puerta lógica 303, y está configurado para: realizar la síntesis de frecuencia y otras señales de reloj de salida que tienen diferentes frecuencias. Así mismo, el circuito de bucle de enganche de fase de salida puede filtrar aún más una parte de alta frecuencia en ruido de fase introducido por una fuente de reloj. El bucle de enganche de fase de salida puede ser un bucle de enganche de fase de reloj analógico puro en un ancho de banda de 50 k a 1 M.

El circuito de bucle de enganche de fase de salida puede ser un sintetizador de frecuencia común.

50 Así mismo, el circuito de bucle de enganche de fase de salida puede modular aún más un ciclo de trabajo de una cuarta señal de reloj emitida por el circuito de puerta lógica 303, para generar una señal de reloj estándar cuyo ciclo de trabajo es 1:1.

55 Opcionalmente, como se muestra en la FIG. 14, el circuito de generación de reloj 300h puede utilizar además la solución de extensión anterior. Por ejemplo, una segunda fuente de reloj 302 incluye el segundo circuito de oscilación 306 y el segundo circuito de polarización de corriente continua 307 que se describen en la FIG. 4. El circuito de

generación de reloj 300h puede incluir además el circuito de control 308 que se muestra en la FIG. 5, el primer circuito de retardo 309 que se muestra en la FIG. 7, el segundo circuito de retardo 310 que se muestra en la FIG. 10, y el circuito de selección de señal 311 que se muestra en la FIG. 11. El circuito de generación de reloj 300h puede incluir además un circuito de bucle de enganche de fase de salida 312. Las implementaciones y funciones específicas de las estructuras anteriores son las mismas que las descripciones en los dibujos adjuntos correspondientes.

Como se muestra en la FIG. 14, el primer circuito de polarización de corriente continua 305 superpone una primera tensión de corriente continua en una primera señal de reloj generada por el primer circuito de oscilación 304, para generar una segunda señal de reloj. La segunda señal de reloj se retarda mediante el primer circuito de retardo 309 y se envía a un extremo de entrada del circuito de puerta lógica 303. El segundo circuito de polarización de corriente continua 307 superpone una segunda tensión de corriente continua en una quinta señal de reloj generada por el segundo circuito de oscilación 306, para generar una tercera señal de reloj. La tercera señal de reloj se retarda mediante el segundo circuito de retardo 310 y se envía al extremo de entrada del circuito de puerta lógica 303. Después de realizar una operación lógica AND en las dos señales de reloj introducidas, el circuito de puerta lógica 303 emite, utilizando el circuito de bucle de enganche de fase de salida 312, señales de reloj que tienen diferentes frecuencias y cuyos ciclos de trabajo son 1:1, y utiliza las señales de reloj como señales de reloj emitidas por el circuito de generación de reloj 300h.

Así mismo, el circuito de generación de reloj 300h que se muestra en la FIG. 14 incluye además un circuito de selección de señal 311, configurado para: cuando una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj sobrepasa un umbral de diferencia de frecuencia preestablecido, seleccionar directamente una señal de reloj de la segunda señal de reloj o la tercera señal de reloj como señal de reloj emitida por el circuito de generación de reloj 300h.

Una realización de esta solicitud proporciona un procedimiento de generación de la señal de reloj. El procedimiento se aplica a un circuito de generación de reloj, el circuito de generación de reloj incluye una primera fuente de reloj, una segunda fuente de reloj y un circuito de puerta lógica, y la primera fuente de reloj incluye un primer circuito de oscilación y un primer circuito de polarización de corriente continua. Según se muestra en la FIG. 15, el procedimiento incluye las siguientes etapas.

S1501: el primer circuito de oscilación genera una primera señal de reloj.

S1502: el primer circuito de oscilación envía la primera señal de reloj al primer circuito de polarización de corriente continua.

S1503: el primer circuito de polarización de corriente continua elimina un componente de corriente continua de la primera señal de reloj y superpone una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj.

Un valor de tensión de la primera tensión de corriente continua es mayor que un umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la primera tensión de corriente continua es menor que una diferencia entre un umbral de decisión de nivel bajo del circuito de puerta lógica y un valor de tensión de nivel bajo de la segunda señal de reloj.

S1504: la segunda fuente de reloj genera una tercera señal de reloj.

Una diferencia entre las frecuencias de la tercera señal de reloj y la segunda señal de reloj es menor que un primer valor preestablecido.

S1505: el circuito de puerta lógica recibe la segunda señal de reloj y la tercera señal de reloj, y realiza una operación lógica AND en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.

Opcionalmente, la segunda fuente de reloj incluye un segundo circuito de oscilación y un segundo circuito de polarización de corriente continua; y la generación, mediante la segunda fuente de reloj, de una tercera señal de reloj incluye específicamente:

generar, mediante el segundo circuito de oscilación, una quinta señal de reloj; y

enviar, mediante el segundo circuito de oscilación, la quinta señal de reloj al segundo circuito de polarización de corriente continua; y eliminar, mediante el segundo circuito de polarización de corriente continua, un componente de corriente continua de la quinta señal de reloj, y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, donde un valor de tensión de la segunda tensión de corriente continua es mayor que el umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la segunda tensión de corriente continua es menor que una diferencia entre el umbral de decisión de nivel bajo del circuito de puerta lógica y un valor de tensión de nivel bajo de la quinta señal de reloj.

Opcionalmente, la segunda fuente de reloj es una fuente de reloj controlada, y el circuito de generación de reloj incluye además un circuito de control. El procedimiento incluye, además:

5 generar, mediante el circuito de control, una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj; y

la señal de control se utiliza para controlar una frecuencia de la tercera señal de reloj, de modo que un valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y una frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

10 Opcionalmente, el circuito de generación de reloj incluye además un primer circuito de retardo, y el procedimiento incluye, además:

retardar, mediante el primer circuito de retardo está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la segunda señal de reloj es la primera duración; o

15 retardar, mediante el primer circuito de retardo, la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua recibe la primera señal de reloj es la segunda duración.

Opcionalmente, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

20 retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración.

Opcionalmente, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

25 retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración; o

retardar, mediante el segundo circuito de retardo, la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua recibe la quinta señal de reloj es la segunda duración.

30 Opcionalmente, un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la tercera señal de reloj es menor que la duración de nivel alto de la segunda señal de reloj. De forma alternativa, un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la segunda señal de reloj es menor que la duración de nivel alto de la tercera señal de reloj.

35 de puerta lógica recibe un flanco ascendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco ascendente de la segunda señal de reloj es menor que la duración de nivel alto de la tercera señal de reloj.

40 El procedimiento de generación de la señal de reloj que se muestra en la FIG. 15 puede implementarse utilizando el circuito de generación de reloj 300 anterior y las soluciones de extensión del circuito de generación de reloj 300. Respecto al contenido que no se describe en detalle en el procedimiento que se muestra en la FIG. 15, consulte las descripciones correspondientes del circuito de generación de reloj 300 y las soluciones de extensión del circuito de generación de reloj 300.

45 Como se muestra en la FIG. 16, el circuito de generación de reloj 1600 incluye una primera fuente de reloj 1601, una segunda fuente de reloj 1602 y un circuito de puerta lógica 1603. La primera fuente de reloj 1601 está acoplada al circuito de puerta lógica 1603, y la segunda fuente de reloj 1602 está acoplada al circuito de puerta lógica 1603.

50 La primera fuente de reloj 1601 incluye un primer circuito de oscilación 1604 y un primer circuito de polarización de corriente continua 1605, el primer circuito de oscilación 1604 está acoplado al primer circuito de polarización de corriente continua 1605, y el primer circuito de polarización de corriente continua 1605 está acoplado al circuito de puerta lógica 1603.

El primer circuito de oscilación 1604 está configurado para generar una primera señal de reloj.

- 5 El primer circuito de polarización de corriente continua 1605 está configurado para: eliminar un componente de corriente continua de la primera señal de reloj y superponer una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj. Un valor de tensión de la primera tensión de corriente continua es menor que un umbral de decisión de nivel bajo del circuito de puerta lógica 1603, y es mayor que una diferencia entre un umbral de decisión de nivel alto del circuito de puerta lógica 1603 y un valor de tensión de nivel alto de la segunda señal de reloj.
- La segunda fuente de reloj 1602 está configurada para generar una tercera señal de reloj, donde un valor absoluto de una diferencia entre una frecuencia de la tercera señal de reloj y una frecuencia de la segunda señal de reloj es menor que un primer valor preestablecido.
- 10 El circuito de puerta lógica 1603 está configurado para realizar una operación lógica OR en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.
- Por ejemplo, el primer circuito de oscilación 1604 puede incluir un oscilador de cristal (en inglés, "crystal oscillator" para abreviar), un sistema microelectromecánico a base de silicio (en inglés, Micro-Electro-Mechanical System, MEMS) o un oscilador inductor-condensador.
- 15 Por ejemplo, la segunda fuente de reloj 1602 puede incluir un oscilador de cristal, un sistema microelectromecánico a base de silicio (en inglés, Micro-Electro-Mechanical System, MEMS) o un oscilador inductor-condensador. Cabe destacar que, el valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido se refiere a que la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es fundamentalmente la misma. Por ejemplo, en una ventana de tiempo de observación relativamente grande, las frecuencias de la tercera señal de reloj y la segunda señal de reloj son las mismas. Por ejemplo, si el primer valor preestablecido es 1 ‰, una diferencia de frecuencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj en cualquier momento no sobrepasa el 1‰. La magnitud específica del primer valor preestablecido se puede determinar según la precisión requerida por el circuito de generación de reloj 1600.
- 20
- 25 Por ejemplo, en el primer circuito de polarización de corriente continua 1605, se puede implementar una función de eliminación del componente de corriente continua de la primera señal de reloj mediante el uso de un condensador. Un extremo del condensador está conectado al primer circuito de oscilación 1604, y el otro extremo está conectado a un módulo, que implementa la superposición de la primera tensión de corriente continua, en el primer circuito de polarización de corriente continua 1605.
- 30 Por ejemplo, el circuito de puerta lógica 1603 puede implementarse mediante el uso de software o hardware. Durante la implementación mediante el uso de hardware, una implementación específica no se limita a un circuito de puerta lógica básica: una puerta OR, siempre y cuando el circuito pueda implementar OR bit a bit en múltiples señales. Por ejemplo, una implementación del circuito de puerta lógica 1603 incluye, pero no se limita a, una matriz de puertas programables in situ (en inglés, field-programmable gate array, FPGA), un circuito integrado específico de la aplicación (application-specific integrated circuit, ASIC), o una unidad central de procesamiento (en inglés, central processing unit, CPU).
- 35
- El primer circuito de polarización de corriente continua 1605 está configurado para: eliminar el componente de corriente continua de la primera señal de reloj y superponer la primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la segunda señal de reloj.
- 40 Si el primer circuito de oscilación 1604 normalmente genera la primera señal de reloj, la primera señal de reloj obtenida después de que se elimina el componente de corriente continua puede ser aproximadamente una onda rectangular de niveles altos y niveles bajos alternos. Puesto que el componente de corriente continua es cero, un valor de tensión de nivel alto de la primera señal de reloj obtenida después de que se elimina el componente de corriente continua es un valor mayor que cero, y un valor de tensión de nivel bajo de la primera señal de reloj obtenida después de que se elimina el componente de corriente continua es un valor menor que cero. La segunda señal de reloj emitida por el primer circuito de polarización de corriente continua 1605 es una onda rectangular cuya frecuencia es fundamentalmente igual a la de la primera señal de reloj, y un valor de tensión de la segunda señal de reloj es la suma de un valor de tensión de la primera señal de reloj y el valor de tensión de la primera tensión de corriente continua.
- 45
- Si el primer circuito de oscilación 1604 falla y deja de funcionar, un valor de tensión emitido por el primer circuito de oscilación 1604 es un valor particular de tensión de corriente continua. Por ejemplo, si el primer circuito de oscilación 1604 detiene la oscilación cuando la primera señal de reloj está en un nivel alto, el valor de tensión que es introducido por el primer circuito de oscilación 1604 en el primer circuito de polarización de corriente continua 1605 se mantiene en un valor de tensión cuando la primera señal de reloj está en el nivel alto. Un valor de tensión emitido por el primer circuito de polarización de corriente continua 1605 es una suma del valor de tensión de la primera tensión de corriente continua y el valor de tensión de nivel alto de la primera señal de reloj.
- 50
- 55 Puesto que el valor de tensión de la primera tensión de corriente continua es menor que el umbral de decisión de nivel bajo del circuito de puerta lógica 1603, y el valor de tensión de la primera tensión de corriente continua es mayor que la diferencia entre el umbral de decisión de nivel alto del circuito de puerta lógica 1603 y el valor de tensión de nivel

alto de la segunda señal de reloj, cuando el primer circuito de oscilación 1604 funciona con normalidad, el circuito de puerta lógica 1603 utiliza un nivel alto de la segunda señal de reloj como "1" lógico y utiliza un nivel bajo de la segunda señal de reloj como "0" lógico. Por supuesto, las personas expertas en la técnica pueden entender que, el umbral de decisión de nivel alto, el umbral de decisión de nivel bajo, un valor de tensión de nivel alto de la segunda señal de reloj, el valor de tensión de nivel bajo de la segunda señal de reloj, el valor de tensión de la primera tensión de corriente continua, y la diferencia entre el umbral de decisión de nivel alto y el valor de tensión de nivel alto de la segunda señal de reloj puede ser un valor mayor o igual que 0 o puede ser un valor menor que 0.

Por lo tanto, si el primer circuito de oscilación 1604 funciona con normalidad, cuando cualquiera de la segunda señal de reloj introducida y la tercera señal de reloj introducida está en un nivel alto, la cuarta señal de reloj emitida por el circuito de puerta lógica 1603 está en el nivel alto. Cuando la segunda señal de reloj y la tercera señal de reloj que se introducen en el circuito de puerta lógica 1603 están ambas en un nivel bajo, la cuarta señal de reloj emitida por el circuito de puerta lógica 1603 está en el nivel bajo.

Opcionalmente, un tiempo en el que el circuito de puerta lógica 1603 recibe un flanco descendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica 1603 recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica 1603 recibe el flanco descendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica 1603 recibe el flanco descendente de la tercera señal de reloj es menor que la duración de nivel bajo de la segunda señal de reloj. De forma alternativa, un tiempo en el que el circuito de puerta lógica 1603 recibe un flanco descendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica 1603 recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica 1603 recibe el flanco descendente de la segunda señal de reloj es menor que la duración de nivel bajo de la tercera señal de reloj. Por lo tanto, una fase de la segunda señal de reloj recibida por el circuito de puerta lógica 1603 está fundamentalmente sincronizada con una fase de la tercera señal de reloj recibida por el circuito de puerta lógica 1603.

Cabe destacar que, la segunda señal de reloj y la tercera señal de reloj pueden ser una secuencia de pulsos de reloj que incluye múltiples períodos. Por lo tanto, la segunda señal de reloj puede incluir múltiples flancos descendentes, y para el circuito de puerta lógica 1603, hay múltiples tiempos para recibir los flancos descendentes de la segunda señal de reloj. Del mismo modo, para el circuito de puerta lógica 1603, también hay múltiples tiempos para recibir flancos descendentes de la tercera señal de reloj. A menos que se especifique lo contrario en esta solicitud, cuando "un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la segunda señal de reloj" y "un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la tercera señal de reloj" se mencionan asociación entre sí, se refiere a un primer tiempo en el que el circuito de puerta lógica 1603 recibe un flanco descendente particular de la segunda señal de reloj, y un segundo tiempo de los múltiples tiempos en que el circuito de puerta lógica 1603 recibe los flancos descendentes múltiples de la tercera señal de reloj. El segundo tiempo es un tiempo que es más cercano al primer tiempo de los múltiples tiempos.

Por ejemplo, si el primer tiempo en el que el circuito de puerta lógica 1603 recibe el flanco descendente particular de la segunda señal de reloj es un momento 0, y los múltiples tiempos en los que el circuito de puerta lógica 1603 recibe los múltiples flancos descendentes de la tercera señal de reloj son por separado un momento -5, un momento -1, un momento 3 y un momento 7, el segundo tiempo es el momento -1. Por ejemplo, si el primer tiempo en el que el circuito de puerta lógica 1603 recibe el flanco descendente particular de la segunda señal de reloj es un momento 0, y los múltiples tiempos en los que el circuito de puerta lógica 1603 recibe los múltiples flancos descendentes de la tercera señal de reloj son por separado un momento -7, un momento -3, un momento 1 y un momento 5, el segundo tiempo es el momento 1.

Cuando el primer circuito de oscilación 1604 detiene la oscilación, el circuito de puerta lógica 1603 usa el valor de tensión emitido por el primer circuito de polarización de corriente continua 1605, como "0" lógico. Si el primer circuito de oscilación 1604 detiene la oscilación, la cuarta señal de reloj emitida por el circuito de puerta lógica 1603 es un resultado obtenido al realizar una operación lógica OR en el "0" lógico y la tercera señal de reloj.

Por medio de la solución anterior, no es necesario disponer un circuito de detección dedicado en el circuito de generación de reloj 1600. Independientemente de si la primera fuente de reloj funciona con normalidad o si la primera fuente de reloj deja de funcionar, el circuito de generación de reloj 1600 puede emitir una señal de reloj que cumpla un requisito, de modo que el circuito de generación de reloj 1600 no provoque la interrupción de la salida de señal puesto que el primer circuito de oscilación 1604 en la primera fuente de reloj 1601 detiene la oscilación.

La FIG. 17 es un diagrama estructural esquemático de un circuito de generación de reloj 1600b. El circuito de generación de reloj 1600b que se muestra en la FIG. 17 se obtiene extendiendo el circuito de generación de reloj 1600 que se muestra en la FIG. 16. Concretamente, la segunda fuente de reloj 1602 que se muestra en la FIG. 16 puede extenderse para obtener una segunda fuente de reloj 1602b que se muestra en la FIG. 17. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 17 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 16. Para el mismo contenido técnico en la solución que se muestra en la FIG. 17 y en la solución que se muestra en la FIG. 16, los detalles no se describen a continuación nuevamente. En el circuito de generación de reloj 1600b, la segunda fuente de reloj 1602b puede incluir un segundo circuito de

oscilación 1606 y un segundo circuito de polarización de corriente continua 1607, el segundo circuito de oscilación 1606 está acoplado al segundo circuito de polarización de corriente continua 1607, y el segundo circuito de polarización de corriente continua 1607 está acoplado al circuito de puerta lógica 1603.

El segundo circuito de oscilación 1606 está configurado para generar una quinta señal de reloj.

- 5 El segundo circuito de polarización de corriente continua 1607 está configurado para: eliminar un componente de corriente continua de la quinta señal de reloj y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, donde un valor de tensión de la segunda tensión de corriente continua es menor que el umbral de decisión de nivel bajo del circuito de puerta lógica 1603, y es mayor que una diferencia entre el umbral de decisión de nivel alto del circuito de puerta lógica 1603 y un valor de tensión de nivel alto de la quinta señal de reloj.

Por ejemplo, una implementación específica del segundo circuito de polarización de corriente continua 1607 puede ser la misma que una implementación específica del primer circuito de polarización de corriente continua 1605, y los detalles no se describen aquí nuevamente.

- 15 Por medio de la solución anterior, independientemente de si la primera fuente de reloj deja de generar una señal de reloj o si la segunda fuente de reloj deja de generar una señal de reloj, el circuito de generación de reloj puede generar de forma continua una señal de reloj correcta. Esto mejora la fiabilidad del circuito de generación de reloj.

- 20 La FIG. 18 es un diagrama estructural esquemático de un circuito de generación de reloj 1600c. El circuito de generación de reloj 1600c que se muestra en la FIG. 18 se obtiene extendiendo el circuito de generación de reloj 1600 que se muestra en la FIG. 16. Concretamente, la segunda fuente de reloj 1602 que se muestra en la FIG. 16 puede extenderse para obtener una segunda fuente de reloj 1602c que se muestra en la FIG. 18. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 18 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 16. Para el mismo contenido técnico en la solución que se muestra en la FIG. 18 y en la solución que se muestra en la FIG. 16, los detalles no se describen a continuación nuevamente. En el circuito de generación de reloj 1600c, la segunda fuente de reloj 1602 puede ser una fuente de reloj controlada, y el circuito de generación de reloj 1600c incluye además un circuito de control 1608.

El circuito de control 1608 está configurado para: generar una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj 1602c.

- 30 La señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que un valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

- 35 Por ejemplo, que la segunda fuente de reloj 1602c es una fuente de reloj controlada puede ser que la segunda fuente de reloj 1602c incluya un circuito de oscilación controlado. Una implementación específica del circuito de oscilación controlada incluye, pero no se limita a, un oscilador de cristal controlado por tensión, un oscilador controlado digitalmente (en inglés, Digital-Controlled Oscillator, DCO), un oscilador controlado numéricamente (en inglés, Numerically-Controlled Oscillator, NCO), un sintetizador digital directo (en inglés, Direct Digital Synthesizer, DDS) y similares.

- 40 Concretamente, el circuito de control 1608 está configurado para formar un mecanismo de realimentación negativa según las señales de reloj emitidas por la primera fuente de reloj 1601 y la segunda fuente de reloj 1602c, para ajustar la frecuencia y/o la fase de la tercera señal de reloj generada por la segunda fuente de reloj 1602c.

- 45 En un ejemplo, el mecanismo de realimentación negativa puede ser: obtener la diferencia entre las frecuencias de la segunda señal de reloj y la tercera señal de reloj. Cuando la frecuencia de la segunda señal de reloj es mayor que la frecuencia de la tercera señal de reloj, la señal de control se configura para aumentar la frecuencia de la tercera señal de reloj. Cuando la frecuencia de la tercera señal de reloj es mayor que la frecuencia de la segunda señal de reloj, la señal de control se utiliza para disminuir la frecuencia de la tercera señal de reloj. De esta manera, si la frecuencia de la segunda señal de reloj es mayor que la de la tercera señal de reloj, la segunda fuente de reloj 1602c aumenta la frecuencia de la tercera señal de reloj según una señal de control utilizada para aumentar la frecuencia, hasta que la frecuencia de la tercera señal de reloj sea mayor que la frecuencia de la segunda señal de reloj. Posteriormente, la segunda fuente de reloj 1602c recibe además una señal de control utilizada para disminuir la frecuencia, y disminuye la frecuencia de la tercera señal de reloj.

- 55 Los expertos en la materia pueden entender que, si la primera fuente de reloj 1601 funciona normalmente, las frecuencias de la primera señal de reloj emitida por el primer circuito de oscilación 1604 y la segunda señal de reloj emitida por el primer circuito de polarización de corriente continua 1605 permanecen fundamentalmente sin cambios. Por lo tanto, la frecuencia de la segunda señal de reloj obtenida por el circuito de control 1608 se puede obtener desde un extremo de salida del primer circuito de polarización de corriente continua 1605, o se puede obtener desde un extremo de salida del primer circuito de oscilación 1604, o se puede obtener desde un extremo de salida de otro componente, que puede obtener una señal con la misma frecuencia, en la primera fuente de reloj 1601. Asimismo, la

frecuencia de la tercera señal de reloj obtenida por el circuito de control 1608 se puede obtener desde un extremo de salida de la segunda fuente de reloj 1602c o desde un extremo de salida de un componente particular en la segunda fuente de reloj 1602c. Por ejemplo, cuando una implementación utilizada para la segunda fuente de reloj 1602c es la misma que para una segunda fuente de reloj 1602b que se muestra en la FIG. 17, la frecuencia de la tercera señal de reloj se puede obtener desde un extremo de salida de un segundo circuito de oscilación 1606, o se puede obtener desde el segundo circuito de polarización de corriente continua 1607.

En otro ejemplo, el mecanismo de realimentación negativa puede ser: obtener la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj. Por ejemplo, cuando una fase de la segunda señal de reloj va por detrás de una fase de la tercera señal de reloj, la señal de control se utiliza para disminuir la frecuencia de la tercera señal de reloj, a fin de disminuir la diferencia de fase entre la tercera señal de reloj y la segunda señal de reloj. Cuando la fase de la segunda señal de reloj precede a la fase de la tercera señal de reloj, la señal de control se utiliza para aumentar la frecuencia de la tercera señal de reloj, a fin de disminuir la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj.

Cabe destacar que, si no existe un retardo obvio entre la salida de la primera señal de reloj mediante el primer circuito de oscilación 1604, la salida de la segunda señal de reloj mediante el primer circuito de polarización de corriente continua 1605, y la recepción de la segunda señal de reloj mediante el circuito de puerta lógica 1603, una fase que es de la primera señal de reloj o de la segunda señal de reloj y que se obtiene de cualquiera de los módulos anteriores puede utilizarse como la fase de la segunda señal de reloj. Del mismo modo, si no existe un retardo obvio entre los módulos de la segunda fuente de reloj 1602c, una fase que es de la señal de reloj y que se obtiene desde uno cualquiera en la segunda fuente de reloj 1602c puede utilizarse como la fase de la tercera señal de reloj. Por supuesto, si las fases de las dos señales de reloj se obtienen desde los extremos de salida de los módulos que tienen una estructura similar de la primera fuente de reloj 1601 y la segunda fuente de reloj 1602c, por ejemplo, si las fases de las dos señales de reloj se obtienen por separado desde el extremo de salida del primer circuito de oscilación 1604 y desde un extremo de salida del circuito de oscilación controlado en la segunda fuente de reloj 1602c, se puede obtener una diferencia de fase más exacta, de modo que la segunda fuente de reloj 1602c se puede controlar con más exactitud. Cabe destacar que, cuando el primer circuito de oscilación 1604 detiene la oscilación, es equivalente a que la frecuencia que es de la segunda señal de reloj y que se obtiene por el circuito de control 1608 sea siempre menor que la frecuencia de la tercera señal de reloj, o la fase de la segunda señal de reloj siempre vaya por detrás de la fase de la tercera señal de reloj. Por lo tanto, la señal de control que es enviada por el circuito de control 1608 a la segunda fuente de reloj 1602c es siempre una señal de control utilizada para disminuir la frecuencia de la tercera señal de reloj. Por lo tanto, la frecuencia de la tercera señal de reloj emitida por la segunda fuente de reloj 1602c se reduce gradualmente bajo el control del circuito de control 1608, y finalmente, puede reducirse a un límite inferior de un intervalo de sintonización del circuito de oscilación controlado en la segunda fuente de reloj 1602c. El intervalo de sintonización se refiere a un intervalo en el que puede alcanzarse la frecuencia de una señal de reloj generada por el circuito de oscilación controlado bajo el control de la señal de control. Por lo tanto, la segunda fuente de reloj 1602c, que se utiliza como fuente de reloj controlada, necesita hacer que el intervalo de sintonización del circuito de oscilación controlado cumpla un requisito sobre la precisión de reloj del circuito de generación de reloj 1600.

Por ejemplo, si la precisión del reloj del circuito de generación de reloj 1600c requiere que la frecuencia de una señal, que se emite, esté ubicada entre  $f_1$  y  $f_2$ , la frecuencia de la tercera señal de reloj generada por la segunda fuente de reloj 1600c bajo el control de la señal de control tampoco debe sobrepasar el intervalo de  $f_1$  a  $f_2$ . Al configurar el intervalo de sintonización (por ejemplo, el intervalo de sintonización  $<100$  partes por millón (en inglés, part per million, ppm)) del circuito de oscilación controlado, una deriva de la frecuencia de una señal de reloj emitida por el circuito de oscilación controlado puede no afectar la salida de una señal de reloj mediante el circuito de generación de reloj 1600c. Cuando se establece el intervalo de sintonización del circuito de oscilación controlado, el intervalo de sintonización se puede determinar según un requisito de precisión de la cuarta señal de reloj generada por el circuito de generación de reloj 1600c. Una mayor precisión de la cuarta señal de reloj indica un intervalo de sintonización más pequeño.

Opcionalmente, en un ejemplo en el que la segunda fuente de reloj 1602c es una fuente de reloj controlada, la segunda fuente de reloj 1602c incluye un oscilador de cristal controlado por tensión. Puesto que un intervalo de sintonización del oscilador de cristal controlado por tensión es relativamente pequeño, el intervalo de sintonización de la segunda fuente de reloj 1602c se puede asegurar con exactitud cuando no se disponen excesivos circuitos auxiliares.

Por ejemplo, cuando un oscilador controlado numéricamente incluido en la segunda fuente de reloj 1602c se utiliza como circuito de oscilación controlado, puesto que el oscilador controlado numéricamente necesita una señal de reloj como referencia, se necesita configurar un oscilador de reloj para el oscilador controlado numéricamente. Si el oscilador controlado numéricamente se utiliza como circuito de oscilación controlado, el circuito de control 1608 normalmente usa una tecnología de división de frecuencia fraccionaria. Cuando se utiliza la tecnología de división de frecuencia fraccionaria, el intervalo de sintonización del circuito de oscilación controlado es relativamente grande. Por lo tanto, se necesita una unidad lógica adicional para limitar el intervalo de sintonización del circuito de oscilación controlado.

Por medio del mecanismo de realimentación negativa del circuito de control 1608, no solo se puede controlar la diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj para que se encuentre dentro de un intervalo del primer valor preestablecido, sino que también se puede hacer que la diferencia de fase entre la segunda

señal de reloj y la tercera señal de reloj se encuentren dentro de un intervalo de un segundo valor preestablecido. Puesto que una diferencia de frecuencia constante entre las dos señales de reloj origina un aumento continuo en la diferencia de fase entre las dos señales de reloj y finalmente origina una pérdida de tictacs de reloj, el circuito de control 1608 puede mantener la diferencia de fase entre la segunda señal de reloj y la tercera señal de reloj dentro de un intervalo específico mediante el uso de una realimentación negativa. Esto evita la pérdida de tictacs de reloj que se origina a causa de la pequeña diferencia constante entre las frecuencias de las dos señales de reloj. Por ejemplo, el circuito de control 1608 puede incluir específicamente un detector de fase y un filtro de bucle. Para implementaciones del detector de fase y el filtro de bucle, consulte las descripciones relacionadas en la FIG. 6.

La FIG. 19 es un diagrama estructural esquemático de un circuito de generación de reloj 1600d. El circuito de generación de reloj 1600d que se muestra en la FIG. 19 se obtiene extendiendo el circuito de generación de reloj 1600 que se muestra en la FIG. 16. Concretamente, la primera fuente de reloj 1601 que se muestra en la FIG. 16 puede extenderse para obtener una primera fuente de reloj 1601b que se muestra en la FIG. 19. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 19 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 16. Para el mismo contenido técnico en la solución que se muestra en la FIG. 19 y en la solución que se muestra en la FIG. 16, los detalles no se describen a continuación nuevamente. En el circuito de generación de reloj 1600d, un primer circuito de retardo 1609 puede acoplarse además entre el primer circuito de oscilación 1604 y el circuito de puerta lógica 1603.

El primer circuito de retardo 1609 está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua 1605 emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica 1603 recibe la segunda señal de reloj es la primera duración; o

el primer circuito de retardo 1609 está configurado para retardar la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación 1604 emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua 1605 recibe la primera señal de reloj es la segunda duración.

Si el primer circuito de retardo 1609 está configurado para retardar la primera señal de reloj, el primer circuito de retardo 1609 puede estar acoplado entre el primer circuito de oscilación 1604 y el primer circuito de polarización de corriente continua 1605 (este caso no se muestra en la FIG. 19). Si el primer circuito de retardo 1609 está configurado para retardar la segunda señal de reloj, el primer circuito de retardo 1609 puede estar acoplado entre el primer circuito de polarización de corriente continua 1605 y el circuito de puerta lógica 1603. En los dos casos, las implementaciones del primer circuito de retardo 1609 y las funciones del primer circuito de retardo 1609 son las mismas. Por lo tanto, en la FIG. 19, solo se utiliza un ejemplo en el que el primer circuito de retardo 1609 está acoplado entre el primer circuito de polarización de corriente continua 1605 y el circuito de puerta lógica 1603 para retardar la segunda señal de reloj.

En la práctica, el primer circuito de retardo 1609 puede implementarse mediante el uso de dos inversores de fase conectados en serie.

Para una implementación específica del primer circuito de retardo 1609, consulte la descripción relacionada en la FIG. 8.

La FIG. 20 es un diagrama estructural esquemático de un circuito de generación de reloj 1600e. El circuito de generación de reloj 1600e que se muestra en la FIG. 20 se obtiene extendiendo el circuito de generación de reloj 1600 que se muestra en la FIG. 16. A continuación se describe solo el contenido técnico que se encuentra en la solución que se muestra en la FIG. 20 y que es diferente del contenido técnico en la solución que se muestra en la FIG. 16. Para el mismo contenido técnico en la solución que se muestra en la FIG. 20 y en la solución que se muestra en la FIG. 16, los detalles no se describen a continuación nuevamente. En el circuito de generación de reloj 1600e, un segundo circuito de retardo 1610 puede acoplarse adicionalmente entre la segunda fuente de reloj 1602 y el circuito de puerta lógica 1603.

El segundo circuito de retardo 1610 está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj 1602 emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica 1603 recibe la tercera señal de reloj es la primera duración.

Opcionalmente, en una implementación en la que la segunda fuente de reloj 1602 es una segunda fuente de reloj 1602b que se muestra en la FIG. 17, es decir, en un ejemplo en el que la segunda fuente de reloj 1602 incluye un segundo circuito de oscilación 1606 y un segundo circuito de polarización de corriente continua 1607, el segundo circuito de retardo 1610 puede estar acoplado entre el segundo circuito de oscilación 1606 y el segundo circuito de polarización de corriente continua 1607 (este caso no se muestra en la FIG. 20) para retardar una quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación 1606 emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua 1607 recibe la quinta señal de reloj es la segunda duración. De forma alternativa, el segundo circuito de retardo 1610 puede estar acoplado entre el segundo circuito de polarización de corriente continua 1607 y el circuito de puerta lógica 1603 para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua 1607 emite la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica 1603 recibe la tercera señal de reloj es la primera duración.

Por ejemplo, cuando el segundo circuito de retardo 1610 está acoplado entre el segundo circuito de polarización de corriente continua 1607 y el circuito de puerta lógica 1603 para retardar la tercera señal de reloj, y el circuito de puerta lógica 1603 realiza una operación lógica OR en la segunda señal de reloj y la tercera señal de reloj retardada, un flanco ascendente de la tercera señal de reloj retardada se utiliza como un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj 1600e.

Para una implementación específica del segundo circuito de retardo 1610, consulte la descripción relacionada en la FIG. 10.

Como se muestra en la FIG. 21, una señal de reloj 1 es la segunda señal de reloj, y una señal de reloj 2 es la tercera señal de reloj retardada. Si en un circuito digital, se utiliza un flanco ascendente de una señal de reloj para provocar un cambio de estado, cuando un indicador de ruido de fase de un flanco ascendente de la primera señal de reloj generada por el primer circuito de oscilación es relativamente deseable (donde después del primer circuito de polarización de corriente continua 1605 superpone la primera tensión de corriente continua en la primera señal de reloj, el indicador de ruido de fase del flanco ascendente no se ve afectado, es decir, un indicador de ruido de fase de la segunda señal de reloj también es relativamente deseable), el segundo circuito de retardo 1510 puede estar acoplado entre el segundo circuito de oscilación 1606 y el circuito de puerta lógica 1603. Por lo tanto, después de que el circuito de puerta lógica 1603 realiza una operación lógica OR en la señal de reloj 1 y la señal de reloj 2, un flanco ascendente de una señal de reloj generada 3 (es decir, la cuarta señal de reloj) es un flanco ascendente de la señal de reloj 1 que no se ha retardado, es decir, un flanco ascendente de una señal de reloj con un indicador de ruido de fase relativamente deseable.

Opcionalmente, el primer circuito de retardo 1609 y el segundo circuito de retardo 1610 pueden estar acoplados en el circuito de generación de reloj 1600. De esta manera, en vista de un error de fase entre la tercera señal de reloj y la segunda señal de reloj, si se va a seleccionar un flanco ascendente de una señal de reloj como un flanco ascendente de una señal de reloj emitida por el circuito de generación de reloj 1600, un tiempo de retardo de un circuito de retardo que corresponde a la señal de reloj se puede establecer para que sea relativamente corto, incluso si el flanco ascendente de la señal de reloj seleccionada aparece relativamente temprano.

Una diferencia principal entre el circuito de generación de reloj 1600 y el circuito de generación de reloj 300 radica en que, la primera tensión de corriente continua tiene diferentes valores de tensión en el primer circuito de polarización de corriente continua 1605 y el primer circuito de polarización de corriente continua 305, la segunda tensión de corriente continua tiene diferentes valores de tensión en el segundo circuito de polarización de corriente continua 1607 y el segundo circuito de polarización de corriente continua 307, y los tipos de operaciones lógicas realizadas por el circuito de puerta lógica 1603 y el circuito de puerta lógica 303 son diferentes. Las implementaciones de otras partes y funciones de las otras partes en el circuito de generación de reloj 1600 y el circuito de generación de reloj 300 son similares. Por lo tanto, para implementaciones y principios específicos, se puede hacer una referencia cruzada.

Por ejemplo, un circuito de selección de señal y un circuito de bucle de enganche de fase de salida pueden estar acoplados en el circuito de generación de reloj 1600. Para implementaciones específicas, consulte el circuito de selección de señal 311 y el circuito de bucle de enganche de fase de salida 312 en el circuito de generación de reloj 300. La superposición de una tensión de corriente continua (es decir, la primera tensión de corriente continua o la segunda tensión de corriente continua) en el circuito de polarización de corriente continua (es decir, el primer circuito de polarización de corriente continua 1605 o el segundo circuito de polarización de corriente continua 1607) en el el circuito de generación de reloj 1600 puede implementarse utilizando un circuito de drenaje o un circuito de amplificación operacional. Para una implementación específica, consulte la descripción sobre el circuito de drenaje o el circuito de amplificación operacional en el circuito de generación de reloj 300 en la FIG. 12 o la FIG. 13.

Una realización de esta solicitud proporciona un procedimiento de generación de la señal de reloj. El procedimiento se aplica a un circuito de generación de reloj, el circuito de generación de reloj incluye una primera fuente de reloj, una segunda fuente de reloj y un circuito de puerta lógica, y la primera fuente de reloj incluye un primer circuito de oscilación y un primer circuito de polarización de corriente continua. Según se muestra en la FIG. 22, el procedimiento incluye las siguientes etapas.

S2201: el primer circuito de oscilación genera una primera señal de reloj.

S2202: el primer circuito de oscilación envía la primera señal de reloj al primer circuito de polarización de corriente continua.

S2203: el primer circuito de polarización de corriente continua elimina un componente de corriente continua de la primera señal de reloj y superpone una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj.

Un valor de tensión de la primera tensión de corriente continua es menor que un umbral de decisión de nivel bajo del circuito de puerta lógica, y el valor de tensión de la primera tensión de corriente continua es mayor que una diferencia entre un umbral de decisión de nivel alto del circuito de puerta lógica y un valor de tensión de nivel alto de la segunda señal de reloj.

S2204: la segunda fuente de reloj genera una tercera señal de reloj.

Una diferencia entre las frecuencias de la tercera señal de reloj y la segunda señal de reloj es menor que un primer valor preestablecido.

5 S2205: el circuito de puerta lógica recibe la segunda señal de reloj y la tercera señal de reloj, y realiza una operación lógica OR en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.

Opcionalmente, la segunda fuente de reloj incluye un segundo circuito de oscilación y un segundo circuito de polarización de corriente continua; y

la generación, mediante la segunda fuente de reloj, de una tercera señal de reloj incluye específicamente:

generar, mediante el segundo circuito de oscilación, una quinta señal de reloj; y

10 enviar, mediante el segundo circuito de oscilación, la quinta señal de reloj al segundo circuito de polarización de corriente continua; y eliminar, mediante el segundo circuito de polarización de corriente continua, un componente de corriente continua de la quinta señal de reloj, y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, donde un valor de tensión de la segunda tensión de corriente continua es mayor que el umbral de decisión de nivel alto del circuito de puerta lógica, y el valor de tensión de la segunda tensión de corriente continua es mayor  
15 que una diferencia entre el umbral de decisión de nivel alto del circuito de puerta lógica y un valor de tensión de nivel alto de la quinta señal de reloj.

Opcionalmente, la segunda fuente de reloj es una fuente de reloj controlada, y el circuito de generación de reloj incluye además un circuito de control. El procedimiento incluye, además:

20 generar, mediante el circuito de control, una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj; y

25 la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que un valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

Opcionalmente, el circuito de generación de reloj incluye además un primer circuito de retardo, y el procedimiento incluye, además:

30 retardar, mediante el primer circuito de retardo está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la segunda señal de reloj es la primera duración; o

retardar, mediante el primer circuito de retardo, la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua recibe la primera señal de reloj es la segunda duración.

35 Opcionalmente, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración.

40 Opcionalmente, el circuito de generación de reloj incluye además un segundo circuito de retardo, y el procedimiento incluye, además:

retardar, mediante el segundo circuito de retardo, la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica recibe la tercera señal de reloj es la primera duración; o

45 retardar, mediante el segundo circuito de retardo, la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua recibe la quinta señal de reloj es la segunda duración.

50 Opcionalmente, un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la tercera señal de reloj es menor que la duración de nivel bajo de la segunda señal de reloj. De forma alternativa, un tiempo en el que el

circuito de puerta lógica recibe un flanco descendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica recibe el flanco descendente de la segunda señal de reloj es menor que la duración de nivel bajo de la tercera señal de reloj.

El procedimiento de generación de la señal de reloj que se muestra en la FIG. 22 puede implementarse utilizando el procedimiento de generación de la señal de reloj mediante el circuito de generación de reloj 1600 anterior, y las soluciones de extensión del circuito de generación de reloj 1600. Respecto al contenido que no se describe en detalle en el procedimiento que se muestra en la FIG. 22, consulte las descripciones correspondientes en el circuito de generación de reloj 1600 y las soluciones de extensión del circuito de generación de reloj 1600.

En esta realización de esta solicitud, un circuito de polarización de corriente continua en una primera fuente de reloj superpone una primera tensión de corriente continua en una primera señal de reloj emitida por un primer circuito de oscilación, para generar una segunda señal de reloj; y se realiza una operación lógica en la segunda señal de reloj y una tercera señal de reloj que es generada por una segunda fuente de reloj, para generar una cuarta señal de reloj. Por lo tanto, cuando el primer circuito de oscilación no puede funcionar normalmente, un circuito de generación de reloj aún puede emitir una señal de reloj correcta. Esto evita la interrupción de la señal de reloj cuando la conmutación se realiza desde la primera fuente de reloj a la segunda fuente de reloj.

Así mismo, a diferencia de eso, se debe proporcionar una señal de reloj más exacta a un módulo de detección de existencia de reloj y a un módulo de detección de diferencia de fase para que el módulo de detección de existencia de reloj y el módulo de detección de diferencia de fase puedan funcionar, durante la implementación de esta realización de esta solicitud, no se necesita proporcionar señal de reloj adicional utilizando el circuito de generación de reloj proporcionado en esta realización de esta solicitud. Por lo tanto, la exactitud y la fiabilidad son mayores.

Los expertos en la materia deben entender que las realizaciones de esta solicitud pueden proporcionarse como un procedimiento, un sistema o un producto de programa informático. Por lo tanto, esta solicitud puede utilizar una forma de realizaciones solo de hardware, realizaciones solo de software o realizaciones con una combinación de software y hardware. Además, esta solicitud puede utilizar una forma de un producto de programa informático que se implementa en uno o más medios de almacenamiento utilizables por ordenador (que incluyen, pero no se limitan a, una memoria de disco, un CD-ROM, una memoria óptica y similares) que incluyen código de programa utilizable por ordenador.

Esta solicitud se describe con referencia a los diagramas de flujo y/o diagramas de bloques del procedimiento, el dispositivo (sistema) y el producto de programa informático según las realizaciones de esta solicitud. Debe entenderse que las instrucciones del programa informático pueden usarse para implementar cada proceso y/o cada bloque en los diagramas de flujo y/o los diagramas de bloque y una combinación de un proceso y/o un bloque en los diagramas de flujo y/o los diagramas de bloque. Estas instrucciones de programa informático pueden proporcionarse para un ordenador de propósito general, un ordenador dedicado, un procesador integrado, o cualquier otro procesador de un dispositivo de procesamiento de datos programable para generar una máquina, de modo que las instrucciones ejecutadas por un ordenador o un procesador de cualquier otro dispositivo de procesamiento de datos programable generan un aparato para implementar una función específica en uno o más procesos en los diagramas de flujo y/o uno o más bloques en los diagramas de bloques.

Estas instrucciones de programa informático pueden almacenarse en una memoria legible por ordenador que puede dar instrucciones al ordenador o cualquier otro dispositivo de procesamiento de datos programable que trabaje de una manera específica, de modo que las instrucciones almacenadas en la memoria legible por ordenador generen un artefacto que incluya un aparato de instrucciones. El aparato de instrucción implementa una función específica en uno o más procesos en los diagramas de flujo y/o en uno o más bloques en los diagramas de bloques.

Estas instrucciones del programa informático pueden cargarse en un ordenador u otro dispositivo de procesamiento de datos programable, de modo que se realicen una serie de operaciones y etapas en el ordenador o en otro dispositivo programable, generando así el procesamiento implementado por ordenador. Por lo tanto, las instrucciones ejecutadas en el ordenador u otro dispositivo programable proporcionan etapas para implementar una función específica en uno o más procesos en los diagramas de flujo y/o en uno o más bloques en los diagramas de bloques.

Aunque se han descrito algunas realizaciones preferidas de esta solicitud, las personas expertas en la técnica pueden hacer cambios y modificaciones a estas realizaciones una vez que aprenden el concepto básico de la invención. Por lo tanto, las siguientes reivindicaciones están destinadas a ser interpretadas para abarcar las realizaciones preferidas y todos los cambios y modificaciones que se hallan dentro del alcance de esta solicitud.

El circuito de generación de reloj provisto en las realizaciones anteriores se describe utilizando la división de los módulos de funciones anteriores como ejemplo. En una aplicación práctica, las funciones anteriores pueden asignarse a diferentes módulos e implementarse según un requisito, es decir, una estructura interior de un dispositivo se divide en diferentes módulos de funciones que implementan todas o algunas de las funciones descritas anteriormente.

Las realizaciones en esta memoria descriptiva se describen todas de forma progresiva, en cuanto a las partes iguales o similares en las realizaciones, se puede hacer referencia a estas realizaciones, y cada realización se centra en una

5 diferencia con otras realizaciones. Especialmente, una realización del procedimiento es básicamente similar a una realización del aparato y, por lo tanto, se describe brevemente; en cuanto a las partes relacionadas, se puede hacer referencia a las descripciones parciales en la realización del procedimiento. Obviamente, los expertos en la materia pueden realizar diversas modificaciones y variaciones a las realizaciones de esta solicitud sin apartarse del alcance de la presente invención.

Esta solicitud está destinada a abarcar estas modificaciones y variaciones siempre y cuando se encuentren dentro del alcance de protección definido en las reivindicaciones siguientes.

**REIVINDICACIONES**

1. Un circuito de generación de reloj (300), que comprende una primera fuente de reloj (301), una segunda fuente de reloj (302) y un circuito de puerta lógica (303), en el que la primera fuente de reloj (301) está acoplada al circuito de puerta lógica (303) y la segunda fuente de reloj (302) está acoplada al circuito de puerta lógica (303), la primera fuente de reloj (301) comprende un primer circuito de oscilación (304) y un primer circuito de polarización de corriente continua (305), el primer circuito de oscilación (304) está acoplado al primer circuito de polarización de corriente continua (305), y el primer circuito de polarización de corriente continua (305) está acoplado al circuito de puerta lógica (303), en el que

5 el primer circuito de oscilación (304) está configurado para generar una primera señal de reloj;

10 el primer circuito de polarización de corriente continua (305) está configurado para: eliminar un componente de corriente continua de la primera señal de reloj y superponer una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj, en el que un valor de tensión de la primera tensión de corriente continua es mayor que un umbral de decisión de nivel alto del circuito de puerta lógica (303), y el valor de tensión de la primera tensión de corriente continua es menor que una diferencia entre un umbral de decisión de nivel bajo del circuito de puerta lógica (303) y un valor de tensión de nivel bajo de la primera señal de reloj;

15 la segunda fuente de reloj (302) está configurada para generar una tercera señal de reloj, en el que un valor absoluto de una diferencia entre una frecuencia de la tercera señal de reloj y una frecuencia de la segunda señal de reloj es menor que un primer valor preestablecido; y

20 el circuito de puerta lógica (303) está configurado para: recibir la segunda señal de reloj y la tercera señal de reloj, y realizar una operación lógica AND en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.
2. El circuito de generación de reloj (300) según la reivindicación 1, en el que la segunda fuente de reloj (302) comprende un segundo circuito de oscilación (306) y un segundo circuito de polarización de corriente continua (307), el segundo circuito de oscilación (306) está acoplado al segundo circuito de polarización de corriente continua (307), y el segundo circuito de polarización de corriente continua (307) está acoplado al circuito de puerta lógica (303), en el que

25 el segundo circuito de oscilación (306) está configurado para generar una quinta señal de reloj; y

30 el segundo circuito de polarización de corriente continua (307) está configurado para: eliminar un componente de corriente continua de la quinta señal de reloj y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, en el que un valor de tensión de la segunda tensión de corriente continua es mayor que el umbral de decisión de nivel alto del circuito de puerta lógica (303), y el valor de tensión de la segunda tensión de corriente continua es menor que una diferencia entre el umbral de decisión de nivel bajo del circuito de puerta lógica (303) y un valor de tensión de nivel bajo de la quinta señal de reloj.

35
3. El circuito de generación de reloj (300) según la reivindicación 1 o 2, en el que la segunda fuente de reloj (302) es una fuente de reloj controlada, y el circuito de generación de reloj comprende además un circuito de control (308), en el que

40 el circuito de control (308) está configurado para: generar una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj (302); y

la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que el valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.
4. El circuito de generación de reloj (300) según una cualquiera de las reivindicaciones 1 a 3, en el que un primer circuito de retardo (309) está acoplado además entre el primer circuito de oscilación (304) y el circuito de puerta lógica (303); y

45 el primer circuito de retardo (309) está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua (305) emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica (303) recibe la segunda señal de reloj es la primera duración; o

50 el primer circuito de retardo (309) está configurado para retardar la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación (304) emite la primera señal de reloj y un tiempo

en el que el primer circuito de polarización de corriente continua (305) recibe la primera señal de reloj es la segunda duración.

- 5 5. El circuito de generación de reloj (300) según una cualquiera de las reivindicaciones 1 a 3, en el que un segundo circuito de retardo (310) está acoplado además entre la segunda fuente de reloj (302) y el circuito de puerta lógica (303); y
- el segundo circuito de retardo (310) está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj (302) emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica (303) recibe la tercera señal de reloj es la primera duración.
- 10 6. El circuito de generación de reloj (300) según la reivindicación 2, en el que un segundo circuito de retardo (310) está acoplado además entre el segundo circuito de oscilación (306) y el circuito de puerta lógica (303); y
- el segundo circuito de retardo (310) está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua (307) emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica (303) recibe la tercera señal de reloj es la primera duración; o
- 15 el segundo circuito de retardo (310) está configurado para retardar la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación (306) emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua (307) recibe la quinta señal de reloj es la segunda duración.
- 20 7. El circuito de generación de reloj (300) según una cualquiera de las reivindicaciones 1 a 6, en el que un tiempo en el que el circuito de puerta lógica (303) recibe un flanco ascendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica (303) recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica (303) recibe el flanco ascendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica (303) recibe el flanco ascendente de la tercera señal de reloj es menor que la duración de nivel alto de la segunda señal de reloj; o
- 25 un tiempo en el que el circuito de puerta lógica (303) recibe un flanco ascendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica (303) recibe un flanco ascendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica (303) recibe el flanco ascendente de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica (303) recibe el flanco ascendente de la segunda señal de reloj es menor que la duración de nivel alto de la tercera señal de reloj.
- 30 8. Un circuito de generación de reloj (300), que comprende una primera fuente de reloj (301), una segunda fuente de reloj (302) y un circuito de puerta lógica (303), en el que la primera fuente de reloj (301) está acoplada al circuito de puerta lógica (303) y la segunda fuente de reloj (302) está acoplada al circuito de puerta lógica (303), la primera fuente de reloj (301) comprende un primer circuito de oscilación (304) y un primer circuito de polarización de corriente continua (305), el primer circuito de oscilación (304) está acoplado al primer circuito de polarización de corriente continua (305), y el primer circuito de polarización de corriente continua (305) está acoplado al circuito de puerta lógica (303), en el que
- 35 el primer circuito de oscilación (304) está configurado para generar una primera señal de reloj;
- el primer circuito de polarización de corriente continua (305) está configurado para: eliminar un componente de corriente continua de la primera señal de reloj y superponer una primera tensión de corriente continua en la primera señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar una segunda señal de reloj, en el que un valor de tensión de la primera tensión de corriente continua es menor que un umbral de decisión de nivel bajo del circuito de puerta lógica (303), y el valor de tensión de la primera tensión de corriente continua es mayor que una diferencia entre un umbral de decisión de nivel alto del circuito de puerta lógica (303) y un valor de tensión de nivel alto de la primera señal de reloj;
- 40 la segunda fuente de reloj (302) está configurada para generar una tercera señal de reloj, en el que un valor absoluto de una diferencia entre una frecuencia de la tercera señal de reloj y una frecuencia de la segunda señal de reloj es menor que un primer valor preestablecido; y
- el circuito de puerta lógica (303) está configurado para: recibir la segunda señal de reloj y la tercera señal de reloj, y realizar una operación lógica OR en la segunda señal de reloj y la tercera señal de reloj para generar una cuarta señal de reloj.
- 45 9. El circuito de generación de reloj (300) según la reivindicación 8, en el que la segunda fuente de reloj (302) comprende un segundo circuito de oscilación (306) y un segundo circuito de polarización de corriente continua (307), el segundo circuito de oscilación (306) está acoplado al segundo circuito de polarización de corriente continua (307), y el segundo circuito de polarización de corriente continua (307) está acoplado al circuito de puerta lógica (303), en el que
- 50
- 55

el segundo circuito de oscilación (306) está configurado para generar una quinta señal de reloj; y

el segundo circuito de polarización de corriente continua (307) está configurado para: eliminar un componente de corriente continua de la quinta señal de reloj y superponer una segunda tensión de corriente continua en la quinta señal de reloj obtenida después de que se elimina el componente de corriente continua, para generar la tercera señal de reloj, en el que un valor de tensión de la segunda tensión de corriente continua es menor que el umbral de decisión de nivel bajo del circuito de puerta lógica (303), y el valor de tensión de la segunda tensión de corriente continua es mayor que una diferencia entre el umbral de decisión de nivel alto del circuito de puerta lógica (303) y un valor de tensión de nivel alto de la quinta señal de reloj.

- 5
10. El circuito de generación de reloj (300) según la reivindicación 8 o 9, en el que la segunda fuente de reloj (302) es una fuente de reloj controlada, y el circuito de generación de reloj comprende además un circuito de control (308), en el que

el circuito de control (308) está configurado para: generar una señal de control según una diferencia de fase y/o una diferencia de frecuencia entre la segunda señal de reloj y la tercera señal de reloj, y enviar la señal de control a la segunda fuente de reloj (302); y

- 15
- la señal de control se utiliza para controlar la frecuencia de la tercera señal de reloj, de modo que un valor absoluto de la diferencia entre la frecuencia de la tercera señal de reloj y la frecuencia de la segunda señal de reloj es menor que el primer valor preestablecido.

- 20
11. El circuito de generación de reloj (300) según una cualquiera de las reivindicaciones 8 a 10, en el que un primer circuito de retardo (309) está acoplado además entre el primer circuito de oscilación (304) y el circuito de puerta lógica (303); y

el primer circuito de retardo (309) está configurado para retardar la segunda señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de polarización de corriente continua (305) emite la segunda señal de reloj y un tiempo en el que el circuito de puerta lógica (303) recibe la segunda señal de reloj es la primera duración; o

- 25
- el primer circuito de retardo (309) está configurado para retardar la primera señal de reloj, de modo que una diferencia entre un tiempo en el que el primer circuito de oscilación (304) emite la primera señal de reloj y un tiempo en el que el primer circuito de polarización de corriente continua (305) recibe la primera señal de reloj es la segunda duración.

- 30
12. El circuito de generación de reloj (300) según una cualquiera de las reivindicaciones 8 a 10, en el que un segundo circuito de retardo (310) está acoplado además entre la segunda fuente de reloj (302) y el circuito de puerta lógica (303); y

el segundo circuito de retardo (310) está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que la segunda fuente de reloj (302) emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica (303) recibe la tercera señal de reloj es la primera duración.

- 35
13. El circuito de generación de reloj (300) según la reivindicación 9, en el que un segundo circuito de retardo (310) está acoplado además entre el segundo circuito de oscilación (306) y el circuito de puerta lógica (303); y

el segundo circuito de retardo (310) está configurado para retardar la tercera señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de polarización de corriente continua (307) emite la tercera señal de reloj y un tiempo en el que el circuito de puerta lógica (303) recibe la tercera señal de reloj es la primera duración; o

- 40
- el segundo circuito de retardo (310) está configurado para retardar la quinta señal de reloj, de modo que una diferencia entre un tiempo en el que el segundo circuito de oscilación (306) emite la quinta señal de reloj y un tiempo en el que el segundo circuito de polarización de corriente continua (307) recibe la quinta señal de reloj es la segunda duración.

- 45
14. El circuito de generación de reloj (300) según una cualquiera de las reivindicaciones 8 a 13, en el que un tiempo en el que el circuito de puerta lógica (303) recibe un flanco descendente de la segunda señal de reloj es anterior a un tiempo en el que el circuito de puerta lógica (303) recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica (303) recibe el flanco descendente de la segunda señal de reloj y el tiempo en el que el circuito de puerta lógica (303) recibe el flanco descendente de la tercera señal de reloj es menor que la duración de nivel bajo de la segunda señal de reloj; o

- 50
- un tiempo en el que el circuito de puerta lógica (303) recibe un flanco descendente de la segunda señal de reloj es posterior a un tiempo en el que el circuito de puerta lógica (303) recibe un flanco descendente de la tercera señal de reloj, y una diferencia entre el tiempo en el que el circuito de puerta lógica (303) recibe el flanco descendente

de la tercera señal de reloj y el tiempo en el que el circuito de puerta lógica (303) recibe el flanco descendente de la segunda señal de reloj es menor que la duración de nivel bajo de la tercera señal de reloj.

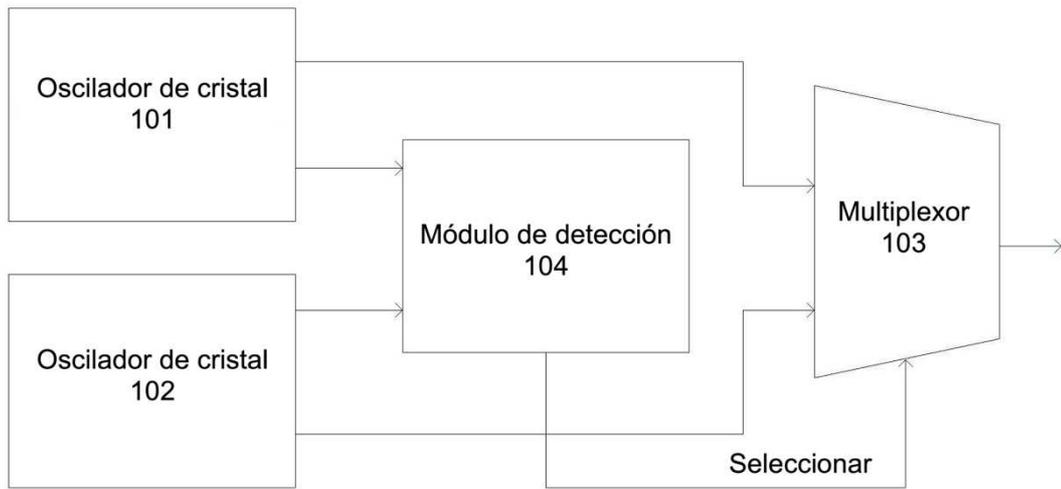


FIG. 1

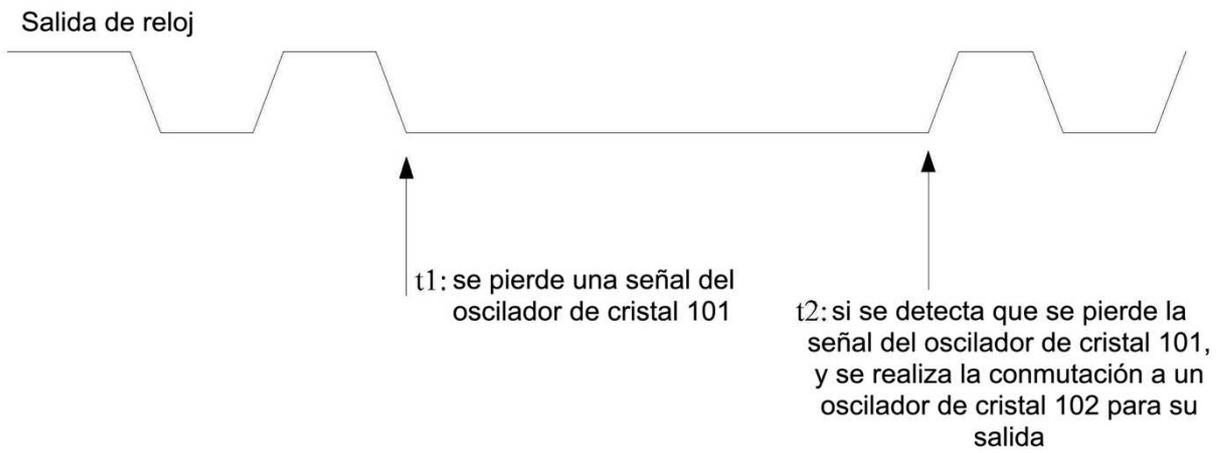


FIG. 2

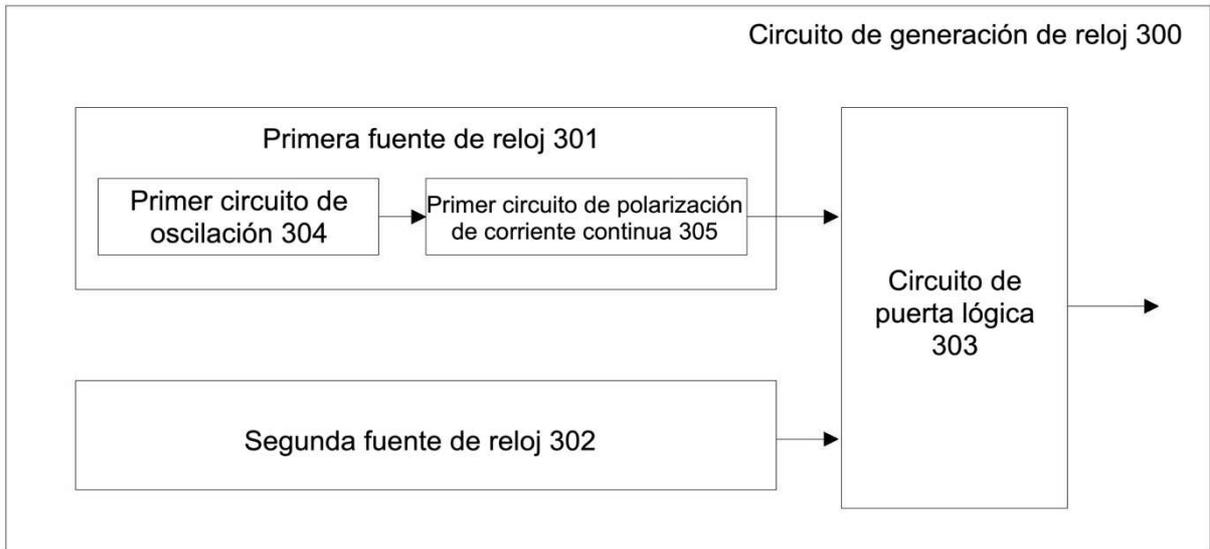


FIG. 3

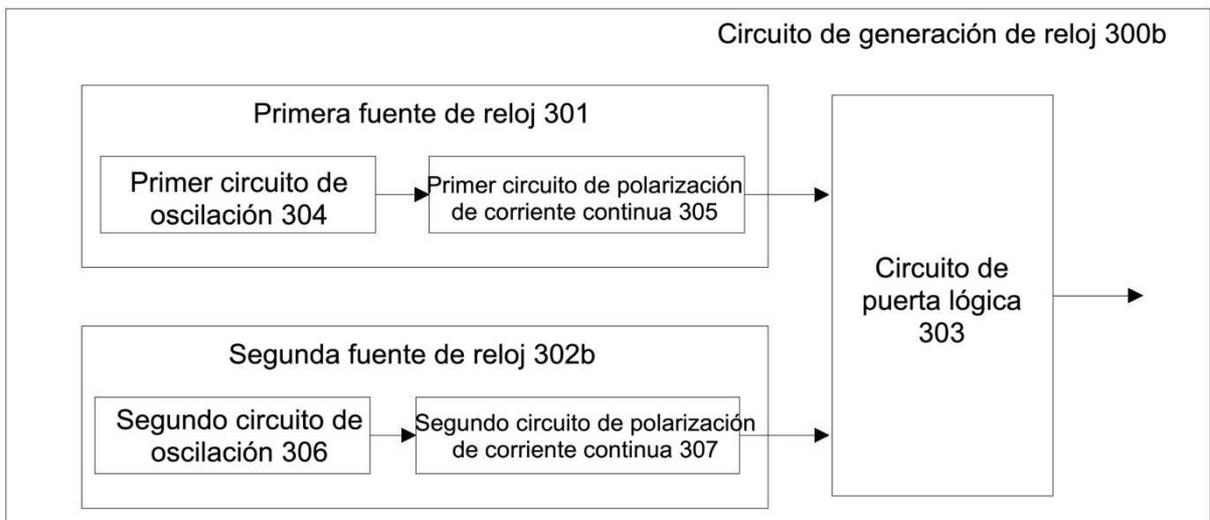


FIG. 4

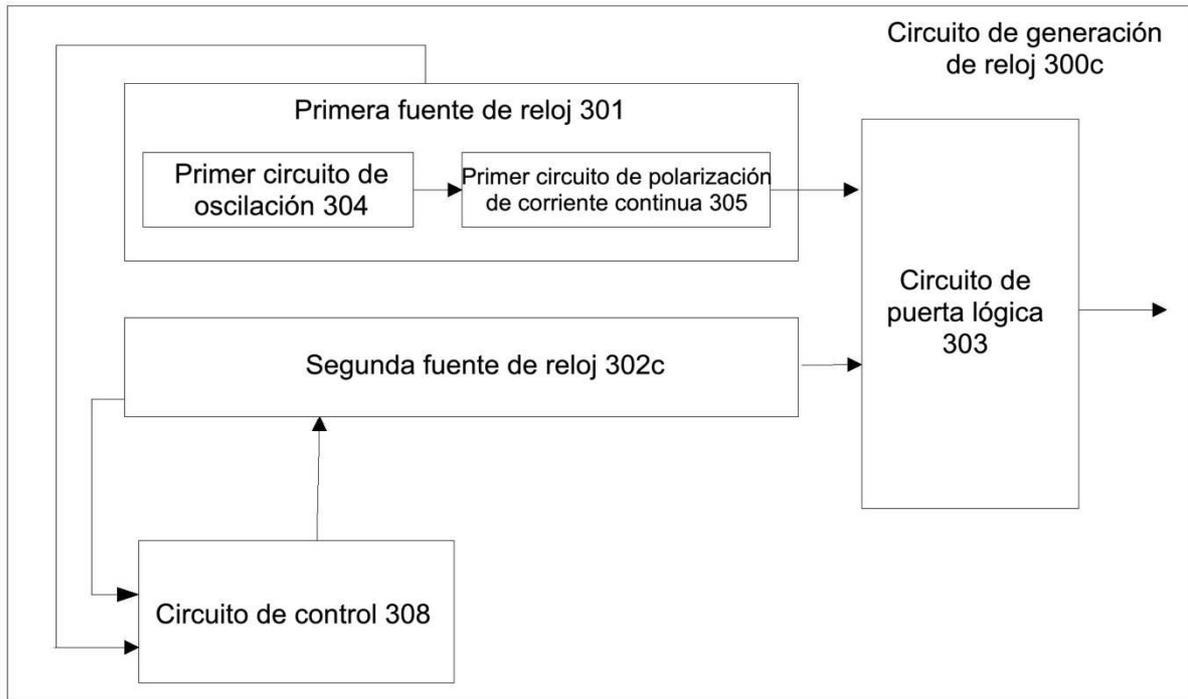


FIG. 5

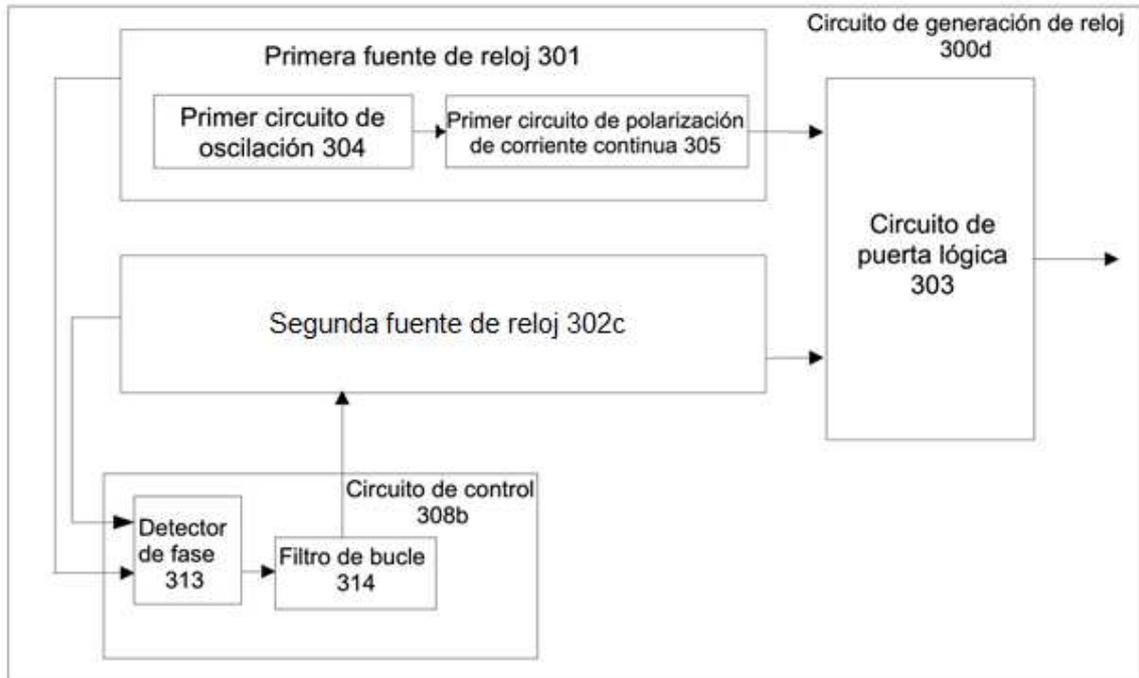


FIG. 6

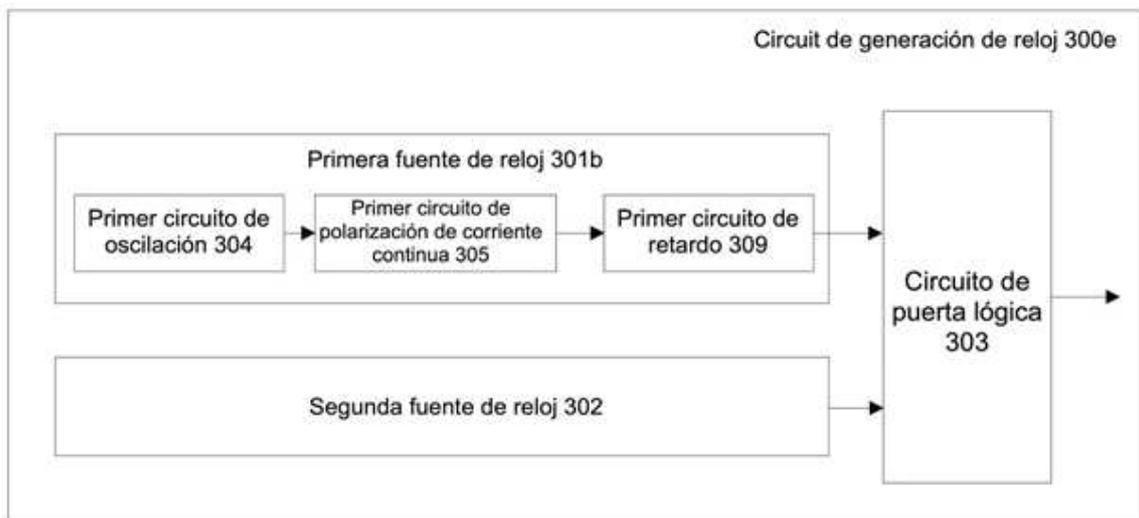


FIG. 7

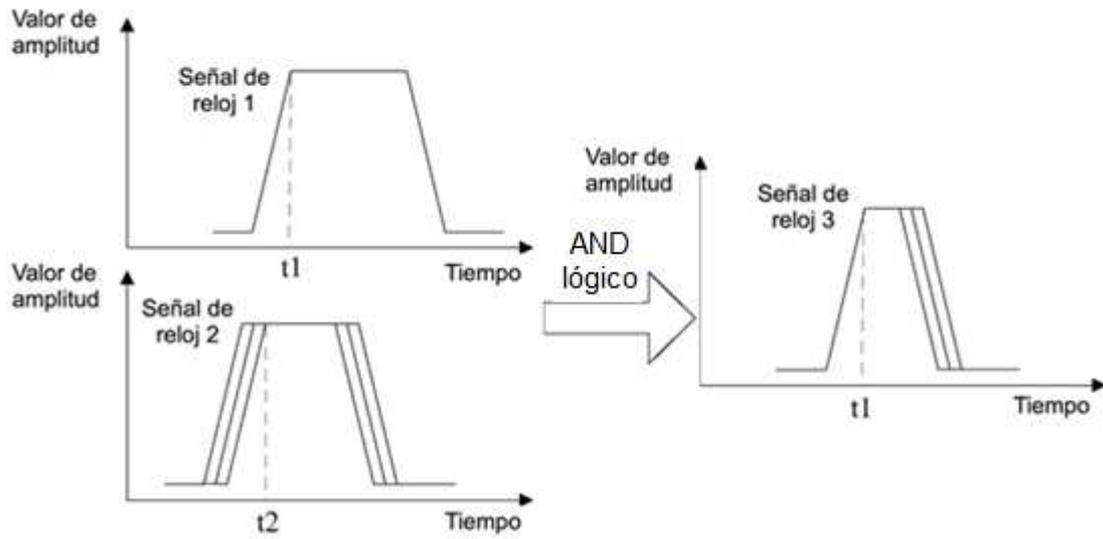


FIG. 8

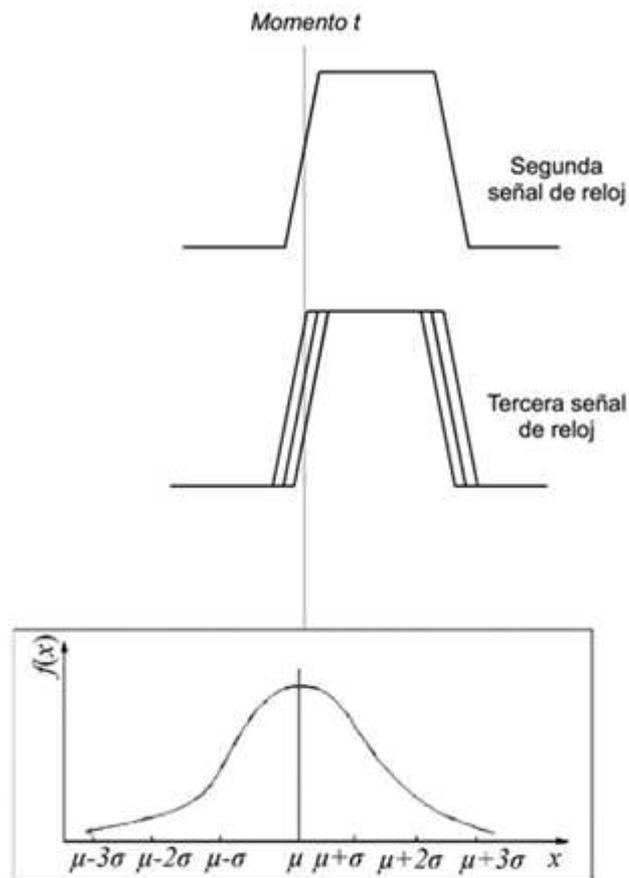


FIG. 9

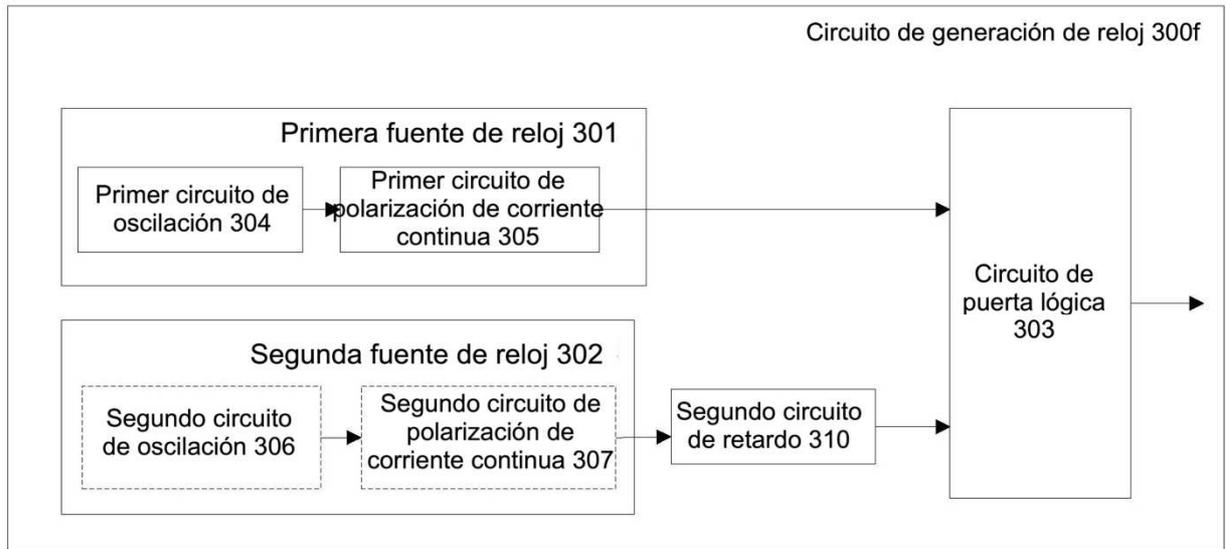


FIG. 10

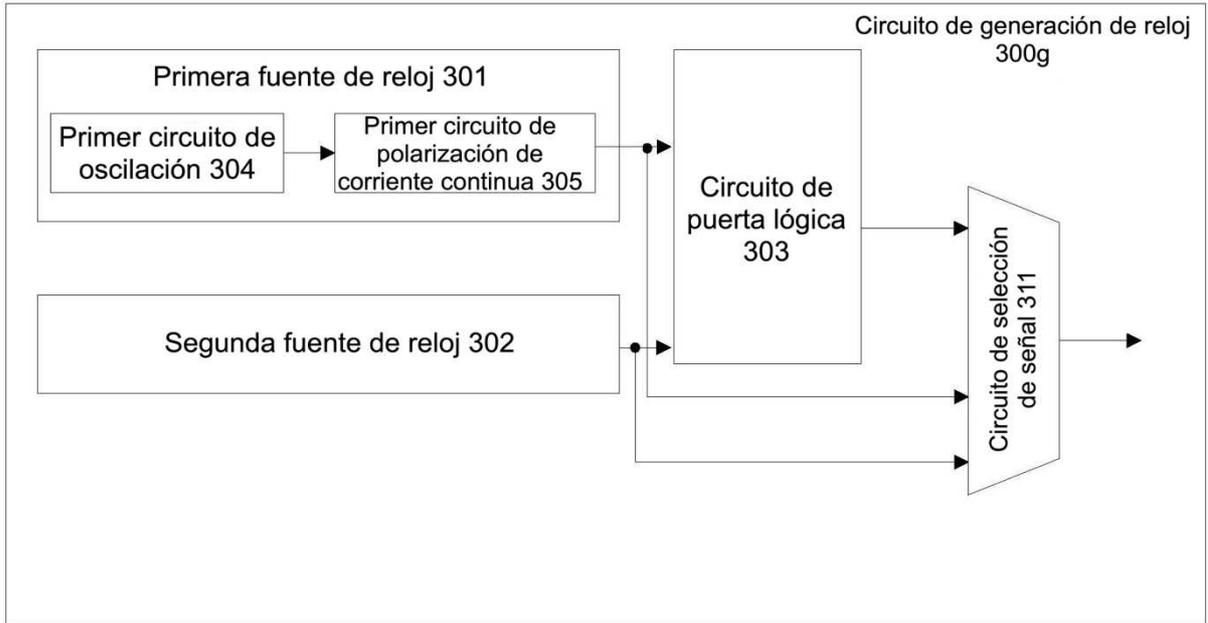


FIG. 11

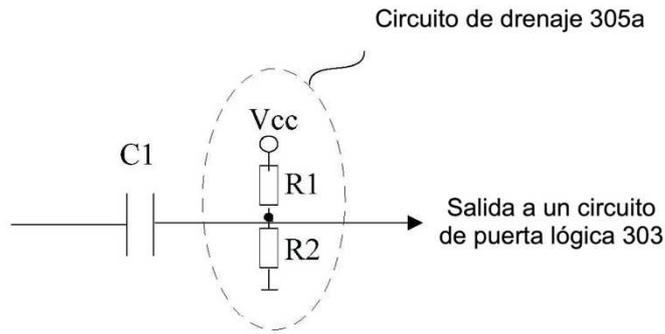


FIG. 12

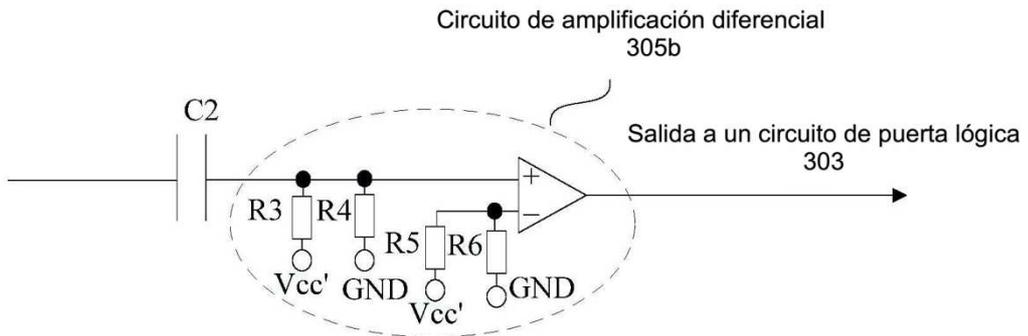


FIG. 13

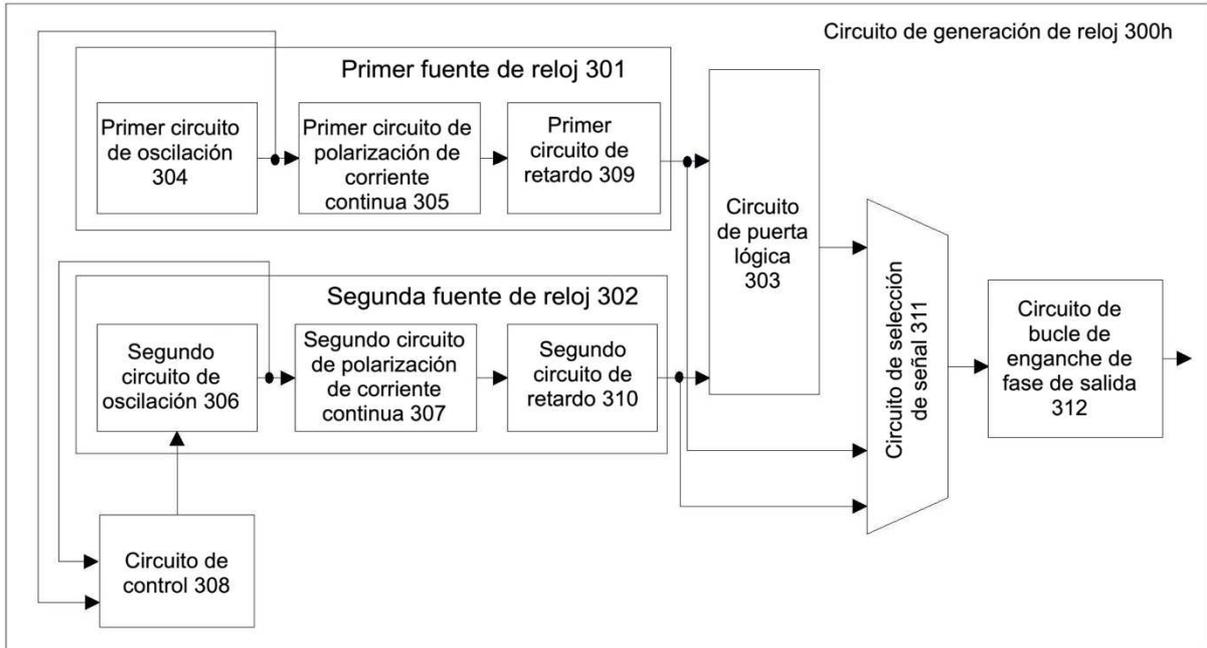


FIG. 14

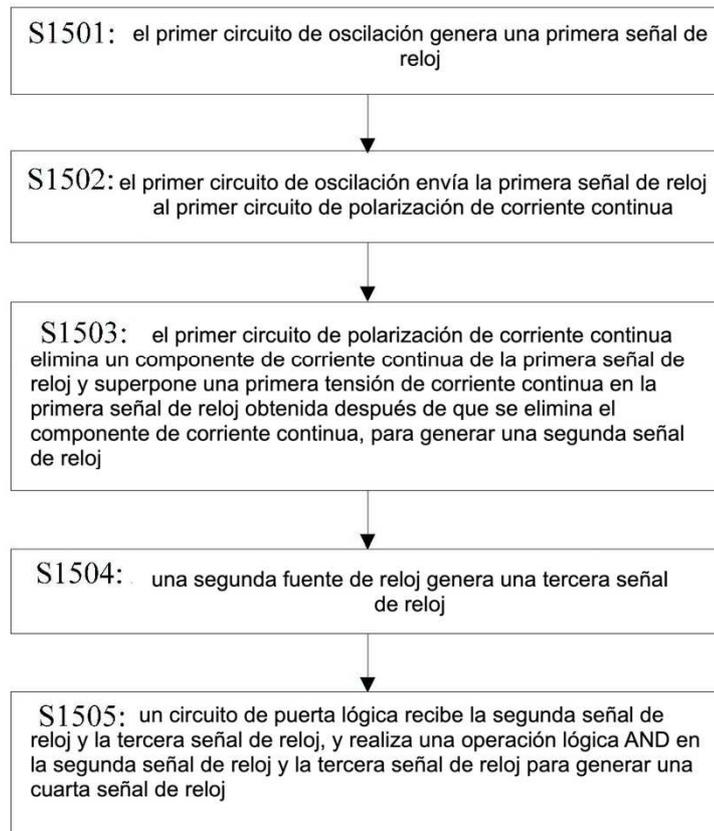


FIG. 15

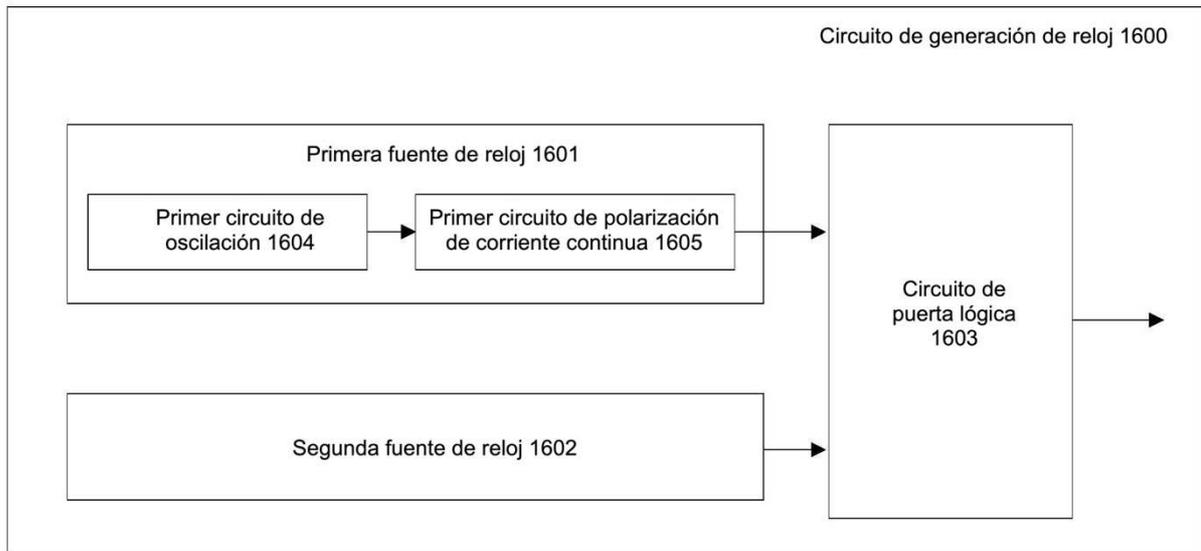


FIG. 16

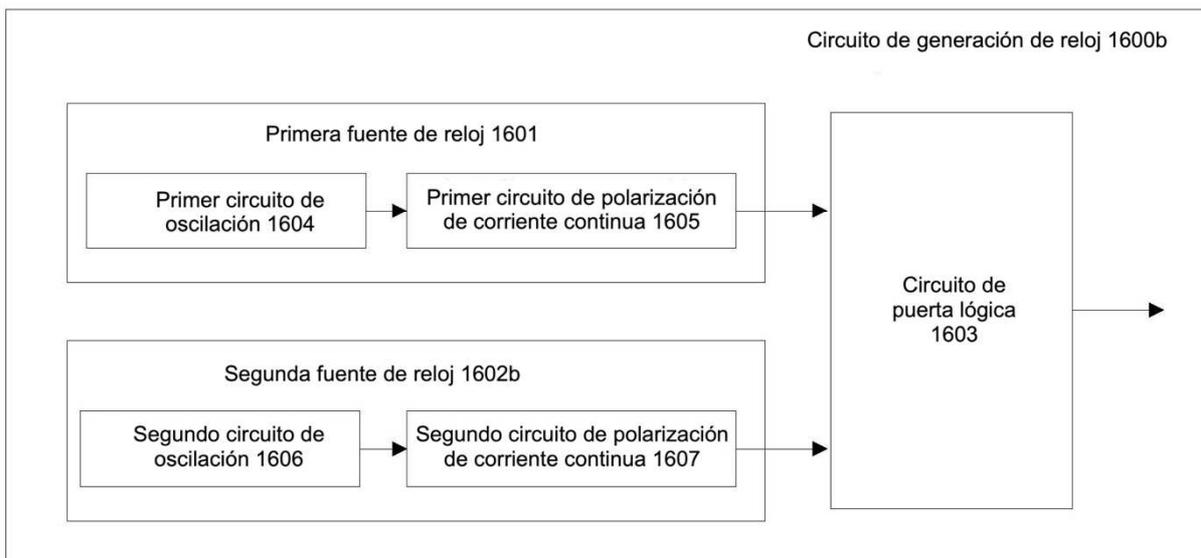


FIG. 17

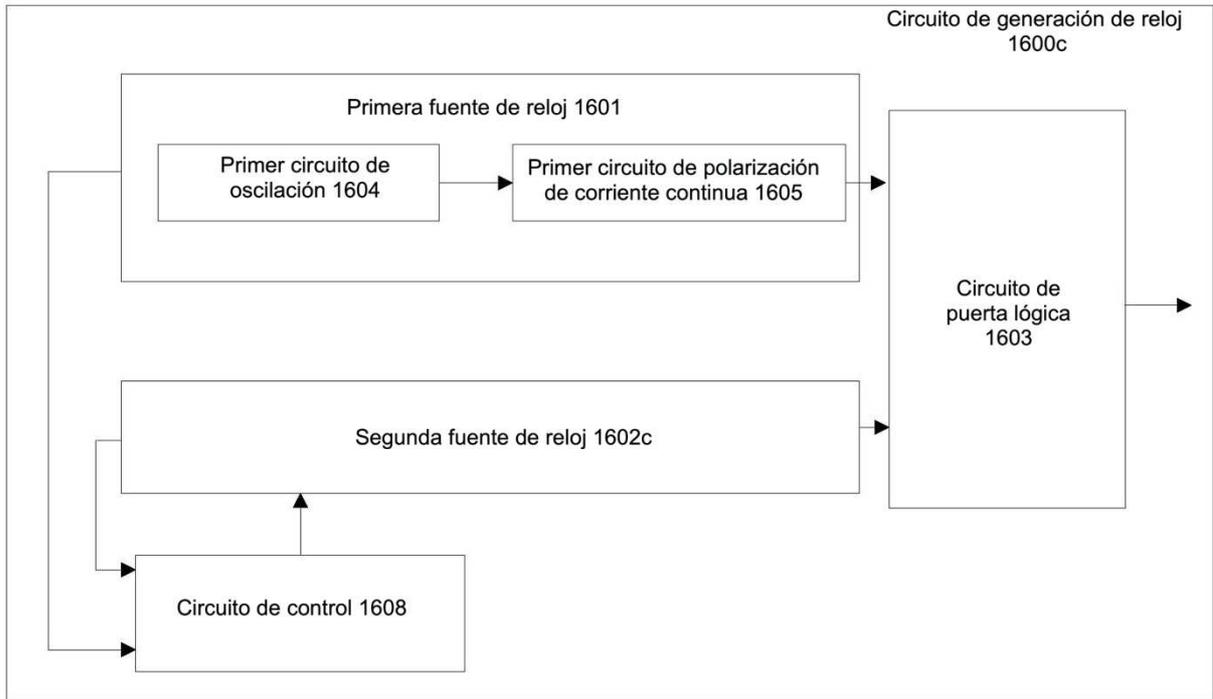


FIG. 18

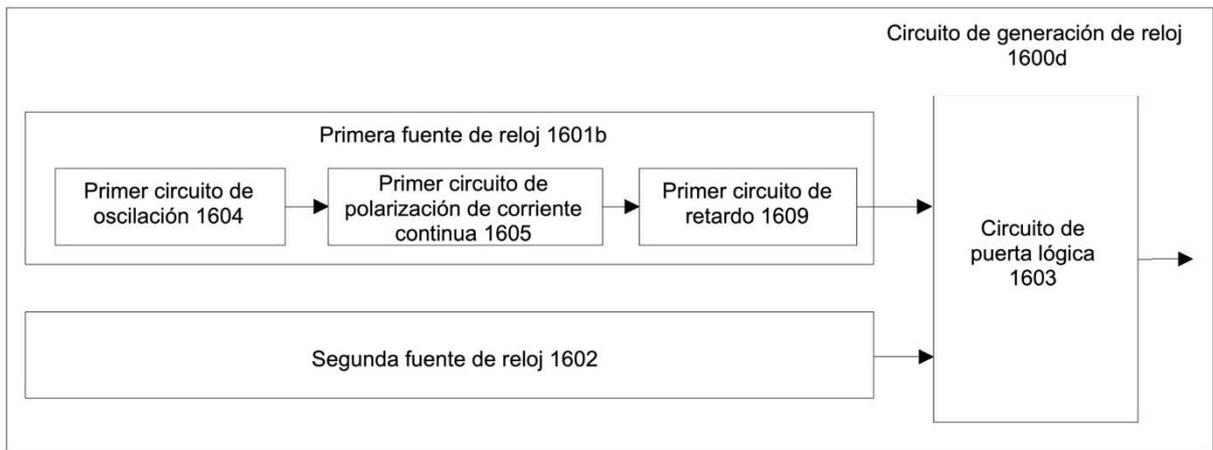


FIG. 19

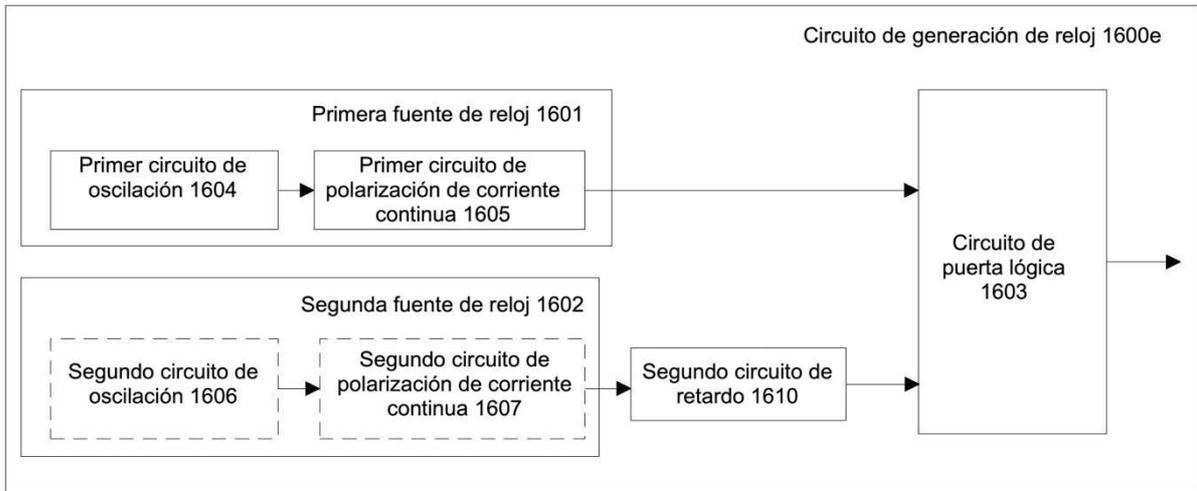


FIG. 20

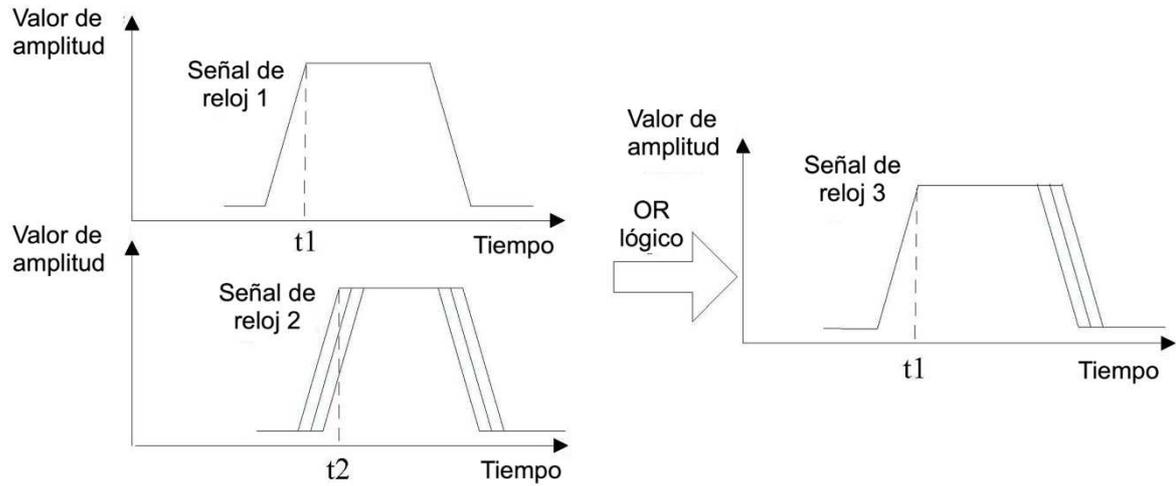


FIG. 21

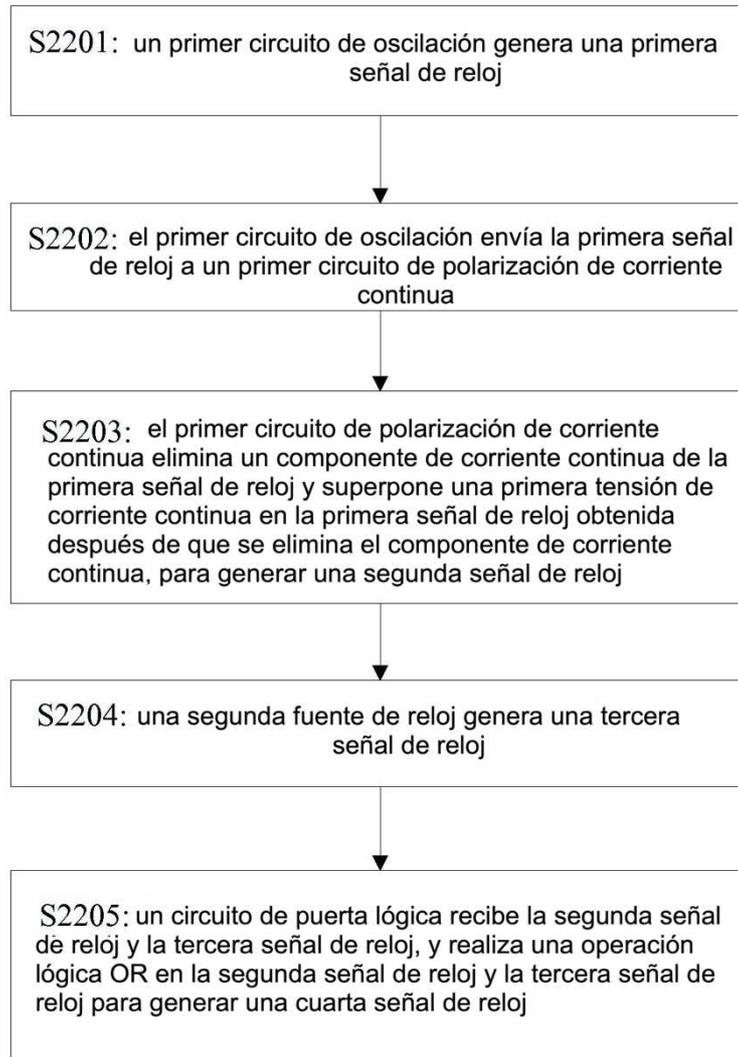


FIG. 22