

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 793 006**

51 Int. Cl.:

G06F 11/20 (2006.01)

G06F 11/14 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **12.09.2016 PCT/CN2016/098741**

87 Fecha y número de publicación internacional: **13.07.2017 WO17118080**

96 Fecha de presentación y número de la solicitud europea: **12.09.2016 E 16883210 (3)**

97 Fecha y número de publicación de la concesión europea: **25.03.2020 EP 3306476**

54 Título: **Procedimiento y aparato para la eliminación y la adición de CPU en caliente durante el funcionamiento**

30 Prioridad:

08.01.2016 CN 201610016926

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

12.11.2020

73 Titular/es:

**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building, Bantian,
Longgang District
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

**ZHANG, FEI;
LIAO, DEFU y
MA, ZHANGPING**

74 Agente/Representante:

PONS ARIÑO, Ángel

ES 2 793 006 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y aparato para la eliminación y la adición de CPU en caliente durante el funcionamiento

5 CAMPO TÉCNICO

La presente invención se refiere a tecnologías de interconexión multi-CPU y, en particular, a un procedimiento y un aparato para la eliminación de unidades centrales de procesamiento (CPU) en caliente, y un procedimiento y un aparato para la adición de CPU en caliente.

10

ANTECEDENTES

Con el rápido desarrollo de las tecnologías de Internet (TI), el volumen de datos de los diversos sistemas TI aumenta. Por ejemplo, actualmente, algunos servidores se aplican a servicios empresariales clave y, puesto que estos servicios son cruciales para una aplicación empresarial, los datos y la información procesados por los servidores son datos empresariales esenciales e información de usuario, y un gran porcentaje de ellos son generalmente masivos. Existen tres tipos principales de aplicaciones: transacciones en línea, análisis empresarial y bases de datos, que son las más comunes actualmente en algunas áreas fundamentales de servicios. Incluso si los tres tipos principales de aplicaciones se aplican a una empresa convencional, la cantidad de datos procesados en los tres tipos de principales aplicaciones puede ser sorprendente, por no hablar de que, cuando los tres tipos de aplicaciones principales se ejecutan en sectores como la banca, las telecomunicaciones, y los valores, deben procesarse datos a escalas de terabytes (TB) o petabytes (PB). Los datos a tal escala y las relaciones con la producción, la operación y la eficiencia en la toma de decisiones de un usuario de la empresa, sin duda, requieren que la capacidad de procesamiento de la plataforma tenga un rendimiento extraordinariamente elevado. Además, con el surgimiento de una aplicación de bases de datos de memoria a gran escala, como HANA (High-Performance Analytic Appliance), que es un software de análisis, se impone un requisito extremadamente elevado en cuanto a la capacidad de memoria de un sistema con un único servidor. Por lo tanto, deben integrarse más CPU y más memorias en un único servidor, de manera que se cumplan los requisitos de alto rendimiento y gran capacidad necesarios para ejecutar los servicios.

15

20

25

30

35

40

45

50

55

60

Por lo tanto, se desarrolla una tecnología de interconexión multi-CPU, lo que quiere decir que varias CPU están interconectadas mediante el uso de canales de interconexión de alta velocidad (por ejemplo, un Quick Path Interconnect (QPI)) entre las CPU. De este modo, las múltiples CPU físicas pueden interconectarse utilizando estos canales de interconexión de alta velocidad y formar un sistema de servidor de intercambio de recursos. Sin embargo, mientras las múltiples CPU se interconectan para mejorar el rendimiento del procesamiento de un único servidor, se producen riesgos adicionales, ya que todo el sistema puede bloquearse si cualquiera de las CPU del sistema de interconexión multi-CPU presenta fallos. Si se debe solucionar el fallo de la CPU, todo el sistema de servidor deberá apagarse, y después se cambiará la CPU. Sin duda, el proceso de apagado de todo el sistema de servidor y cambio de la CPU interrumpen el servicio del sistema, lo que afecta gravemente al tiempo de servicio continuo del sistema.

Según US 2007/180288 A1, en un sistema de computación en paralelo con una pluralidad de grupos de nodos de computación con al menos un grupo de nodos de computación libre, una pluralidad de nodos de gestión para la asignación de tareas a los grupos de nodos de computación y un servidor de gestión de información con la correspondiente información de estado de los grupos de nodos de computación están asociados con los grupos de nodos de computación, y los respectivos nodos de gestión actualizan la información de estado correspondiente del grupo de nodos de computación accediendo al servidor de gestión de información. Además, cuando el nodo de gestión detecta la ocurrencia de un fallo, el nodo de gestión, después de haber utilizado el grupo de nodos de computación deshabilitado por el fallo identifica un grupo libre de nodos de computación accediendo a la información de estado del grupo de nodos de computación en el servidor de gestión de información. A continuación, el nodo de gestión que ha utilizado el grupo de nodos de computación deshabilitado obtiene la información del grupo de nodos de computación del grupo de nodos de computación libre identificado. Además, puesto que el nodo de gestión que ha utilizado el grupo de nodos de computación deshabilitado puede continuar el procesamiento conmutando el grupo de nodos de computación deshabilitado para utilizar el grupo libre de nodos de computación identificado como grupo de nodos de computación; sobre la base de la información del grupo de nodos de computación del grupo libre de nodos de computación identificado, se puede asegurar la redundancia en el sistema de computación en paralelo.

US 6,282,596 B1 describe un procedimiento y un sistema para conectar en caliente un subsistema de procesador a un bus de sistema de un sistema de procesamiento de datos, mientras que dicho sistema de procesamiento de datos está activo, donde el bus de sistema comprende múltiples posiciones para soportar subsistemas de procesador conectables en caliente, donde cada subsistema de procesador incluye un procesador y el módulo regulador de tensión asociado. La energía se aplica a un subsistema de procesador en respuesta a una indicación de que el subsistema de procesador se ha añadido al bus de sistema del sistema de procesamiento de datos. Las rutinas de inicialización se ejecutan en el procesador dentro del subsistema de procesador a través de un controlador que

transmite los datos de inicialización al procesador independiente del bus del sistema, de manera que los subsistemas de procesador adicionales se integran en el sistema de procesamiento de datos con un efecto mínimo en cualquiera de los procesadores existentes que funcionan en el bus de sistema.

5 CN 103 425 545 A proporciona un procedimiento de tolerancia a fallos del sistema para un servidor multiprocesador. El procedimiento de tolerancia a fallos del sistema para el servidor multiprocesador tiene las siguientes etapas específicas: un sistema detecta un fallo del procesador e informa del fallo del procesador a una unidad de control y gestión; la unidad de control y gestión analiza y evalúa el fallo; después de que el fallo alcance un cierto nivel, se envía una solicitud de interrupción al sistema; después de que el sistema recibe la interrupción, se lleva a cabo la
10 degradación de la configuración según una estrategia de tolerancia a fallos formulada con antelación. Las etapas anteriores tienen como objetivo el servidor multiprocesador. En comparación con la técnica anterior, el procedimiento de tolerancia a fallos del sistema para el servidor multiprocesador se caracteriza por mejorar la fiabilidad del sistema reduciendo tanto la configuración como el coste, y tiene las ventajas de una gran practicidad y facilidad de popularización.

15 En CN 1 491 386 A se determinan la primera y la segunda clase de errores. Un error que provocado un reinicio de un primer nodo se analiza y después se clasifica en una de las clases de errores. Si el error se ha clasificado en la primera clase de errores, un clúster se inicia de forma automática con los nodos primero y segundo. El clúster para la segunda clase de errores no se inicia automáticamente.

20

RESUMEN

Las realizaciones de la presente invención, que se define en detalle en las reivindicaciones independientes adjuntas 1, 3, 5 y 7, proporcionan un procedimiento y un aparato de eliminación de unidades centrales de procesamiento CPU
25 en caliente y un procedimiento y un aparato de adición de unidades centrales de procesamiento CPU en caliente, lo que permite cambiar una CPU sin apagarla, y el sistema puede funcionar con normalidad, mejorando así la experiencia del usuario.

En un aspecto, una realización de esta solicitud proporciona un procedimiento de eliminación de unidades centrales de procesamiento CPU en caliente. El procedimiento es aplicable a un servidor que tenga una primera topología de CPU de malla no completa: el servidor incluye un controlador, la primera topología de CPU que se está ejecutando actualmente incluye varias CPU, y el procedimiento puede incluir: la determinación por parte del controlador de una primera CPU de entre las múltiples CPU, donde la primera CPU es una CPU con fallos o que se debe eliminar según la primera información de indicación, y la primera información de indicación es de la primera topología de CPU o una
30 interfaz de usuario; la determinación por parte del controlador de al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y el envío por parte del controlador de una segunda información de indicación a la topología de la primera CPU donde, después de que la primera topología de CPU recibe la segunda información de indicación, la primera CPU y la al menos una segunda CPU se eliminan a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU.
35 En esta realización de la presente invención, se puede llevar a cabo la eliminación de la CPU en caliente y, durante un proceso de eliminación de CPU y después de haber eliminado la CPU, un sistema puede funcionar con normalidad, mejorando así la experiencia del usuario.

En un posible diseño, varias CPU de la primera topología de CPU pueden estar conectadas mediante el uso de un
40 nodo intermedio, y el nodo intermedio incluye una CPU y/o un controlador externo de nodos XNC. En esta realización de la presente invención, una CPU de la topología de CPU conectada mediante el nodo intermedio puede eliminarse en línea, y el sistema puede funcionar con normalidad, mejorando así la experiencia del usuario.

En un posible diseño, la determinación por parte del controlador de al menos una segunda CPU de entre las múltiples
50 CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida que puede incluir: cada CPU del servidor puede tener al menos una CPU en espera, y el controlador puede determinar al menos una segunda CPU en espera de la primera CPU. La al menos una segunda CPU en espera se encuentra en la primera topología de CPU. Según la presente invención, durante la eliminación de CPU, se pueden eliminar tanto la CPU que se debe eliminar como la CPU en espera, de manera que la topología obtenida después de eliminar las CPU sigue
55 siendo estable. Las CPU se eliminan en caso de que esté garantizado el funcionamiento normal del sistema, mejorando así la experiencia del usuario.

En un posible diseño, después de que la primera topología de CPU recibe la segunda información de indicación, la primera CPU y la al menos una segunda CPU recuperan los recursos, y la primera CPU y la al menos una segunda
60 CPU se desconectan de una CPU de la segunda topología de CPU; y las configuraciones de las CPU de la segunda topología de CPU pueden ajustarse aún más, de manera que las CPU restantes pueden funcionar a modo de una segunda topología de CPU estable después de que la primera CPU y la al menos una segunda CPU se eliminen. En

esta realización de la presente invención, la topología de CPU obtenida después de eliminar las CPU puede funcionar con normalidad, mejorando así la experiencia del usuario.

En otro aspecto, una realización de esta solicitud proporciona un procedimiento de adición en caliente de unidades
5 centrales de procesamiento CPU. El procedimiento se puede aplicar a un servidor con una primera topología de CPU de malla no completa, el servidor incluye un controlador, y el procedimiento puede incluir: la determinación por parte del controlador de la primera información de indicación, donde la primera información de indicación se utiliza para ordenar la adición de una primera CPU, y la primera CPU no se encuentra en la primera topología de CPU que se está ejecutando actualmente; la determinación por parte del controlador de si está instalada al menos una segunda CPU,
10 donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y, si al menos una segunda CPU está instalada, el envío por parte del controlador de la segunda información de indicación a la primera topología de CPU. Después de que la primera topología de CPU recibe la segunda información de indicación, se añaden la primera CPU y la al menos una segunda CPU, a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU. En esta realización de la presente invención, puede añadirse una CPU en línea y,
15 durante un proceso de adición, un sistema puede funcionar con normalidad, mejorando así la experiencia del usuario.

En un posible diseño, la primera información de indicación se puede recibir mediante una interfaz de usuario, y la información de indicación puede llevar un identificador de la CPU que necesita ser añadida; o, después de instalar la primera CPU, un sensor activa una orden específica, y el controlador obtiene un identificador de la primera CPU según
20 la orden. En esta realización de la presente invención, la adición de CPU puede activarse mediante el uso de la orden específica y la interfaz de usuario, y el sistema puede funcionar con normalidad, mejorando así la experiencia del usuario.

En un posible diseño, la determinación por parte del controlador de si hay instalada al menos una segunda CPU,
25 donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida incluye: la determinación por parte del controlador de si hay instalada al menos una CPU en espera de la primera CPU instalada. En esta realización de la presente invención, se pueden instalar tanto la CPU como la CPU en espera, y la topología de CPU se expande en caso de que un sistema operativo pueda funcionar con normalidad, mejorando así la experiencia del usuario.
30

En otro aspecto, una realización de esta solicitud proporciona un aparato de adición de unidades centrales de procesamiento CPU en caliente, donde el aparato se puede aplicar a un servidor con una primera topología de CPU de malla no completa, la primera topología de CPU que se está ejecutando actualmente incluye múltiples CPU, y el aparato incluye: una unidad de procesamiento configurada para determinar una primera CPU de entre las múltiples
35 CPU, donde la primera CPU es una CPU que falla o que se debe eliminar según la primera información de indicación, y la primera información de indicación es de la primera topología de CPU o una interfaz de usuario; donde la unidad de procesamiento está además configurada para determinar al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y una unidad emisora configurada para enviar la segunda información de indicación a la primera topología de CPU, donde la segunda
40 información de indicación se utiliza para ordenar la eliminación de la primera CPU y de la al menos una segunda CPU a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU.

En un posible diseño, la unidad de procesamiento está configurada además para: determinar una ubicación de la primera CPU en la primera topología de CPU y una segunda CPU que se encuentre en la primera topología de CPU
45 y en al menos una ubicación simétrica a la de la primera CPU, o cualquier segunda CPU que esté en una CPU en al menos una ubicación simétrica a la de la primera CPU y que esté conectada directamente a la primera CPU.

En un posible diseño, cada CPU tiene varios puertos, las múltiples CPU están conectadas mediante el uso de los puertos, y la unidad de procesamiento está configurada además para: determinar al menos una segunda CPU
50 interconectada con la primera CPU mediante el uso de puertos de un mismo número de puerto.

En un posible diseño, la primera topología de CPU incluye múltiples grupos de CPU, la información acerca de los múltiples grupos de CPU se prealmacena en el servidor y la unidad de procesamiento está configurada además para:
55 determinar al menos una segunda CPU perteneciente al mismo grupo de CPU que la primera CPU.

En un posible diseño, el hecho de que la segunda información de indicación se utilice para ordenar la eliminación de la primera CPU y la al menos una segunda CPU incluye: la segunda información de indicación se utiliza para ordenar la recuperación de recursos de la primera CPU y la al menos una segunda CPU, y desconectar la primera CPU y la al
60 menos una segunda CPU de una CPU de la segunda topología de CPU.

En otro aspecto más, una realización de esta solicitud proporciona un aparato de adición de unidades centrales de procesamiento CPU en caliente, donde el aparato se puede aplicar a un servidor con una primera topología de CPU

de malla no completa, y el aparato incluye: una unidad de procesamiento configurada para determinar la primera información de indicación, donde la primera información de indicación se utiliza para ordenar la adición de una primera CPU, y la primera CPU no se encuentra en la primera topología de CPU que se está ejecutando actualmente; donde la unidad de procesamiento está además configurada para determinar si está instalada al menos una segunda CPU, 5 donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y una unidad emisora configurada para: una vez instalada la al menos una segunda CPU, enviar la segunda información de indicación a la primera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la adición de la primera CPU y de la al menos una segunda CPU a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU.

10 En un posible diseño, el aparato incluye además: una primera unidad receptora configurada para recibir la primera información de indicación mediante una interfaz de usuario, donde la primera información de indicación incluye un identificador de la primera CPU; o una segunda unidad receptora configurada para recibir, utilizando un sensor, la segunda información de indicación activada una vez instalada la primera CPU; donde la unidad de procesamiento está 15 configurada además para determinar la primera CPU instalada según la segunda información de indicación.

En un posible diseño, la unidad de procesamiento está configurada además para: determinar si se ha instalado una segunda CPU que está en la segunda topología de CPU y que está en al menos una ubicación simétrica a la de la primera CPU.

20 En un posible diseño, la segunda topología de CPU incluye múltiples grupos de CPU, la información acerca de los múltiples grupos de CPU se prealmacena en el servidor, y la unidad de procesamiento está configurada además para: determinar si está instalada al menos una segunda CPU perteneciente al mismo grupo de CPU que la primera CPU.

25 En un posible diseño, el hecho de que la segunda información de indicación se utilice para ordenar la adición de la primera CPU y la al menos una segunda CPU incluye: la segunda información de indicación se utiliza para ordenar la asignación de recursos a la primera CPU y a la al menos una segunda CPU, y establecer conexiones entre la primera CPU y la al menos una segunda CPU y una CPU de la primera topología de CPU a fin de obtener la segunda topología de CPU y ejecutar la segunda topología de CPU. En lo sucesivo, las primeras y segundas CPU y las topologías de 30 CPU del procedimiento y el aparato de adición en caliente se denominan terceras y cuartas CPU y topologías de CPU para evitar confusión entre las primeras y segundas CPU y las topologías de CPU del procedimiento y el aparato de eliminación en caliente y las primeras y segundas CPU y topologías de CPU del procedimiento y el aparato de adición en caliente.

35 En otro aspecto más, una realización de esta solicitud proporciona un servidor que tiene estructura de topología de CPU, y el servidor incluye una primera topología de CPU de malla no completa, un controlador y una memoria. La memoria está configurada para almacenar una orden para el primer aspecto anterior, y el controlador y la primera topología de CPU están configurados para ejecutar la orden.

40 En otro aspecto más, una realización de esta solicitud proporciona un servidor que tiene la estructura de una topología de CPU, y el servidor incluye una tercera topología de CPU de malla no completa, un controlador y una memoria. La memoria está configurada para almacenar una orden para el segundo aspecto anterior, y el controlador y la tercera topología de CPU están configurados para ejecutar la orden.

45 En otro aspecto más, una realización de esta solicitud proporciona un servidor que tiene una estructura de topología de CPU, la estructura incluye ranuras, y una CPU conectable de forma independiente está instalada en la ranura. Las ranuras están conectadas utilizando un canal de interconexión. Las múltiples CPU instaladas en las ranuras funcionan como una primera estructura de topología de CPU. El servidor incluye además un controlador, y el controlador está configurado para realizar las etapas del primer aspecto anterior.

50 En otro aspecto más, una realización de esta solicitud proporciona un servidor multipath que tiene una estructura de topología de CPU, la estructura incluye ranuras, y una CPU conectable de forma independiente está instalada en la ranura. Las ranuras están conectadas utilizando un canal de interconexión. Las múltiples CPU instaladas en las ranuras funcionan como una tercera estructura de topología de la CPU. El servidor incluye además un controlador, y 55 el controlador está configurado para realizar las etapas del segundo aspecto anterior.

En otro aspecto más, una realización de la presente invención proporciona un medio de almacenamiento informático. El medio de almacenamiento informático está configurado para almacenar una orden de software informático utilizado en el primer aspecto anterior, e incluye un programa diseñado para ejecutar el aspecto anterior.

60 En otro aspecto más, una realización de la presente invención proporciona un medio de almacenamiento informático. El medio de almacenamiento informático está configurado para almacenar una orden de software informático utilizado

en el segundo aspecto anterior, e incluye un programa diseñado para ejecutar el aspecto anterior.

Según el procedimiento y el aparato de eliminación de CPU en caliente y el procedimiento y el aparato de adición de CPU en caliente que se proporcionan en las realizaciones de la presente invención, la CPU se puede añadir o eliminar en línea, la topología obtenida después de la eliminación o la adición sigue siendo una topología estable, y el funcionamiento normal del sistema no se ve afectado, mejorando así la experiencia del usuario.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

- 10 La figura 1 es un diagrama esquemático de una estructura de topología de CPU;
la figura 2 es un diagrama esquemático de otra estructura de topología de CPU;
la figura 3 es un diagrama esquemático de un procedimiento de eliminación de CPU según una realización de la presente invención;
15 la figura 4 es un diagrama esquemático de otra estructura de topología de CPU más;
la figura 5 es un diagrama esquemático de una estructura de topología de CPU más;
20 la figura 6 es un diagrama esquemático de una estructura de topología de CPU más;
la figura 7 es un diagrama esquemático de un procedimiento de eliminación de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención;
25 la figura 8 es un diagrama esquemático de una estructura de topología de CPU más;
la figura 9 es un diagrama esquemático de un procedimiento de adición de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención;
30 la figura 10 es un diagrama estructural esquemático de un aparato de eliminación de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención;
la figura 11 es un diagrama estructural esquemático de un aparato de adición de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención;
35 la figura 12 es un diagrama estructural esquemático de un servidor con una topología de CPU según una realización de la presente invención; y
40 la figura 13 es un diagrama estructural esquemático de otro servidor con una topología de CPU según una realización de la presente invención.

DESCRIPCIÓN DE LAS REALIZACIONES

45 Para proporcionar una comprensión exhaustiva de la presente invención, a continuación, se describen adicionalmente las realizaciones de la presente invención en detalle y haciendo referencia a los dibujos adjuntos. Las realizaciones anteriores no están destinadas a limitar el alcance de protección de la presente invención.

La figura 1 es un diagrama esquemático de una estructura de topología de CPU. Como se muestra en la figura 1, la estructura de topología de CPU puede utilizar un procesador Intel (procesador Intel Xeon), y el procesador Intel incluye ocho CPU. Las CPU están conectadas mediante canales de interconexión de alta velocidad, y la figura 1 muestra una estructura de topología estable.

En un proceso de topología de CPU en ejecución, cuando una CPU presenta fallos, por lo general, no solo la CPU no puede procesar datos, sino que además todos los canales conectados a la CPU pueden presentar fallos. Por ejemplo, cuando una CPU 101, como la mostrada en la figura 1 presenta fallos, también presentará fallos una conexión entre la CPU 101 y una CPU 102, la conexión entre la CPU 101 y una CPU 103 y la conexión entre la CPU 101 y una CPU 104. Como se muestra en la figura 2, se trata de un diagrama esquemático de las conexiones restantes que existen cuando la CPU 101 presenta fallos. Sin embargo, la manera en que las siete CPU están conectadas, mostrada en la figura 2, indica una estructura de topología inestable. Durante la ejecución, puede provocarse un fallo o una caída del sistema.

Un autor de la invención de la presente solicitud se da cuenta del problema y, tras analizarlo, encuentra que, como se muestra en la figura 3, cuando se debe eliminar la CPU 101, la CPU 103 que corresponde a la CPU 101 también se puede eliminar y, de esta manera, se puede obtener una estructura de topología estable con seis CPU.

5 Por lo tanto, se puede eliminar un grupo de CPU al que pertenece la CPU para obtener una estructura de topología estable con menos de ocho CPU. Como se muestra en la figura 4, se puede obtener una estructura de topología con seis CPU o, como se muestra en la figura 5, se puede obtener una estructura de topología con cuatro CPU, y así sucesivamente. La estructura de la figura 4 se puede obtener eliminando dos CPU de la estructura de la figura 1, y la estructura de la figura 5 se puede obtener eliminando cuatro CPU de la estructura de la figura 1. Es decir, se puede
10 obtener una estructura de topología estable eliminando un grupo de CPU de una estructura de topología de CPU y, en consecuencia, se puede obtener una estructura de topología estable añadiendo un grupo de CPU a una estructura de topología de CPU.

La figura 6 es un diagrama esquemático de una estructura de topología de CPU. Como se muestra en la figura 6, la estructura de topología de CPU incluye ocho CPU, y las CPU están conectadas mediante el uso de canales de interconexión de alta velocidad o un controlador externo de nodos (XNC). La figura 6 proporciona dos opciones de conexión utilizando el XNC, pero el problema anterior se da en ambas opciones, es decir, cuando una CPU falla, las conexiones entre las siete CPU restantes constituyen una estructura de topología inestable. Sin embargo, sea cual sea la CPU que falla, se puede encontrar una CPU que se corresponda con la CPU que presenta fallos y, después de
15 eliminar las dos CPU, se obtiene una estructura de topología estable con seis CPU.

Debe extraerse la conclusión de que la estructura de topología estable con ocho CPU se utiliza únicamente a modo de ejemplo, y otra estructura de topología estable con otra cantidad de CPU también tiene esta característica. La estructura de topología estable habitual con ocho CPU se utiliza para ofrecer una descripción más clara.

25 La figura 7 es un diagrama esquemático de un procedimiento de eliminación de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención. Como se muestra en la figura 3, el procedimiento se puede llevar a cabo para un servidor con una primera topología de CPU de malla no completa. Una CPU específica de la primera topología de CPU puede ejecutar una orden para las siguientes etapas específicas, o puede ser
30 ejecutada por otra CPU o un controlador diferente del de la primera topología de CPU, y la orden necesaria para ejecutar las siguientes etapas se puede almacenar en una memoria. La topología de CPU del servidor incluye múltiples CPU, y el procedimiento puede incluir las siguientes etapas.

S710. Determinar una primera CPU de entre las múltiples CPU, donde la primera CPU es una CPU con fallos o que
35 se debe eliminar según la primera información de indicación, y la primera información de indicación es de la primera topología de CPU o una interfaz de usuario.

El servidor puede ejecutar un sistema de servicio y un sistema de control, y el sistema de servicio puede realizar la detección, y determinar una CPU que esté en riesgo o que presente fallos. El sistema de servicio es un sistema que
40 se ejecuta en la primera topología de CPU y que procesa principalmente una tarea de servicio, y el sistema de control puede ser un sistema que se ejecuta en una CPU específica o un controlador de la topología de CPU y que se utiliza principalmente para controlar la topología de la CPU. Alternativamente, en un proceso de ejecución de la primera topología de CPU, cuando hay una cantidad relativamente pequeña de tareas y algunas CPU necesitan dejar de funcionar para ahorrar recursos, la primera topología de CPU determina las CPU que deben dejar de funcionar. La
45 primera topología de CPU envía la primera información de indicación al controlador, a fin de informar al controlador de un identificador sobre una CPU que se debe eliminar. Una CPU cuya durabilidad u otro rendimiento es relativamente pobre se puede eliminar según el rendimiento de las CPU.

Alternativamente, el controlador puede recibir la primera información de indicación utilizando la interfaz de usuario.
50 Por ejemplo, cuando es necesario cambiar una CPU, un usuario puede utilizar la interfaz de usuario para introducir un identificador de la CPU que se debe cambiar.

El controlador puede detectar además las CPU de la primera topología para determinar la CPU que falla, por ejemplo, puede detectar si la CPU se puede encender con normalidad. Además, los identificadores de las CPU se pueden
55 utilizar para distinguir diferentes CPU, y el identificador de la CPU es información que puede identificar la CPU, por ejemplo, un ID de socket.

Cabe señalar que, para mayor claridad en la descripción, otra CPU o un controlador diferente del de la primera topología de CPU anterior reciben la denominación colectiva de controlador.

60 S720. Determinar al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida.

Cuando se determina la al menos una segunda CPU entre las diversas CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida, pueden realizarse las siguientes implementaciones:

5 Opción 1: las CPU de una misma estructura de topología pueden ser del mismo tipo. Generalmente, un módulo de CPU tiene varios puertos, y los puertos de la CPU pueden tener diferentes números de puerto. Sin embargo, diferentes CPU del mismo tipo tienen los mismos números de puerto, y las CPU interconectadas mediante puertos con un mismo número de puerto se pueden determinar como un grupo de CPU. Al determinar la al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen la condición preestablecida, el controlador puede determinar al menos una segunda CPU interconectada con la primera CPU mediante puertos con un mismo número de puerto. Por ejemplo, como se muestra en la figura 8, la estructura de topología indica una topología con ocho CPU, donde X (X=0, 1, ..., y 7) en SX representa un ID de socket. Además, 0, 1, y 2 en los dos extremos de cada línea conectada representan en realidad números de puertos QPI. La figura 8 permite concluir que los grupos de CPU que incluyen CPU conectadas mediante puertos con un mismo número de puerto son, respectivamente: S0 y S2, S1 y S3, S4 y S6, y S5 y S7. S0 y S2 están conectados mediante los puertos 2, S1 y S3 están conectados mediante los puertos 2, S4 y S6 están conectados mediante los puertos 2, y S5 y S7 están conectados mediante los puertos 2, y cada una de las parejas forman un grupo de CPU. Cuando S5 falla, se encuentra una CPU conectada al puerto 2, es decir, S7; tanto S5 como S7 se eliminan, y las CPU restantes pueden formar una estructura de topología estable. Cabe señalar que las CPU se agrupan según una regla de estructura de topología estable.

Opción 2: el controlador determina una ubicación de la primera CPU en la primera topología de CPU, y una segunda CPU que se encuentra en la primera topología de CPU y en al menos una ubicación simétrica a la de la primera CPU, o cualquier segunda CPU que esté en al menos una ubicación simétrica a la de la primera CPU y que esté conectada directamente a la primera CPU. La simetría puede ser central o axial. Por ejemplo, en la topología de la figura 3, hay tres CPU en ubicaciones simétricas a la de la CPU 101, dos de las tres CPU están en ubicaciones simétricas axialmente a la de la CPU 101, y una de las tres CPU está en una ubicación simétrica centralmente a la de la CPU 101. Se pueden eliminar las tres CPU, o puede eliminarse únicamente cualquier CPU conectada directamente a la CPU 101.

Opción 3: cada CPU del servidor puede tener al menos una CPU en espera, y el controlador puede determinar al menos una segunda CPU en espera de la primera CPU, por ejemplo, puede agrupar las CPU de la primera topología de CPU, y prealmacenar información acerca de un grupo de CPU en el servidor; y el controlador puede determinar al menos una segunda CPU perteneciente al mismo grupo de CPU que la primera CPU. Para ofrecer otro ejemplo, todos los pares de CPU de la topología mostrada en la figura 6 pueden agruparse en un grupo para formar cuatro grupos; y los identificadores de las CPU correspondientes de estos grupos de CPU se pueden almacenar y, cuando se determina que una CPU se debe eliminar, se encuentra la otra CPU cuyo identificador está almacenado de manera correspondiente, y ambas CPU se eliminan.

El sistema de servicio del servidor puede determinar la al menos una segunda CPU, donde la al menos una segunda CPU y la primera CPU cumplen la condición preestablecida. Opcionalmente, el sistema de servicio del servidor envía al sistema de control (por ejemplo, un sistema operativo (OS), un sistema básico de entrada/salida (BIOS), un controlador de gestión de placa base (BMC) u otro software) un identificador de una CPU que se debe eliminar, y el sistema de control determina una segunda topología de CPU que no incluya la primera CPU, y envía al sistema de servicio los identificadores de CPU que se deben eliminar. El sistema de servicio elimina las CPU correspondientes, a fin de obtener la segunda topología de CPU.

S730. Enviar la segunda información de indicación a la primera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la eliminación de la primera CPU y de la al menos una segunda CPU a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU.

Una vez eliminadas las CPU, el servidor debe funcionar sobre la base de la segunda topología de CPU, por ejemplo, puede ejecutar el sistema de servicio en la segunda topología de la CPU.

Cabe señalar que la eliminación de una CPU incluye: el sistema recupera los recursos asignados a la CPU, por ejemplo, libera los recursos asignados a la CPU o mueve a otra CPU o a otra topología de CPU los recursos asignados a la CPU, por ejemplo, mueve los recursos a la segunda topología de CPU; además, el sistema puede eliminar conexiones lógicas entre la CPU que se debe eliminar y las CPU de la segunda topología de CPU, es decir, las CPU que permanecen tras eliminar la CPU que se debe eliminar; y el sistema puede además restablecer las CPU de la segunda topología de CPU, de modo que las CPU pueden funcionar como la segunda topología de CPU. Además, la CPU que se debe eliminar se puede apagar. En la opción anterior, la información para la primera CPU y la al menos una segunda CPU no existe en las CPU de la segunda topología de CPU, es decir, cuando el sistema se está ejecutando, una tarea

que debe ser realizada por la primera CPU o la al menos una segunda CPU no existe, y los canales a la primera CPU y la al menos una segunda CPU están desconectados. Por lo tanto, la segunda topología de CPU puede ejecutarse de forma estable.

5 En una implementación específica de esta forma de realización de la presente invención, las CPU de la topología de CPU se pueden conectar utilizando un nodo intermedio, y el nodo intermedio puede ser una CPU y/o un controlador de nodos externo XNC, por ejemplo, la estructura de topología que se muestra en la figura 1 o en la figura 6.

Además, la topología de la CPU en esta realización de la presente invención puede incluir un número par (por ejemplo, 8 o 6) de CPU de modo que, la topología de CPU obtenida después la eliminación sigue teniendo un número par de CPU.

Se extrae la conclusión de que tanto la primera topología de CPU como la segunda topología de CPU son estructuras de topología estable.

15 En esta realización de la presente invención, cuando la CPU falla o se debe eliminar, se puede eliminar la CPU en caso de que el funcionamiento normal del sistema no se vea afectado y la topología de CPU obtenida tras la eliminación se mantenga estable, mejorando así la experiencia del usuario.

20 Para un servidor con una topología de CPU de malla no completa, el servidor no solo necesita tener capacidad de servicio continua, sino que también tiene que tener capacidad de expansión flexible. La expansión puede producirse: cuando los recursos de hardware son insuficientes o el rendimiento no es lo suficientemente bueno, se incrementan los recursos de hardware del servidor para expandir los recursos del sistema con el fin de mejorar el rendimiento del servidor. Este proceso se conoce como expansión. A continuación, se proporciona un procedimiento de expansión de topología de CPU.

La figura 9 es un diagrama esquemático de un procedimiento de adición de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención. Como se muestra en la figura 9, el procedimiento se puede llevar a cabo para un servidor multipath con una topología de CPU de malla no completa. Una CPU específica de la topología de CPU de malla no completa puede ejecutar una orden para las siguientes etapas específicas, o puede ser ejecutada por otra CPU o un controlador diferente del de la topología de CPU de malla no completa, y la orden necesaria para ejecutar las etapas siguientes se puede almacenar en una memoria. El procedimiento puede comprender las siguientes etapas:

35 S910. Determinar la primera información de indicación, donde la primera información de indicación se utiliza para ordenar la adición de una tercera CPU, y la tercera CPU no está en la tercera topología de CPU que se está ejecutando actualmente.

Después de completar la instalación de la tercera CPU, el usuario puede introducir una orden utilizando una interfaz de usuario, y el controlador puede recibir la orden. La orden puede llevar un identificador de la tercera CPU.

Alternativamente, tras instalar una CPU que se debe añadir, un sensor activa una señal eléctrica específica, el controlador puede recibir la señal y obtener un identificador de la tercera CPU de según una indicación de la señal eléctrica. El identificador de la CPU puede ser información que permita identificar la CPU, por ejemplo, un ID de socket.

45 Por ejemplo, utilizando diferentes ranuras se pueden activar diferentes señales eléctricas, y se puede determinar una ranura en la que está instalada la CPU mediante el uso de la señal eléctrica. Alternativamente, las señales eléctricas activadas por el uso de diferentes ranuras pueden ser las mismas y, después de recibir la señal eléctrica, el servidor puede aprender que se ha instalado una nueva CPU y puede determinar un identificador de la CPU recién instalada utilizando un sistema de servicio o un sistema de control.

50 S920. Determinar si está instalada al menos una cuarta CPU, donde la al menos una cuarta CPU y la tercera CPU cumplen una condición preestablecida.

Para determinar si la al menos una cuarta CPU está instalada, donde la al menos una cuarta CPU y la tercera CPU cumplen la condición preestablecida, pueden llevarse a cabo las siguientes implementaciones.

Opción 1: un principio de esta opción es el mismo que el principio de la opción 2 en la etapa S720, mostrado en la figura 7, y se puede entender consultando la opción 2, etapa S720. Una etapa específica es la siguiente: el controlador determina si está instalada una cuarta CPU que esté en una cuarta topología de CPU y que esté en al menos una ubicación simétrica a la de la tercera CPU.

Opción 2: un principio de esta opción es el mismo que el principio de la opción 3 en la etapa S720, mostrado en la

figura 7, y se puede entender consultando la opción 3, etapa S720. Una etapa específica es la siguiente: el procesador puede determinar si está instalada al menos una CPU en espera de la tercera CPU. Por ejemplo, la cuarta topología de CPU incluye múltiples grupos de CPU, la información acerca de los múltiples grupos de CPU se puede prealmacenar en el servidor, y el controlador determina si está instalada al menos una cuarta CPU perteneciente al mismo grupo de CPU que la tercera CPU.

Debe añadirse un grupo de CPU a la tercera topología de CPU para obtener una topología estable. Cuando se determina la información de indicación de la adición en caliente, puede haber un identificador de una única CPU, y el sistema de servicio necesita determinar un estado de posición de entrada de otra CPU que se corresponda con el identificador de la CPU; y, cuando están instaladas tanto la CPU como la CPU correspondiente, se lleva a cabo la siguiente etapa.

S930. Si está instalada la al menos una cuarta CPU, donde la al menos una cuarta CPU y la tercera CPU cumplen la condición preestablecida, enviar la segunda información de indicación a la tercera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la adición de la tercera CPU y de la al menos una cuarta CPU a fin de obtener una cuarta topología de CPU y ejecutar la cuarta topología de CPU.

Una vez recibida la segunda información de indicación, la tercera topología de CPU asigna recursos a la tercera CPU y a la al menos una cuarta CPU, y establece conexiones de la tercera CPU y la al menos una cuarta CPU a una CPU de la tercera topología de CPU; y puede además ajustar la configuración de CPU de la tercera topología de CPU, de modo que las CPU de la tercera topología de CPU, la tercera CPU y la al menos una cuarta CPU puedan funcionar como cuarta topología de CPU.

Se extrae la conclusión de que tanto la tercera topología de CPU como la cuarta topología de CPU son estructuras de topología estables.

En esta realización de la presente invención, se puede expandir una capacidad de la topología de CPU sin que el funcionamiento normal del sistema se vea afectado o, en referencia a la realización mostrada en la figura 7 y la realización mostrada en la figura 9, se puede cambiar una CPU para que un sistema se ejecute de manera más estable, mejorando aún más la experiencia del usuario.

Lo expuesto anteriormente describe principalmente las soluciones proporcionadas en esta realización de la presente invención desde la perspectiva de un procedimiento de procesamiento de datos del servidor multipath. Puede entenderse que, para lograr las funciones mencionadas anteriormente, el servidor incluye una estructura de hardware correspondiente y/o un módulo de software para implementar cada función. Un experto en la materia debería advertir fácilmente que las unidades y las etapas de algoritmo de cada ejemplo, explicadas haciendo referencia a las realizaciones descritas en esta memoria, se pueden implementar en forma de hardware o combinación de hardware y software informático en la presente invención. Que las funciones se implementen mediante hardware o mediante una opción en la que un software informático controle el hardware depende de las aplicaciones concretas y de las limitaciones del diseño de las soluciones técnicas. Una persona experta en la materia puede usar diferentes procedimientos para implementar las funciones descritas para cada aplicación particular, pero no debe considerarse que la implementación va más allá del alcance de la presente invención.

La figura 10 es un diagrama estructural esquemático de un aparato de eliminación de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención. El aparato se puede aplicar a un servidor con una primera topología de CPU de malla no completa; la primera topología de CPU que se está ejecutando actualmente incluye varias CPU, y el aparato incluye:

una unidad de procesamiento 1001 configurada para determinar una primera CPU de entre las múltiples CPU, donde la primera CPU es una CPU con fallos o que se debe eliminar según la primera información de indicación, y la primera información de indicación es de la primera topología de CPU o una interfaz de usuario; donde

la unidad de procesamiento 1001 está además configurada para determinar al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y

una unidad emisora 1002 configurada para enviar la segunda información de indicación a la primera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la eliminación de la primera CPU y de la al menos una segunda CPU, a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU.

Opcionalmente, la unidad de procesamiento 1001 está configurada además para:

- 5 determinar una ubicación de la primera CPU en la primera topología de CPU y una segunda CPU que se encuentre en la primera topología de CPU y en al menos una ubicación simétrica a la de la primera CPU, o cualquier segunda CPU que esté en al menos una ubicación simétrica a la de la primera CPU y que esté conectada directamente a la primera CPU. Opcionalmente, cada CPU tiene varios puertos, las múltiples CPU están conectadas mediante el uso de los puertos, y la unidad de procesamiento 1001 está configurada además para:
- 10 determinar al menos una segunda CPU interconectada con la primera CPU utilizando puertos con un mismo número de puerto.
- Opcionalmente, la unidad de procesamiento 1001 está configurada además para: determinar al menos una segunda CPU en espera de la primera CPU.
- 15 Además, la primera topología de CPU incluye múltiples grupos de CPU, la información sobre los múltiples grupos de CPU se prealmacena en el servidor y la unidad de procesamiento 1001 está además configurada para:
- determinar al menos una segunda CPU perteneciente al mismo grupo de CPU que la primera CPU.
- Opcionalmente, el hecho de que la segunda información de indicación se utilice para ordenar la eliminación de la primera CPU y la al menos una segunda CPU incluye:
- 20 la segunda información de indicación se utiliza para ordenar la recuperación de recursos de la primera CPU y de la al menos una segunda CPU, y desconectar la primera CPU y la al menos una segunda CPU de una CPU de la segunda topología de CPU.
- 25 Cabe señalar que esta realización de la presente invención se corresponde con la anterior realización del procedimiento, mostrada en la figura 7, y puede hacerse referencia a ambas para facilitar la comprensión. Los detalles no se describen.
- 30 La figura 11 es un diagrama estructural esquemático de un aparato de adición de unidades centrales de procesamiento CPU en caliente según una realización de la presente invención. El aparato se puede aplicar a un servidor con una tercera topología de CPU de malla no completa y el aparato incluye:
- 35 una unidad de procesamiento 1101 configurada para determinar la primera información de indicación, donde la primera información de indicación se utiliza para ordenar la adición de una tercera CPU, y la tercera CPU no está en la tercera topología de CPU que se está ejecutando actualmente; donde
- 40 la unidad de procesamiento 1101 está configurada para determinar si está instalada al menos una cuarta CPU, donde la al menos una cuarta CPU y la tercera CPU cumplen una condición preestablecida; y
- 45 una unidad emisora 1102 configurada para: una vez instalada la al menos una cuarta CPU, enviar la segunda información de indicación a la tercera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la adición de la tercera CPU y de la al menos una cuarta CPU a fin de obtener una cuarta topología de CPU y ejecutar la cuarta topología de CPU.
- Opcionalmente, el aparato incluye además:
- 50 una primera unidad receptora configurada para recibir la tercera información de indicación utilizando una interfaz de usuario, donde la tercera información de indicación incluye un identificador de la tercera CPU; o
- 55 una segunda unidad receptora configurada para recibir, utilizando un sensor, la cuarta información de indicación activada una vez instalada la tercera CPU; donde la unidad de procesamiento 1101 está configurada además para determinar la tercera CPU instalada según la cuarta información de indicación.
- Opcionalmente, la unidad de procesamiento 1101 está configurada además para:
- 60 determinar si está instalada una cuarta CPU que esté en la cuarta topología de CPU y que esté en al menos una ubicación simétrica a la de la tercera CPU. Opcionalmente, la unidad de procesamiento 1101 está configurada además para:
- determinar al menos una segunda CPU en espera de la primera CPU.

Además, la cuarta topología de CPU incluye múltiples grupos de CPU, la información sobre los múltiples grupos de CPU se prealmacena en el servidor y la unidad de procesamiento 1101 está además configurada para:

determinar si está instalada al menos una cuarta CPU perteneciente al mismo grupo de CPU que la tercera CPU.

5 Opcionalmente, el hecho de que la segunda información de indicación se utilice para ordenar la adición de la tercera CPU y la al menos una cuarta CPU incluye: la segunda información de indicación se utiliza para ordenar la asignación de recursos a la tercera CPU y a la al menos una cuarta CPU, y para establecer conexiones entre la tercera CPU y la al menos una cuarta CPU y una CPU de la tercera topología de CPU, a fin de obtener la cuarta topología de CPU y
10 ejecutar la cuarta topología de CPU.

Cabe señalar que esta realización de la presente invención se corresponde con la anterior realización del procedimiento, mostrada en la figura 9, y puede hacerse referencia a ambas para facilitar la comprensión. Los detalles no se describen.

15 La figura 12 es un diagrama estructural esquemático de un servidor con una estructura de topología de CPU según una realización de la presente invención. El servidor puede incluir una topología de CPU 1201, una interfaz de entrada/salida 1202, una memoria 1203 y un bus 1204, que se muestran adicionalmente en la figura, y puede incluir además un controlador 1205. La topología de CPU 1201, la interfaz de entrada/salida 1202, la memoria 1203 y el
20 controlador 1205 están conectados y se comunican entre sí utilizando el bus 1204. La memoria 1203 está configurada para almacenar un programa, y la topología de CPU 1201 y el controlador 1205 ejecutan el programa leyendo el programa almacenado en la memoria, y envían y reciben datos y una orden para un dispositivo externo utilizando la interfaz de entrada/salida 1202.

25 Cabe señalar que una estructura de topología de CPU de la topología de CPU 1201 en esta invención incluye ranuras, y una CPU conectable de forma independiente está instalada en la ranura. Las ranuras están conectadas utilizando un canal de interconexión para formar una estructura de topología estable. Las múltiples CPU instaladas en las ranuras funcionan como una primera estructura de topología de CPU.

30 Generalmente, en la primera topología de CPU existe una CPU correspondiente a una CPU que se debe eliminar, y las ranuras se puede utilizar para distinguir la CPU que se debe eliminar y la CPU correspondiente de otra CPU. Por ejemplo, si la CPU que se debe eliminar y la CPU correspondiente a la que se debe eliminar se consideran un grupo de CPU, las ranuras pertenecientes a un mismo grupo de ranuras se pueden identificar empleando un mismo
35 identificador o el mismo tipo de identificadores, o un mismo grupo de ranuras puede estar circunscrito en un mismo bloque en una placa base, o un mismo grupo de ranuras se puede marcar utilizando un mismo color.

La memoria 1203 puede ser un aparato de almacenamiento o puede ser un término colectivo que designe varios elementos de almacenamiento, y está configurada para almacenar código ejecutable de programa en las etapas anteriores, o un parámetro, datos y elementos similares necesarios para el funcionamiento de un dispositivo de gestión
40 de redes de acceso. Además, la memoria 1203 puede incluir una memoria de acceso aleatorio (RAM), o puede incluir una memoria no volátil, como una memoria de disco magnético, una memoria flash.

El bus 1204 puede ser un bus de arquitectura industrial estándar (ISA), un bus de interconexión de componentes periféricos (PCI), un bus de arquitectura industrial estándar extendida (EISA) o similares. El bus 1204 puede
45 clasificarse como bus de direcciones, bus de datos, bus de control o similares. Para facilitar la representación, en la figura 12 se utiliza solo una línea en negrita para la representación, pero esto no indica que solo haya un bus o un solo tipo de bus.

La figura 13 es un diagrama estructural esquemático de otro servidor con una estructura de topología de CPU según
50 una realización de la presente invención. El servidor multipath puede incluir una topología de CPU 1301, una interfaz de entrada/salida 1302, una memoria 1303 y un bus 1304, que se muestran adicionalmente en la figura, y puede incluir además un controlador 1305. La topología de CPU 1301, la interfaz de entrada/salida 1302, la memoria 1303 y el controlador 1305 están conectados y se comunican entre sí utilizando el bus 1304. Cabe señalar que una estructura de topología de CPU de la topología de CPU 1301 en esta invención incluye ranuras, y una CPU conectable de forma
55 independiente está instalada en la ranura. Las ranuras están conectadas utilizando un canal de interconexión para formar una tercera topología de CPU estable.

Generalmente, en una cuarta topología de CPU existe una CPU correspondiente a una CPU que se debe eliminar, y las ranuras se pueden reservar en la tercera topología de CPU. En las ranuras reservadas pueden instalarse una CPU
60 que se debe añadir y una CPU correspondiente a la CPU que se debe añadir. Las ranuras reservadas pueden distinguirse de las ranuras de la cuarta topología de CPU. Por ejemplo, si la CPU que se debe añadir y la CPU correspondiente a la que se debe añadir se consideran un grupo de CPU, las ranuras pertenecientes a un mismo

grupo de ranuras se pueden identificar empleando un mismo identificador o el mismo tipo de identificadores, o un mismo grupo de ranuras puede estar rodeado en un mismo bloque en una placa base, o un mismo grupo de ranuras se puede marcar utilizando un mismo color.

- 5 Los módulos anteriores son similares a los módulos de la figura 12, y puede hacerse referencia a ambos para facilitar la comprensión. Los detalles no se describen.

En esta realización de la presente invención, la conexión de CPU en caliente puede implementarse sin afectar a la estabilidad de la topología de CPU, de modo que un sistema puede funcionar con normalidad, mejorando así la experiencia del usuario.

Además, un experto en la materia puede ser consciente de que, en combinación con los ejemplos expuestos en las realizaciones descritas en esta memoria, las unidades y las etapas de algoritmo se pueden implementar por medio de hardware electrónico, software informático o una combinación de los mismos. Para describir claramente la intercambiabilidad entre el hardware y el software, lo expuesto anteriormente ha descrito, por lo general, composiciones y etapas de cada ejemplo según las funciones. Si las funciones se realizan por hardware o software depende de aplicaciones particulares y condiciones de restricción de diseño de las soluciones técnicas. Una persona experta en la materia puede usar diferentes procedimientos para implementar las funciones descritas para cada aplicación particular, pero no debe considerarse que la implementación va más allá del alcance de la presente invención.

Las etapas de los procedimientos o algoritmos expuestos en las realizaciones descritas en esta memoria se pueden ser implementar por medio de hardware, un módulo de software ejecutado por un procesador o una combinación de los mismos. El módulo de software puede residir en una memoria de acceso aleatorio (RAM), una memoria, una memoria de solo lectura (ROM), una ROM programable eléctricamente, una ROM programable y borrrable eléctricamente, un registro, un disco duro, un disco extraíble, un CD-ROM o cualquier otra forma de medio de almacenamiento conocido en la técnica.

En las implementaciones específicas anteriores, el objetivo, las soluciones técnicas y las ventajas de la presente invención se describen en detalle. Debe entenderse que las descripciones anteriores son solo implementaciones específicas de la presente invención, pero no pretenden limitar el alcance de protección de la presente invención. Cualquier modificación, sustitución equivalente o mejora realizadas sin apartarse del principio de la presente invención estará dentro del alcance de protección de la presente invención.

35

REIVINDICACIONES

1. Un procedimiento de eliminación de unidades centrales de procesamiento CPU en caliente, donde el procedimiento se puede aplicar a un único servidor con una primera topología de CPU de malla no completa, el servidor comprende un controlador, la primera topología de CPU que se está ejecutando actualmente comprende múltiples CPU, donde el procedimiento comprende:
- la determinación (710) por parte del controlador de una primera CPU de entre las múltiples CPU, donde la primera CPU es una CPU con fallos o que se debe eliminar según la primera información de indicación, y la primera información de indicación es de la primera topología de CPU o una interfaz de usuario;
- la determinación (720) por parte del controlador de al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y
- el envío (730) por parte del controlador de la segunda información de indicación a la primera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la eliminación de la primera CPU y de la al menos una segunda CPU, a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU;
- donde la determinación (710) por parte del controlador de al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida comprende:
- la determinación por parte del controlador de al menos una segunda CPU en espera de la primera CPU, donde la al menos una segunda CPU en espera es la al menos una segunda CPU.
2. El procedimiento según la reivindicación 1, donde el hecho de que la segunda información de indicación se utilice para ordenar la eliminación de la primera CPU y de la al menos una segunda CPU comprende:
- la segunda información de indicación se utiliza para ordenar la recuperación de recursos de la primera CPU y de la al menos una segunda CPU de la primera topología de CPU, y desconectar la primera CPU y la al menos una segunda CPU de una CPU de la segunda topología de CPU.
3. Un procedimiento de adición de unidades centrales de procesamiento CPU en caliente, donde el procedimiento se puede aplicar a un único servidor con una primera topología de CPU de malla no completa, el servidor comprende un controlador, donde el procedimiento comprende:
- la determinación (910) por parte del controlador de la primera información de indicación, donde la primera información de indicación se utiliza para ordenar la adición de una primera CPU, y la primera CPU no está en la primera topología de CPU que se está ejecutando actualmente;
- la determinación (920) por parte del controlador de si está instalada al menos una segunda CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y
- el envío (930) por parte del controlador de la segunda información de indicación a la primera topología de CPU una vez instalada la al menos una segunda CPU, donde la segunda información de indicación se utiliza para ordenar la adición de la primera CPU y de la al menos una segunda CPU, a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU;
- donde la determinación por parte del controlador de si está instalada al menos una segunda CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida comprende:
- la determinación por parte del controlador de si está instalada al menos una segunda CPU en espera de la primera CPU, donde la al menos una segunda CPU en espera es la al menos una segunda CPU.
4. El procedimiento según la reivindicación 3, donde la determinación por parte del controlador de la primera información de indicación comprende:
- la recepción por parte del controlador de la primera información de indicación utilizando una interfaz de usuario, donde la primera información de indicación comprende un identificador de la primera CPU; o
- la recepción, por parte del controlador y utilizando un sensor, de la segunda información de indicación activada una vez instalada la primera CPU, y la determinación de la primera CPU instalada según la segunda información de indicación.

5. Un aparato de eliminación de unidades centrales de procesamiento CPU en caliente, donde el aparato se puede aplicar a un único servidor con una primera topología de CPU de malla no completa, la primera topología de CPU que está funcionando actualmente comprende múltiples CPU, donde el aparato comprende:

5 una unidad de procesamiento (1001) configurada para determinar una primera CPU de entre las múltiples CPU, donde la primera CPU es una CPU con fallos o que se debe eliminar según la primera información de indicación, y la primera información de indicación es de la primera topología de CPU o una interfaz de usuario; donde

10 la unidad de procesamiento (1001) está además configurada para determinar al menos una segunda CPU de entre las múltiples CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y

15 una unidad emisora (1002) configurada para enviar la segunda información de indicación a la primera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la eliminación de la primera CPU y de la al menos una segunda CPU a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU;

20 donde la unidad de procesamiento está configurada además para determinar al menos una segunda CPU en espera de la primera CPU, donde la al menos una segunda CPU en espera es la al menos una segunda CPU.

6. El aparato según la reivindicación 5, donde el hecho de que la segunda información de indicación se utilice para ordenar la eliminación de la primera CPU y de la al menos una segunda CPU comprende:

25 la segunda información de indicación se utiliza para ordenar la recuperación de recursos de la primera CPU y de la al menos una segunda CPU de la primera topología de CPU y desconectar la primera CPU y la al menos una segunda CPU de una CPU de la segunda topología de CPU.

7. Un aparato de adición de unidades centrales de procesamiento CPU en caliente, donde el aparato se puede aplicar a un único servidor con una primera topología de CPU de malla no completa, donde el aparato comprende:

35 una unidad de procesamiento (1101) configurada para determinar la primera información de indicación, donde la primera información de indicación se utiliza para ordenar la adición de una primera CPU, y la primera CPU no está en la primera topología de CPU que está funcionando actualmente; donde

la unidad de procesamiento (1101) está además configurada para determinar si está instalada al menos una segunda CPU, donde la al menos una segunda CPU y la primera CPU cumplen una condición preestablecida; y

40 una unidad emisora (1102) configurada para: una vez instalada la al menos una segunda CPU, enviar la segunda información de indicación a la primera topología de CPU, donde la segunda información de indicación se utiliza para ordenar la adición de la primera CPU y de la al menos una segunda CPU a fin de obtener una segunda topología de CPU y ejecutar la segunda topología de CPU;

45 donde la unidad de procesamiento está configurada además para:

determinar si está instalada al menos una segunda CPU en espera de la primera CPU, donde la al menos una segunda CPU en espera es la al menos una segunda CPU.

50 8. El aparato según la reivindicación 7 comprende, además:

una primera unidad receptora configurada para recibir la primera información de indicación utilizando una interfaz de usuario, donde la primera información de indicación comprende un identificador de la primera CPU; o

55 una segunda unidad receptora configurada para recibir, utilizando un sensor, la segunda información de indicación activada una vez instalada la primera CPU; donde la unidad de procesamiento está configurada además para determinar la primera CPU instalada según la segunda información de indicación.

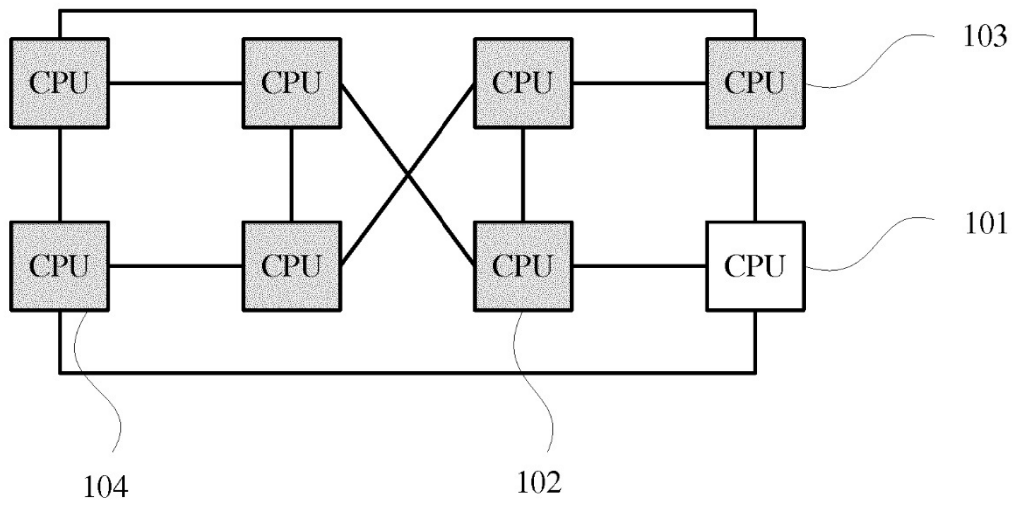


FIG. 1

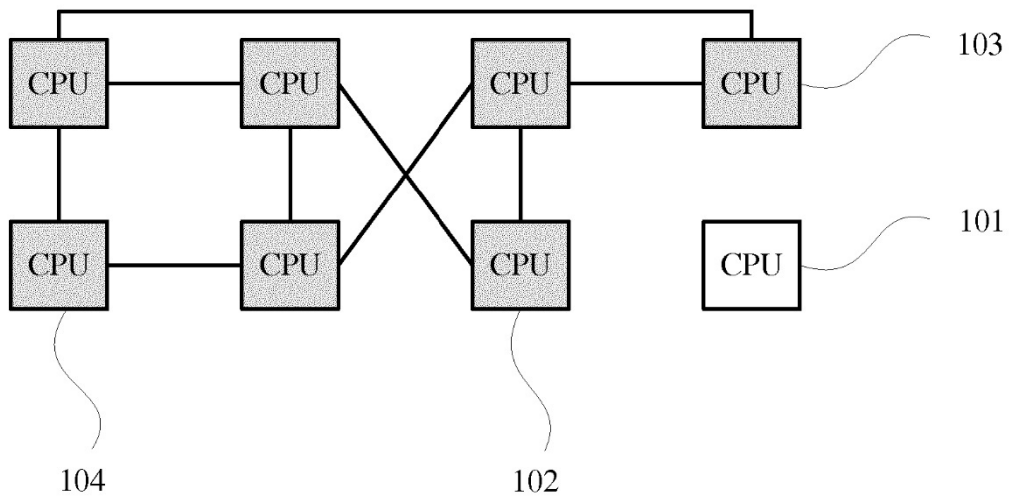


FIG. 2

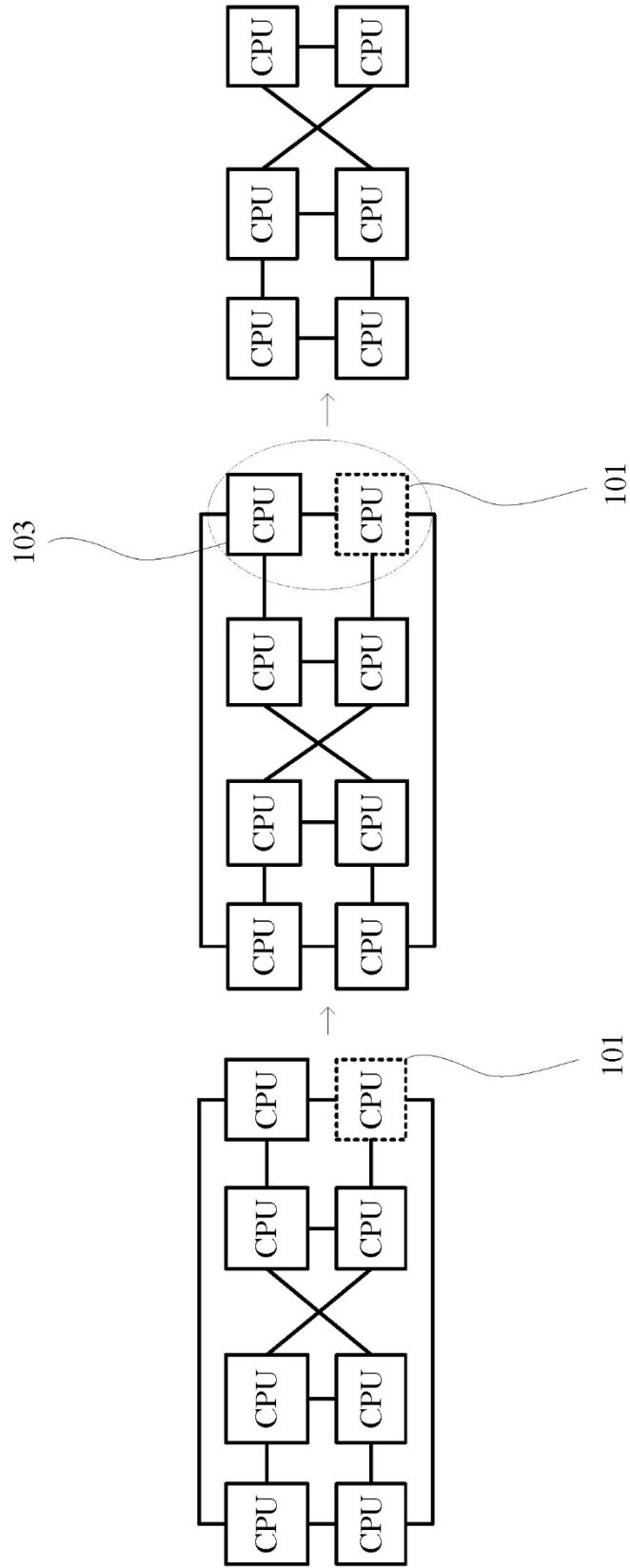


FIG. 3

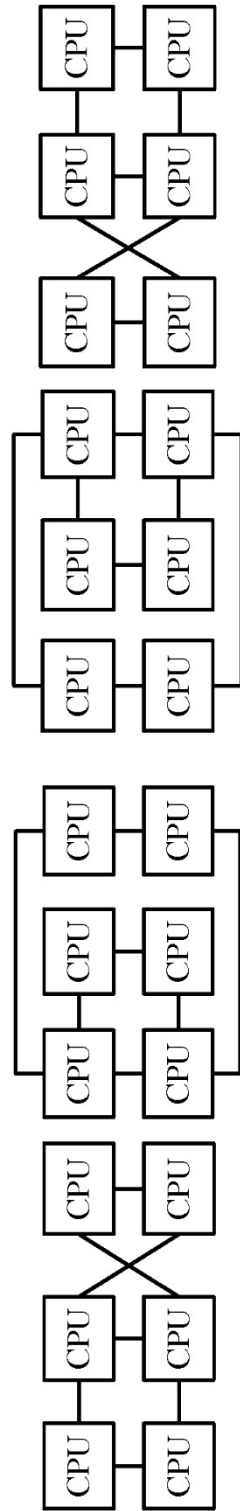


FIG. 4

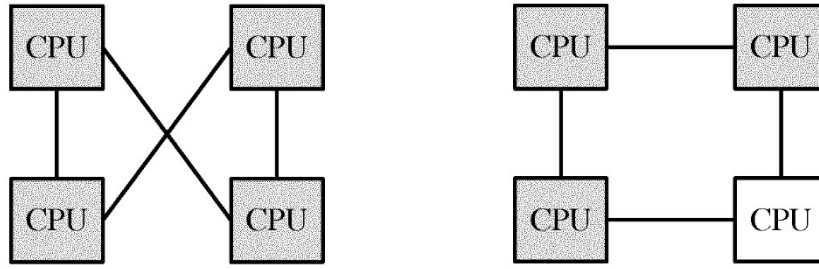


FIG. 5

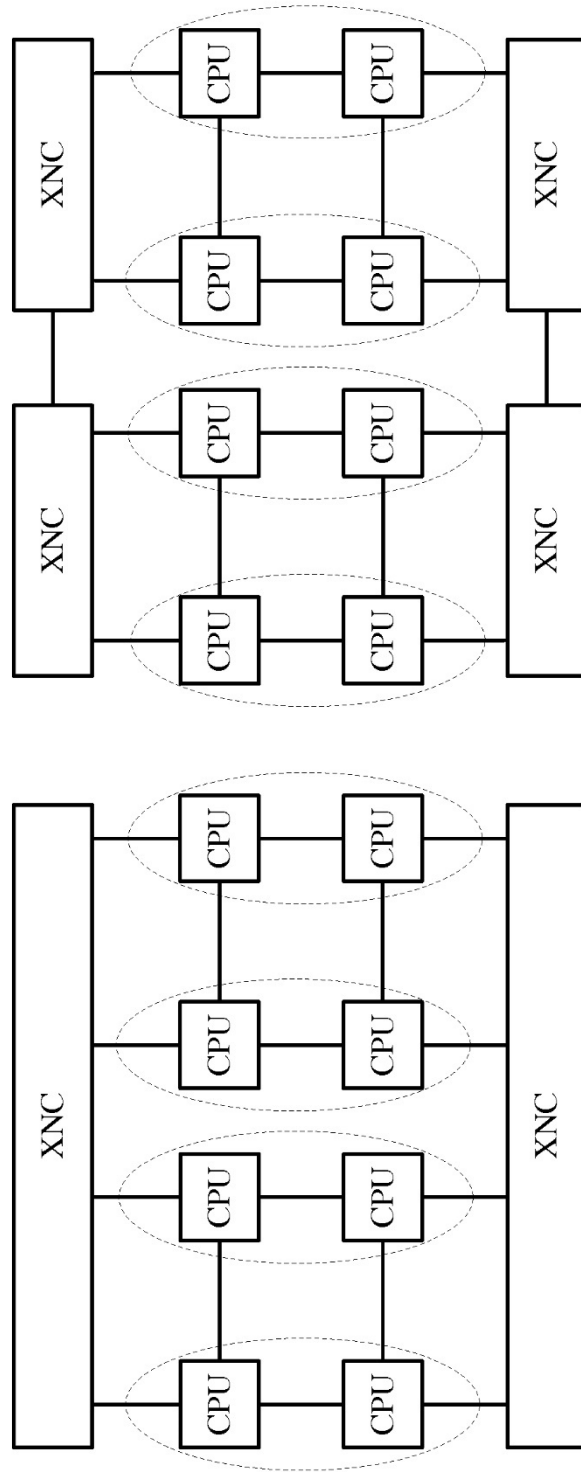


FIG. 6

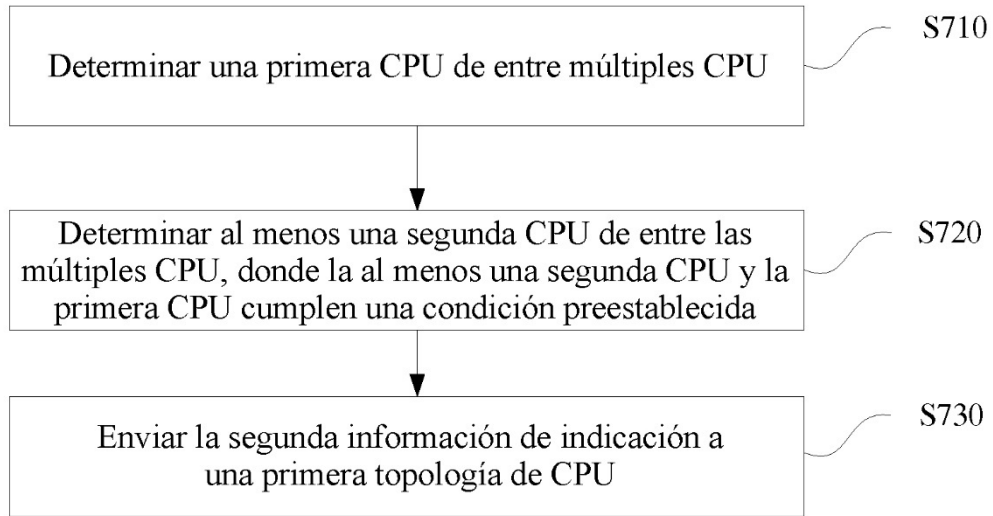


FIG. 7

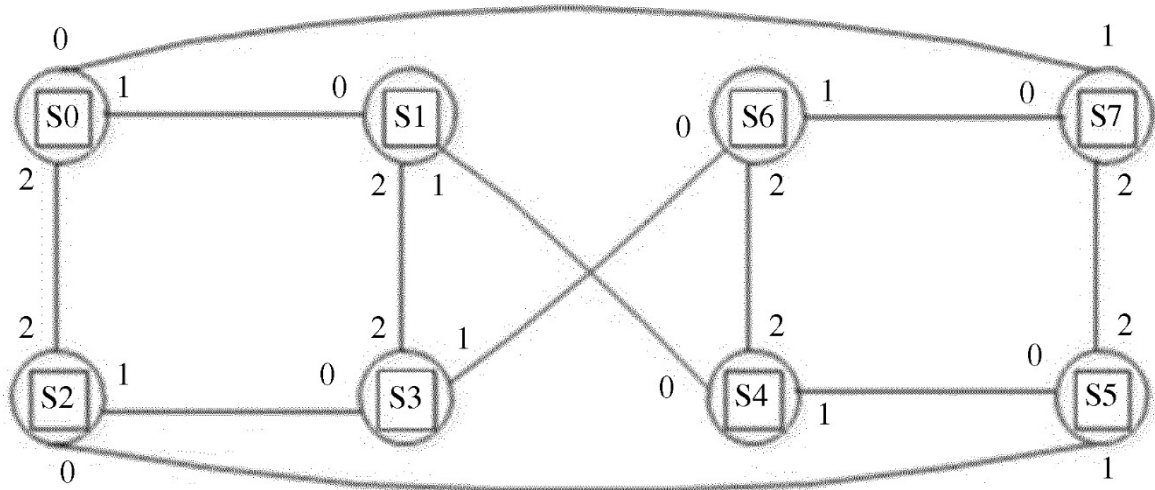


FIG. 8

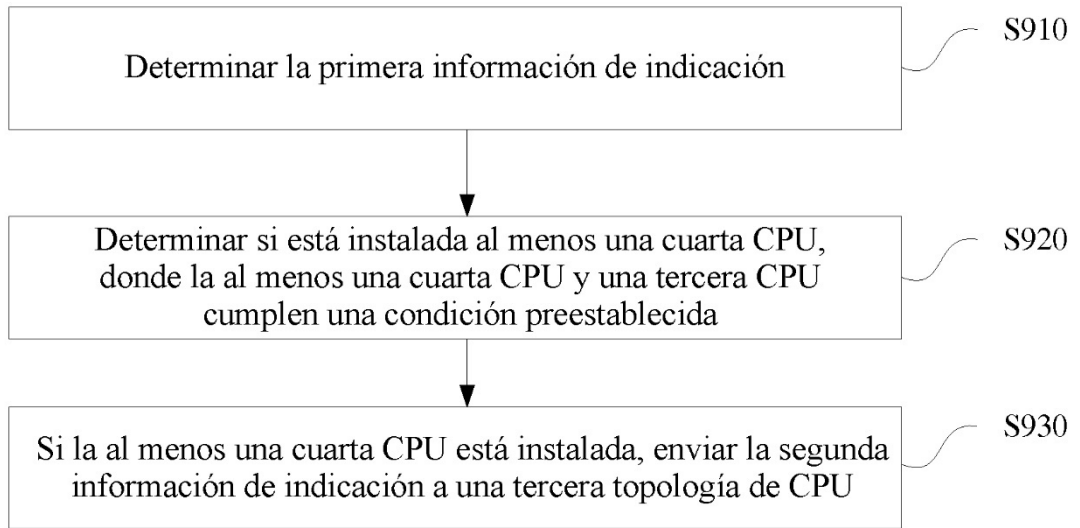


FIG. 9

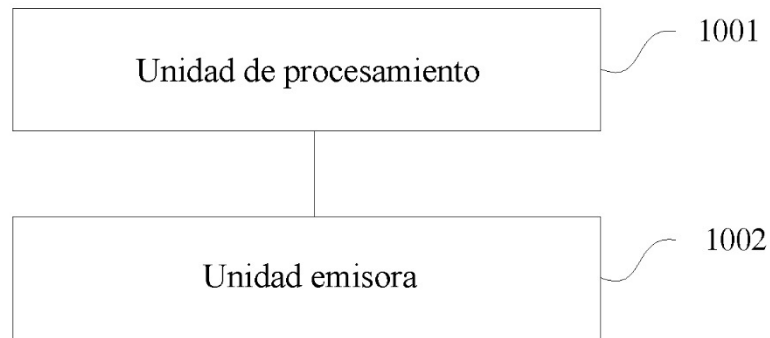


FIG. 10

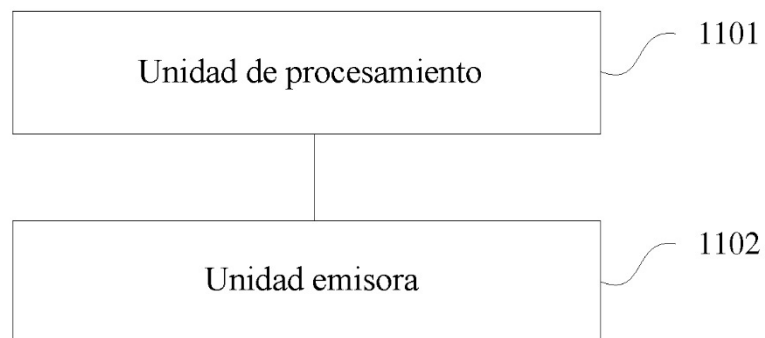


FIG. 11

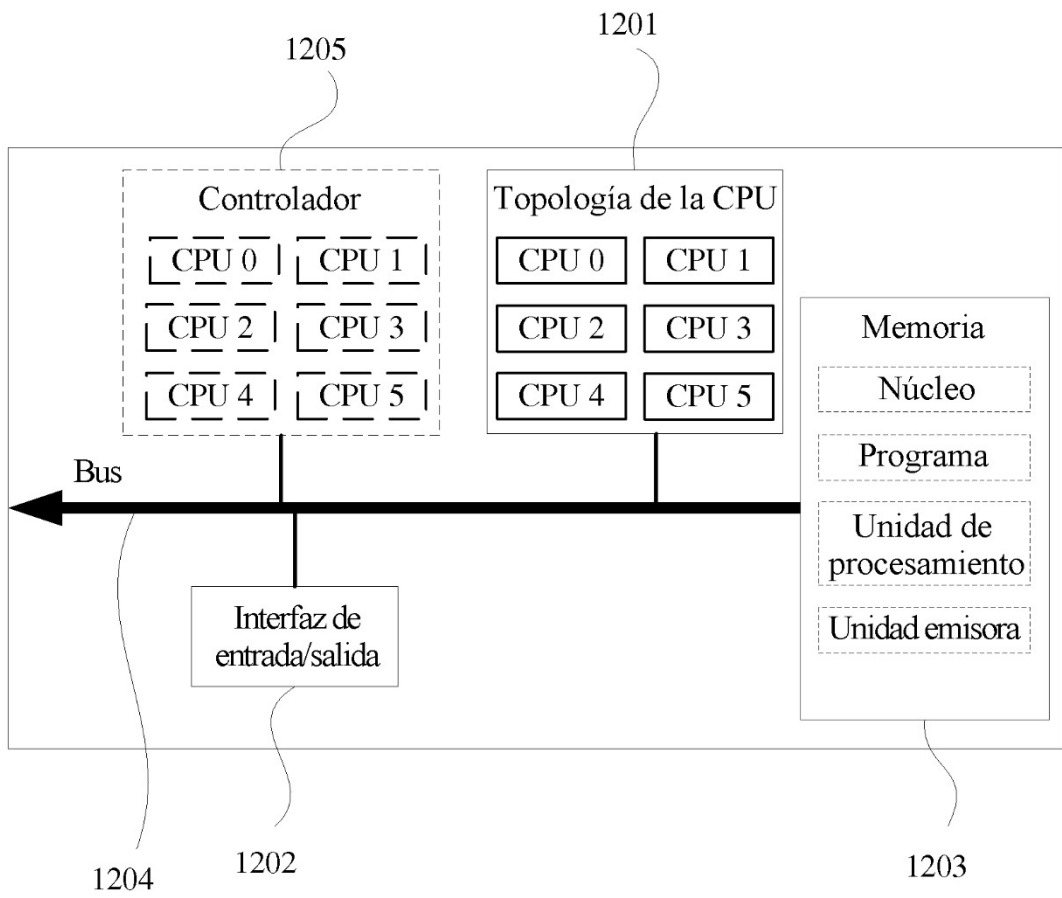


FIG. 12

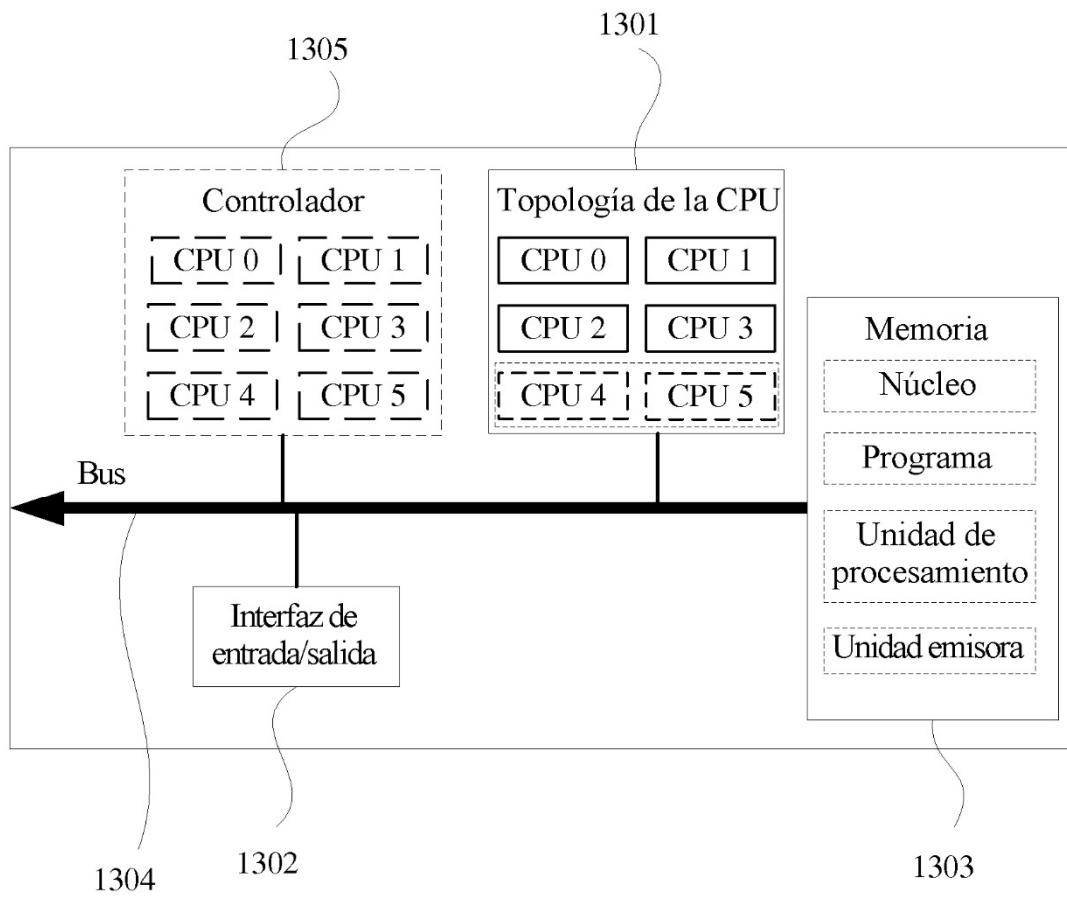


FIG. 13