

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 793 050**

51 Int. Cl.:

|                    |           |
|--------------------|-----------|
| <b>H04N 5/374</b>  | (2011.01) |
| <b>H03M 1/34</b>   | (2006.01) |
| <b>H04N 5/378</b>  | (2011.01) |
| <b>H04N 5/357</b>  | (2011.01) |
| <b>H03M 1/56</b>   | (2006.01) |
| <b>H03K 5/08</b>   | (2006.01) |
| <b>H01L 27/146</b> | (2006.01) |
| <b>H03M 1/06</b>   | (2006.01) |
| <b>H03M 1/08</b>   | (2006.01) |
| <b>H03M 1/12</b>   | (2006.01) |

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **23.03.2016 PCT/JP2016/059087**
- 87 Fecha y número de publicación internacional: **13.10.2016 WO16163228**
- 96 Fecha de presentación y número de la solicitud europea: **23.03.2016 E 16776397 (8)**
- 97 Fecha y número de publicación de la concesión europea: **29.04.2020 EP 3282688**

54 Título: **Dispositivo de captura de imagen de semiconductores, instrumento electrónico y dispositivo de conversión analógico a digital**

30 Prioridad:

**06.04.2015 JP 2015077902**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**12.11.2020**

73 Titular/es:

**SONY CORPORATION (100.0%)  
1-7-1 Konan, Minato-ku  
Tokyo 108-0075, JP**

72 Inventor/es:

**HANZAWA KATSUHIKO y  
MATSUMOTO SHIZUNORI**

74 Agente/Representante:

**LEHMANN NOVO, María Isabel**

ES 2 793 050 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Dispositivo de captura de imagen de semiconductores, instrumento electrónico y dispositivo de conversión analógico a digital

5

**CAMPO TÉCNICO DE LA INVENCIÓN**

La presente tecnología se refiere a un dispositivo de captura de imagen de semiconductores, un aparato electrónico y un convertidor analógico a digital (AD) y, más en particular, a un dispositivo de captura de imagen de semiconductores, un aparato electrónico y un convertidor AD que son capaz de suprimir la aparición de un error en los resultados de conversión de AD.

10

**ANTECEDENTES DE LA INVENCIÓN**

15 En los últimos años, se exige que un comparador formado por un amplificador de dos etapas, que se utiliza en un convertidor analógico a digital (ADC), reduzca el ruido y suprima el retardo de inversión. El retardo de inversión es el tiempo transcurrido desde un cambio en la relación de magnitud entre dos entradas de par diferencial hasta la inversión de una salida.

20 El ruido del ADC se puede disminuir reduciendo el ruido del comparador. Además, el tiempo requerido para la conversión AD puede acortarse suprimiendo el retardo de inversión en el comparador.

La reducción del ruido del comparador se puede conseguir cuando una banda de ruido se reduce al aumentar el valor de capacitancia de un condensador para la limitación de banda (en lo sucesivo, referido como el condensador de limitación de banda). En tal caso, sin embargo, el retardo de inversión aumenta.

25

Por otro lado, un comparador descrito en PTL 1 es capaz de cambiar el valor de capacitancia del condensador de limitación de banda. La configuración descrita con anterioridad hace posible minimizar el retardo de inversión sin cambiar el nivel de ruido al disminuir el valor de capacitancia del condensador de limitación de banda cuando se inclina una señal de referencia.

30

Sin embargo, la configuración descrita en PTL 1 no resuelve la compensación entre ruido y retardo de inversión. Es decir, el retardo de inversión aumenta cuando se reduce el ruido.

35 PTL 2 propone que se conecte un condensador para producir el efecto Miller entre la entrada y la salida de un segundo amplificador incluido en el comparador con el fin de resolver la compensación entre ruido y retardo de inversión. Cuando se adopta la configuración descrita con anterioridad, el valor de capacitancia del condensador permanece pequeño antes de una operación de inversión, pero aumenta durante la operación de inversión debido al efecto Miller. Esto hace posible minimizar el retardo de inversión mientras se reduce el ruido.

40

A partir del documento JP 2014/017838 A, se da a conocer un sensor de imagen de semiconductores y un sistema de cámara, que son capaces de mejorar una frecuencia de imagen. El sensor de imagen de semiconductores tiene una parte de píxel y una parte de lectura de señal de píxel, que tiene una pluralidad de comparadores para comparar un potencial de señal de lectura con una tensión de referencia.

45

A partir del documento EP 2 555 609 A1, se da a conocer un aparato de captura de imagen que tiene un píxel, un comparador para comparar la señal del píxel con una señal de referencia y un contador.

50 El documento US 2008/0111905 A1 da a conocer un aparato de detección de distribución de magnitud física con un conjunto de sensores y una unidad de conversión de analógico a digital que tiene una pluralidad de comparadores para comparar n señales analógicas leídas del conjunto de sensores con una señal de referencia.

**Lista de referencias**

55 **Literatura de patentes**

PTL 1 JP 2013-38549 A

PTL 2 JP 2014-17838 A

60 **SUMARIO DE LA INVENCIÓN**

**Problema técnico**

65 Sin embargo, en la configuración descrita en PTL2, cuando muchos ADCs, tales como los convertidores ADCs de columna, funcionan de manera simultánea, la potencia suministrada fluctúa para superponer el ruido en una etapa de salida. En consecuencia, los resultados de conversión AD son erróneos.

La tecnología actual se ha realizado en vista de las circunstancias anteriores y suprime la aparición de un error en los resultados de conversión AD.

5 Solución al problema

Según un primer aspecto de la idea inventiva, la presente invención proporciona un dispositivo de captura de imagen de semiconductores según la reivindicación independiente 1. Según un segundo aspecto, la presente invención proporciona un aparato electrónico según la reivindicación independiente 12. Se establecen otros aspectos de la invención en las reivindicaciones dependientes, los dibujos y la siguiente descripción.

Un dispositivo de captura de imagen de semiconductores de conformidad con un aspecto de la tecnología actual incluye una sección de píxel, un comparador y un contador. La sección de píxel incluye una pluralidad de píxels. El comparador compara una señal de píxel emitida desde los píxels con una señal de referencia. El contador cuenta un tiempo de comparación realizado por el comparador. El comparador incluye un primer amplificador, un segundo amplificador y un segundo transistor. El primer amplificador compara la señal de píxel con la señal de referencia. El segundo amplificador incluye un primer transistor y amplifica una señal de salida del primer amplificador. El segundo transistor tiene la misma polaridad que el primer transistor. Una rejilla del segundo transistor está conectada a un nodo de salida del primer amplificador. Una fuente y un drenaje del segundo transistor están conectados al mismo potencial fijo que una fuente del primer transistor.

Cuando el segundo transistor es un transistor de semiconductor de óxido de metal de canal positivo (PMOS), la fuente y el drenaje del segundo transistor están conectados a un potencial de alimentación eléctrica.

25 Cuando el segundo transistor es un transistor de semiconductor de óxido de metal de canal negativo (NMOS), la fuente y el drenaje del segundo transistor están conectados a un potencial de puesta a tierra.

Una tensión de umbral del segundo transistor se establece a prácticamente el mismo nivel que el de una señal de salida que se genera desde el primer amplificador inmediatamente antes del inicio de la inversión del segundo amplificador.

Un aparato electrónico de conformidad con un aspecto de la tecnología actual incluye un dispositivo de captura de imagen de semiconductores. El dispositivo de captura de imagen de semiconductores incluye una sección de píxel, un comparador y un contador. La sección de píxel incluye una pluralidad de píxels. El comparador compara una señal de píxel emitida desde los píxels con una señal de referencia. El contador cuenta un tiempo de comparación realizado por el comparador. El comparador incluye un primer amplificador, un segundo amplificador y un segundo transistor. El primer amplificador compara la señal de píxel con la señal de referencia. El segundo amplificador incluye un primer transistor y amplifica una señal de salida del primer amplificador. El segundo transistor tiene la misma polaridad que el primer transistor. Una rejilla del segundo transistor está conectada a un nodo de salida del primer amplificador. Una fuente y un drenaje del segundo transistor están conectados al mismo potencial fijo que una fuente del primer transistor.

Un convertidor AD de conformidad con un aspecto de la tecnología actual incluye un comparador y un contador. El comparador compara una señal analógica con una señal de referencia y amplifica el resultado de la comparación. El contador cuenta un tiempo de comparación realizado por el comparador. El comparador incluye un primer amplificador, un segundo amplificador y un segundo transistor. El primer amplificador compara la señal analógica con la señal de referencia. El segundo amplificador incluye un primer transistor y amplifica una señal de salida del primer amplificador. El segundo transistor tiene la misma polaridad que el primer transistor. Una rejilla del segundo transistor está conectada a un nodo de salida del primer amplificador. Una fuente y un drenaje del segundo transistor están conectados al mismo potencial fijo que una fuente del primer transistor.

Según un aspecto de la tecnología actual, en el comparador que incluye un primer amplificador para comparar una señal de píxel con una señal de referencia, un segundo amplificador que incluye un primer transistor y que amplifica una señal de salida del primer amplificador, y un segundo transistor que tiene la misma polaridad que el primer transistor, estando la rejilla del segundo transistor conectada a un nodo de salida del primer amplificador, y la fuente y el drenaje del segundo transistor están conectados al mismo potencial fijo que la fuente del primer transistor.

Efecto ventajoso de la invención

60 Según un aspecto de la tecnología actual, se puede suprimir la aparición de un error en los resultados de conversión AD.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

65 La Figura 1 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un dispositivo de captura de imagen de semiconductores de conformidad con la tecnología actual.

La Figura 2 es un diagrama que ilustra una configuración, a modo de ejemplo, de un píxel.

La Figura 3 es un diagrama de circuito que ilustra una configuración, a modo de ejemplo, de un comparador existente.

La Figura 4 es un diagrama de temporización que ilustra una operación del comparador representado en la Figura 3.

La Figura 5 es un diagrama de circuito que ilustra otra configuración, a modo de ejemplo, de un comparador existente.

La Figura 6 es un diagrama de temporización que ilustra una operación del comparador representado en la Figura 5.

La Figura 7 es un diagrama de circuito que ilustra otra configuración, a modo de ejemplo, de un comparador existente.

La Figura 8 es un diagrama de temporización que ilustra una operación del comparador representado en la Figura 7.

La Figura 9 es un diagrama de circuito que ilustra una configuración, a modo de ejemplo, de un comparador de conformidad con la tecnología actual.

La Figura 10 es un diagrama que ilustra las características de capacitancia de un transistor PMOS.

La Figura 11 es un diagrama de temporización que ilustra una operación del comparador de conformidad con la tecnología actual.

La Figura 12 es un diagrama que ilustra la influencia del ruido de fluctuación de potencia.

La Figura 13 es un diagrama de circuito que ilustra otra configuración, a modo de ejemplo, del comparador de conformidad con la tecnología actual.

La Figura 14 es un diagrama que ilustra las características de capacitancia de un transistor NMOS.

La Figura 15 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un aparato electrónico de conformidad con la tecnología actual.

La Figura 16 es un diagrama que ilustra usos, a modo de ejemplo, de un sensor de imagen.

#### DESCRIPCIÓN DE LAS FORMAS DE REALIZACIÓN

Las formas de realización de la tecnología actual se describirán a continuación con referencia a los dibujos adjuntos.

#### Configuración de dispositivo de captura de imagen de semiconductores

La Figura 1 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un dispositivo de captura de imagen de semiconductores de conformidad con la tecnología actual.

Un dispositivo de captura de imagen de semiconductores 1, representado en la Figura 1, está configurado como un sensor de imagen de semiconductor de óxido de metal (CMOS) complementario.

El dispositivo de captura de imagen de semiconductores 1 incluye una sección de píxel 11, un circuito de escaneo vertical 12, un circuito de escaneo de transferencia horizontal 13, un circuito de control de temporización 14, ADCs 15, un convertidor digital a analógico (DAC) 16, un circuito amplificador 17, y un circuito de procesamiento de señal 18.

Entre estos componentes, la sección de píxel 11, el circuito de escaneo vertical 12, el circuito de escaneo de transferencia horizontal 13, los convertidores ADCs 15, el convertidor DAC 16 y el circuito amplificador 17 están formados por un circuito analógico. El circuito de control de temporización 14 y el circuito de procesamiento de señal 18 están formados por un circuito digital.

La sección de píxel 11 se configura mediante la disposición de una pluralidad de píxels en forma matricial. Una configuración de un píxel se describirá a continuación con referencia a la Figura 2.

El circuito de escaneo vertical 12 controla las direcciones de fila y el escaneo de filas. El circuito de escaneo de transferencia horizontal 13 controla las direcciones de columna y el escaneo de columna.

El circuito de control de temporización 14 genera una señal de reloj interna tal como un circuito de control para leer de manera secuencial las señales de la sección de píxel 11. El circuito de control de temporización 14 genera las señales de temporización necesarias para el procesamiento de señales por la sección de píxel 11, el circuito de escaneo vertical 12, el circuito de escaneo de transferencia horizontal 13, los convertidores ADCs 15, el convertidor DAC 16 y

el circuito de procesamiento de señal 18. El circuito de control de temporización 14 genera un impulso de control tal como una señal de inicialización que se aplicará a un interruptor de inicialización (cero automático (AZ)) (en lo sucesivo denominado el interruptor AZ). Cuando los comparadores en los convertidores ADCs 15 comienzan a funcionar, el interruptor AZ se utiliza para determinar un punto operativo de funcionamiento para cada columna.

5 Los convertidores ADCs 15 se configuran organizando los convertidores ADCs en una pluralidad de columnas. En respuesta a una señal de píxels VSL procedente de la sección de píxel 11, el ADC en cada columna utiliza una tensión de referencia Vslop recibida desde el convertidor DAC 16 para realizar la conversión AD y el muestreo doble correlacionado digital (CDS) y emitir una señal digital que tiene varios bits.

10 Cada ADC incluye un comparador 31, un contador 32 y un cerrojo 33.

15 El comparador 31 compara la tensión de referencia Vslop, que es generada por el convertidor DAC 16, con la señal de píxels VSL, que se adquiere a partir de los píxels en cada fila a través de una línea de señal vertical.

El contador 32 cuenta el tiempo de comparación realizado por el comparador 31.

20 El cerrojo 33 almacena el recuento del contador 32. La salida de cada cerrojo 33 está conectada a una línea de transferencia horizontal LTRF.

Dentro de los convertidores ADC 15, el comparador 31, dispuesto en cada columna, compara la señal de píxels VSL, que es objeto de lectura en la línea de señal vertical, con la tensión de referencia Vslop (una señal de rampa RAMP que tiene una forma de onda en rampa).

25 En el caso anterior, el contador 32, que está dispuesto en cada columna, como es el caso con el comparador 31, funciona para cambiar la señal de rampa RAMP y el recuento en una correspondencia uno a uno. Esto convierte la señal de píxels VSL en una señal digital.

30 Cuando la señal de píxels VSL se cruza con la señal de rampa RAMP, la salida del comparador 31 se invierte y una señal de reloj de entrada para el contador 32 se detiene o una señal de reloj de entrada detenida entra en el contador 32. Entonces, la conversión AD está completa.

35 Después del final de un período de conversión AD, el circuito de escaneo de transferencia horizontal 13 transfiere los datos almacenados en el cerrojo 33 a la línea de transferencia horizontal LTRF. Los datos transferidos se introducen luego en el circuito de procesamiento de señal 18 a través del circuito amplificador 17 y se someten a un procesamiento de señal predeterminado. Como resultado, se genera una imagen bidimensional.

Configuración, a modo de ejemplo, de píxel

40 La Figura 2 es un diagrama que ilustra una configuración, a modo de ejemplo, de un píxel que se incluye en la sección de píxel 11 del dispositivo de captura de imagen de semiconductores 1.

45 Un píxel 51 incluye un fotodiodo 61, un transistor de transferencia 62, un transistor de reinicio 63, un transistor amplificador 64 y un transistor de selección 65.

El fotodiodo 61 convierte fotoeléctricamente la luz incidente para generar una carga eléctrica (electrones en este caso) de conformidad con la cantidad de luz incidente.

50 El transistor de transferencia 62 está conectado entre el fotodiodo 61 y una difusión flotante (FD) que actúa como un nodo de salida. Cuando se proporciona una señal de excitación TG a la rejilla del transistor de transferencia 62 a través de una línea de control de transferencia LTx, el transistor de transferencia 62 transfiere los electrones, que son convertidos fotoeléctricamente por el fotodiodo 61, al FD.

55 El transistor de reinicio 63 está conectado entre una línea de suministro de energía LVDD y el FD. Cuando se proporciona una señal de excitación RST a la rejilla del transistor de reinicio 63 a través de una línea de control de reinicio LRST, el transistor de reinicio 63 restablece el potencial del FD al potencial de la línea de suministro de energía LVDD.

60 El FD está conectado a la rejilla del transistor amplificador 64. El transistor amplificador 64 está conectado a una línea de señal vertical 66 a través del transistor de selección 65 con el fin de formar un seguidor de fuente con una fuente de corriente constante (no ilustrada).

65 Cuando se proporciona una señal de control SEL a la rejilla del transistor de selección 65 a través de una línea de control de selección LSEL, el transistor de selección 65 se activa. Cuando se activa el transistor de selección 65, el transistor amplificador 64 amplifica el potencial del FD y emite una tensión a la línea de señal vertical 66 de conformidad con el potencial amplificado. Una tensión (señal de píxel VSL) emitida desde cada píxel 51 a través de la línea de

señal vertical 66 se introduce en los convertidores ADCs 15.

La línea de control de reinicio LRST, la línea de control de transferencia LTx y la línea de control de selección LSEL están conectadas en cada fila de una matriz de píxels y controladas por el circuito de escaneo vertical 12.

5 Es decir, tal como las rejillas del transistor de transferencia 62, el transistor de reinicio 63 y el transistor de selección 65 están conectados en cada fila, la operación descrita con anterioridad se realiza de manera simultánea para los píxels 51 en cada fila.

10 Configuración, a modo de ejemplo, del comparador

El comparador 31, según la presente forma de realización, incluye principalmente un primer amplificador y un segundo amplificador. Los amplificadores primero y segundo están dispuestos en cascada.

15 Antes de la explicación de una configuración del comparador 31, de conformidad con la presente forma de realización, se describirá a continuación una configuración de un comparador existente.

Configuración 1 de un comparador existente

20 La Figura 3 es un diagrama de circuito que ilustra una configuración, a modo de ejemplo, de un comparador existente.

Tal como se representa en la Figura 3, un comparador 100A incluye un primer amplificador 110 y un segundo amplificador 120. El primer amplificador 110 y el segundo amplificador 120 están dispuestos en cascada. El primer amplificador 110 compara la señal de píxels VSL con la señal de referencia Vslop (señal de rampa RAMP). El segundo amplificador 120 amplifica la señal de salida del primer amplificador 110.

25 El primer amplificador 110 incluye transistores MOS (PMOS) de canal p PT111 a PT114, transistores MOS (NMOS) de canal n NT111 a NT113 y condensadores C111 y C112.

30 La fuente del transistor PMOS PT111 y la fuente del transistor PMOS PT112 están conectadas a un potencial de alimentación eléctrica VDD.

35 El drenaje del transistor PMOS PT111 está conectado al drenaje del transistor NMOS NT111, y el punto de dicha conexión forma un nodo ND111. Además, el drenaje y la rejilla del transistor PMOS PT111 están conectados, y el punto de dicha conexión está conectado a la rejilla del transistor PMOS PT112.

40 El drenaje del transistor PMOS PT112 está conectado al drenaje del transistor NMOS NT112, y el punto de dicha conexión forma un nodo de salida ND112 del primer amplificador 110. La fuente del transistor NMOS NT111 está conectada a la fuente del transistor NMOS NT112, y el punto de dicha conexión está conectado al drenaje del transistor NMOS NT113. La fuente del transistor NMOS NT113 está conectada a un potencial de referencia (por ejemplo, potencial de puesta a tierra) GND.

45 La rejilla del transistor NMOS NT111 está conectada a un primer electrodo del condensador C111, y el punto de dicha conexión forma un nodo ND113. Un segundo electrodo del condensador C111 está conectado a un terminal de entrada TRAMP de la señal de rampa RAMP.

50 La rejilla del transistor NMOS NT112 está conectada a un primer electrodo del condensador C112, y el punto de dicha conexión forma un nodo ND114. Un segundo electrodo del condensador C112 está conectado a un terminal de entrada TVSL de la señal de píxel VSL.

Además, la rejilla del transistor NMOS NT113 está conectada a un terminal de entrada TBIAS de una señal de polarización BIAS.

55 La fuente del transistor PMOS PT113 está conectada al nodo ND111, y el drenaje del transistor PMOS PT113 está conectado al nodo ND113. La fuente del transistor PMOS PT114 está conectada al nodo ND112, y el drenaje del transistor PMOS PT114 está conectado al nodo ND114.

60 Por otro lado, las rejillas de los transistores PMOS PT113 y PT114 están ambas conectadas a un terminal de entrada TPSEL de una primera señal AZ PSEL. La primera señal AZ PSEL está activa a bajo nivel.

En el primer amplificador 110, los transistores PMOS PT111 y PT112 forman un circuito de espejos de corriente, y los transistores NMOS NT111 y NT112 forman una sección de comparación diferencial (par diferencial). La sección de comparación diferencial utiliza el transistor NMOS NT113 como una fuente de corriente.

65 Además, los transistores PMOS PT113 y PT114 funcionan como un interruptor AZ, y los condensadores C111 y C112 funcionan como un condensador de muestreo de nivel AZ.

La señal de salida 1stcomp del primer amplificador 110 se emite desde el nodo de salida ND112 al segundo amplificador 120.

5 El segundo amplificador 120 incluye un transistor PMOS PT121, transistores NMOS NT121 y NT122, y un condensador C121.

La fuente del transistor PMOS PT121 está conectada al potencial de la alimentación eléctrica VDD, y la rejilla del transistor PMOS PT121 está conectada al nodo de salida ND112 del primer amplificador 110.

10 El drenaje del transistor PMOS PT121 está conectado al drenaje del transistor NMOS NT121, y el punto de dicha conexión forma un nodo de salida ND121.

15 La fuente del transistor NMOS NT121 está conectada al potencial de puesta a tierra GND, estando la rejilla del transistor NMOS NT121 conectada a un primer electrodo del condensador C121, y el punto de dicha conexión forma un nodo ND122. Un segundo electrodo del condensador C121 está conectado al potencial de puesta a tierra GND.

20 El drenaje del transistor NMOS NT122 está conectado al nodo ND121, y la fuente del transistor NMOS NT122 está conectada al nodo ND122.

Por otro lado, la rejilla del transistor NMOS NT122 está conectada a un terminal de entrada TNSEL de una segunda señal AZ NSEL. La segunda señal AZ NSEL es activa a nivel alto.

25 El nivel de la segunda señal AZ NSEL es complementario con respecto al nivel de la primera señal AZ PSEL, que se suministra al primer amplificador 110.

En el segundo amplificador 120, el transistor PMOS PT121 forma un extremo de entrada y un circuito amplificador.

30 Además, el transistor NMOS NT122 funciona como el interruptor AZ, y el condensador C121 funciona como un condensador de muestreo de nivel AZ.

La señal de salida 2ndOUT del segundo amplificador 120 se emite desde el nodo de salida ND121 a un terminal de salida TOUT del comparador 100A.

35 Operación 1 del comparador

Una operación del comparador 100A representada en la Figura 3 se describirá a continuación con referencia al diagrama de temporización de la Figura 4.

40 Aunque aquí se omite una descripción detallada, la conversión AD integradora de nivel de reinicio (Fase P) comienza al final de un período AZ.

45 En la Fase P, la comparación entre la señal de rampa RAMP y la señal de píxel VSL comienza en respuesta a los cambios en la forma de onda de señal de rampa RAMP. Después de que la señal de rampa RAMP se cruce con la señal de píxel VSL, la señal de salida 1stcomp del primer amplificador 110 cambia bruscamente.

50 Cuando la señal de salida 1stcomp del primer amplificador 110 alcanza un nivel (tensión de inicio de inversión Vstart) en donde la señal de salida 2ndOUT del segundo amplificador 120 comienza a invertirse, el transistor PMOS PT121 del segundo amplificador 120 se activa. Cuando el transistor PMOS PT121 se activa, una corriente I1 comienza a fluir, causando que la señal de salida 2ndOUT del segundo amplificador 120 se invierta desde el nivel bajo (L) al nivel alto (H).

55 En la conversión AD integradora de nivel de señal (Fase D), también, el comparador 100A funciona de la misma manera que en la Fase P. En consecuencia, como resultado del CDS digital, el ruido kTC y el desplazamiento del comparador pueden cancelarse.

60 Tal como se representa en la Figura 4, el retardo de inversión en el comparador 100A se reduce de manera relativa. Sin embargo, mientras la señal de salida 2ndOUT del segundo amplificador 120 está cambiando, la pendiente de cambio en la señal de salida 1stcomp del primer amplificador 110 es grande. En consecuencia, la reducción de ruido es inalcanzable debido al mayor ancho de banda.

En vista de las circunstancias anteriores, lo siguiente describe una configuración en donde se incluye un condensador de limitación de banda para la reducción de ruido.

65 Configuración 2 de un comparador existente

La Figura 5 es un diagrama de circuito que ilustra otra configuración, a modo de ejemplo, de un comparador existente.

Un comparador 100B representado en la Figura 5 tiene básicamente la misma configuración que el comparador 100A representado en la Figura 3. Sin embargo, el comparador 100B difiere del comparador 100A en que el comparador 100B incluye, de manera adicional, un condensador de limitación de banda C130 entre el nodo de salida ND112 del primer amplificador 110 y el potencial de la alimentación eléctrica VDD.

Operación 2 del comparador

La Figura 6 es un diagrama de temporización que ilustra una operación del comparador 100B representado en la Figura 5.

La Figura 6 no representa un diagrama de temporización de un período de Fase D, sino que representa un diagrama de temporización del período AZ y de un período de Fase P.

Tal como se representa en la Figura 6, la pendiente de cambio en la señal de salida 1stcomp del primer amplificador 110 disminuye al incorporar el condensador de limitación de banda C130 en el comparador 100B. Esta operación disminuye el ancho de banda y reduce el ruido. Sin embargo, el retardo de la inversión aumenta.

En vista de las circunstancias anteriores, a continuación, se describe una configuración en donde un condensador para producir el efecto Miller está conectado entre la entrada y la salida del segundo amplificador con el fin de resolver la compensación antes descrita entre ruido y retardo de inversión.

Configuración 3 de un comparador existente

La Figura 7 es un diagrama de circuito que ilustra otra configuración, a modo de ejemplo, de un comparador existente.

Un comparador 100C, representado en la Figura 7, tiene básicamente la misma configuración que el comparador 100A representado en la Figura 3. Sin embargo, el comparador 100C difiere del comparador 100A en que el comparador 100C incluye, de manera adicional, un condensador C140 entre la entrada y la salida del segundo amplificador 120.

Operación 3 del comparador

La Figura 8 es un diagrama de temporización que ilustra una operación del comparador 100C representado en la Figura 7.

La Figura 8 tampoco representa un diagrama de temporización del período de la Fase D, sino que representa un diagrama de temporización del período AZ y del período de la Fase P.

Tal como se representa en la Figura 8, el efecto Miller se produce incorporando el condensador C140 en el comparador 100C. Debido al efecto Miller, el valor de capacitancia del condensador C140 (un valor de capacitancia efectivo en el extremo de entrada del segundo amplificador 120) aumenta solamente cuando la señal de salida 2ndOUT del segundo amplificador 120 está cambiando. Esto suprime un aumento en el retardo de la inversión al tiempo que reduce el ruido.

A continuación, se describirá una configuración del comparador 31 de conformidad con la tecnología actual.

Configuración del comparador según la tecnología actual

La Figura 9 es un diagrama de circuito que ilustra una configuración, a modo de ejemplo, del comparador de conformidad con la tecnología actual.

El comparador 31 tiene básicamente la misma configuración que el comparador 100A representado en la Figura 3. Sin embargo, el comparador 31 difiere del comparador 100A en que el comparador 31 incluye, de manera adicional, un transistor PMOS PT150 tal como un condensador de limitación de banda entre el nodo de salida ND112 del primer amplificador 110 y el potencial de alimentación eléctrica VDD.

El transistor PMOS PT150 tiene una polaridad opuesta al par diferencial formado por los transistores NMOS NT111 y NT112 en el primer amplificador 110. Es decir, el transistor PMOS PT150 tiene la misma polaridad que el transistor PMOS PT121, que actúa como el extremo de entrada del segundo amplificador 120.

La rejilla del transistor PMOS PT150 está conectada al nodo de salida ND112 del primer amplificador 110. La fuente y el drenaje del transistor PMOS PT150 están conectados al potencial de suministro de energía VDD.

La Figura 10 es un diagrama que ilustra las características de capacitancia de un transistor PMOS.

Tal como se representa en la Figura 10, el valor de capacitancia del transistor PMOS es pequeño cuando la tensión

de entrada es alta, es decir, cuando la tensión de rejilla-fuente  $V_{gs}$  es baja. Sin embargo, cuando se baja la tensión de entrada para permitir que la tensión de rejilla-fuente  $V_{gs}$  exceda una tensión umbral  $V_{th}$ , el valor de capacitancia del transistor PMOS aumenta de manera brusca.

5 Las características anteriores y un cambio de nivel de alto a bajo en la señal de salida 1stcomp del primer amplificador 110 se pueden utilizar para aumentar el valor de capacitancia del condensador de limitación de banda aproximadamente al comienzo de la inversión de la señal de salida 2ndOUT desde el segundo amplificador 120. En este caso, se supone que la tensión de umbral  $V_{th}$  del transistor PMOS PT150 se establece a prácticamente el mismo nivel que el de la señal de salida 1stcomp del primer amplificador 110 que se genera inmediatamente antes del  
10 comienzo de la inversión de la señal de salida 2ndOUT desde el segundo amplificador 120. La tensión de umbral  $V_{th}$  del transistor PMOS PT150 necesita ser más alta en nivel que la tensión de inicio de inversión  $V_{start}$ .

Funcionamiento del comparador según la tecnología actual

15 La Figura 11 es un diagrama de temporización que ilustra una operación del comparador 31 representado en la Figura 9.

La Figura 11 tampoco representa un diagrama de temporización del período de Fase D, sino que representa un diagrama de temporización del período AZ y del período de Fase P.

20 Tal como se representa en la Figura 11, el transistor PMOS PT150 incorporado como un condensador de limitación de banda en el comparador 31 cambia el nivel de la señal de salida 1stcomp de alto a bajo. Cuando la señal de salida 1stcomp alcanza prácticamente el mismo nivel que la tensión de inicio de inversión  $V_{start}$  (tensión de umbral  $V_{th}$ ), el valor de capacitancia del transistor PMOS PT150 (un valor de capacitancia efectivo en el extremo de entrada del  
25 segundo amplificador 120) aumenta. Esto suprime un aumento en el retardo de la inversión al tiempo que reduce el ruido.

30 Las características de capacitancia del transistor PMOS PT150 son tales que el valor de capacitancia del transistor PMOS PT150 permanece grande después de una operación de inversión. Por lo tanto, es preferible que la dirección de fluctuación de tensión en la señal de salida 1stcomp del primer amplificador 110 esté en una dirección de nivel alto a bajo. De manera alternativa, sin embargo, dicha dirección de fluctuación de tensión puede estar en la dirección inversa.

35 Tal como se describió con anterioridad, la configuración del comparador 31, de conformidad con la tecnología actual, resuelve la compensación entre ruido y retardo de inversión, tal como es el caso con la configuración del comparador 100C representada en la Figura 7, que utiliza el efecto Miller.

De manera incidental, si, por ejemplo, muchos convertidores ADCs, tal como los convertidores ADCs de columna, funcionan de manera simultánea, la energía suministrada fluctúa.

40 En el caso anterior, el comparador 100C está configurado de manera que el ruido causado por la fluctuación de la potencia suministrada se introduce en la fuente del transistor PMOS PT121 tal como se indica en la mitad superior de la Figura 12. Esta operación hace fluctuar la tensión de rejilla-fuente  $V_{gs}$ , superponiendo el ruido sobre la señal de salida 2ndOUT del segundo amplificador 120. En consecuencia, los resultados de conversión AD son erróneos. En particular, cuanto mayor es el número de comparadores que funcionan de manera simultánea, tanto mayor es el grado  
45 de fluctuación y, por lo tanto, tanto mayor es el error en los resultados de conversión AD.

50 Por otro lado, el comparador 31 de conformidad con la tecnología actual está configurado de modo que el ruido causado por la fluctuación de la potencia suministrada no solamente se introduzca en la fuente del transistor PMOS PT121, sino que también se introduzca en la rejilla del transistor PMOS PT121 a través del transistor PMOS PT150, tal como se indica en la mitad inferior de la Figura 12. Por lo tanto, la fluctuación de la tensión de rejilla-fuente  $V_{gs}$  se reduce relativamente para evitar que el ruido se superponga sobre la señal de salida 2ndOUT del segundo amplificador 120. Como resultado, se suprime la aparición de un error en los resultados de conversión AD. En particular, incluso  
55 cuando ocurre una fluctuación significativa debido a un gran número de comparadores que funcionan de manera simultánea, es posible suprimir la aparición de un error en los resultados de conversión AD.

Tal como se describió con anterioridad, la tecnología actual está configurada no solamente para resolver la compensación entre ruido y retardo de inversión, sino también para suprimir la aparición de un error en los resultados de conversión AD.

60 Configuración alternativa del comparador de conformidad con la tecnología actual

La Figura 13 es un diagrama de circuito que ilustra otra configuración, a modo de ejemplo, del comparador de conformidad con la tecnología actual.

65 Un comparador 200 representado en la Figura 13 se obtiene invirtiendo las polaridades de los transistores para el

comparador 31 representado en la Figura 9. Por lo tanto, el potencial de la alimentación eléctrica conectada y el potencial de puesta a tierra se intercambian en el circuito. Para facilitar la comprensión, los símbolos de referencia de nodos y condensadores en la Figura 13 son los mismos que los de la Figura 9.

5 Tal como se representa en la Figura 13, el comparador 200 incluye un primer amplificador 210, un segundo amplificador 220 y un transistor NMOS NT230. El primer amplificador 210 y el segundo amplificador 220 están dispuestos en cascada.

10 En el primer amplificador 210, el par diferencial y la fuente de corriente se configuran utilizando los transistores PMOS PT211 a PT213 en lugar de los transistores NMOS NT111 a NT113 representados en la Figura 9. La fuente del transistor PMOS PT213, que actúa como la fuente de corriente, está conectada al potencial de la alimentación eléctrica VDD.

15 Además, el circuito de espejos de corriente se configura utilizando los transistores NMOS NT211 y NT212 en lugar de los transistores PMOS PT111 y PT112 representados en la Figura 9. Las fuentes de los transistores NMOS NT211 y NT212 están conectadas al potencial de puesta a tierra GND.

20 Además, el conmutador AZ se configura utilizando los transistores NMOS NT213 y NT214 en lugar de los transistores PMOS PT113 y PT114 representados en la Figura 9. En este caso, la segunda señal AZ NSEL se suministra a las rejillas de los transistores NMOS NT213 y NT214 en el primer amplificador 210.

25 En el segundo amplificador 220, el extremo de entrada y el circuito amplificador se forman utilizando un transistor NMOS NT221 en lugar del transistor PMOS PT121 representado en la Figura 9. La fuente del transistor NMOS NT221 está conectada al potencial de puesta a tierra GND.

Se emplea una configuración de transistor que forma un circuito de espejos usando un transistor PMOS PT221 en lugar del transistor NMOS NT121 representado en la Figura 9. La fuente del transistor PMOS PT221 está conectada al potencial de alimentación eléctrica VDD.

30 Además, el primer electrodo del condensador C121 está conectado al nodo ND122, que está conectado a la rejilla del transistor PMOS PT221, y el segundo electrodo está conectado al potencial de suministro de energía VDD.

35 Además, el conmutador AZ se configura utilizando un transistor PMOS PT222 en lugar del transistor NMOS NT122 representado en la Figura 9. En este caso, la primera señal AZ PSEL se suministra a la rejilla del transistor PMOS PT222 en el segundo amplificador 220.

Por otro lado, el transistor NMOS NT230 está conectado como un condensador de limitación de banda entre el nodo de salida ND112 del primer amplificador 210 y el potencial de puesta a tierra GND.

40 El transistor NMOS NT230 tiene una polaridad opuesta al par diferencial formado por los transistores PMOS PT211 y PT212 en el primer amplificador 210. Es decir, el transistor NMOS NT230 tiene la misma polaridad que el transistor NMOS NT221, que actúa como el extremo de entrada del segundo amplificador 220.

45 La rejilla del transistor NMOS NT230 está conectada al nodo de salida ND112 del primer amplificador 210. La fuente y el drenaje del transistor NMOS NT230 están conectados al potencial de puesta a tierra GND.

La Figura 14 es un diagrama que ilustra las características de capacitancia de un transistor NMOS.

50 Tal como se representa en la Figura 14, el valor de capacitancia del transistor NMOS es pequeño cuando la tensión de entrada es baja, es decir, cuando la tensión de rejilla-fuente  $V_{gs}$  es baja. Sin embargo, cuando la tensión de entrada se eleva para permitir que la tensión de rejilla-fuente  $V_{gs}$  exceda la tensión umbral  $V_{th}$ , el valor de capacitancia del transistor NMOS aumenta de manera brusca.

55 Las características anteriores y un cambio de nivel bajo a alto en la señal de salida 1stcomp del primer amplificador 210 se pueden utilizar para aumentar el valor de capacitancia del condensador de limitación de banda aproximadamente al comienzo de la inversión de la señal de salida 2ndOUT desde el segundo amplificador 220. En este caso, se supone que la tensión umbral  $V_{th}$  del transistor NMOS NT230 se establece a prácticamente el mismo nivel que el de la señal de salida 1stcomp del primer amplificador 210 que se genera inmediatamente antes del comienzo de la inversión de la señal de salida 2ndOUT desde el segundo amplificador 220. La tensión de umbral  $V_{th}$  del transistor NMOS NT230 necesita ser inferior en nivel a la tensión de inicio de inversión  $V_{start}$ .

60 El comparador 200, que tiene dicha configuración, representado en la Figura 13, realiza básicamente la misma operación que el comparador 31 representado en la Figura 9. Sin embargo, las formas de onda de RAMP, 1stcomp y 2ndAmp representadas en el diagrama de temporización de la Figura 11 están invertidas.

65 El comparador 200 representado en la Figura 13 proporciona las mismas ventajas que el comparador 31 representado

en la Figura 9.

Más concretamente, el comparador 200 representado en la Figura 13 está configurado de modo que el ruido causado por la fluctuación de GND no solamente se introduzca a la fuente del transistor NMOS NT221, sino que también se introduzca a la rejilla del transistor NMOS NT221 a través del transistor NMOS NT230. Por lo tanto, la fluctuación de la tensión de rejilla-fuente Vgs se reduce relativamente para evitar que el ruido se superponga sobre la señal de salida 2ndOUT del segundo amplificador 220. Como resultado, se suprime la aparición de un error en los resultados de conversión AD.

La tecnología actual no solamente es aplicable a dispositivos de captura de imagen de semiconductores, sino también a varios otros dispositivos de captura de imagen. Los otros dispositivos de captura de imagen incluyen un sistema de cámara, tales como los sistemas para una cámara digital fija y una cámara de video digital, y un aparato electrónico que tiene una función de captura de imagen, tal como un teléfono móvil. Un módulo incorporado en dicho aparato electrónico, es decir, un módulo de cámara, puede considerarse como un dispositivo de captura de imagen.

Configuración, a modo de ejemplo, de un aparato electrónico

Con referencia a la Figura 15, lo siguiente describe una configuración, a modo de ejemplo, de un aparato electrónico al que se aplica la tecnología actual.

Un aparato electrónico 300 representado en la Figura 15 incluye una lente óptica 301, un dispositivo obturador 302, un dispositivo de captura de imagen de semiconductores 303, un circuito de accionamiento 304 y un circuito de procesamiento de señal 305. La descripción proporcionada con referencia a la Figura 15 describe una forma de realización en donde el dispositivo de captura de imagen de semiconductores 1, de conformidad con la tecnología actual, se incorpora como el dispositivo de captura de imagen de semiconductores 303 en el aparato electrónico (cámara digital fija).

La lente óptica 301 forma una imagen de luz de imagen (luz incidente), que se recibe desde un objeto, en el plano de imagen del dispositivo de captura de imagen de semiconductores 303. Por lo tanto, una carga de señal se almacena en el dispositivo de captura de imagen de semiconductores 303 por un período fijo de tiempo. El dispositivo obturador 302 controla un período de irradiación de luz y un período de protección de luz para el dispositivo de captura de imagen de semiconductores 303.

El circuito de accionamiento 304 suministra una señal de excitación al dispositivo de obturador 302 y al dispositivo de captura de imagen de semiconductores 303. La señal de excitación suministrada al dispositivo de obturador 302 es una señal para controlar una operación de obturación del dispositivo de obturador 302. La señal de excitación suministrada al dispositivo de captura de imagen de semiconductores 303 es una señal para controlar una operación de transferencia de señal del dispositivo de captura de imagen de semiconductores 303. El dispositivo de captura de imagen de semiconductores 303 transfiere una señal de conformidad con la señal de excitación (señal de temporización) suministrada desde el circuito de accionamiento 304. El circuito de procesamiento de señal 305 realiza varios tipos de procesamiento de señal en una salida de señal desde el dispositivo de captura de imagen de semiconductores 303. Una señal de video en donde se realiza el procesamiento de señal se almacena en un medio de almacenamiento tal como una memoria o se envía a un monitor.

El aparato electrónico 300, de conformidad con la presente forma de realización, en el dispositivo de captura de imagen de semiconductores 303, suprime la aparición de un error en los resultados de conversión AD. Esto hace posible proporcionar un aparato electrónico que sea capaz de adquirir una imagen de alta calidad.

Usos, a modo de ejemplo, de un sensor de imagen

Por último, la siguiente descripción describe usos, a modo de ejemplo, del sensor de imagen al que se aplica la tecnología actual.

La Figura 16 es un diagrama que ilustra los usos, a modo de ejemplo, del sensor de imagen descrito con anterioridad.

El sensor de imagen descrito con anterioridad se puede utilizar, por ejemplo, en los siguientes casos en los que se debe detectar la luz visible, la luz infrarroja, la luz ultravioleta, la luz de rayos X u otra luz tal como se indica a continuación.

- Un dispositivo para capturar una imagen utilizada para apreciación, tal como una cámara digital o un dispositivo móvil con una función de cámara.

- Un dispositivo utilizado, por ejemplo, para proporcionar una función de parada automática y otras funciones de conducción segura y reconocer el estado de un conductor de un vehículo durante el transporte, tal como un sensor instalado en el propio vehículo para capturar una imagen que muestra, por ejemplo, una vista hacia delante o hacia atrás desde un vehículo, una vista alrededor del vehículo, o el interior del vehículo, una cámara de supervisión para

supervisar vehículos en movimiento y las carreteras, o un sensor de distancia para medir, por ejemplo, una distancia entre vehículos.

5 • Un dispositivo utilizado con un aparato de televisor (TV), un refrigerador, un aparato de aire acondicionado u otro electrodoméstico para capturar una imagen del gesto de un usuario y accionar dicho electrodoméstico de conformidad con el gesto.

10 • Un dispositivo utilizado con un endoscopio, un instrumento angiográfico adaptado para recibir luz infrarroja u otro tratamiento médico o instrumento de atención sanitaria.

• Un dispositivo utilizado con fines de seguridad, tal como una cámara de supervisión para la prevención del delito o una cámara para autenticación personal.

15 • Un dispositivo utilizado para el cuidado estético, tal como un instrumento de medición de la piel para capturar una imagen de la piel o un microscopio para capturar una imagen del cuero cabelludo.

• Un dispositivo utilizado para deportes, tal como una cámara de acción o una cámara portátil para deportes y otros eventos.

20 • Un dispositivo utilizado para la agricultura, tal como una cámara para supervisar el estado de granjas y productos agrícolas.

25 Las formas de realización de la tecnología actual no se limitan a las formas de realización anteriores. Las formas de realización anteriores pueden modificarse de diversas maneras sin desviarse por ello del alcance de la tecnología actual según se define por las reivindicaciones adjuntas.

#### Lista de referencias numéricas

30 1 dispositivo de captura de imagen de semiconductores, 11 sección de píxel, 15 convertidores ADCs, 31 comparador, 32 contador, 33 cerrojo, 51 píxel, 110 primer amplificador, 120 segundo amplificador, transistor PMOS PT150, 200 comparador, 210 primer amplificador, 220 segundo amplificador, transistor NMOS NT230, 300 Aparato electrónico, 303 Dispositivo de captura de imagen de semiconductores.

**REIVINDICACIONES**

1. Un dispositivo de captura de imagen de semiconductores que comprende:
  - 5 una sección de píxel (11) que tiene una pluralidad de píxels (51);  
un comparador (31, 200) que compara una señal de píxel (VSL) emitida desde los píxels (51) con una señal de referencia (Vslop, RAMP); y
  - 10 un contador (32) que cuenta un tiempo de comparación realizado por el comparador (31, 200), en donde el comparador (200) incluye:  
un primer amplificador (110, 210) que compara la señal de píxel (VSL) con la señal de referencia (Vslop, RAMP),
  - 15 un segundo amplificador (120, 220) que tiene un primer transistor (PT121, NT221) y amplifica una señal de salida (1stcomp) del primer amplificador (110, 210), y  
un segundo transistor (PT150, NT230) que tiene la misma polaridad que el primer transistor (PT121, NT221),
  - 20 una rejilla del segundo transistor (PT150, NT230) está conectada a un nodo de salida (ND112) del primer amplificador (110, 210), y  
una fuente y un drenaje del segundo transistor (PT150, NT230) están conectados al mismo potencial (VDD, GND) que el de una fuente del primer transistor (PT121, NT221), en donde una rejilla del primer transistor (PT121, NT221) está conectada al nodo de salida (ND112) del primer amplificador (110, 210).
  - 25
2. El dispositivo de captura de imagen de semiconductores según la reivindicación 1, en donde el primer amplificador (110, 210) incluye, además, un circuito de espejos de corriente que tiene un tercer transistor (PT111, NT211) y un cuarto transistor (PT112, NT212).
- 30
3. El dispositivo de captura de imagen de semiconductores según la reivindicación 2, en donde las fuentes del tercero (PT111, NT211) y del cuarto transistor (PT112, NT212) están conectadas al mismo potencial (VDD, GND).
- 35
4. El dispositivo de captura de imagen de semiconductores según las reivindicaciones 2 o 3, en donde el primer amplificador (110, 210) incluye, además, una sección de comparación diferencial que incluye un quinto transistor (NT111, PT211) y un sexto transistor (NT112, PT212).
- 40
5. El dispositivo de captura de imagen de semiconductores según la reivindicación 4, en donde el drenaje del tercer transistor (PT111, NT211) está conectado al drenaje del quinto transistor (NT111, PT211).
- 45
6. El dispositivo de captura de imagen de semiconductores según la reivindicación 4 o 5, en donde el drenaje del cuarto transistor (PT112, NT212) está conectado al drenaje del sexto transistor (NT112, PT212) y en donde el punto de esta conexión forma el nodo de salida (ND112) del primer amplificador (110, 210).
- 50
7. El dispositivo de captura de imagen de semiconductores según cualquiera de las reivindicaciones 4 a 6, en donde el segundo transistor (PT150, NT230) tiene una polaridad opuesta a la del quinto transistor (NT111, PT211) y a la del sexto transistor (NT112, PT212) de la sección de comparación diferencial.
- 55
8. El dispositivo de captura de imagen de semiconductores según cualquiera de las reivindicaciones anteriores, en donde el segundo transistor (PT150, NT230) está conectado como un condensador de limitación de banda entre el nodo de salida (ND112) y con el mismo potencial (VDD, GND).
9. El dispositivo de captura de imagen de semiconductores según cualquiera de las reivindicaciones anteriores, en donde, cuando el segundo transistor (PT150) es un transistor de semiconductores de óxido de metal de canal positivo, estando la fuente y el drenaje del segundo transistor conectados al mismo potencial que es un potencial de alimentación eléctrica (VDD).
- 60
10. El dispositivo de captura de imagen de semiconductores según cualquiera de las reivindicaciones 1 a 9, en donde, cuando el segundo transistor (NT230) es un transistor de semiconductores de óxido de metal de canal negativo, la fuente y el drenaje del segundo transistor están conectados al mismo potencial que es un potencial de puesta a tierra (GND).
- 65
11. El dispositivo de captura de imagen de semiconductores según la reivindicación 1, en donde una tensión de umbral del segundo transistor (PT150, NT230) está fijada a prácticamente el mismo nivel que el de una señal de salida que se genera desde el primer amplificador (110, 210) inmediatamente antes del inicio de la inversión del segundo amplificador (120, 220).

12. Un aparato electrónico que comprende un dispositivo de captura de imagen de semiconductores según cualquiera de las reivindicaciones precedentes.

FIG. 1

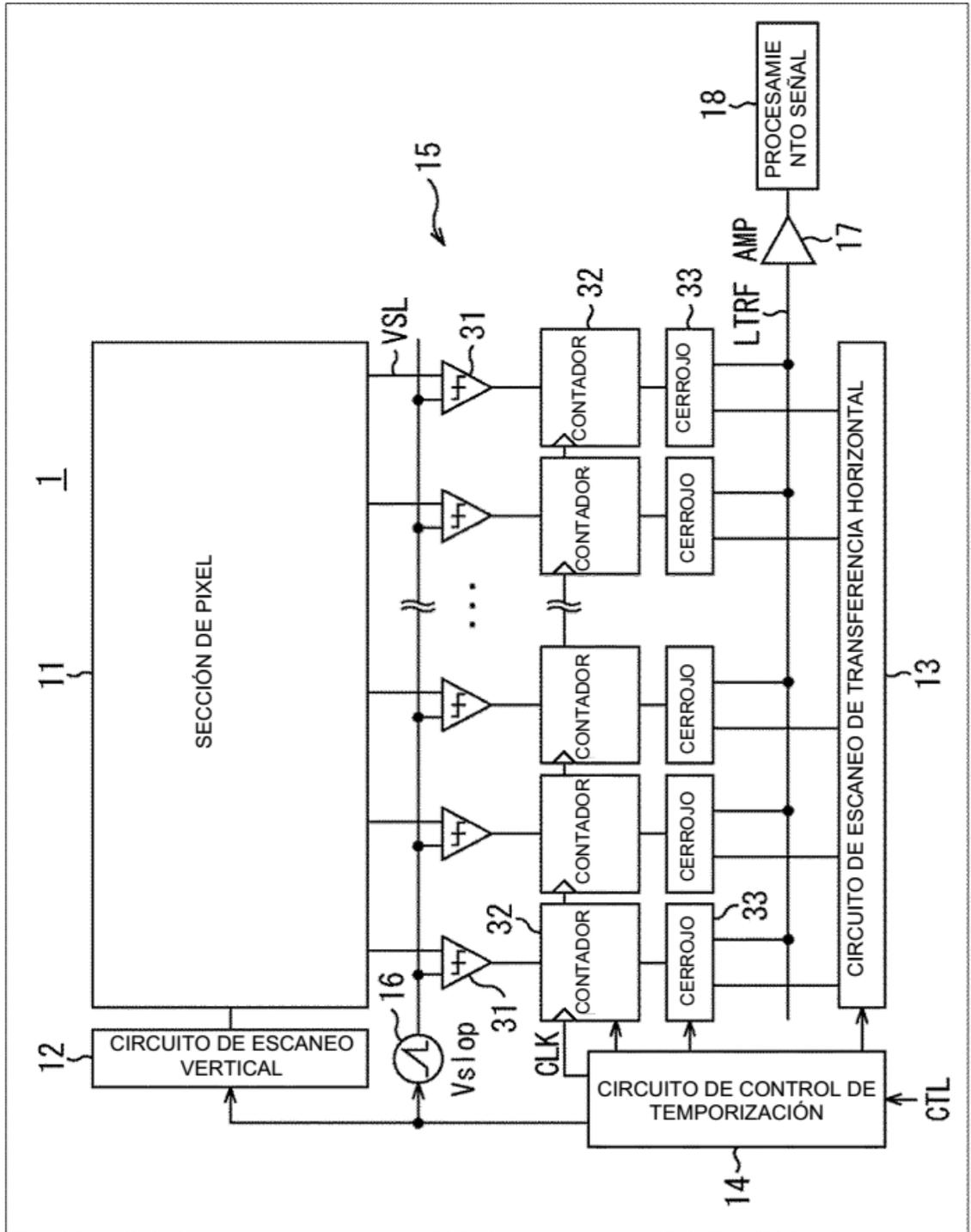
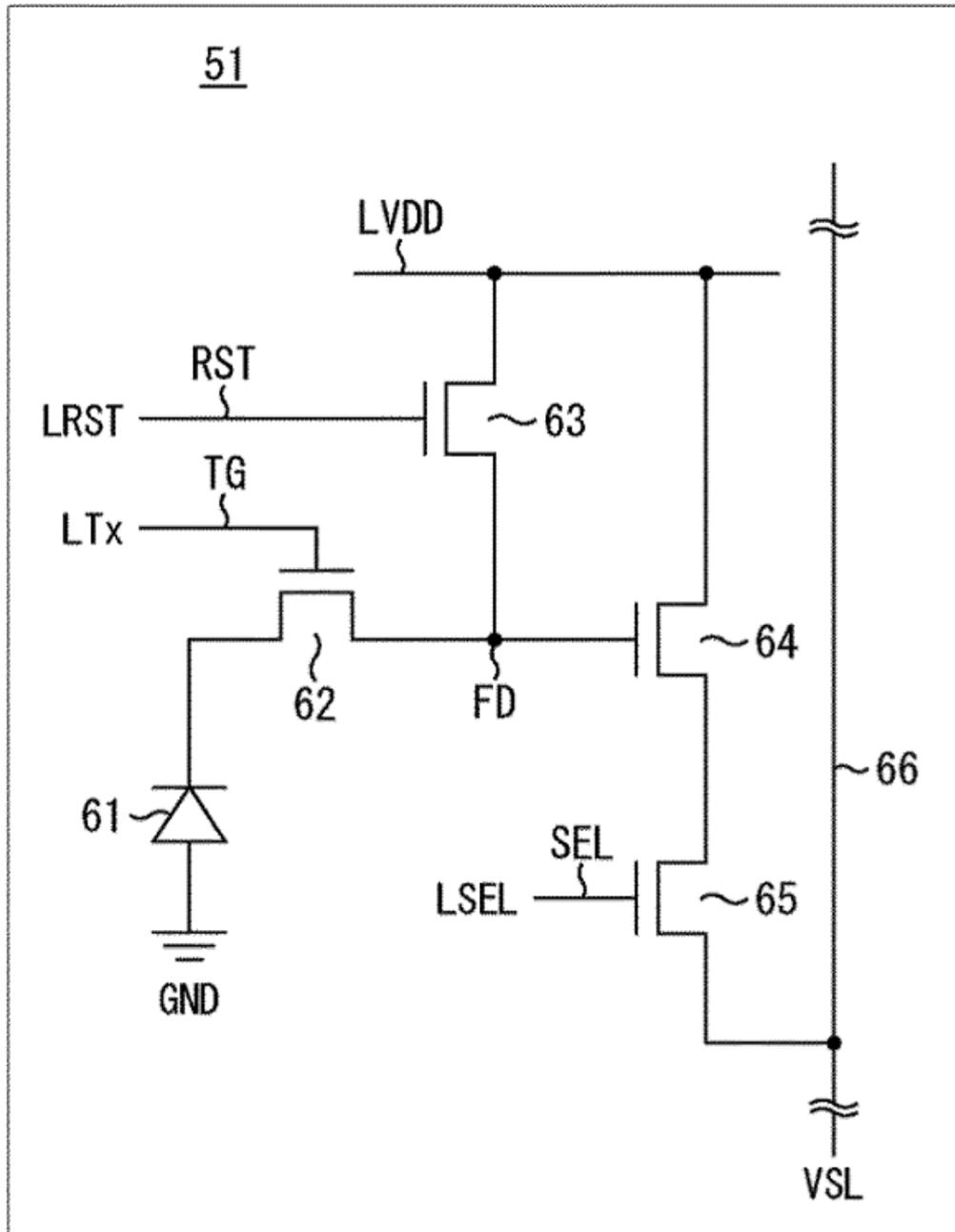


FIG. 2



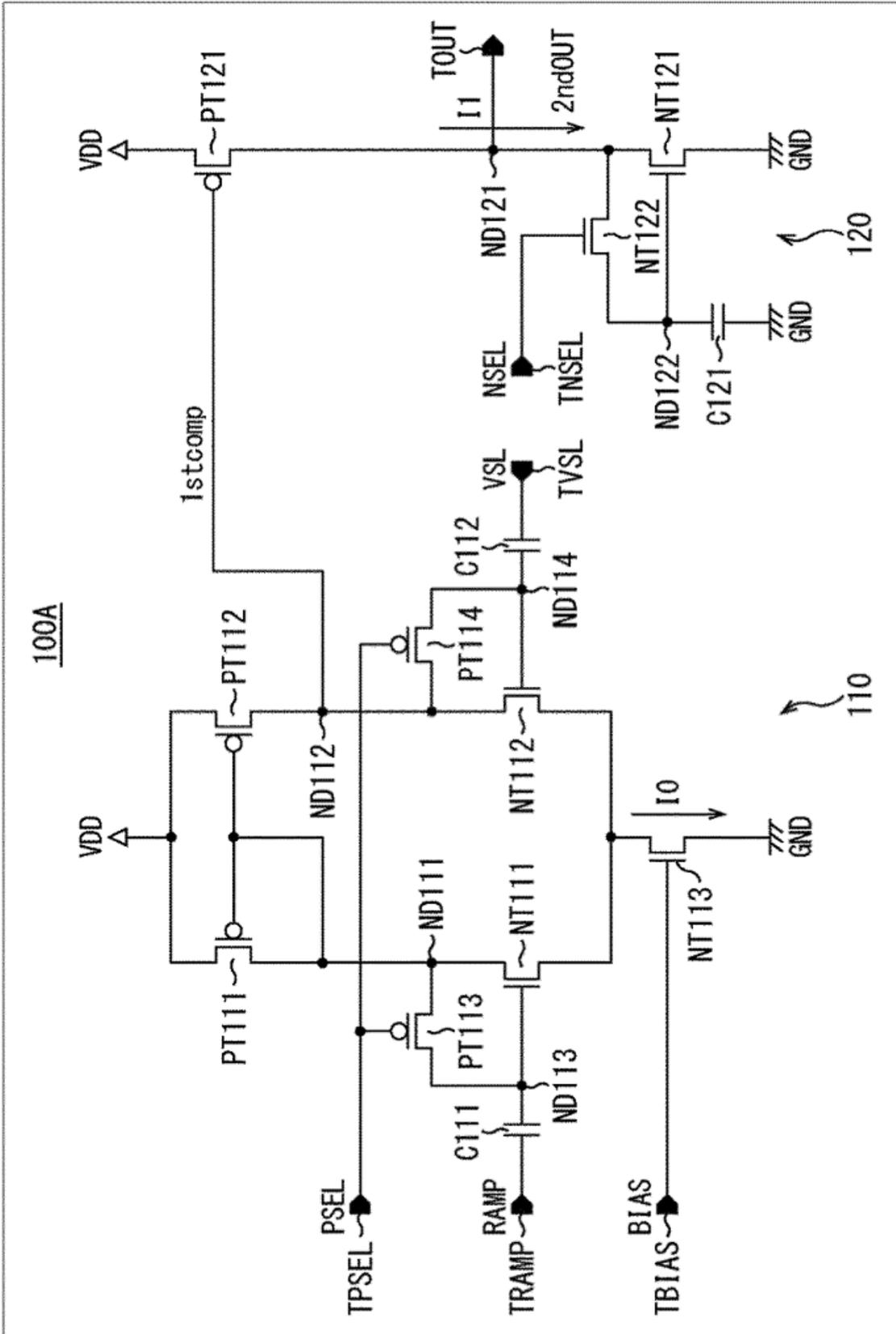


FIG. 3

FIG. 4

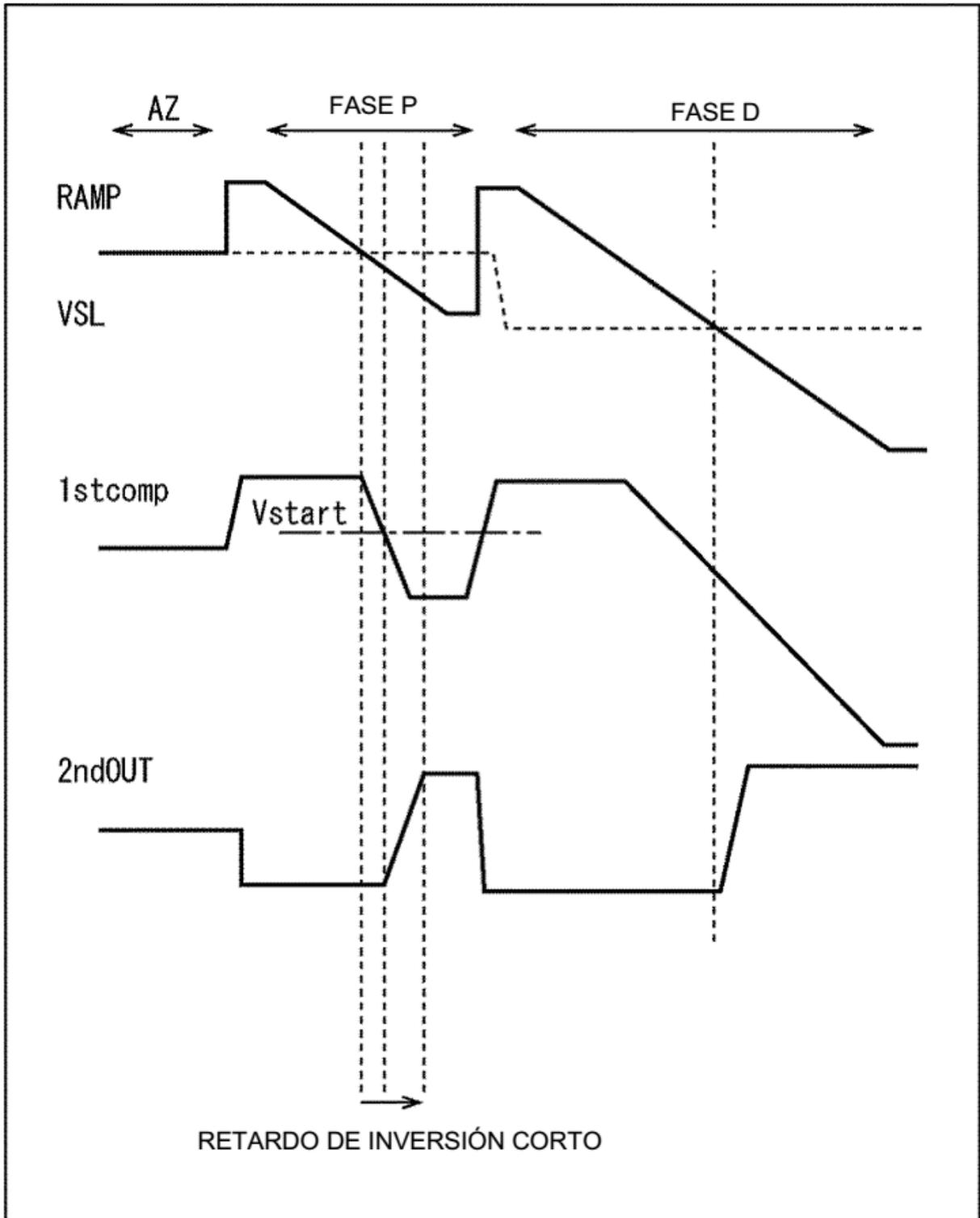
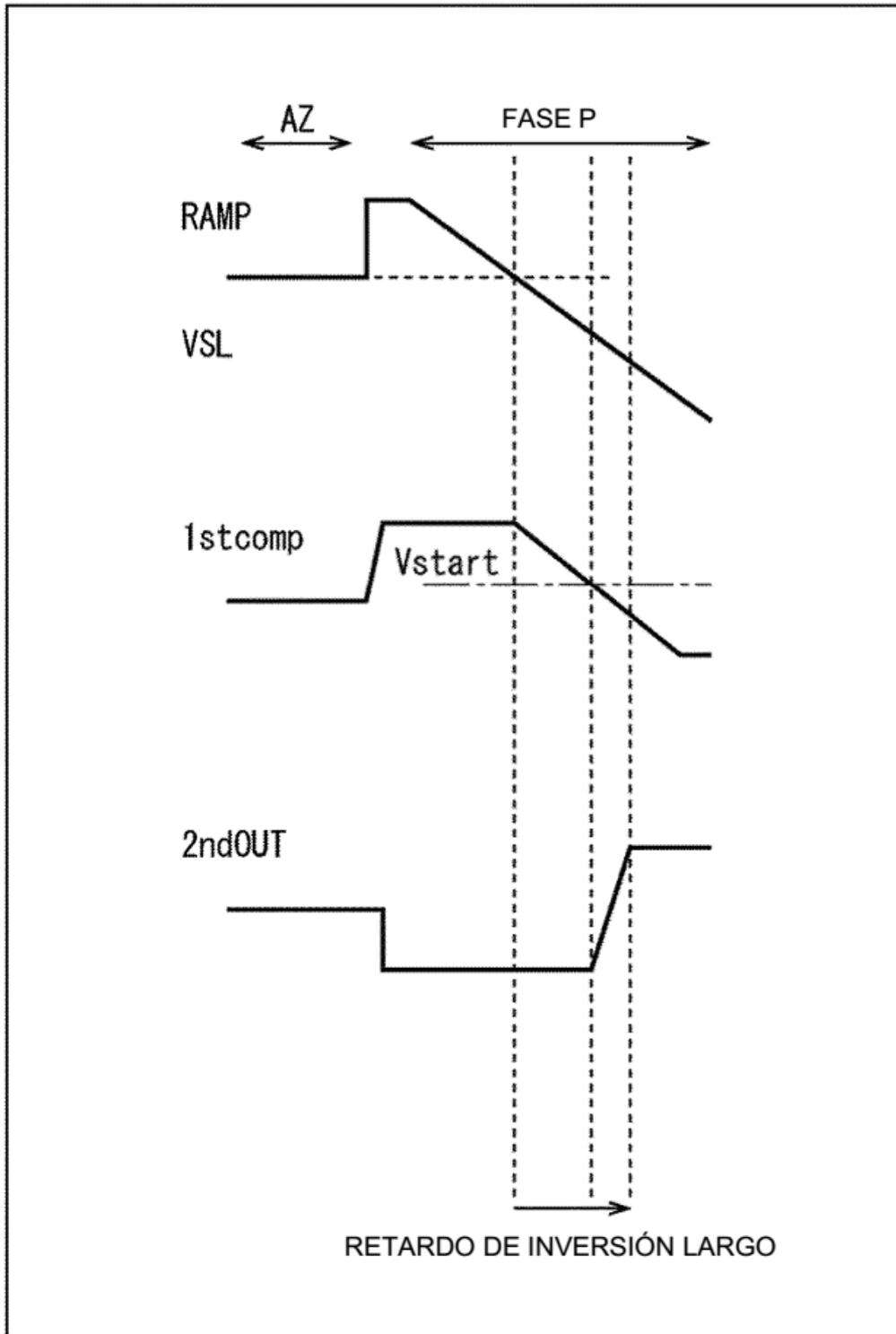




FIG. 6



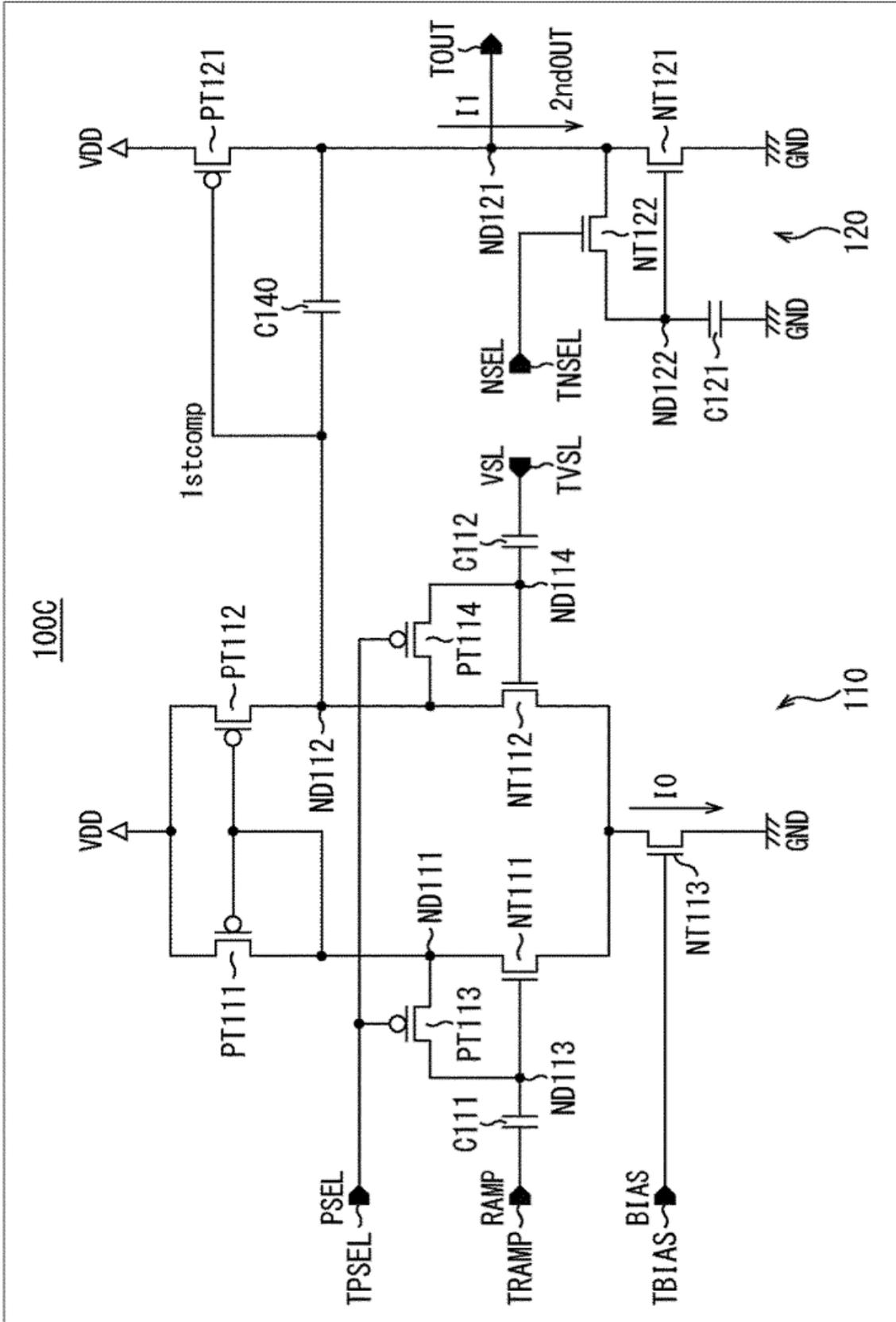


FIG. 7

FIG. 8

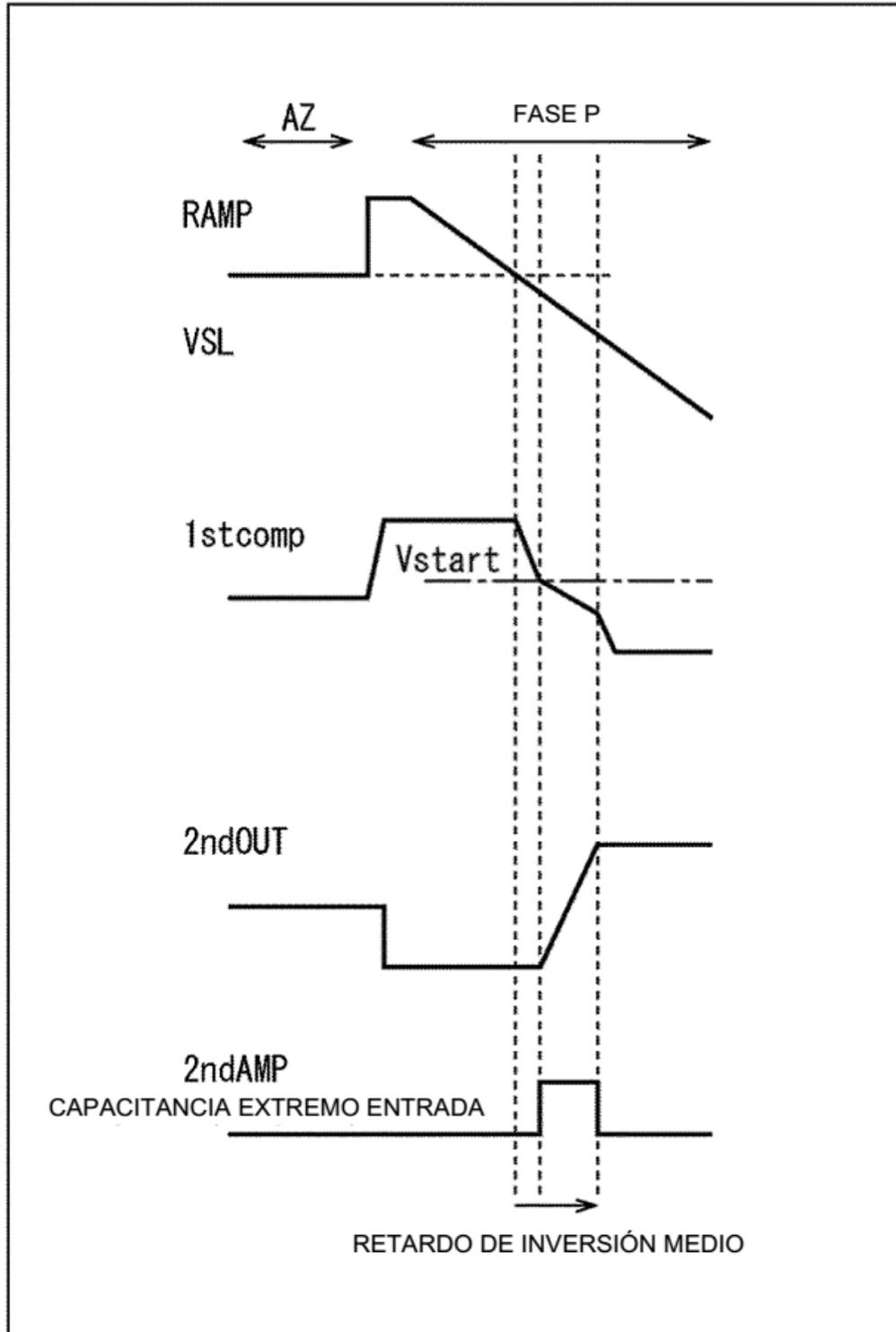




FIG. 10

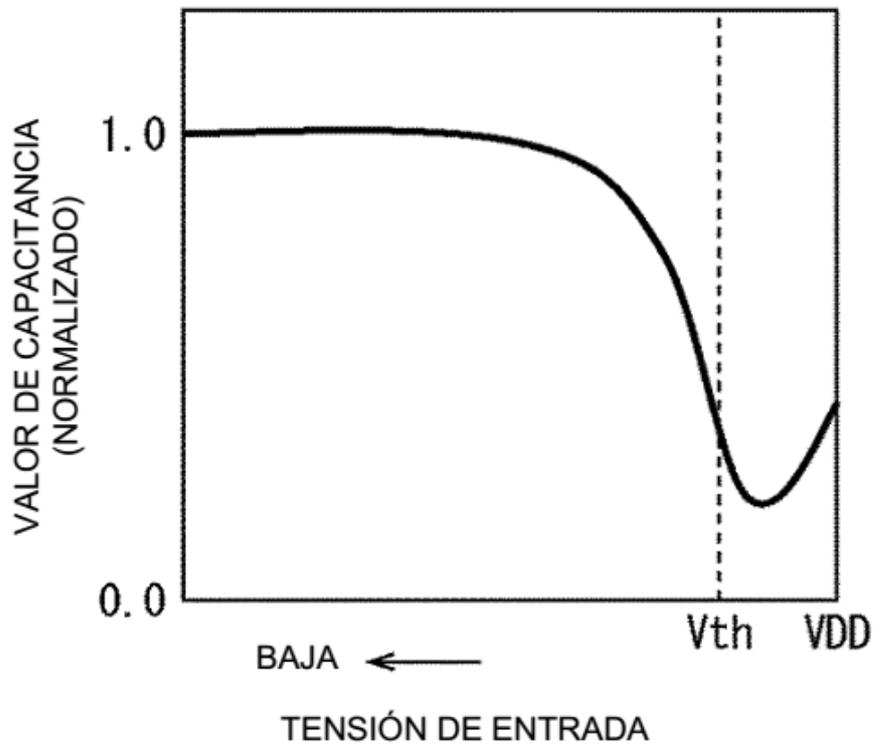


FIG. 11

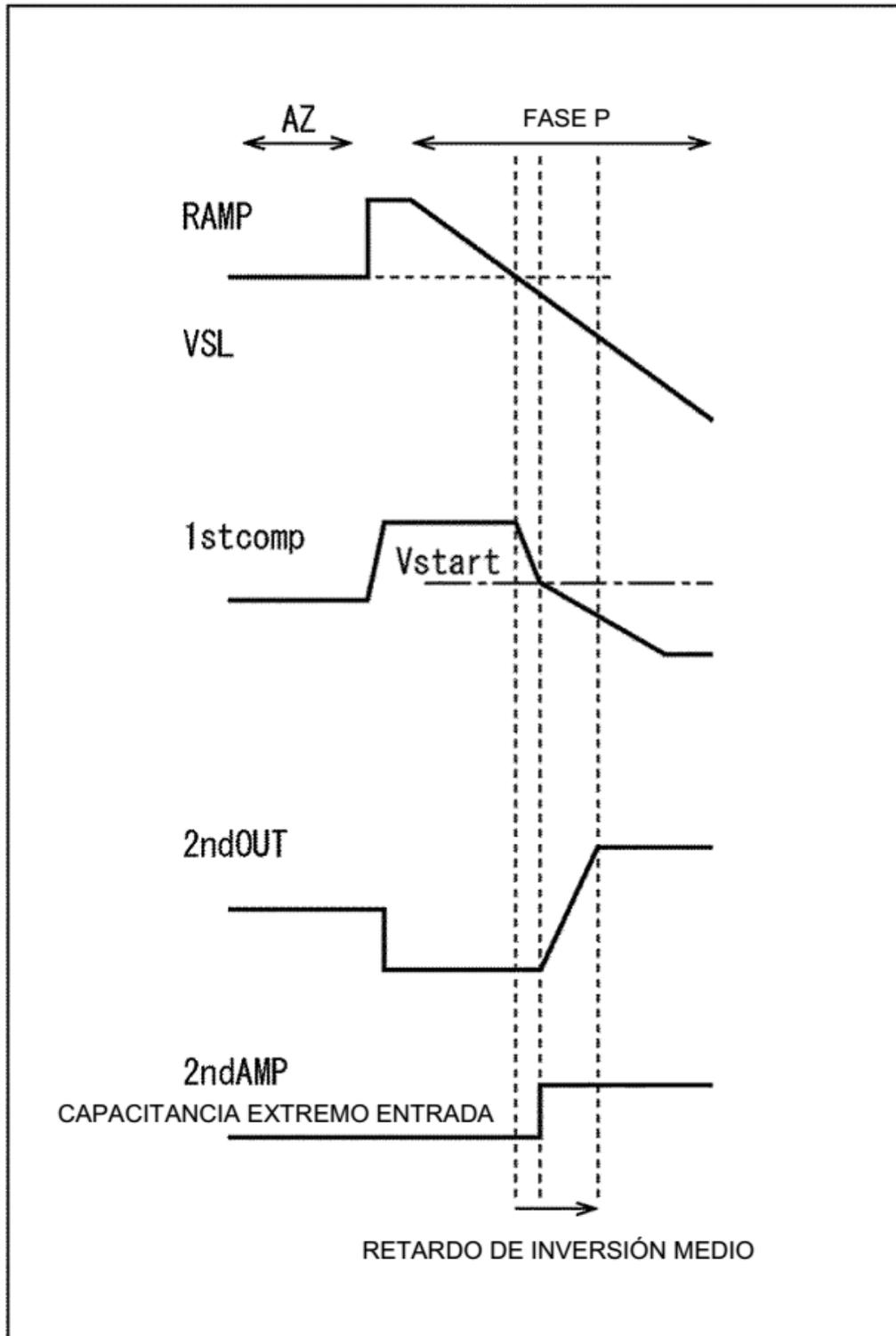


FIG. 12

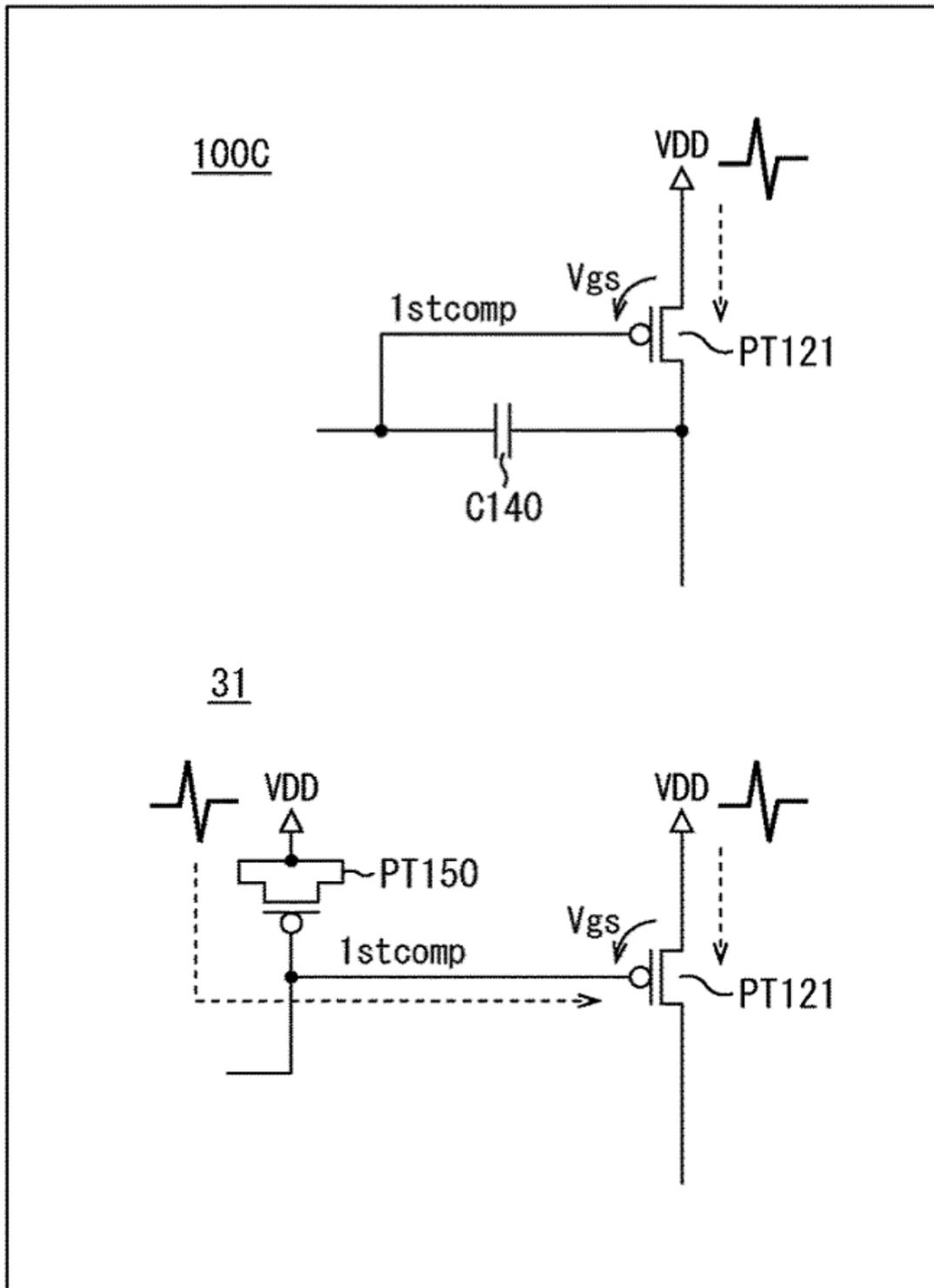
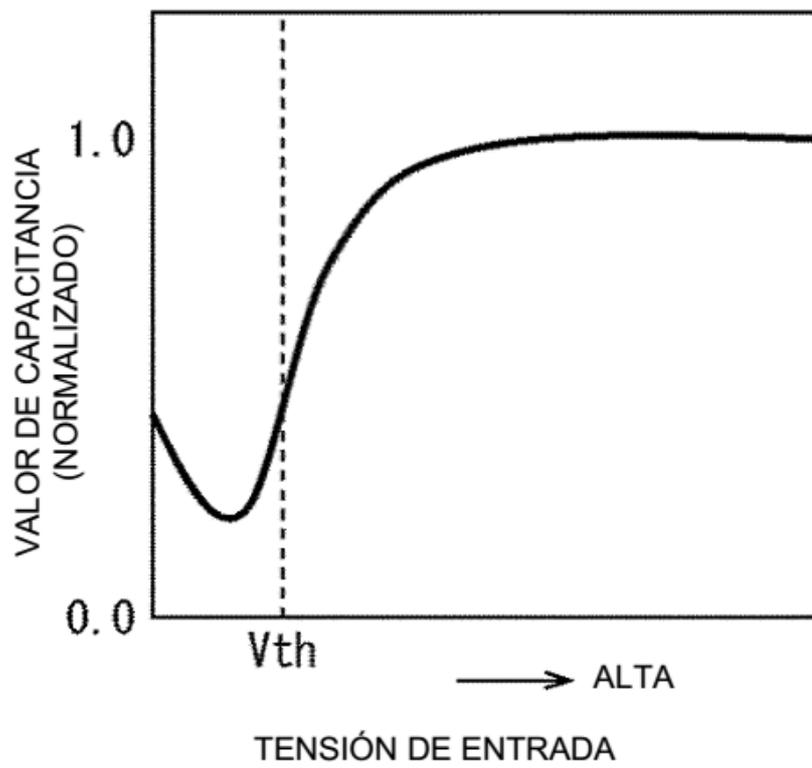




FIG. 14



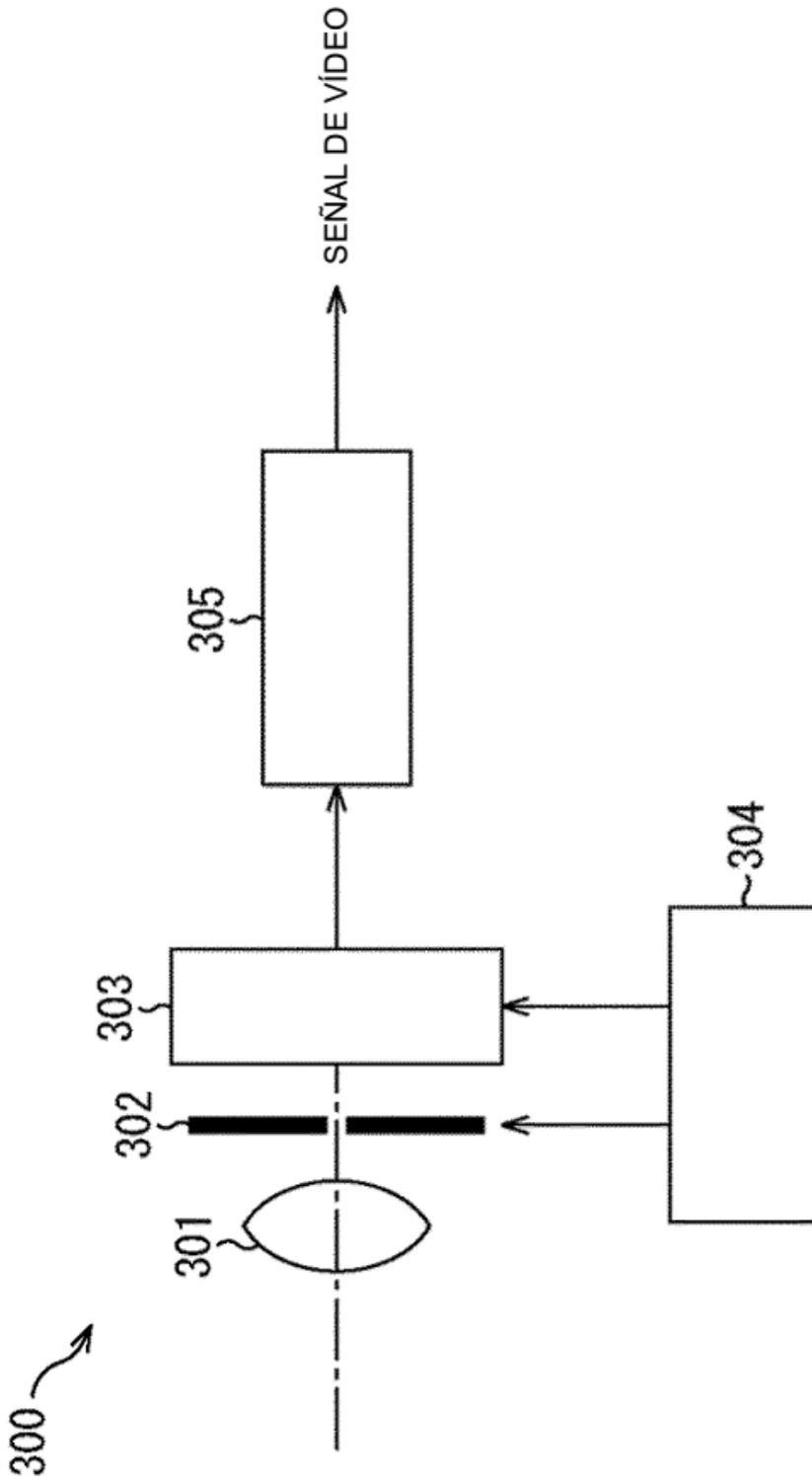


FIG. 15

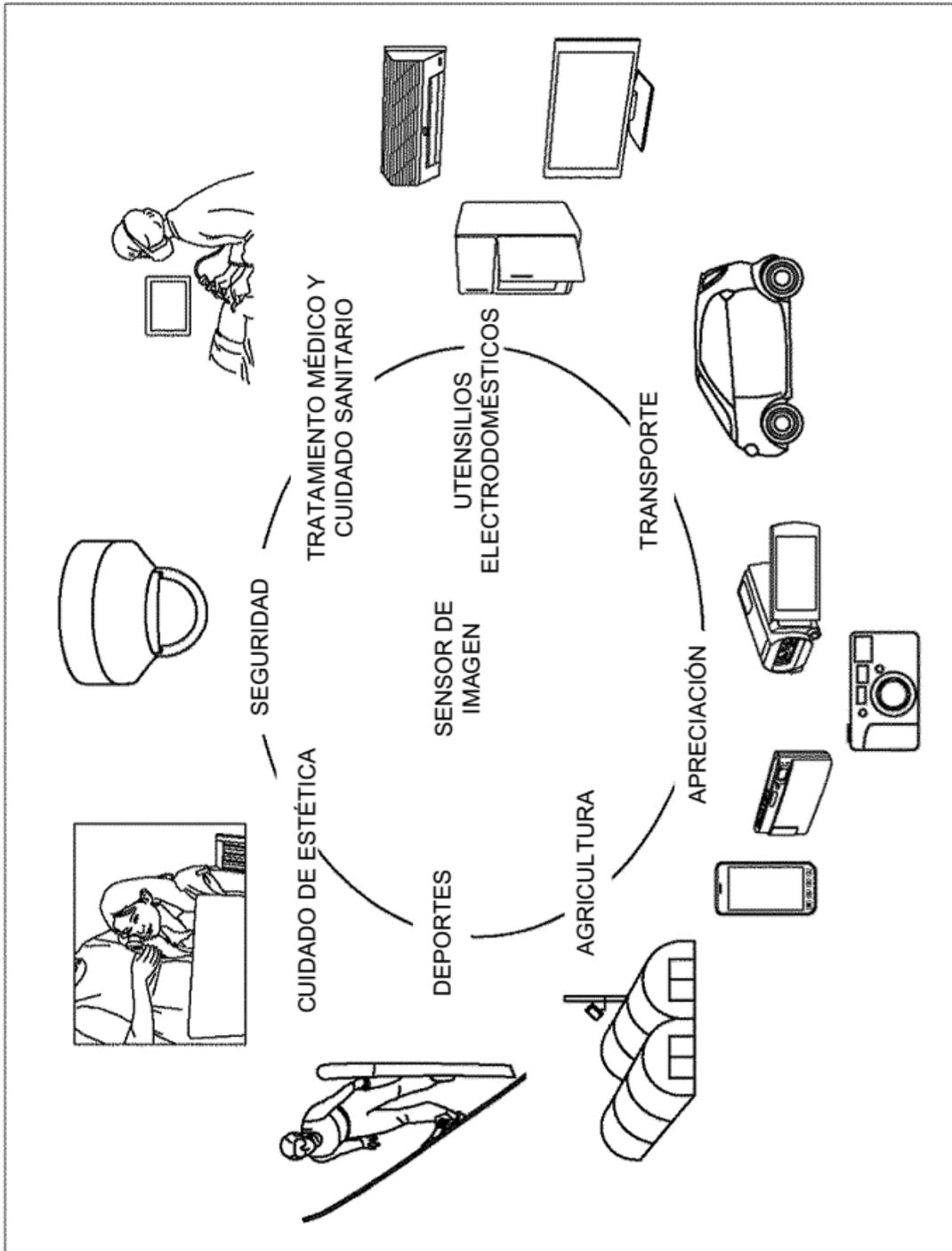


FIG. 16