

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 793 675**

51 Int. Cl.:

H04N 5/33 (2006.01)

H04N 5/347 (2011.01)

H04N 5/3745 (2011.01)

H04N 5/355 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **31.08.2010 PCT/EP2010/062759**

87 Fecha y número de publicación internacional: **31.03.2011 WO11036041**

96 Fecha de presentación y número de la solicitud europea: **31.08.2010 E 10751641 (1)**

97 Fecha y número de publicación de la concesión europea: **18.03.2020 EP 2481210**

54 Título: **Sistema y método de detector IR**

30 Prioridad:

24.09.2009 GB 0916815

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

16.11.2020

73 Titular/es:

**LEONARDO MW LTD (100.0%)
Christopher Martin Road
Basildon, Essex SS14 3EL, GB**

72 Inventor/es:

**WILSON, MARK CLIFFORD y
THORNE, PETER MICHAEL**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 793 675 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y método de detector IR

- 5 La invención está relacionada con un sistema y método de detector de Infrarrojos (IR). Más específicamente, pero no de manera exclusiva, está relacionada con un sistema y un método que cambia la configuración de elementos dentro del píxel para reducir el retraso temporal entre tiempos de observación para campos de datos sucesivos, reduciendo el desgarro (tear) y la borrosidad (smear) de la imagen cuando se opera en modo de sensibilidad mejorada o agrupamiento (binning).
- 10 Las prestaciones de los detectores de matriz de observación de infrarrojos convencionales se pueden mejorar utilizando la técnica ampliamente conocida de agrupamiento de píxeles. Los condensadores de integración de píxeles se comparten o se agrupan en un grupo y a continuación se conectan de uno en uno a cada elemento detector de fotodiodos del grupo para incrementar la capacidad de almacenamiento de carga de señal integrada y por lo tanto
- 15 mejorar la sensibilidad térmica. La sensibilidad térmica aumenta en un factor \sqrt{n} donde n es el número de píxeles agrupados del grupo y se puede ver que es ventajoso. Para cada elemento se obtiene y se lee un campo de datos de imagen que cuando se toman en conjunto permite componer una imagen completa.
- 20 Durante el funcionamiento, el tiempo de integración aumenta en un factor n que incrementa el periodo entre fotogramas. De forma más significativa, la separación en el tiempo entre campos de datos de imagen provocada por el tiempo de lectura de campo conduce a artefactos de obtención de imágenes indeseables tales como múltiples imágenes para blancos que se mueven y velado (*blur*) de la imagen que degrada la calidad de la imagen y limita las prestaciones para dicho modo de sensibilidad mejorada en el sensor. La operación de integración y lectura para modos de Integrar y Leer (ITR, del inglés *Integrate Then Read*) y de agrupamiento convencionales se ilustran en las figuras
- 25 1(a) y 1(b).
- En algunos casos, normalmente, pero no de manera exclusiva, en aplicaciones de Infrarrojo de Banda Media (MWIR, del inglés Medium Waveband Infrared), el condensador de integración puede estar dividido en varios elementos de condensador más pequeños con puertas de conexión para adaptarse a un rango de condiciones de señal o para
- 30 aplicaciones de bajo flujo.
- En otros casos, un circuito de muestreo y retención (s/h, del inglés sample and hold capacitor) se utiliza de una forma mostrada en la figura 2b. Utiliza un transistor de paso (M2), un transistor de reset (M6) y un condensador de retención (Ch) para permitir que el circuito de píxeles opere en un modo denominado Integrar Mientras Leer (IWR, del inglés Integrate While Read). La señal se copia en Ch que ha sido reseteado previamente operando el transistor de paso
- 35 M2. Cuando se utiliza, esto permite que se consiga una integración de señales de fotodiodos en paralelo con la operación de lectura para permitir que se logren tiempos de integración más largos dentro del periodo entre fotogramas.
- 40 En otros casos adicionales, normalmente, pero no de manera exclusiva, en aplicaciones de Infrarrojo de Onda Larga (LWIR, del inglés Long Waveband Infrared) que tienen un flujo grande, la mejor sensibilidad se puede conseguir utilizando el condensador de integración de mayor tamaño posible. Por lo tanto, es menos probable que los sensores LWIR utilicen diseños de condensador de integración dividido. Dado que el tiempo de observación puede ser muy corto para un sensor LWIR, la sensibilidad se puede mejorar compartiendo condensadores de integración entre
- 45 píxeles. Esto se puede conseguir utilizando la técnica de agrupamiento compartiendo los condensadores de integración, por ejemplo, entre píxeles de filas pares e impares adyacentes utilizando una puerta de paso del transistor entre los condensadores para elegir si compartir o no, es decir, conmutar entre modos de funcionamiento convencional y de agrupamiento. Otras configuraciones de agrupamiento que utilizan píxeles de columnas vecinas u otras formaciones de grupo de píxeles son igualmente posibles. Normalmente no se requieren o no se utilizan
- 50 condensadores de muestreo y retención en operación LWIR debido a que los tiempos de integración son generalmente lo suficientemente cortos para que, cuando se suman al tiempo de lectura, sean todavía menores que el periodo entre fotogramas. De hecho, proporcionar un condensador s/h resta valor a la máxima capacitancia de integración en un diseño de píxel y normalmente se evita.
- 55 En los sensores MWIR se puede producir el problema contrario, donde el flujo es lo suficientemente bajo para que, a fin de aprovechar al máximo la capacitancia disponible, el tiempo de observación es más largo que el tiempo entre fotogramas menos el tiempo necesario para leer los datos de la matriz. En este caso se añade un condensador de muestreo y retención para permitir que se produzca integración mientras el sensor está simultáneamente leyendo los datos del fotograma anterior de la imagen. Esta técnica tiene la desventaja de que el condensador s/h resta valor a la
- 60 capacitancia de integración en el píxel y pone en riesgo la sensibilidad que se puede conseguir en última instancia. El documento WO 2008/115500 A2, describe un método de lectura de sensor de imágenes para una cámara digital. El método implica integrar carga en un fotodetector en una capacitancia. Un nivel de señal resultante se lee de uno en uno, y la capacitancia del fotodetector se modifica a otra capacitancia. El nivel de señal asociado con el fotodetector se lee en la última capacitancia. Se lee una señal de reset resultante, y se calcula otra señal de reset en base a la
- 65 señal de reset y a los valores de las capacitancias. La última capacitancia se proporciona de manera que sea menor que la anterior capacitancia. El método incrementa el rango dinámico de los sensores de imagen utilizando capacidad

de conversión carga-a-tensión variable, y proporciona al sensor de imágenes sensibilidad variable para convertir la carga de los fotoelectrones capturados en la tensión.

5 La invención es definida por la reivindicación independiente. Las reivindicaciones dependientes definen realizaciones ventajosas. Además, realizaciones y aspectos que no están cubiertos por las reivindicaciones se deberían interpretar no como realizaciones de la invención, sino como ejemplos útiles para comprender la invención.

Se describirá ahora la invención con referencia a los dibujos esquemáticos adjuntos, en los cuales:

10 La Figura 1 es un dibujo esquemático que muestra la secuencia y temporización (en ms) de lectura de fotogramas para una matriz de formato de TV completa (640 x 512, 4 salidas); a) parte superior – ITR; b) parte intermedia – Agrupamiento de ITR; c) parte inferior – Agrupamiento mejorado, de acuerdo con una forma de la invención. Obsérvese que los controles aplicados para configurar cada operación se omiten para mayor claridad;
 15 La Figura 2 es un dibujo esquemático que muestra circuitos de píxeles de la técnica anterior de ejemplo (a) circuito de Puerta de Inyección Directa (DIG, del inglés Direct Inject Gate), y (b) circuito DIG con función IWR; y La Figura 3 es un dibujo esquemático que muestra circuitos de píxeles que tienen una conexión de agrupamiento de dos direcciones entre filas par e impar.

20 En una realización de la invención, un caso de agrupamiento de dos direcciones se muestra en la Figura 3 y se utiliza para explicar la operación de agrupamiento mejorada en términos generales. En este ejemplo, se agrupan los condensadores de integración situados en filas pares e impares adyacentes ($n=2$).

25 El Circuito Integrado de Lectura (ROIC, del inglés Read Out Integrated Circuit) se configura para operación en modo de agrupamiento estableciendo BIN para encender el transistor M7. Por lo tanto, el condensador de integración Cint1 está conectado eléctricamente al condensador de integración Cint2. En esta realización y a efectos de exposición, $Cint12 = Cint1 + Cint2$. Se apreciará que estos términos de capacitancia incluyen cualquier contribución de términos parásitos presentes en las respectivas redes.

30 La matriz de píxeles está configurada para obtener datos de señal de imagen de las filas impares de la matriz. Se establece VG21 para encender el transistor de muestreo y retención M21 para conectar el condensador s/h de píxeles impares Ch1 a la capacitancia de integración conjunta Cint. Se retira VG22 para apagar el transistor M22 para aislar el condensador s/h de píxeles pares Ch2. La capacitancia de integración combinada es $Cint = Cint12 + Ch1 = Cint1 + Cint2 + Ch1$, la cual se resetea utilizando cualquiera de los transistores de reset M51, M52, M61 estableciendo RS1, RS2 o RS21 respectivamente.

35 El periodo de integración se inicia para las filas impares polarizando el transistor DIG M11. Durante el periodo de integración la señal se integra en la capacitancia de integración combinada total Cint. Después de la finalización del periodo de integración de la fila impar, se retira VG21 para apagar el transistor s/h M21 y la tensión de señal de píxeles impares permanece muestreada en el condensador s/h Ch1.

40 A continuación se configura la matriz de píxeles para obtener datos de señal de imagen de las filas pares de la matriz.

45 Se establece VG22 para encender el transistor de muestreo y retención M22 para conectar el condensador s/h de píxeles pares Ch2 a la capacitancia de integración conjunta Cint. VG21 permanece retirado para garantizar que el transistor M21 permanece apagado para aislar la señal en el condensador s/h de píxeles impares Ch1. La capacitancia de integración combinada es $Cint = Cint12 + Ch2 = Cint1 + Cint2 + Ch2$, la cual se resetea utilizando cualquiera de los transistores de reset M52, M51, M62 estableciendo RS2, RS1 o RS22 respectivamente.

50 El periodo de integración se inicia para las filas pares polarizando el transistor DIG M12. Durante el periodo de integración la señal se integra en la capacitancia de integración combinada total Cint. Después de la finalización del periodo de integración de la fila impar, se retira VG22 para apagar el transistor s/h M22 y la tensión de señal de píxeles pares permanece muestreada en el condensador s/h Ch2.

55 Esta técnica ofrece ventajas con respecto a la técnica convencional para operación en modo agrupamiento. De la forma más significativa, los periodos de captura del campo de imagen están separados sólo por el tiempo de observación para el primer campo (filas impares) y el periodo de reset requerido para el segundo campo (filas pares). Para comparación véanse la figura 1(b) y la figura 1(c). En la práctica, un detector de onda larga que opera en modo de agrupamiento mejorado, se podría esperar que tuviera un tiempo de separación de integración de aproximadamente 0,65 ms (tiempo de integración de 0,6 ms y tiempo de reset de, por ejemplo, 0,05 ms). Comparando esto con la operación en modo de agrupamiento convencional, el tiempo de separación de integración está dominado por el tiempo de lectura que se espera que sea de aproximadamente 4,9 ms para una matriz de televisión completa (640 x 512), por ejemplo, con 4 salidas que son temporizadas a 10 Mhz y considerablemente más a velocidades de reloj menores. Por lo tanto, operando en modo de agrupamiento mejorado se espera reducir el impacto de artefactos de imagen tales como borrosidad de la imagen o múltiples imágenes de blancos que se mueven rápido en un factor
 60
 65 proporcional a la reducción en el tiempo de separación de integración de $4,9 / 0,65 \cong 7,5$.

- 5 Se apreciará que el circuito de muestreo y retención se muestra en su forma más simple. En esta forma, las señales de control del terminal de puerta del transistor (es decir, V21 y V22 en el caso de un grupo de píxeles con agrupamiento de dos direcciones ($n=2$)) se pueden implementar utilizando configuraciones alternativas tales como dos transistores en serie. Esta técnica tanto más ventajosa cuanto mayor es el tamaño de los grupos de píxeles permitiendo que se pueda implementar una estructura de seguimiento de la matriz de control más fácilmente que mediante controles independientes para cada píxel del grupo. La novedad de la invención no se ve afectada por la realización de la implementación del circuito de muestreo y retención.
- 10 Se apreciará que otra ventaja de la operación en modo de agrupamiento mejorado es que la secuencia de lectura se vuelve idéntica al modo ITR o de parpadeo normal.
- 15 También se apreciará, que se hace posible la operación en modo no de agrupamiento reteniendo todos los elementos del circuito apropiados. En esta configuración, se retira BIN apagando M7. Se establecen VG21 y VG22 encendiendo los transistores s/h M21 y M22 que conectan respectivamente los condensadores s/h Ch1 y Ch2 a sus respectivos condensadores de integración Cint1 y Cint2 maximizando de este modo la capacitancia de integración y la sensibilidad térmica para uso LWIR por ejemplo.
- 20 Se apreciará también que esta técnica es válida para todos los demás diseños de circuito de píxeles que utilizan una función de agrupamiento y no está limitada de ninguna manera a la forma de circuito de Inyección Directa utilizada en esta memoria para describir esta innovación.
- 25 Se apreciará también que, mientras que esta técnica se ha explicado en detalle para el caso de agrupamiento de dos direcciones ($n=2$), la técnica es igualmente aplicable a otras configuraciones o soluciones de agrupamiento.
- En la práctica, los artefactos de obtención de imágenes asociados con el agrupamiento convencional limitan la cantidad de agrupamiento que se puede utilizar. Esta técnica descrita en una forma de la invención permite al usuario incrementar la cantidad de agrupamiento con mejora asociada en la sensibilidad y reducción en artefactos de obtención de imágenes no deseados.

REIVINDICACIONES

- 5 1. Un método de reducción de artefactos de obtención de imágenes no deseados en un sistema de detector IR, comprendiendo el sistema de detector IR píxeles, incluyendo cada píxel un condensador de integración (Cint) y un circuito de muestreo y retención que comprende un condensador de muestreo y retención (Ch); comprendiendo el método:
- 10 a) agrupar píxeles unos con otros en grupos de píxeles estableciendo respectivo control de agrupamiento de dichos píxeles, **caracterizado por** los pasos de
- 15 b) configurar dichos grupos de píxeles de modo que, cuando se opera el primer píxel de un grupo, se integra una señal en el interior de los condensadores de integración (Cint1, Cint2) de cada uno de los píxeles del grupo y en el interior del condensador de muestreo y retención o (Ch1) del primer píxel, y no se integrará en el interior de los uno o más condensadores de muestreo y retención (Ch2) de uno o más de los otros píxeles del grupo;
- 20 c) apagar (cerrar) el circuito de muestreo y retención del primer píxel del grupo para retener la señal en el condensador de muestreo y retención del primer píxel;
- d) resetear los condensadores de integración;
- e) configurar los grupos de píxeles de modo que, cuando se opera el siguiente píxel del grupo, se integra una señal en el interior de los condensadores de integración (Cint1, Cint2) de cada uno de los píxeles del grupo y en el condensador de muestreo y retención (Ch2) de dicho siguiente píxel, y no se integrará en el interior de los uno o más condensadores de muestreo y retención (Ch1) de uno o más de los otros píxeles de los grupos;
- 25 f) apagar (cerrar) el circuito de muestreo y retención de dicho siguiente píxel del grupo para retener la señal en el condensador de muestreo y retención de dicho siguiente píxel;
- g) resetear los condensadores de integración; y
- h) repetir los pasos (e), (f), (g) para los otros píxeles del grupo.
- 30 2. Un método de acuerdo con la reivindicación 1, en el cual las señales de los píxeles dentro del grupo de píxeles se obtienen en secuencia y se retienen en sus respectivos condensadores de muestreo y retención.
3. Un método de acuerdo con la reivindicación 2, **caracterizado por que** una lectura accede a datos relacionados con cada píxel del grupo (VG21, VG22) en una secuencia natural.
4. Un sistema de detector infrarrojo adaptado para llevar a cabo el método de la reivindicación 1 ó 2.

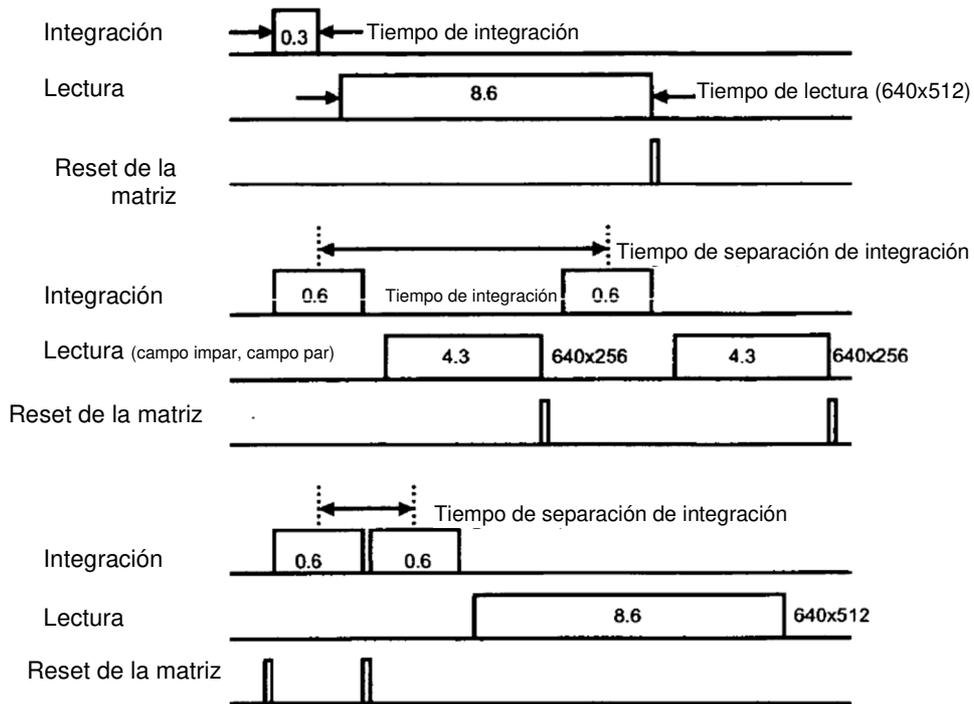


Figura 1 Secuencia y temporización (en ms) de lectura de fotogramas típicas para una matriz de formato de TV completo (640 x 512, 4 salidas); a) parte superior – ITR; b) parte intermedia – Agrupamiento de ITR; c) parte inferior – Agrupamiento mejorado de acuerdo con una forma de la invención. Obsérvese que los controles aplicados para configurar cada operación se omiten para mayor claridad.

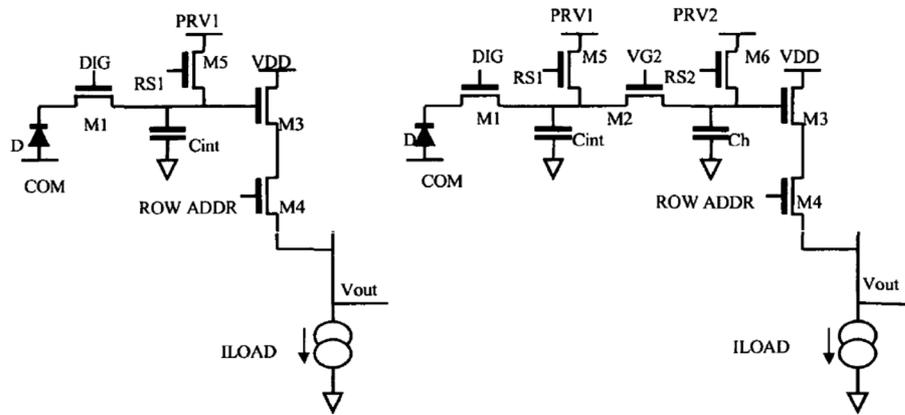


Figura 2 circuitos de píxeles de la técnica anterior de ejemplo (a) circuito DIG, y (b) DIG con función IWR

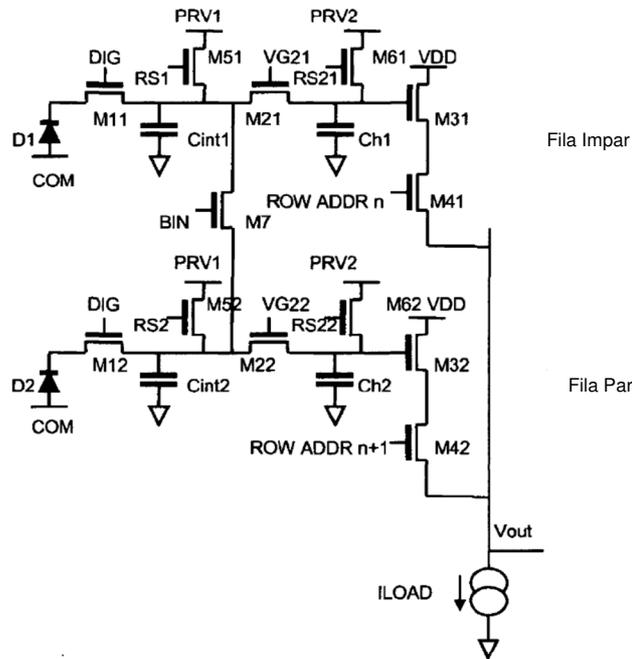


Figura 3 circuitos de píxeles mostrando conexión de agrupamiento de 2 direcciones entre fila impar y par