

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 794 615**

51 Int. Cl.:

**H03K 17/687** (2006.01)

**H03K 17/0812** (2006.01)

**H03K 17/06** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **30.06.2016 PCT/EP2016/065230**

87 Fecha y número de publicación internacional: **05.01.2017 WO17001535**

96 Fecha de presentación y número de la solicitud europea: **30.06.2016 E 16733537 (1)**

97 Fecha y número de publicación de la concesión europea: **22.04.2020 EP 3317967**

54 Título: **Disposición de circuito para control de un transistor**

30 Prioridad:

**30.06.2015 EP 15174575**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**18.11.2020**

73 Titular/es:

**FRONIUS INTERNATIONAL GMBH (100.0%)  
Froniusstraße 1  
4643 Pettenbach, AT**

72 Inventor/es:

**ARTELSMAIR, BERNHARD**

74 Agente/Representante:

**GONZÁLEZ PECES, Gustavo Adolfo**

**ES 2 794 615 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Disposición de circuito para control de un transistor

La invención se refiere a una disposición de circuito para control de un transistor de compuerta aislada, en particular un IGBT, un MOSFET o un GaN FET o un SiC FET, con un conductor de compuerta para generar una señal de conducción entre un polo positivo y un polo negativo con un primer voltaje de conducción para encender el transistor durante una fase de encendido y un segundo voltaje de conducción para apagar el transistor durante una fase de apagado, y con un capacitor en paralelo con la trayectoria de fuente-compuerta del transistor, en la que conductor de compuerta está diseñado para que la señal de conducción sea mayor o igual que 0 V, es proporcionada una inductancia para la formación de un circuito oscilante con el capacitor, dicho circuito oscilante está diseñado, cuando el transistor es apagado con el cambio de la señal del conductor al segundo voltaje del conductor, para cargar el capacitor a un voltaje de fuente-compuerta negativo por debajo del segundo voltaje del conductor, y que es proporcionado un elemento de conmutación en el circuito oscilante, dicho elemento de conmutación está diseñado para interrumpir el circuito oscilante después de que el capacitor ha sido cargada.

Son conocidos los conductores de compuerta para encender y apagar un transistor de compuerta aislado de un circuito electrónico de energía. El transistor puede estar formado por un IGBT, MOSFET, GaN FET o SiC FET, por ejemplo. Por ejemplo, los conductores de compuerta simples están diseñados para generar un voltaje de primer conductor para encender el transistor y un voltaje de segundo conductor para apagar el transistor. Para un apagado y bloqueo seguro del transistor puede ser necesario cargar la compuerta del transistor a un voltaje de compuerta negativo (para un transistor de tipo n-canal). De lo contrario, incluso pequeñas fluctuaciones de voltaje o interferencias pueden llevar a un encendido no deseado del transistor, lo que también puede significar un cortocircuito, dependiendo del uso del circuito electrónico de potencia. Por lo tanto, para una desconexión y bloqueo seguros, suele ser aplicado un voltaje conductor negativo a un capacitor en la compuerta del transistor. Un procedimiento común es suministrar un voltaje negativo a un conductor de compuerta, por ejemplo. Sin embargo, esto no es ventajoso debido al esfuerzo que supone generar el suministro de voltaje negativo.

Para evitar el gasto del suministro de voltaje negativo, en particular los suministros de voltaje con conexión en puente de transistores de un circuito electrónico de potencia, a menudo son también usadas las disposiciones de circuito 1 de acuerdo con la Fig. 1. En este caso, un capacitor  $C_S$  está dispuesto entre el conductor de compuerta 2 y la compuerta 3 del transistor T1 en paralelo con un  $D_S$  de diodo Z. Durante la fase de encendido del transistor T1, el  $C_S$  es cargado a un potencial de voltaje que está disponible como voltaje negativo durante la fase de apagado. Dado que el capacitor  $C_S$  debe cargar el capacitor C en paralelo con la trayectoria de fuente-compuerta del transistor T1 a un voltaje de compuerta  $U_{GS}$  negativo durante la fase de apagado, debe ser dimensionado en consecuencia. La desventaja de esto es que el potencial de voltaje negativo deseado normalmente sólo es alcanzado después de diversos ciclos de conmutación, dado que las fases cortas de encendido pueden no ser suficientes para una carga completa del capacitor  $C_S$ , por lo que el capacitor  $C_S$  debe ser cargado a lo largo de diversas fases de encendido. Otra desventaja evidente de la disposición del circuito 1 de acuerdo con la Fig. 1 es que el voltaje de compuerta  $U_{GS}$  negativo está, por así decirlo, desviado del voltaje del conductor  $U_{TR}$  positivo y, por lo tanto, ya no está disponible para encender el transistor T1. El voltaje de compuerta  $U_{GS}$  positivo para el encendido del transistor T1 es reducido proporcionalmente y un encendido seguro, en determinadas circunstancias, sólo puede ser logrado con un mayor esfuerzo de conmutación.

El documento US 2011/221480 A1 describe una disposición de circuitos del tipo actual, en la que es requerida una fuente de energía separada para parte de la disposición de circuito, lo que como consecuencia aumenta el costo.

A partir del artículo de Nithiphat Teerakawanich *et al.* "A New Resonant Gate Driver with Bipolar Gate Voltage and Gate Energy Recovery" (Applied Power Electronics Conference and exposition (APEC), 2013, 28 anual, IEEE, 17. (APEC, 2013, 28 anual, IEEE, 17 de marzo de 2013, páginas 2424 a 2428), es conocido un conductor de compuerta resonante para controlar transistores tal como MOSFET e IGBT, en el que la energía almacenada en el capacitor de la compuerta es usada para el siguiente ciclo de conmutación, lo que permite una disposición de los circuitos más sencilla y rentable.

De este modo, la invención está basada en el objeto, partiendo del estado de la técnica descrito anteriormente, de crear una disposición de circuito para controlar un transistor que, sin embargo, puede encender y apagar el transistor de forma segura sin un voltaje de alimentación negativo y también garantiza el bloqueo seguro del transistor durante la fase de apagado. Además, esta disposición de los circuitos debe ser simple y económica.

La invención logra el objeto establecido dado que la parte de la disposición del circuito entre el conductor de compuerta y el transistor está diseñada para un suministro de voltaje exclusivo con la señal de conducción del conductor de compuerta, y porque el elemento de conmutación está formado por un transistor adicional, y un primer diodo de libre circulación está dispuesto en paralelo con el elemento de conmutación, y la inductancia del circuito oscilante está dispuesta entre el transistor adicional y la compuerta de transistor.

Si un inductor es conectado al capacitor en paralelo con la trayectoria de fuente-compuerta del transistor, y el circuito oscilante así formado está diseñado para recargar el capacitor en la compuerta del transistor a un voltaje negativo de

- la fuente de la compuerta que está por debajo del voltaje del segundo conductor cuando el transistor está apagado, puede ser asegurada una desconexión segura del transistor. El elemento de conmutación del circuito oscilante permite desconectar el circuito oscilante, con lo que es mantenido un voltaje de compuerta-fuente negativo, que es establecido durante la recarga. El capacitor de la compuerta del transistor cargada con el voltaje negativo de la fuente de la compuerta no puede ser descargado en forma adicional debido al elemento de conmutación abierto, lo que significa que el voltaje de compuerta-fuente negativo puede seguir existiendo. Con la disposición de circuito de acuerdo con la invención, cuando la señal del conductor cambia del primer voltaje del conductor al segundo voltaje del conductor para apagar el transistor, el capacitor cargado positivamente puede ser descargado en paralelo con la trayectoria de la fuente de la compuerta del transistor a través del inductor. La energía transferida a la inductancia durante este proceso de descarga puede causar una nueva recarga de la capacidad de la compuerta a un voltaje de compuerta-fuente negativo. Al abrir simultáneamente el elemento de conmutación, puede ser evitado un proceso de recarga adicional, mediante el cual es logrado y mantenido un voltaje de compuerta-fuente negativo, que está por debajo del voltaje del segundo conductor. Por lo tanto, la disposición del circuito puede cargar el capacitor en paralelo con la trayectoria de la fuente de compuerta del transistor a un voltaje negativo tan pronto como es apagado por primera vez, en el que el voltaje positivo total del conductor puede estar aún disponible para encender el transistor durante la fase de encendido. Además, la disposición de los circuitos puede ser construida de manera sencilla y rentable debido a los pocos y simples componentes. Dado que la parte de la disposición de circuito entre el conductor de compuerta y el transistor está diseñada para una alimentación exclusiva con la señal del conductor de compuerta, puede no ser requerida una fuente de alimentación adicional, lo que reduce la complejidad de toda la disposición de circuito y, por lo tanto, también los costos. Gracias al primer diodo de libre circulación dispuesto en paralelo al elemento de conmutación, el flujo de corriente necesario para recargar eficazmente la capacidad cuando el transistor es apagado puede pasar fácilmente por el elemento de conmutación en paralelo a la trayectoria de fuente-compuerta del transistor. La disposición de circuito puede ser simplificada si el primer diodo libre está formado por el diodo libre integrado en el transistor adicional.
- En general, es afirmado que esta disposición de circuito es particularmente adecuada para control de transistores de circuitos electrónicos de potencia con procesos de conmutación repetidos regularmente, tal como los circuitos de puente. En este contexto, por fase de apagado es entendido el tiempo que transcurre hasta que es encendido repetidamente el mismo transistor. Esto puede estar en el intervalo de unos pocos  $\mu$ s a unos pocos 100 ms, por ejemplo.
- Si el voltaje de la fuente de compuerta permanece negativo durante toda la fase de apagado, no sólo es posible garantizar un apagado seguro del transistor, sino que también puede ser evitado un encendido no intencional del transistor durante la fase de apagado.
- La disposición de circuito puede ser ventajosa si el voltaje de compuerta-fuente durante la fase de encendido es esencialmente igual que el del primer conductor. Esto significa que todo el voltaje del primer conductor puede ser usado para encender o cargar el capacitor en paralelo con la trayectoria de fuente-compuerta del transistor.
- Pueden ser usados conductores de compuerta especialmente simples si el voltaje del segundo conductor es de 0 V.
- Ventajosamente, el elemento de conmutación es encendido con el primer voltaje del conductor de la señal del conductor y es apagado con el segundo voltaje del conductor de la señal del conductor. Esto facilita la implementación de la disposición de circuitos, ya que no es requerida ninguna señal adicional para conmutar el elemento de conmutación. Así puede no ser requeridos circuitos costosos o complejos.
- La disposición de circuito puede ser convincente por la especial simplicidad del circuito si el elemento de conmutación está formado por un transistor de efecto de campo de canal p o un transistor PNP. Esto puede permitir una disposición de transistor adicional entre el inductor y la señal del conductor, así como un control del transistor adicional sin componentes adicionales.
- La disposición de circuito puede ser mejorada en forma adicional si la compuerta o el terminal base del transistor adicional son conectados al polo negativo del conductor de compuerta mediante una primera resistencia y el terminal de la fuente o emisor del transistor adicional es conectado al polo positivo del conductor de la compuerta. Esto puede permitir limitar la corriente de base o la corriente de carga de la compuerta, evitando así que el transistor adicional resulte dañado.
- Si una segunda resistencia es colocada entre la inductancia y la compuerta del transistor, esta resistencia puede ser usada para determinar el amortiguación del circuito oscilante. Esto puede permitir un proceso de carga suficientemente rápido del capacitor en paralelo a la trayectoria de fuente-compuerta del transistor sin o con poco exceso.
- La disposición de circuito puede ser mejorada en forma adicional si una tercera resistencia en serie con un segundo diodo de giro libre es dispuesta en paralelo a la segunda resistencia. Esto puede permitir una amortiguación diferente para el circuito oscilante cuando el transistor es encendido o apagado, por lo que el voltaje de compuerta-fuente puede ser cargado al potencial deseado para encender o apagar el transistor con un pequeño sobreimpulso en cada caso.
- La disposición de circuito puede ser simplificada en forma adicional mediante un dimensionamiento adecuado de los componentes individuales si el capacitor está formado por el capacitor compuerta-fuente del transistor. De esta manera, puede no ser requerido un capacitor adicional entre la compuerta y la fuente del transistor.

Si está dispuesta una cuarta resistencia en paralelo al capacitor, el voltaje de compuerta-fuente aún puede ser definido cuando el conductor de compuerta no reciba voltaje, evitando así una “flotación” del voltaje de la fuente de la compuerta.

- 5 Puede ser lograda una protección de la compuerta del transistor contra voltajes positivos o negativos demasiado altos si dos diodos Z son conectados en serie en paralelo al capacitor. Además, estos diodos Z pueden ser usados para limitar el exceso de voltaje de compuerta-fuente durante el proceso de encendido del transistor.

La invención en cuestión es explicada más detalladamente a continuación con referencia a las figuras que muestran realizaciones ejemplares, esquemáticas y no restrictivas de la invención. En estas es mostrado:

Fig. 1 un circuito para controlar un transistor de acuerdo con el estado de la técnica,

- 10 Fig. 2 un diagrama esquemático de una disposición de circuito de acuerdo con la invención para controlar un transistor,

Fig. 3 un diseño concreto de una disposición de circuitos de acuerdo con la invención; y

Fig. 4 los perfiles de voltaje de la disposición de circuito de acuerdo con la Figura 3 del conductor de compuerta y en el capacitor paralelo a la trayectoria de fuente-compuerta del transistor.

- 15 La Fig. 2 muestra un diagrama esquemático de una disposición de circuito 1 para controlar un transistor T1 con compuerta aislada 3, en particular un IGBT, un MOSFET o un GaN FET o un SiC FET con un conductor de compuerta 2 para generar una señal de conducción  $U_{TR}$  entre un polo positivo 7 y un polo negativo 6. Para controlar el transistor T1, el conductor de compuerta 2 emite una señal de conducción  $U_{TR}$  mayor o igual que cero voltios para cargar o descargar un capacitor C en la compuerta 3 del transistor T1 a un voltaje de compuerta-fuente  $U_{GS}$ . De acuerdo con la Fig. 4, la señal de conducción  $U_{TR}$  tiene un voltaje de primer conductor 4 para el encendido y un voltaje de segundo conductor 5 para el apagado del transistor T1. Para una desconexión y bloqueo seguros del transistor T1 es ventajoso cargar la compuerta 3 del transistor T1 a un voltaje de compuerta-fuente  $U_{GS}$  negativo. De lo contrario, incluso ligeras fluctuaciones de voltaje o interferencias pueden provocar un encendido indeseado o una conmutación momentánea a través del transistor T1, lo que, dependiendo del uso del circuito electrónico de potencia (no mostrado), también puede significar un cortocircuito.

- Por lo tanto, de acuerdo con la invención, una inductancia L está conectada al capacitor C en paralelo a la trayectoria compuerta-3-fuente 8 del transistor T1, que forma un circuito oscilante 9 con el capacitor C del transistor T1. Mediante el dimensionamiento adecuado de los componentes, este circuito oscilante 9 es formado cuando el transistor T1 es desconectado para recargar el capacitor C en paralelo con la trayectoria compuerta-3-fuente 8 del transistor T1 a un voltaje de compuerta-fuente  $U_{GS}$  negativo que está por debajo del voltaje del segundo conductor 5. Cuando el conductor de compuerta 2 pasa del voltaje del primer conductor 4 al del segundo conductor 5, la energía almacenada en el capacitor C es descargada, lo que provoca que una corriente fluya a través de la inductancia L. Incluso si el capacitor C es descargado, este flujo de corriente es mantenido, dado que los cambios bruscos de corriente a través de la inductancia L son evitados. La energía magnética presente en la inductancia L provoca así una nueva descarga o recarga del capacitor C a un voltaje de compuerta-fuente  $U_{GS}$  negativo, que está por debajo del voltaje del segundo conductor 5. Además, un elemento de conmutación S está dispuesto en el circuito oscilante 9, lo que permite abrir el circuito oscilante 9. El circuito oscilante 9 desconectado impide la recarga del capacitor C para que sea mantenido el voltaje de compuerta-fuente  $U_{GS}$  negativo. Este voltaje de compuerta-fuente  $U_{GS}$  negativo asegura la desconexión y el bloqueo seguro del transistor T1 en la disposición mostrada del circuito 1. Esto evita eficazmente la conexión no deseada o la conexión momentánea a través del transistor T1, que podría ser causada por pequeñas fluctuaciones de voltaje o interferencias. La disposición de circuito 1 es particularmente ventajosa para cargar el capacitor C en la compuerta 3 del transistor T1 a un voltaje negativo cuando es apagado por primera vez. Sin embargo, durante la fase de encendido  $t_{EIN}$  del transistor T1, el voltaje positivo completo del primer conductor 4 está disponible para encender el transistor T1. Además, esta disposición de circuito 1 tiene un diseño de circuito simple y puede ser fabricada a bajo costo debido a los pocos y simples componentes. En los ejemplos mostrados en las Fig. 2 y 3, el transistor T1 es un FET autobloqueante de n canales. Una aplicación para otros tipos de transistores es, por supuesto, concebible con una modificación adecuada de la disposición de circuito 1.

En general se afirma que no es requerido que la inductancia L esté formada por un componente discreto, sino que también puede estar formada por una línea en una placa de circuito.

- 50 La disposición de circuito 1 mostrada también es adecuada para controlar los transistores T1 de los circuitos electrónicos de potencia con operaciones de conmutación repetidas regularmente, tal como en los circuitos de puente. Dependiendo de la frecuencia de conmutación, la fase de apagado  $t_{AUS}$  del transistor, T1, es de unos pocos  $\mu s$  a aproximadamente 100 ms. Si el circuito oscilante 9 está adecuadamente dimensionado, es decir, la inductancia L, el capacitor C y cualquier resistencia presente, el voltaje de compuerta-fuente  $U_{GS}$  permanece negativo durante toda esta fase de apagado  $t_{AUS}$ . Esto no sólo asegura que el transistor T1 sea apagado con seguridad, sino que también evita un nuevo encendido involuntario del transistor T1 durante la fase de apagado  $t_{AUS}$ .

- Como puede ser observado en el diseño específico de acuerdo con la Fig. 3, el voltaje de compuerta-fuente  $U_{GS}$  durante la fase de encendido  $t_{EIN}$  corresponde esencialmente al voltaje del primer conductor 4, lo que significa que todo el voltaje del primer conductor 4 está disponible para el encendido o la carga del capacitor C en paralelo con la trayectoria compuerta-3-fuente 8 del transistor T1, lo que permite operaciones de conmutación rápidas y fiables. Las ligeras desviaciones del voltaje del primer conductor 4 son debidas al proceso de carga del capacitor C y a las posibles pérdidas en la disposición de circuito 1. El voltaje del segundo conductor 5, por otra parte, es de 0 V, lo que permite un diseño particularmente simple para el conductor de compuerta 2 y por lo tanto el uso del conductor de compuerta 2 de bajo costo.
- Además, la parte de la disposición de circuito 1 entre el conductor de compuerta 2 y el transistor T1, como es mostrado en las Figs. 2 y 3, está diseñada para una alimentación exclusiva con la señal de conducción  $U_{TR}$ . Por consiguiente, sólo es necesaria una fuente de voltaje que no es mostrada en detalle en las figuras para suministrar energía al conductor de compuerta 2, a fin de abastecer de energía eléctrica a toda la disposición de circuito 1. El conductor de compuerta 2 suministra energía eléctrica a la siguiente parte del circuito 1 por medio de su señal de conducción  $U_{TR}$ . La ausencia de una fuente de alimentación adicional reduce tanto la complejidad de todo el circuito así como su costo.
- En la disposición de circuito 1, un primer diodo libre D1 está dispuesto en paralelo al elemento de conmutación S. Esto permite que el proceso de recarga continúe hasta que la dirección del flujo de corriente cambie, aunque el elemento de conmutación S esté abierto. Este cambio de dirección del flujo de corriente es producido cuando la energía almacenada en el inductor L haya sido liberada nuevamente de manera completa. Esto corresponde al final deseado del proceso de recarga, dado que en este momento el voltaje en el capacitor C está en el rango de su máximo negativo. El uso del diodo de libre circulación D1 permite así que el elemento de conmutación S sea abierto en cualquier momento entre el cambio de voltaje del primer conductor 4 al voltaje del segundo conductor 5 y el final del proceso de recarga del capacitor C al voltaje de compuerta-fuente  $U_{GS}$  negativo. Esto permite simplificar en forma adicional la disposición de circuito 1, dado que la señal de conducción  $U_{TR}$  también puede ser usada directamente para conmutar el elemento de conmutación S.
- En consecuencia, el elemento de conmutación S en la disposición de circuito 1 de acuerdo con la Fig. 3 es encendido con el primer voltaje de conductor 4 de la señal de conducción  $U_{TR}$  y es apagado con el segundo voltaje de conductor 5 de la señal de conducción  $U_{TR}$ . Como ya ha sido mencionado anteriormente, no es requerida una señal adicional para conmutar el elemento de conmutación S, lo que permite implementar fácilmente una disposición de circuito 1.
- La disposición de circuito 1 de acuerdo con la Fig. 3 es particularmente simple en términos de circuitos, dado que el elemento de conmutación S está formado por un transistor adicional T2. Esto permite disponer el transistor adicional T2 entre la inductancia L y la señal de conducción  $U_{TR}$  así como controlar el transistor adicional T2 sin componentes adicionales. En el ejemplo mostrado, el transistor adicional T2 está formado por un FET de canal P, pero también es concebible el uso de un transistor PNP.
- Como es mostrado en la Fig. 3, el terminal de compuerta del transistor adicional T2 está conectado mediante una primera resistencia R1 al terminal negativo 6 del conductor de compuerta 2 y el terminal de la fuente al terminal positivo 7 del conductor de compuerta 2. Esto limita la corriente de carga de compuerta del transistor adicional T2 y al mismo tiempo permite un fácil control de un FET del canal P con un pequeño número de componentes. La conexión del terminal negativo 6 del conductor de compuerta 2 a un terminal de tierra es concebible, pero no absolutamente necesaria.
- Además, es concebible que no sea usado un primer diodo de libre circulación dedicado D1, sino que el primer diodo de libre circulación D1 esté formado por el diodo de libre circulación integrado en el transistor adicional T2, en particular por el diodo de libre circulación integrado en el canal P FET. De este modo, los gastos de los componentes del arreglo de circuitos 1 pueden ser reducidos en forma adicional.
- Puede ser colocada una segunda resistencia R2 entre la inductancia L y la compuerta 3 del transistor T1. Esta resistencia R2 determina la amortiguación del circuito oscilante 9 para el proceso de encendido y, por lo tanto, influye en el proceso de carga del capacitor C en paralelo a la trayectoria de la fuente de compuerta del transistor T1. El dimensionamiento apropiado de los componentes evita que el voltaje de compuerta-fuente  $U_{GS}$  sea sobrepasado cuando el transistor T1 es encendido.
- Paralelamente a la segunda resistencia R2, es posible disponer una tercera resistencia R3 en serie con un segundo diodo libre D2. Esta tercera resistencia R3 es usada para establecer una amortiguación diferente para el circuito oscilante 9 cuando el transistor T1 está apagado. De este modo es posible lograr una reducción del exceso del voltaje de compuerta-fuente  $U_{GS}$  durante la desconexión y la recarga asociada del capacitor C. De este modo, los procesos de carga y descarga o recarga pueden ser influidos por separado, lo que permite la optimización con respecto a la pendiente de los bordes y el exceso de voltaje de compuerta-fuente  $U_{GS}$ .
- Son producidas más simplificaciones cuando el capacitor C es formado por la capacidad compuerta-fuente del transistor T1. Así, es posible prescindir de un capacitor C adicional entre la compuerta 3 y la fuente 8.

Una cuarta resistencia R4 puede estar dispuesta en paralelo con el capacitor C para definir, no obstante, el voltaje de compuerta-fuente  $U_{GS}$  en ausencia de suministro de energía al conductor de compuerta 2 y así evitar una "flotación" del voltaje de compuerta-fuente  $U_{GS}$ .

5 Para proteger la compuerta 3 del transistor T1 del excesivo voltaje de compuerta-fuente  $U_{GS}$  positivo o negativo, dos diodos Z D3, D4, que están conectados en serie en direcciones opuestas, están dispuestos en paralelo al capacitor C. Además, los diodos Z D3, D4 limitan cualquier exceso de voltaje de compuerta-fuente  $U_{GS}$  durante el proceso de encendido del transistor T1. De esta forma es logrado un borde ascendente empinado correspondientemente ventajoso de voltaje de compuerta-fuente  $U_{GS}$  cuando se cambia del primer voltaje de conductor 4 al segundo voltaje de conductor 5.

10 En un dimensionamiento de ejemplo de los componentes de la disposición de circuito 1 de acuerdo con la Fig. 3, es deseable un tiempo de caída de borde del voltaje de compuerta-fuente  $U_{GS}$  positivo al voltaje de compuerta-fuente  $U_{GS}$  negativo menor o igual que 100 ns para mantener pequeñas las pérdidas de apagado del transistor T1. Al mismo tiempo, la inclinación de borde debe ser inferior a la mitad de la duración del período del circuito oscilante 9, dado que el proceso de recarga del capacitor C es completado en la mitad de un período y es evitada una nueva oscilación por el comportamiento de bloqueo del diodo D1. En el siguiente ejemplo de dimensionamiento, es asumida una duración de período  $T = 140$  ns ( $T = t_{EIN} + t_{AUS}$ ). Un capacitor C de 5 nF, que corresponde aproximadamente al capacitor fuente-compuerta típico de una potencia FET, y un tiempo de caída de borde de 70 ns da como resultado una inductancia L de aproximadamente 100 nH de acuerdo con la fórmula

$$L = \frac{T^2}{4\pi^2 C}$$

20 Para el dimensionamiento de ejemplo posterior, es asumido un voltaje de compuerta-fuente  $U_{GS+}$  positivo de 20 V y un voltaje de compuerta-fuente  $U_{GS-}$  negativo de -5V. De la fórmula

$$R_{Ges} = -\frac{2L \ln \frac{U_{GS-}}{U_{GS+}}}{t}, \text{ con } t = \frac{T}{2}$$

25 resulta una resistencia óhmica total, que incluye todas las pérdidas, del circuito oscilante de aproximadamente 4 ohmios. Dado que, además de las pérdidas óhmicas de inductancia y capacitancia, también hay que tener en cuenta el conductor de compuerta y el voltaje de avance de los diodos, las resistencias individuales deben ser dimensionadas en consecuencia más pequeñas o la resistencia R4 paralela al capacitor C deben ser dimensionada más grande. De este modo, resulta un dimensionamiento de ejemplo de las resistencias R2 con 3,3 ohmios, R3 con 1 ohmio y R4 con 10 ohmios.

30 Por supuesto, los valores efectivamente usados para la inductancia, capacitancia y resistencias pueden diferir del ejemplo de dimensionamiento dado. Dependiendo de los requisitos individuales de la disposición de circuito 1, así como del transistor T1 y del conductor de compuerta 2, es concebible el dimensionamiento de los componentes con los valores de ejemplo anteriores en una potencia de diez hacia arriba así como hacia abajo.

## REIVINDICACIONES

- 5 1. Disposición de circuito (1) para control de un transistor (T1) de compuerta aislada (3), que tiene un conductor de compuerta (2) para generar una señal de conducción ( $U_{TR}$ ) entre un polo positivo (7) y un polo negativo (6), con un primer voltaje de conducción (4) para encender el transistor (T1) durante una fase de encendido ( $t_{EIN}$ ) y un segundo voltaje de conductor (5) para apagar el transistor (T1) durante una fase de apagado ( $t_{AUS}$ ), y que tiene un capacitor (C) en paralelo con la trayectoria de fuente-compuerta (3) del transistor (T1), en la que el conductor de compuerta (2) está diseñado para que la señal de conducción ( $U_{TR}$ ) sea mayor o igual que cero voltios, es proporcionada una inductancia (L) para la formación de un circuito oscilante (9) con el capacitor (C), dicho circuito oscilante (9) está diseñado, cuando el transistor (T1) es apagado con el cambio de la señal de conducción ( $U_{TR}$ ) al segundo voltaje del conductor (5), para cargar el capacitor (C) a un voltaje de fuente-compuerta negativo ( $U_{GS}$ ) por debajo del segundo voltaje del conductor (5), y es proporcionado un elemento de conmutación (S) en el circuito oscilante (9), dicho elemento de conmutación (S) está diseñado para interrumpir el circuito oscilante (9) después de que el capacitor (C) haya sido cargado, en la que la parte de la disposición de circuito (1) entre el conductor de compuerta (2) y el transistor (T1) está diseñada para el suministro exclusivo de voltaje con la señal de conducción ( $U_{TR}$ ) del conductor de compuerta (2), y en la que el elemento de conmutación (S) está formado por un transistor adicional (T2), y un primer diodo libre (D1) está dispuesto en paralelo al elemento de conmutación (S), y la inductancia (L) del circuito oscilante (9) está dispuesta entre el transistor adicional (T2) y la compuerta (3) del transistor (T1).
- 10 2. Disposición de circuito (1) de acuerdo con la reivindicación 1, **caracterizada porque** el voltaje de fuente-compuerta ( $U_{GS}$ ) es negativo durante toda la fase de apagado ( $T_{AUS}$ ).
- 15 3. Disposición de circuito (1) de acuerdo con la reivindicación 1 o 2, **caracterizada porque** el voltaje de fuente-compuerta ( $U_{GS}$ ) durante la fase de encendido ( $t_{EIN}$ ) corresponde sustancialmente al voltaje del primer conductor (4) del conductor de compuerta (2).
- 20 4. Disposición de circuito (1) de acuerdo con una de las reivindicaciones 1 a 3, **caracterizada porque** el voltaje del segundo conductor (5) del conductor de compuerta (2) es 0 V.
- 25 5. Disposición de circuito (1) de acuerdo con una de las reivindicaciones 1 a 4, **caracterizada porque** el elemento de conmutación (S) está diseñado para ser encendido con el voltaje del primer conductor (4) y para ser apagado con el voltaje del segundo conductor (5).
- 30 6. Disposición de circuito (1) de acuerdo con una de las reivindicaciones 1 a 5, **caracterizada porque** el elemento de conmutación (S) está formado por un transistor de efecto de campo de canal p o transistor PNP.
- 35 7. Disposición de circuito (1) de acuerdo con una de las reivindicaciones 1 a 6, **caracterizada porque** la compuerta o terminal base del transistor adicional (T2) está conectada mediante una primera resistencia (R1) al polo negativo (6) del conductor de compuerta (2) y el terminal fuente o emisor del transistor adicional (T2) está conectado al polo positivo (7) del conductor de compuerta (2).
- 40 8. Disposición de circuito (1) de acuerdo con una de las reivindicaciones 1 a 7, **caracterizada porque** una segunda resistencia (R2) está dispuesta entre la inductancia (L) y la compuerta (3) del transistor (T1).
9. Disposición de circuito (1) de acuerdo con la reivindicación 8 **caracterizada porque** una tercera resistencia (R3) está dispuesta en paralelo con la segunda resistencia (R2) en serie con un segundo diodo de libre circulación (D2).
10. Disposición de circuito (1) de acuerdo con una de las reivindicaciones 1 a 9, **caracterizada porque** una cuarta resistencia (R4) está dispuesta en paralelo con el capacitor (C).
11. Disposición de circuito (1) de acuerdo con una de las reivindicaciones 1 a 10, **caracterizada porque** dos diodos Z (D3, D4) conectados en serie con polaridad opuesta están dispuestos en paralelo con el capacitor (C).

Fig.1 (Estado de la técnica)

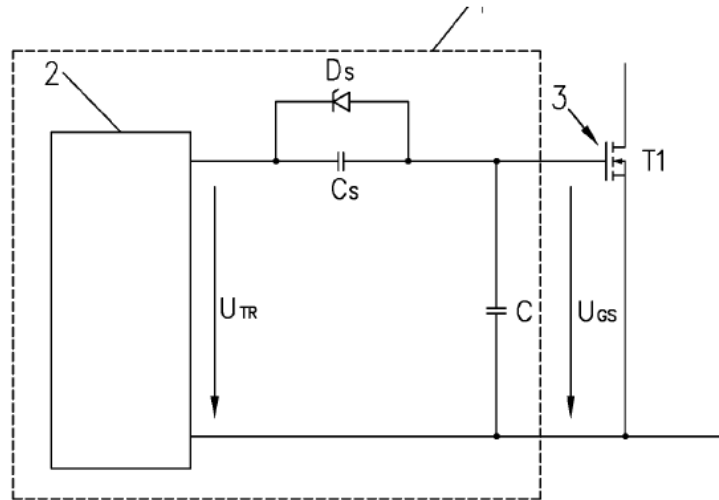


Fig.2

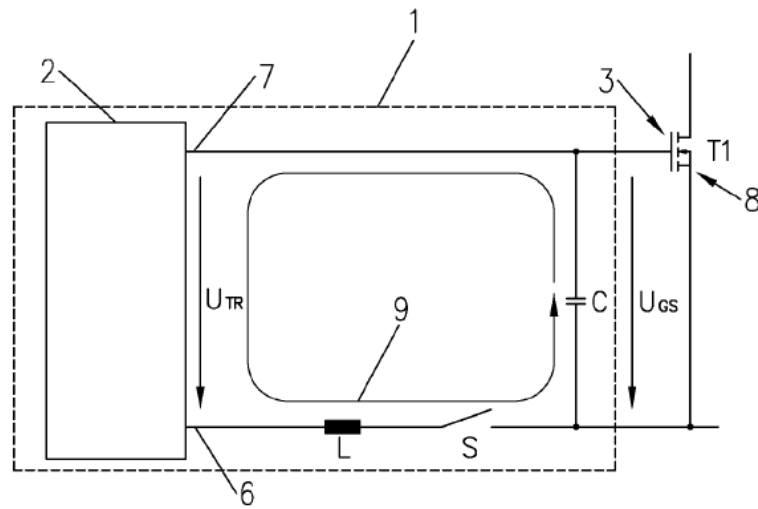




Fig.3

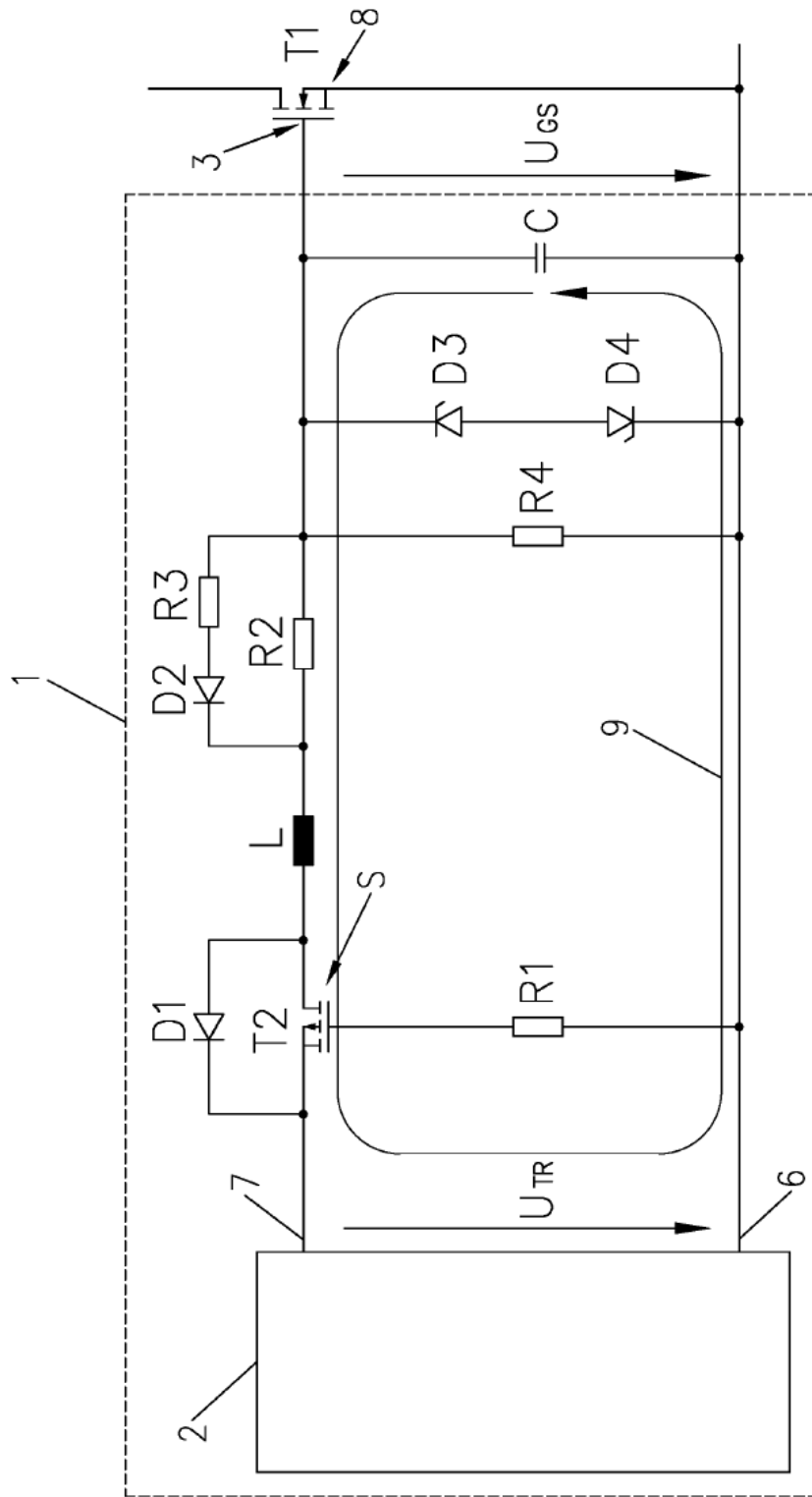


Fig.4

