

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 796 609**

51 Int. Cl.:

G06F 13/42 (2006.01)

G06F 13/20 (2006.01)

G06F 13/40 (2006.01)

H04L 12/861 (2013.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **16.11.2016 PCT/CN2016/106134**

87 Fecha y número de publicación internacional: **05.04.2018 WO18058764**

96 Fecha de presentación y número de la solicitud europea: **16.11.2016 E 16898144 (7)**

97 Fecha y número de publicación de la concesión europea: **08.04.2020 EP 3328009**

54 Título: **Método y aparato para detectar contrapresión de mensajes**

30 Prioridad:

30.09.2016 WO PCT/CN2016/101304

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
27.11.2020

73 Titular/es:

**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building, Bantian,
Longgang District
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

**ZHANG, BIN;
CHEN, LIGANG;
CHEN, JIAHUAI y
XU, LIXIA**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 796 609 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para detectar contrapresión de mensajes

Campo técnico

5 La presente invención se refiere al campo de las tecnologías informáticas y, en particular, a un método, aparato y dispositivo de detección de contrapresión de paquetes.

Antecedentes

10 En un sistema de Interconexión de Componentes Periféricos Expres (Peripheral Component Interconnect express, PCIe, en inglés), los dispositivos que tienen puertos PCIe pueden transmitir un paquete utilizando los puertos PCIe. Por ejemplo, una unidad de procesamiento central (Central Processing Unit, CPU, en inglés) está conectada a un puerto de aguas arriba (Upstream Port, UP, en inglés) de un conmutador PCIe utilizando un puerto PCIe y un puerto de aguas abajo (Downstream Port, DP, en inglés) del conmutador PCIe está conectado a un dispositivo de punto final (Endpoint, EP, en inglés). Cuando la CPU envía un paquete al EP, en primer lugar, la CPU envía el paquete al UP del conmutador PCIe; a continuación, el UP del conmutador PCIe envía el paquete al DP conectado al EP; y a continuación, el DP envía el paquete al EP.

15 Cuando un enlace entre dos puertos PCIe se vuelve defectuoso, los paquetes a enviar se apilan en un puerto PCIe, es decir, ocurre una contrapresión de paquetes. Si la contrapresión de paquetes no se puede detectar de manera oportuna, el tiempo de espera de instrucción ocurre en un dispositivo para enviar un paquete. Por consiguiente, el dispositivo se cuelga (hang, en inglés) y no puede funcionar de manera normal.

20 Un método de detección de contrapresión de paquetes existente es el siguiente: todos los paquetes a enviar en un puerto PCIe se almacenan en una unidad de memoria caché. Se establece un temporizador para cada paquete almacenado en la unidad de memoria caché, y registra la duración de almacenamiento del paquete en la unidad de memoria caché. Cuando un temporizador que se establece para cualquier paquete expira, se determina que la contrapresión de paquetes ocurre en el puerto PCIe, y un paquete de error que indica la contrapresión de paquetes en el puerto PCIe se envía a una unidad de procesamiento de errores.

25 Sin embargo, un dispositivo puede incluir múltiples puertos PCIe y, en general, una gran cantidad de paquetes a enviar se almacenan en una unidad de memoria caché en cada puerto PCIe. En el método de detección de contrapresión de paquetes en la técnica anterior, se solicitan una gran cantidad de recursos de temporizador y una unidad de procesamiento de errores recibe una gran cantidad de informes de procesamiento de errores. Por consiguiente, el ancho de banda dentro de un dispositivo está excesivamente ocupado y se desperdician recursos dentro del dispositivo.

30 El documento US20130091330A1 describe un método para el desalojo anticipado de memoria caché.

El documento US8730983B1 describe un método para un esquema de encaminamiento de paquetes que se puede configurar, de memoria temporal y planificación.

Compendio

35 La presente invención proporciona un método y aparato de detección de contrapresión de paquetes, con el objetivo de resolver un problema de la técnica anterior de que hay una cantidad excesiva de gastos generales en una solución de detección de contrapresión de paquetes.

40 Según un primer aspecto, la presente invención proporciona un método de detección de contrapresión de paquetes, donde el método se aplica a un dispositivo que tiene un puerto PCIe. El dispositivo puede ser una CPU, un conmutador PCIe o un dispositivo de punto final (Endpoint, EP, en inglés) que tiene un puerto PCIe. Cuando el dispositivo es una CPU, el puerto PCIe es un puerto PCIe de la CPU. Por ejemplo, un puerto raíz (Root Port, RP, en inglés) de la CPU que ejecuta un complejo raíz (Root Complex, RC, en inglés). Cuando el dispositivo es un conmutador PCIe, el puerto PCIe es, bien un puerto aguas arriba o un puerto aguas abajo del conmutador PCIe. Cuando el dispositivo es un EP, el puerto PCIe es un puerto PCIe por el cual el EP se conecta a otro dispositivo en un sistema PCIe. Cuando cada paquete a enviar en una cola de envío de paquetes del puerto PCIe en una unidad de memoria caché se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, el dispositivo almacena, en una memoria temporal, el paquete que actualmente necesita ser enviado, donde el paquete almacenado en la memoria temporal se retira de la memoria temporal después de ser enviado utilizando el puerto PCIe. La memoria temporal almacena un máximo de un paquete en cualquier momento. La memoria temporal puede ser un componente de almacenamiento independiente, tal como una memoria de acceso aleatorio (Random Access Memory, RAM, en inglés) o una memoria flash (Flash); o puede ser un área de almacenamiento obtenida dividiendo el componente de almacenamiento. El dispositivo registra la duración de almacenamiento de cada paquete almacenado en la memoria temporal, reiniciando, mediante el dispositivo, la duración acumulada a 0 en una condición predeterminada, y acumula la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal; y cuando la duración acumulada alcanza un primer umbral, determina que la

contrapresión de paquetes ocurre en el puerto PCIe. La función de registrar la duración de almacenamiento de cada paquete almacenado en la memoria temporal puede implementarse mediante un módulo de hardware que tenga una función de temporización en el dispositivo, o puede implementarse ejecutando un programa de aplicación por una CPU del dispositivo.

- 5 En la solución en la que el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe, para la contrapresión de paquetes en una dirección de un puerto PCIe, la temporización se realiza solamente en la duración de almacenamiento de un paquete en la memoria temporal en cualquier momento. Por lo tanto, en comparación con una solución de la técnica anterior en la que la temporización se realiza simultáneamente en todos los paquetes a enviar a un puerto PCIe, esta solución puede reducir sustancialmente los gastos generales del sistema. Además, cuando una contrapresión de paquetes ocurre en el puerto PCIe debido a un fallo del enlace, el dispositivo genera un error de contrapresión de paquetes solamente una vez por el fallo del enlace, evitando por ello la aparición de una tormenta de error y mejorando la estabilidad del sistema. Además, ya que si ocurre la contrapresión de paquetes se determina según la duración acumulada de almacenamiento de paquetes en la memoria temporal, se puede evitar el siguiente caso: aunque la duración de almacenamiento de ningún paquete excede un umbral específico, un dispositivo para enviar un paquete no puede funcionar de manera normal ya que un valor acumulado de la duración de almacenamiento de múltiples paquetes es excesivamente grande.

20 En una implementación opcional, una capacidad de la memoria temporal puede ser que se puedan almacenar al menos dos paquetes. Se organizan múltiples paquetes según una secuencia de envío en una unidad de memoria caché. La capacidad de la memoria temporal es menor que la capacidad de la unidad de memoria caché. Un procesador del dispositivo está configurado para: registrar la duración de almacenamiento de un paquete en la memoria temporal, donde el paquete es el primer paquete en una cola de paquetes de la memoria temporal y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal; y cuando la duración acumulada alcanza el primer umbral, determinar que la contrapresión de paquetes ocurre en el puerto PCIe.

25 En una implementación opcional, el dispositivo puede establecer directamente un valor de la duración acumulada en el primer umbral, y restar la duración de almacenamiento de cada paquete de la duración acumulada cada vez después de registrar la duración de almacenamiento de un paquete en la memoria temporal. Cuando la duración acumulada es menor o igual a 0, el dispositivo determina que ocurre la contrapresión de paquetes. Utilizando este método, se puede resolver un problema de la técnica anterior, se reducen los gastos generales del sistema y se mejora la precisión de la detección de contrapresión de paquetes.

30 En una implementación opcional, el dispositivo reduce la duración acumulada registrada de almacenamiento de paquetes en la memoria temporal en una condición predeterminada. Una manera de reducción incluye: reiniciar la duración acumulada a 0, o restar la duración de almacenamiento de un paquete enviado de la duración acumulada. En esta implementación, se puede evitar un caso en el que el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe porque la duración de almacenamiento acumulada de una cantidad excesiva de paquetes normales distintos de los paquetes de contrapresión alcanza el primer umbral, y se mejora la precisión de la detección de contrapresión de paquetes.

35 En una implementación opcional, el dispositivo reinicia la duración acumulada de almacenamiento de paquetes en la memoria temporal a 0 en una condición predeterminada. En esta implementación, se puede evitar un caso en el que el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe porque la duración de almacenamiento acumulada de una cantidad excesiva de paquetes normales distintos de los paquetes de contrapresión alcanza el primer umbral, y se mejora la precisión de la detección de contrapresión de paquetes.

40 En una implementación opcional, el dispositivo establece un temporizador de reinicio, realiza la temporización y, cuando un tiempo registrado por el temporizador de reinicio alcanza un segundo umbral, reinicia la duración acumulada de almacenamiento de paquetes en la memoria temporal a 0. El temporizador de reinicio puede implementarse ejecutando una instrucción de programa de aplicación mediante un procesador del dispositivo, o puede implementarse mediante un módulo de hardware utilizado como temporizador en el dispositivo. En esta implementación, se puede evitar un caso en el que el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe porque la duración de almacenamiento acumulada de una cantidad excesiva de paquetes normales distintos de los paquetes de contrapresión alcanza el primer umbral, y se mejora la precisión de la detección de contrapresión de paquetes.

45 En una implementación opcional, un valor del temporizador de reinicio puede establecerse directamente a un segundo umbral, y disminuye gradualmente en función del segundo umbral. Cuando el valor del temporizador de reinicio es igual a 0, la duración acumulada se reinicia a 0.

50 En una implementación opcional, el dispositivo registra una cantidad de paquetes que se han almacenado en la memoria temporal, y cuando la cantidad registrada alcanza un tercer umbral, reinicia la duración acumulada de almacenamiento de paquetes en la memoria temporal a 0. La función de recuento puede implementarse ejecutando una instrucción de programa de aplicación mediante un procesador del dispositivo, o puede implementarse mediante un módulo de hardware utilizado como contador en el dispositivo. En esta implementación, se puede evitar un caso en el que el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe porque la duración de

almacenamiento acumulada de una cantidad excesiva de paquetes normales distintos de los paquetes de contrapresión alcanza el primer umbral, y se mejora la precisión de la detección de contrapresión de paquetes.

5 En una implementación opcional, la duración de almacenamiento de cada paquete en la memoria temporal y que el dispositivo registra sucesivamente forma una cola de duración. Cuando una longitud de la cola de duración alcanza un cuarto umbral, el dispositivo elimina la duración de almacenamiento registrada más temprano de la cola de duración y resta, de la duración acumulada, la duración de almacenamiento registrada más temprano que se elimina de la cola de duración. En esta implementación, la duración acumulada es una suma de la duración de almacenamiento, en la memoria temporal, de una cantidad especificada (un valor de la cantidad especificada es el cuarto umbral) de los paquetes almacenados en memoria caché recientemente en la memoria temporal, y un valor máximo de la duración de almacenamiento de paquetes no se encuentra dentro de dos unidades estadísticas, de manera que se asegura que el valor máximo de la duración de almacenamiento de paquetes siempre se puede detectar, y se mejora la sensibilidad de la detección de contrapresión de paquetes.

15 En una implementación opcional, la duración de almacenamiento de cada paquete en la memoria temporal y que el dispositivo registra sucesivamente forma una cola de duración. El dispositivo acumula toda la duración en la cola de duración, con el objetivo de obtener la duración de la ventana, y cuando una longitud de la cola de duración alcanza un cuarto umbral, el dispositivo elimina la duración de almacenamiento registrada más temprano de la cola de duración y resta, de la duración de la ventana, la duración de almacenamiento registrada más temprano que se elimina de la cola de duración. Cuando la duración de la ventana alcanza un sexto umbral, el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe. Ya que la duración de la ventana no se reinicia a 0, se asegura que siempre se puede detectar un valor máximo de la duración de almacenamiento de paquetes, y se mejora la sensibilidad de la detección de contrapresión de paquetes.

25 En una implementación opcional, cuando la duración de almacenamiento registrada de cualquier paquete en la memoria temporal alcanza un quinto umbral, el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe, donde el quinto umbral es menor que el primer umbral. En esta implementación, el dispositivo determina que ocurre la contrapresión de paquetes, siempre que la duración de almacenamiento de cualquier paquete sea mayor que el quinto umbral. Por lo tanto, cuando un paquete se almacena en la memoria caché en la memoria temporal durante un tiempo excesivamente largo pero la duración acumulada no excede el primer umbral, el dispositivo determina lo antes posible que ocurre la contrapresión de paquetes, de manera que se mejora la sensibilidad de la detección de contrapresión de paquetes realizada por el dispositivo.

30 En una implementación opcional, cuando cada paquete a enviar en una cola de envío de paquetes en una primera dirección del puerto PCIe se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, el dispositivo almacena, en la memoria temporal, el paquete que necesita ser enviado en la primera dirección, donde la primera dirección es una dirección aguas arriba o una dirección aguas abajo del puerto PCIe. Cuando cada paquete a enviar en una cola de envío de paquetes en una segunda dirección del puerto PCIe se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, el dispositivo almacena, en una segunda memoria temporal, el paquete que necesita ser enviado en la segunda dirección, donde la segunda dirección es opuesta a la primera dirección, el paquete almacenado en la segunda memoria temporal se retira de la segunda memoria temporal después de ser enviado utilizando el puerto PCIe, y la segunda memoria temporal almacena un máximo de un paquete en cualquier momento. El dispositivo registra la duración de almacenamiento de cada paquete almacenado en la segunda memoria temporal, y acumula la duración de almacenamiento registrada de cada paquete almacenado en la segunda memoria temporal, con el objetivo de obtener una segunda duración acumulada de almacenamiento de paquetes en la segunda memoria temporal. Cuando la segunda duración acumulada alcanza el primer umbral, el dispositivo determina que la contrapresión de paquetes ocurre en el puerto PCIe. En esta implementación, el dispositivo puede detectar la contrapresión de paquetes que ocurre en los paquetes a enviar en direcciones aguas arriba y aguas abajo de un puerto del conmutador PCIe, de manera que se mejora la sensibilidad y relevancia de la detección de contrapresión de paquetes.

Opcionalmente, una capacidad de la segunda memoria temporal puede ser que al menos se puedan almacenar dos paquetes, y la capacidad de la segunda memoria temporal es menor que la capacidad de una unidad de memoria caché.

50 En una implementación opcional, el dispositivo incluye además un segundo puerto PCIe. El dispositivo está configurado además para: cuando cada paquete a enviar en una cola de envío de paquetes del segundo puerto PCIe se convierte en un paquete que actualmente necesita ser enviado en el segundo puerto PCIe, almacenar, en una tercera memoria temporal, el paquete que necesita ser enviado en el segundo puerto PCIe, donde el paquete almacenado en la tercera memoria temporal se retira de la tercera memoria temporal después de ser enviado utilizando el segundo puerto PCIe, y la tercera memoria temporal almacena un máximo de un paquete en cualquier momento; registrar la duración de almacenamiento de cada paquete almacenado en la tercera memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete almacenado en la tercera memoria temporal, con el objetivo de obtener una tercera duración acumulada de almacenamiento de paquetes en la tercera memoria temporal; y cuando la tercera duración acumulada alcanza el primer umbral, determinar que la contrapresión de paquetes ocurre en el segundo puerto PCIe. En esta implementación, el dispositivo puede detectar la contrapresión de paquetes que ocurre en múltiples puertos PCIe, de manera que se mejora la eficiencia de la detección de contrapresión de paquetes.

Opcionalmente, una capacidad de la tercera memoria temporal puede ser que al menos se puedan almacenar dos paquetes, y la capacidad de la tercera memoria temporal es menor que una capacidad de una unidad de memoria caché.

5 Según un segundo aspecto, la presente invención proporciona un aparato de detección de contrapresión de paquetes, donde el aparato está configurado para ejecutar el método según cualquiera del primer aspecto, o implementaciones opcionales del primer aspecto. Específicamente, el aparato incluye un módulo configurado para ejecutar el método según cualquiera del primer aspecto, o implementaciones opcionales del primer aspecto.

10 Según un tercer aspecto, la presente invención proporciona un dispositivo de detección de contrapresión de paquetes, donde el dispositivo está configurado para ejecutar el método según cualquiera del primer aspecto, o implementaciones opcionales del primer aspecto. Específicamente, el dispositivo incluye un bus y un puerto PCIe, una memoria y un procesador que están conectados por separado al bus. El puerto PCIe está configurado para enviar un paquete. La memoria está configurada para almacenar una cola de envío de paquetes del puerto PCIe. El procesador está configurado para ejecutar el método según cualquiera del primeros aspecto, o implementaciones opcionales del primer aspecto.

15 Según un cuarto aspecto, la presente invención proporciona un medio legible por ordenador, configurado para almacenar un programa informático, donde el programa informático incluye una instrucción utilizada para ejecutar el método según cualquiera del primer aspecto, o implementaciones opcionales del primer aspecto.

20 En la presente invención, la combinación puede hacerse adicionalmente en función de las implementaciones proporcionadas en los aspectos precedentes, para proporcionar más implementaciones. La invención se expone en las reivindicaciones adjuntas.

Breve descripción de los dibujos

25 Para describir las soluciones técnicas de la presente invención más claramente, a continuación, se presentan brevemente los dibujos adjuntos que describen las realizaciones de la presente invención y la técnica anterior. Aparentemente, los dibujos adjuntos en la siguiente descripción muestran solamente algunas realizaciones de la presente invención.

La fig. 1 es un diagrama esquemático de un sistema PCIe;

La fig. 2 es un diagrama esquemático de un método de detección de contrapresión de paquetes en la técnica anterior;

La fig. 3 es un diagrama esquemático de un sistema PCIe según una realización de la presente invención;

30 La fig. 4 es un diagrama esquemático de una estructura detallada de un dispositivo 10 según una realización de la presente invención;

La fig. 5 es un diagrama estructural esquemático de un conmutador PCIe según una realización de la presente invención;

La fig. 6 es un diagrama de flujo esquemático de un método de detección de contrapresión de paquetes según una realización de la presente invención;

35 La fig. 7 es un diagrama de flujo esquemático más detallado de un método de detección de contrapresión de paquetes según una realización de la presente invención;

La fig. 8 es un diagrama de una relación entre la duración de almacenamiento de paquetes y un número de secuencia de paquetes;

40 Las figs. 9 a 11 son diagramas esquemáticos respectivamente de conmutadores PCIe según una realización de la presente invención;

La fig. 12 es un diagrama esquemático de un aparato 700 de detección de contrapresión de paquetes según una realización de la presente invención; y

la fig. 13 es un diagrama esquemático de un dispositivo 800 de detección de contrapresión de paquetes según una realización de la presente invención.

45 Descripción de las realizaciones

Para facilitar la comprensión de la presente invención, lo siguiente describe en primer lugar un sistema PCIe y un método de detección de contrapresión de paquetes en la técnica anterior.

50 La fig. 1 es un diagrama esquemático de una posible implementación de un sistema PCIe. Un RP 110 es un puerto PCIe de una CPU 100. Un SW 200 es un conmutador PCIe (Switch, SW, en inglés). Un UP 210 es un puerto aguas arriba del SW 200, un DP 221 a un DP 223 son puertos aguas abajo del SW 200, y un EP 301 a un EP 303 son

dispositivos de punto final. La CPU 100 puede ser un conjunto de múltiples CPU.

El UP 210 está configurado para: recibir, desde el RP 110 de la CPU 100, un paquete a enviar por la CPU 100 a un EP, y enviar el paquete a un DP conectado al EP. Por ejemplo, después de recibir un paquete a enviar por la CPU 100 al EP 301, el UP 210 envía el paquete al DP 221 conectado al EP 301, y utiliza el DP 221 para enviar el paquete al EP 301.

Cuando un enlace entre un DP y un EP se vuelve defectuoso, los paquetes a enviar por la CPU al EP se apilan en el DP y ocurre una contrapresión de los paquetes. Si la contrapresión de paquetes no se encuentra de manera oportuna, el procesamiento de paquetes en la CPU se ralentiza o se vuelve obsoleto, e incluso ocurre un tiempo de espera de instrucción grave en la CPU. Por consiguiente, la CPU se cuelga y no puede funcionar de manera normal.

La fig. 2 muestra un método de detección de contrapresión de paquetes en la técnica anterior. En este método, todos los paquetes a enviar en un DP de un conmutador PCIe se almacenan en una unidad de memoria caché. Se establece un temporizador 401 para cada paquete almacenado en la unidad de memoria caché, y se configura para registrar la duración de almacenamiento del paquete en la unidad de memoria caché. Después de que el paquete se envíe desde un puerto PCIe, el temporizador termina la temporización realizada en la duración de almacenamiento de paquetes. Si el temporizador 401 expira, indica que el paquete se almacena en la unidad de memoria caché durante un tiempo excesivamente largo. En otras palabras, el paquete no se puede enviar desde el puerto PCIe dentro de la duración del tiempo de espera, e indica que una contrapresión de paquetes ocurre en el puerto PCIe. El temporizador 401 informa, a una unidad 402 procesamiento de errores, un informe de error que indica que una contrapresión ocurre en el puerto PCIe.

Sin embargo, el conmutador PCIe incluye múltiples DP y múltiples paquetes (por ejemplo, 128 paquetes) se pueden almacenar en memoria caché en una unidad de memoria caché de cada DP. Si se establece un temporizador para cada paquete en cada DP, se necesita establecer una gran cantidad de temporizadores en el conmutador PCIe. Por consiguiente, los gastos generales del sistema aumentan sustancialmente. Además, una vez que un enlace entre un DP y un EP se vuelve defectuoso, después de que expire un temporizador correspondiente a un paquete en una unidad de memoria caché del DP, los temporizadores correspondientes a una gran cantidad de otros paquetes en la unidad de memoria caché expiran uno tras otro, la unidad 402 de procesamiento de errores recibe una gran cantidad de informes de errores que indican que la contrapresión de paquetes ocurre en un puerto PCIe, incluso ocurre una tormenta de informes de errores, y se aumenta una dificultad para resolver un problema de contrapresión de paquetes por la unidad 402 de procesamiento de errores. Por consiguiente, el ancho de banda dentro de un dispositivo está excesivamente ocupado, los recursos dentro del dispositivo se desperdician y el procesamiento normal de la contrapresión de paquetes en el puerto PCIe por la unidad 402 de procesamiento de errores se ve afectado.

Para resolver los problemas precedentes en la técnica anterior, las realizaciones de la presente invención proporcionan un método y aparato de detección de contrapresión de paquetes. Lo siguiente describe soluciones técnicas de la presente invención en detalle con referencia a los dibujos adjuntos y a las realizaciones específicas. Debería comprenderse que las realizaciones de la presente invención y las características específicas de las realizaciones están destinadas a describir las soluciones técnicas de la presente invención en detalle, pero no están destinadas a limitar las soluciones técnicas de la presente invención. Las realizaciones de la presente invención y las características técnicas de las realizaciones pueden combinarse entre sí si no entran en conflicto entre sí.

La fig. 3 muestra un diagrama esquemático de un sistema PCIe en una realización de la presente invención. Un dispositivo 10 incluye un puerto 11 PCIe, y un dispositivo 20 incluye un puerto 21 PCIe. Un paquete se transmite entre el dispositivo 10 y el dispositivo 20 utilizando un enlace entre el puerto 11 PCIe y el puerto 21 PCIe.

A continuación, se utiliza un ejemplo de que el dispositivo 10 detecta la contrapresión de paquetes que ocurre en el puerto 11 PCIe para la descripción. La fig. 4 es un diagrama esquemático de una estructura detallada del dispositivo 10. Una unidad 12 de memoria caché está configurada para almacenar un paquete a enviar del puerto 11 PCIe. Cuando cada paquete a enviar en una cola de envío de paquetes del puerto 11 PCIe se convierte en un paquete que actualmente necesita ser enviado desde el puerto 11 PCIe, el dispositivo 10 almacena, en una memoria 13 temporal, el paquete que actualmente necesita ser enviado. El paquete almacenado en la memoria 13 temporal se retira de la memoria temporal después de ser enviado utilizando el puerto 11 PCIe. La memoria temporal almacena un máximo de un paquete en cualquier momento. Por ejemplo, la cola de envío de paquetes del puerto 11 PCIe es {paquete 1, paquete 2, paquete 3, ...}. El paquete 1 es el primer paquete en la cola de envío de paquetes, es decir, un paquete que está en la cola de envío de paquetes del puerto PCIe y que actualmente necesita ser enviado. El paquete 1 se almacena en la memoria 13 temporal. Después de enviar el paquete 1 utilizando el puerto 11 PCIe, el paquete 1 almacenado se retira de la memoria 13 temporal, y el paquete 2 que está en una cola de envío de paquetes {paquete 2, paquete 3, ...} obtenido después del paquete 1 se envía y el que actualmente necesita ser enviado se almacena, y así sucesivamente. La memoria 13 temporal está configurada para almacenar, en cualquier momento, un paquete que está en la cola de envío de paquetes del puerto PCIe y que actualmente necesita ser enviado. La memoria 13 temporal puede almacenar otro paquete solamente después de que el paquete almacenado se envíe desde el puerto 11 PCIe. La memoria 13 temporal puede ser un registro independiente u otro dispositivo de almacenamiento, tal como una memoria de acceso aleatorio RAM o una memoria flash; o la memoria 13 temporal puede ser un área de almacenamiento obtenida dividiendo un registro u otro dispositivo de almacenamiento.

Debería observarse que, para los paquetes en la unidad de memoria caché, se puede determinar una secuencia de envío de los paquetes según las prioridades de paquetes llevadas en un mensaje de solicitud, o los paquetes se pueden clasificar según una política de arbitraje predeterminada, y los paquetes se envían según una secuencia. La presente invención no impone ninguna limitación.

5 Opcionalmente, una capacidad de la memoria 13 temporal puede ser que al menos se puedan almacenar dos paquetes en la unidad 12 de memoria caché. Se clasifican múltiples paquetes según una secuencia de envío en la unidad 12 de memoria caché. Por ejemplo, tanto el paquete 1 como el paquete 2 en la unidad 12 de memoria caché en la fig. 4 se almacenan en la memoria 13 temporal. El paquete 1 es el primer paquete en la cola de paquetes de la unidad 12 de memoria caché, es decir, un paquete que está en la cola de envío de paquetes del puerto PCIe y que actualmente necesita ser enviado. El paquete 2 es el segundo paquete que necesita ser enviado en la unidad 12 de memoria caché. El dispositivo 10 almacena el paquete 2 en la memoria 13 temporal por adelantado, con el objetivo de cargar previamente un paquete a enviar en la unidad 12 de memoria caché, reduciendo por ello, la duración de procesamiento de paquetes y mejorando la eficiencia de procesamiento de paquetes.

15 Un procesador 14 es responsable de detectar la contrapresión de paquetes que ocurre en el puerto 11 PCIe. Específicamente, el procesador 14 está configurado para: registrar la duración de almacenamiento de cada paquete almacenado en la memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal; y cuando la duración acumulada alcanza un primer umbral, determinar que la contrapresión de paquetes ocurre en el puerto 11 PCIe.

20 Opcionalmente, cuando se almacenan múltiples paquetes en la memoria temporal, el procesador 14 está configurado para registrar la duración de almacenamiento de un paquete en la memoria temporal. El paquete es el primer paquete en la cola de paquetes de la memoria temporal. Por ejemplo, como se muestra en la fig. 4, si una secuencia de paquetes a enviar en la unidad 12 de memoria caché es {paquete 1, paquete 2, paquete 3, ...} y se permite almacenar dos paquetes en el dispositivo 10, cuando el paquete 1 y el paquete 2 se almacenan en la memoria 13 temporal, una secuencia de detección de la cola de paquetes de la memoria 13 temporal es {paquete 1, paquete 2}, y el procesador 14 está configurado para registrar la duración de almacenamiento del paquete 1. Después de que el paquete 1 se envíe desde el puerto PCIe, una secuencia de detección de la cola de paquetes de la memoria 13 temporal es {paquete 2, paquete 3}, y el procesador 14 está configurado para registrar la duración de almacenamiento del paquete 2; y así sucesivamente. El procesador 14 está configurado para: registrar la duración de almacenamiento del primer paquete en la cola de paquetes de la memoria 13 temporal, y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal; y cuando la duración acumulada alcanza el primer umbral, determinar que la contrapresión de paquetes ocurre en el puerto 11 PCIe.

35 El procesador 14 puede ser un componente de procesamiento, o puede ser un conjunto de múltiples componentes de procesamiento. El procesador 14 puede ser un circuito integrado específico de aplicación (Application-specific Integrated Circuit, ASIC, en inglés), o uno o más circuitos integrados configurados para controlar la ejecución del programa de la solución de la presente invención. Alternativamente, el procesador 14 es un procesador de propósito general, tal como una unidad de procesamiento central CPU. La CPU lee una instrucción del programa de aplicación en una memoria que está en el dispositivo 10 y que se utiliza para almacenar una instrucción ejecutable, y ejecuta la instrucción del programa de aplicación, con el objetivo de implementar funciones implementadas por el procesador 14.

45 En la solución en la que el dispositivo 10 determina que la contrapresión de paquetes ocurre en el puerto 11 PCIe, la temporización se realiza, en cualquier momento, solamente en la duración de almacenamiento de un paquete almacenado en la memoria 13 temporal, y una cantidad de paquetes almacenados en la memoria 13 temporal no es mayor que 1. Por lo tanto, en comparación con una solución de la técnica anterior en la que la temporización se realiza simultáneamente en todos los paquetes a enviar en un puerto PCIe, esta solución puede reducir sustancialmente los gastos generales del sistema. Además, cuando una contrapresión de paquetes ocurre en el puerto PCIe debido a un fallo del enlace, el dispositivo 10 genera un error de contrapresión de paquetes solamente una vez para el fallo del enlace, evitando por ello la aparición de una tormenta de errores y mejorando la estabilidad del sistema. Además, ya que, si ocurre la contrapresión de paquetes, se determina según la duración acumulada de almacenamiento del paquete en la memoria temporal, se puede evitar el siguiente caso: aunque la duración de almacenamiento de ningún paquete excede un umbral especificado, el dispositivo no puede funcionar de manera normal ya que un valor acumulado de la duración de almacenamiento de múltiples paquetes es excesivamente grande.

50 Opcionalmente, el procesador 14 del dispositivo 10 puede establecer un valor de la duración acumulada en el primer umbral, y restar la duración de almacenamiento de cada paquete de la duración acumulada cada vez después de registrar la duración de almacenamiento de un paquete en la memoria 13 temporal. Cuando la duración acumulada es menor o igual a 0, el dispositivo 10 determina que ocurre la contrapresión de paquetes. Utilizando este método, se puede resolver un problema de la técnica anterior, se reducen los gastos generales del sistema y se mejora la precisión de la detección de contrapresión de paquetes.

60 Opcionalmente, el procesador 14 está configurado además para reducir la duración acumulada registrada de almacenamiento de paquetes en la memoria 13 temporal en una condición predeterminada, de manera que un caso

en el que el procesador 14 determina que la contrapresión de paquetes ocurre en el puerto PCIe ya que se puede evitar la duración de almacenamiento acumulada de una cantidad excesiva de paquetes normales distintos de los paquetes de contrapresión que alcanzan el primer umbral, y se mejora la precisión de la detección de contrapresión de paquetes.

5 Opcionalmente, una implementación en la que el procesador 14 reduce la duración acumulada registrada de almacenamiento de paquetes en la memoria 13 temporal en la condición predeterminada es que el procesador 14 reinicia la duración acumulada de almacenamiento de paquetes en la memoria 13 temporal a 0 en una condición predeterminada.

10 Opcionalmente, una implementación en la que el procesador 14 reinicia la duración acumulada de almacenamiento de paquetes en la memoria 13 temporal a 0 en la condición predeterminada es establecer un temporizador de reinicio, realizar la temporización y cuando un tiempo registrado por el temporizador de reinicio alcanza un segundo umbral, reiniciar la duración acumulada de almacenamiento de paquetes en la memoria 13 temporal a 0.

15 Específicamente, el tiempo registrado por el temporizador de reinicio es un tiempo de ejecución del sistema, es decir, el tiempo registrado por el temporizador de reinicio comienza a contar después de que se inicia el dispositivo 10. El tiempo registrado por el temporizador de reinicio es un tiempo acumulado ininterrumpido, que incluye un tiempo en el que cada paquete se almacena en la memoria temporal, un tiempo en el que un paquete se mueve de la unidad de memoria caché a la memoria temporal, un tiempo en el que se retira el paquete de la memoria temporal y un tiempo en el que la memoria temporal está inactiva. La duración acumulada registrada por el procesador 14 solamente se utiliza para registrar la duración de almacenamiento de un paquete en la memoria 13 temporal, y un tiempo registrado es una acumulación de múltiples segmentos de tiempo. Además, el segundo umbral es mayor que el primer umbral. Cuando la duración acumulada registrada por el procesador 14 alcanza el primer umbral, se puede determinar que ocurre una contrapresión de paquetes, pero no se realiza ningún procesamiento en la duración acumulada. Cuando el tiempo registrado por el temporizador de reinicio alcanza el segundo umbral, la duración acumulada de almacenamiento de paquetes en la memoria 13 temporal se reinicia a 0, con el objetivo de mejorar la precisión de la detección de contrapresión de paquetes.

25 Opcionalmente, un valor del temporizador de reinicio puede establecerse directamente en un segundo umbral, y disminuye gradualmente en función del segundo umbral. Cuando el valor del temporizador de reinicio es igual a 0, la duración acumulada se reinicia a 0.

30 Opcionalmente, una implementación en la que el procesador 14 reinicia la duración acumulada de almacenamiento de paquetes en la memoria 13 temporal a 0 en la condición predeterminada es para registrar una cantidad de paquetes que se han almacenado en la memoria 13 temporal, y cuando la cantidad registrada alcanza un tercer umbral, reiniciar la duración acumulada de almacenamiento de paquetes en la memoria 13 temporal a 0.

35 Opcionalmente, una implementación en la que el procesador 14 reduce la duración acumulada registrada de almacenamiento de paquetes en la memoria 13 temporal en la condición predeterminada es la siguiente: la duración de almacenamiento de cada paquete en la memoria 13 temporal y que se registra sucesivamente forma una cola de duración. Cuando una longitud de la cola de duración alcanza un cuarto umbral, el procesador elimina la duración de almacenamiento registrada más temprano de la cola de duración y resta, de la duración acumulada, la duración de almacenamiento registrada más temprano que se elimina de la cola de duración. En esta implementación, la cola de duración es similar a una ventana que tiene una longitud fija. Cuando se almacena un nuevo paquete en la memoria 13 temporal, la ventana se mueve, de manera que la duración acumulada es una suma de la duración de almacenamiento, en la memoria 13 temporal, de una cantidad especificada (un valor de la cantidad especificada es el cuarto umbral) de paquetes recientemente almacenada en memoria caché en la memoria temporal. Utilizando la ventana que tiene la longitud fija, un valor máximo de la duración de almacenamiento de paquetes no se encuentra dentro de dos períodos estadísticos, de manera que se asegura que el valor máximo de la duración de almacenamiento de paquetes siempre se puede detectar, y se mejora la sensibilidad de la detección de contrapresión de paquetes.

45 Opcionalmente, el procesador 14 está configurado además para: cuando la duración de almacenamiento registrada de cualquier paquete en la memoria 13 temporal alcanza un quinto umbral, determinar que la contrapresión de paquetes ocurre en el puerto 11 PCIe, donde el quinto umbral es menor que el primer umbral. En esta implementación, cuando un paquete se almacena en memoria caché en la memoria 13 temporal durante un tiempo excesivamente largo pero la duración acumulada no excede el primer umbral, el procesador puede determinar tan pronto como sea posible que la contrapresión de paquetes ocurra en el puerto 11 PCIe, de manera que se mejora la sensibilidad de la detección de contrapresión de paquetes.

55 En esta realización de la presente invención, el dispositivo 10 puede ser una CPU, y el puerto 11 PCIe es un puerto PCIe de la CPU, tal como un puerto raíz (Root Port, RP, en inglés) de un complejo raíz (Root Complex, RC, en inglés) de la CPU. El dispositivo 20 conectado a la CPU puede ser un conmutador o un EP. Alternativamente, el dispositivo 10 puede ser un conmutador PCIe, y el puerto 11 PCIe es un UP o un DP del conmutador PCIe. Cuando el puerto 11 PCIe es un UP, el dispositivo 20 es una CPU o un DP de otro conmutador. Cuando el puerto 11 PCIe es un DP, el dispositivo 20 es un EP o un UP de otro conmutador. Cuando el puerto 11 PCIe utilizado como un DP es un puerto no transparente (non-transparent, NT, en inglés), el dispositivo 20 puede ser una CPU. Alternativamente, el dispositivo

10 puede ser un EP, y el dispositivo 20 puede ser una CPU o un conmutador conectado al EP; o el dispositivo 10 es un EP utilizado como un complejo raíz (Root Complex, RC, en inglés) en una estructura PCIe extendida, el puerto 11 PCIe es un puerto del RC en la estructura PCIe extendida, y el dispositivo 20 es un conmutador, otro EP o una CPU.

5 Utilizando un ejemplo de que el dispositivo 10 es un conmutador PCIe, lo siguiente describe un método de detección de contrapresión de paquetes proporcionado en una realización de la presente invención.

La fig. 5 es un diagrama esquemático de un conmutador PCIe SW 500 según una realización de la presente invención. El SW 500 incluye un UP 510 utilizado para conectarse a una CPU y un DP 520 utilizado para conectarse a un EP. El SW 500 puede incluir al menos un DP, y el DP 520 es cualquier DP del SW 500. En el DP 520, hay uno o más paquetes a enviar al EP, y estos paquetes forman una cola de envío de paquetes. El DP 520 envía los paquetes sucesivamente según una secuencia de los paquetes en la cola de envío de paquetes. Estos paquetes a enviar se almacenan en una unidad 521 de memoria caché y una memoria 522 temporal. La memoria 522 temporal almacena el primer paquete en la cola de envío de paquetes, es decir, un paquete que actualmente necesita ser enviado, y la memoria 522 temporal almacena un máximo de un paquete en cualquier momento. La unidad 521 de memoria caché está configurada para almacenar el segundo paquete y un paquete posterior en la cola de envío de paquetes. Cuando un paquete almacenado en la memoria 522 temporal se envía al EP utilizando el DP 520, un paquete que se ha almacenado previamente en la unidad 521 de memoria caché y que necesita ser enviado primero se convierte en un paquete que actualmente necesita ser enviado al DP 520, y se mueve desde la unidad 521 de memoria caché a la memoria 522 temporal.

20 Opcionalmente, una capacidad de la memoria 522 temporal puede ser que al menos se puedan almacenar dos paquetes. La capacidad de la memoria 522 temporal es menor que una capacidad de la unidad de memoria caché. Se clasifican múltiples paquetes según una secuencia de envío en la unidad 521 de memoria caché.

El SW 500 incluye además un procesador 530, configurado para: registrar la duración de almacenamiento de cada paquete almacenado en la memoria 522 temporal, y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria 522 temporal; y cuando la duración acumulada alcanza un primer umbral, determinar que la contrapresión de paquetes ocurre en el DP 520. Para una implementación del procesador 530, se hace referencia a la implementación del procesador 14.

Los expertos en la técnica pueden saber que la fig. 5 muestra solamente un ejemplo de una solución de detección de contrapresión de paquetes utilizada cuando el dispositivo 10 es un conmutador PCIe, y la fig. 5 no puede limitar la presente invención. Por ejemplo, cuando el DP 520 es un puerto NT, el DP 520 puede estar conectado a otra CPU. Para otro ejemplo, la memoria 522 temporal está configurado para almacenar un paquete que está en una cola de envío de paquetes a enviar mediante el DP 520 al UP 510 y que actualmente necesita ser enviado. El procesador 530 determina, según la duración acumulada de almacenamiento de paquetes en la memoria 522 temporal, si la contrapresión de paquetes ocurre en una dirección de envío de paquetes desde el DP 520 al UP 510. Del mismo modo, el método de detección de contrapresión de paquetes también se puede aplicar para detectar si la contrapresión de paquetes ocurre en una dirección de envío de paquetes desde el UP 510 al DP 520, y se puede aplicar para detectar si la contrapresión de paquetes ocurre en una dirección de envío de paquetes desde el UP 510 a la CPU.

40 Opcionalmente, el dispositivo 10 puede establecer un valor de la duración acumulada en el primer umbral, y restar la duración de almacenamiento de cada paquete de la duración acumulada cada vez después de registrar la duración de almacenamiento de un paquete en la memoria 522 temporal. Cuando la duración acumulada es menor o igual a 0, el dispositivo 10 determina que ocurre la contrapresión de paquetes. Utilizando este método, se puede resolver un problema de la técnica anterior, se reducen los gastos generales del sistema y se mejora la precisión de la detección de contrapresión de paquetes.

45 Con referencia al conmutador PCIe proporcionado en la fig. 5, una realización de la presente invención proporciona un método para detectar la contrapresión de paquetes que ocurre en un primer puerto del conmutador PCIe. El primer puerto puede ser, bien un puerto aguas arriba o un puerto aguas abajo del conmutador PCIe. Con referencia a la FIG. 6, el método de detección de contrapresión de paquetes incluye las siguientes operaciones.

Operación 601: cuando cada paquete a enviar en una cola de envío de paquetes del primer puerto se convierte en un paquete que actualmente necesita ser enviado en el primer puerto, el conmutador PCIe almacena, en una memoria temporal, el paquete que actualmente necesita ser enviado, donde el paquete almacenado en la memoria temporal se retira de la memoria temporal después de ser enviado utilizando el primer puerto, y la memoria temporal almacena un máximo de un paquete en cualquier momento.

55 Específicamente, el paquete que actualmente necesita ser enviado en el primer puerto es un paquete que debería ser enviado en primer lugar entre todos los paquetes que no se envían en el primer puerto. La memoria temporal almacena un máximo de un paquete en cualquier momento y almacena un siguiente paquete solamente después de que el paquete almacenado se envía utilizando el primer puerto. Para una implementación de la memoria temporal, se hace referencia a la memoria 13 temporal.

Ya que un paquete puede enviarse en una dirección aguas arriba o en una dirección aguas abajo del primer puerto,

la memoria temporal está configurada para almacenar un paquete que actualmente necesita ser enviado en una de las direcciones del primer puerto. Cuando el primer puerto es un puerto aguas arriba, la dirección aguas arriba del primer puerto es una dirección en la que se envía un paquete desde el primer puerto a una CPU, y la dirección aguas abajo del primer puerto es una dirección en la que se envía un paquete desde el primer puerto a un puerto aguas abajo del conmutador PCIe. Cuando el primer puerto es un puerto aguas abajo, la dirección aguas arriba del primer puerto es una dirección en la que se envía un paquete desde el primer puerto a un puerto aguas arriba del conmutador PCIe, y la dirección aguas abajo del primer puerto es una dirección en que se envía un paquete desde el primer puerto a un dispositivo EP de punto final.

Operación 602: el conmutador PCIe registra la duración de almacenamiento de cada paquete almacenado en la memoria temporal, y acumula la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal.

Por ejemplo, se supone que no se almacena ningún paquete en la memoria temporal antes de un momento t_0 , y la duración acumulada es 0. Un paquete 1 entra en la memoria temporal en un momento t_1 después de t_0 , y se envía desde el primer puerto a una extremidad de destino (por ejemplo, el EP) en un momento t_2 después de t_1 . La duración de almacenamiento registrada del paquete 1 en la memoria temporal es $t_2 - t_1$, y la duración acumulada de almacenamiento de paquetes en la memoria temporal es $t_2 - t_1$. Un paquete 2 entra en la memoria temporal en un momento t_3 después de t_2 , y se envía desde el primer puerto a la extremidad de destino en un momento t_4 después de t_3 . La duración de almacenamiento registrada del paquete 2 en la memoria temporal es $t_4 - t_3$, y la duración acumulada de almacenamiento de paquetes en la memoria temporal es $(t_2 - t_1) + (t_4 - t_3)$.

Un procesador del conmutador PCIe puede implementar que el conmutador PCIe registre la duración de almacenamiento de cada paquete almacenado en la memoria temporal. El procesador puede ser un procesador de propósito general, tal como una CPU, y una función para realizar la temporización en el paquete almacenado en la memoria temporal puede ser implementada ejecutando una instrucción de programa de aplicación, o puede ser implementada por el procesador invocando un módulo de hardware utilizado como un temporizador. Alternativamente, el procesador puede ser un circuito integrado tal como un ASIC, y una función para realizar la temporización en el paquete almacenado en la memoria temporal puede ser implementada mediante una estructura de circuito parcial en el circuito integrado del procesador.

Operación 603: cuando la duración acumulada registrada alcanza un primer umbral, el conmutador PCIe determina que la contrapresión de paquetes ocurre en el primer puerto.

Específicamente, los datos específicos del primer umbral pueden determinarse mediante un grado de acumulación de paquetes tolerado por un dispositivo, y pueden establecerse en un valor empírico, por ejemplo, 60 s. El primer umbral puede establecerse en el conmutador PCIe por defecto, o puede establecerse por un usuario. Por ejemplo, el procesador del conmutador PCIe incluye una unidad de configuración, y la unidad de configuración está configurada para: recibir datos de configuración del usuario y determinar el primer umbral según los datos de configuración. Cuando la duración acumulada registrada alcanza el primer umbral, indica que una velocidad de envío de paquetes del primer puerto es excesivamente lenta, y el procesador determina que ocurre la contrapresión de paquetes en el primer puerto.

En el método de detección de contrapresión de paquetes, para la contrapresión de paquetes en una dirección de un puerto PCIe, la temporización se realiza solamente en la duración de almacenamiento de un paquete en la memoria temporal en cualquier momento. Por lo tanto, en comparación con una solución de la técnica anterior en la que la temporización se realiza simultáneamente en todos los paquetes a enviar en un puerto PCIe, esta solución puede reducir sustancialmente los gastos generales del sistema. Además, cuando una contrapresión de paquetes ocurre en el puerto PCIe debido a un fallo del enlace, el conmutador PCIe genera un error de contrapresión de paquetes solamente una vez por el fallo de enlace, evitando por ello la aparición de una tormenta de errores y mejorando la estabilidad del sistema. Además, ya que si la contrapresión de paquetes ocurre se determina según la duración acumulada de almacenamiento de paquetes en la memoria temporal, se puede evitar el siguiente caso: aunque la duración de almacenamiento de ningún paquete excede un umbral específico, una CPU para enviar un paquete no puede funcionar de manera normal porque un valor acumulado de la duración de almacenamiento de múltiples paquetes es excesivamente grande. Por ejemplo, el conmutador PCIe incluye 10 DP. Cuando el método de detección de contrapresión de paquetes mostrado en la fig. 2 se utiliza, un temporizador correspondiente a cada paquete en cada DP no expira, pero la duración de almacenamiento de cada paquete se aproxima a la duración del tiempo de espera. Ya que la CPU se ve afectada por la contrapresión de paquetes en los 10 DP, y la duración de almacenamiento de los paquetes en los 10 DP en la unidad de memoria caché se aproxima a la duración del tiempo de espera, es probable que el tiempo de espera de la instrucción ocurra en la CPU.

Opcionalmente, haciendo referencia a la fig. 7, en esta realización de la presente invención, el método de detección de contrapresión de paquetes incluye además la siguiente operación:

Operación 604: El conmutador PCIe reduce la duración acumulada registrada de almacenamiento de paquetes en la memoria temporal en una condición predeterminada.

La operación 604 puede incluir implementaciones múltiples que incluyen pero no se limitan a las siguientes formas.

Forma 1: el conmutador PCIe reinicia la duración acumulada de almacenamiento de paquetes en la memoria 13 temporal a 0 en una condición predeterminada.

Del mismo modo, la forma 1 puede tener múltiples implementaciones que incluyen las siguientes maneras.

5 En una forma de reinicio 1, el conmutador PCIe establece un temporizador de reinicio, realiza la temporización y, cuando un tiempo registrado por el temporizador de reinicio alcanza un segundo umbral, reinicia la duración acumulada de almacenamiento de paquetes en la memoria temporal a 0.

Por ejemplo, el segundo umbral se establece a 600s. El temporizador de reinicio comienza a realizar la temporización desde 0s, y una vez que el tiempo llega a 600s, el procesador reinicia la duración acumulada a 0.

10 Después de reiniciar la duración acumulada a 0, el temporizador de reinicio comienza a realizar la temporización desde 0 otra vez. Alternativamente, después de reiniciar la duración acumulada a 0, el temporizador de reinicio continúa realizando la temporización basándose en el segundo umbral registrado, y cuando el valor del temporizador de reinicio en cada momento de temporización aumenta en el segundo umbral, se reinicia la duración acumulada a 0.

15 Opcionalmente, un valor del temporizador de reinicio puede establecerse directamente en un segundo umbral, y disminuye gradualmente en función del segundo umbral. Cuando el valor del temporizador de reinicio es igual a 0, la duración acumulada se reinicia a 0.

20 El temporizador de reinicio puede ser implementado por el procesador del conmutador PCIe. Cuando el procesador es un procesador de propósito general, el temporizador de reinicio puede ser implementado por el procesador ejecutando una instrucción de programa de aplicación, o puede ser implementado por el procesador invocando un módulo de hardware utilizado como un temporizador. Cuando el procesador es un circuito integrado tal como un ASIC, el temporizador de reinicio puede ser implementado mediante una estructura de circuito de parcial en el circuito integrado del procesador.

En una forma de reinicio 2, el conmutador PCIe registra una cantidad de paquetes que se han almacenado en la memoria temporal, y cuando la cantidad registrada alcanza un tercer umbral, se reinicia la duración acumulada de almacenamiento de paquetes en la memoria temporal a 0.

25 Por ejemplo, el tercer umbral se establece a 1024. El conmutador PCIe comienza a contar desde el primer paquete que se almacena en memoria caché en la memoria temporal, y una vez que una cantidad obtenida por medio del recuento alcanza 1024, el conmutador PCIe reinicia la duración acumulada de almacenamiento de paquetes en la memoria temporal a 0.

30 Después de reiniciar la duración acumulada a 0, para los paquetes que se han almacenado en la memoria temporal después de que la duración acumulada se reinicie a 0, el conmutador PCIe comienza a contar desde 0 otra vez. Alternativamente, el conmutador PCIe continúa, basándose en el tercer umbral registrado, contando una cantidad de paquetes que se han almacenado en la memoria temporal, y cuando una cantidad obtenida por medio del recuento se aumenta en el tercer umbral, se reinicia la duración acumulada a 0.

35 El procesador del conmutador PCIe puede implementar que el conmutador PCIe registre una cantidad de todos los paquetes almacenados en la memoria temporal. Cuando el procesador es un procesador de propósito general, la función de recuento puede ser implementada por el procesador ejecutando una instrucción de programa de aplicación, o puede ser implementada por el procesador invocando un módulo de hardware utilizado como un contador. Cuando el procesador es un circuito integrado tal como un ASIC, la función de recuento puede ser implementada mediante una estructura de circuito parcial en el circuito integrado del procesador.

40 Se puede seleccionar, bien la forma de reinicio 1 o bien la forma de reinicio 2 para la implementación, o se pueden implementar las dos formas de reinicio. Cuando se implementan las dos formas de reinicio, una vez que el momento registrado por el temporizador de reinicio alcanza el segundo umbral o la cantidad de paquetes que se almacena en la memoria temporal y que se obtiene por medio del recuento alcanza el tercer umbral, el conmutador PCIe reinicia, a 0, la duración acumulada determinada por el temporizador de reinicio. En una implementación opcional, cuando el momento registrado por el temporizador de reinicio alcanza el segundo umbral, el conmutador PCIe necesita reiniciarse, a 0, tanto el momento registrado por el temporizador de reinicio como la cantidad de paquetes que se almacena en la memoria temporal y que se obtiene por medio del recuento. Cuando la cantidad de paquetes que se almacena en la memoria temporal y que se obtiene por medio del recuento alcanza el tercer umbral, el conmutador PCIe necesita reiniciarse, a 0, tanto el momento registrado por el temporizador de reinicio como la cantidad de paquetes que se almacena en la memoria temporal y que se obtiene por medio del recuento. En otra implementación opcional, cuando el momento registrado por el temporizador de reinicio alcanza el segundo umbral, el conmutador PCIe reinicia, a 0, el momento registrado por el temporizador de reinicio, pero no reinicia, a 0, la cantidad de paquetes que se almacena en la memoria temporal y que se obtiene por medio del recuento. Cuando la cantidad de paquetes que se almacena en la memoria temporal y que se obtiene por medio del recuento alcanza el tercer umbral, el conmutador PCIe reinicia, a 0, la cantidad de paquetes que se almacena en la memoria temporal y que se obtiene por medio del recuento, pero no reinicia, a 0, el momento registrado por el temporizador de reinicio.

45

50

55

Ya que la duración de almacenamiento de cualquier paquete que se almacena en memoria caché en la memoria temporal es mayor que 0, después de que se almacene en memoria caché una cantidad suficiente de paquetes en la memoria temporal, o después de que un paquete se almacene en la memoria caché en la memoria temporal durante un tiempo suficientemente largo, la duración acumulada de almacenamiento de paquetes en la memoria temporal ciertamente puede alcanzar el primer umbral. Se puede aprender de esta realización de la presente invención que la contrapresión de paquetes no ocurre en un caso en el que la duración acumulada de almacenamiento de paquetes en la memoria temporal alcanza el primer umbral porque la memoria temporal almacena en memoria caché un paquete durante un tiempo excesivamente largo. Del mismo modo, la contrapresión de paquetes no ocurre en un caso en el que la duración acumulada de almacenamiento de paquetes en la memoria temporal alcanza el primer umbral porque una cantidad excesiva de paquetes se almacenan en memoria caché en la memoria temporal.

En la forma 1, después de que un paquete se almacene en la memoria temporal durante un tiempo suficientemente largo (es decir, el segundo umbral), o una cantidad suficiente (es decir, el tercer umbral) de paquetes se almacenan en la memoria temporal, el conmutador PCIe puede reiniciar la duración acumulada de almacenamiento de paquetes en la memoria temporal a 0, de manera que se puede evitar un caso en el que el conmutador PCIe determina que ocurre la contrapresión de paquetes en el primer puerto porque la duración de almacenamiento acumulada de una cantidad excesiva de paquetes normales distintos de los paquetes de contrapresión alcanza el primer umbral, y se mejora la precisión de la detección de contrapresión de paquetes.

Forma 2: la duración de almacenamiento de cada paquete que está en la memoria temporal y que se registra sucesivamente mediante el conmutador PCIe forma una cola de duración. Cuando una longitud de la cola de duración alcanza un cuarto umbral, el conmutador PCIe elimina la primera duración de almacenamiento registrada de la cola de duración y resta, de la duración acumulada, la primera duración de almacenamiento registrada que se elimina de la cola de duración.

Específicamente, el conmutador PCIe registra sucesivamente la duración de almacenamiento de los paquetes en la memoria temporal, y la duración registrada forma una cola de duración según una secuencia de registro. La duración al inicio de la cola de duración es la duración de almacenamiento registrada más temprano en la cola de duración. Por ejemplo, en primer lugar, un paquete 1 se almacena en la memoria temporal, y la duración de almacenamiento es Δt_1 . A continuación, se almacena un paquete 2 y la duración de almacenamiento es Δt_2 . A continuación, se almacena un paquete 3 y la duración de almacenamiento es Δt_3 . En este caso, la cola de duración es $(\Delta t_1, \Delta t_2, \Delta t_3)$, y Δt_1 en el inicio de la cola de duración es la duración registrada más temprana en toda la duración de almacenamiento incluida en la cola de duración. Se supone que el cuarto umbral es 4. Un paquete 4 se almacena en la memoria temporal después de que se envíe el paquete 3, y un temporizador de reinicio registra la duración de almacenamiento Δt_4 del paquete 4. En este caso, una longitud de la cola de duración alcanza 4, y el temporizador de reinicio elimina la duración de almacenamiento Δt_1 registrada más temprano de la cola de duración, para formar una nueva cola de duración $(\Delta t_2, \Delta t_3, \Delta t_4)$. De manera correspondiente, la duración acumulada, registrada por el temporizador de reinicio, de almacenamiento de paquetes en la memoria temporal cambia de $(\Delta t_1 + \Delta t_2 + \Delta t_3)$ a $(\Delta t_2 + \Delta t_3 + \Delta t_4)$.

Con referencia a un diagrama de una relación entre una duración de almacenamiento de paquetes y un número de secuencia de paquetes que se muestra en la fig. 8, la cola de duración es similar a una ventana que tiene una longitud fija. Cuando se almacena un nuevo paquete en la memoria temporal, la ventana se mueve, de manera que la duración acumulada es una suma de la duración de almacenamiento, en la memoria temporal, de una cantidad especificada (un valor de la cantidad especificada es el cuarto umbral) de los paquetes almacenados en memoria caché recientemente en la memoria temporal. Utilizando la ventana que tiene la longitud fija, un valor máximo de la duración de almacenamiento de paquetes no se encuentra dentro de dos unidades estadísticas, de manera que se asegura que el valor máximo de la duración de almacenamiento de paquetes siempre se puede detectar, y se mejora la sensibilidad de la detección de contrapresión de paquetes.

Un ejemplo de que el valor máximo de la duración de almacenamiento de paquetes se encuentra dentro de dos unidades estadísticas es como sigue: suponiendo que el tercer umbral es 300, un contador de paquetes comienza a contar desde un paquete cuyo número es 1, y cuando se cuenta a un paquete cuyo número es 300, el contador de paquetes reinicia, a 0, la duración acumulada determinada por el temporizador de reinicio. Ya que una suma de la duración de almacenamiento de los paquetes cuyos números son de 1 a 300 no excede el primer umbral, la contrapresión de paquetes no se detecta. Del mismo modo, cuando se detecta un paquete cuyo número es 600, el contador de paquetes inicia de nuevo, a 0, la duración acumulada determinada por el temporizador de reinicio. Ya que la suma de la duración de almacenamiento de paquetes cuyos números son 301 a 600 no excede el primer umbral, la contrapresión de paquetes no se detecta. Sin embargo, ya que el valor máximo de la duración de almacenamiento de paquetes aparece cerca del paquete cuyo número es 300, en realidad, una suma de la duración de almacenamiento de paquetes cuyos números son 151 a 450 ya es mayor que el primer umbral, y ocurre ya la contrapresión de paquetes. Sin embargo, ya que el valor máximo de la duración de almacenamiento de paquetes se encuentra dentro de dos unidades estadísticas, la contrapresión de paquetes no se detecta.

Se puede implementar, bien la forma 1 o bien la forma 2, o se pueden implementar las dos formas. Cuando se implementan las dos maneras, el cuarto umbral se establece para que sea menor que el tercer umbral, por ejemplo, el tercer umbral es 1024 y el cuarto umbral es 300.

Alternativamente, en la forma 2, el conmutador PCIe acumula toda la duración en una cola de duración, con el objetivo de obtener la duración de la ventana, y cuando una longitud de la cola de duración alcanza un cuarto umbral, elimina la duración de almacenamiento registrada más temprano de la cola de duración, y resta, de la duración de la ventana, la duración de almacenamiento registrada más temprano que se elimina de la cola de duración. Cuando la duración de la ventana alcanza un sexto umbral, el conmutador PCIe determina que la contrapresión de paquetes ocurre en el primer puerto. Ya que la duración de la ventana no se reinicia a 0, se asegura que siempre se puede detectar un valor máximo de la duración de almacenamiento de paquetes, y se mejora la sensibilidad de la detección de contrapresión de paquetes.

Opcionalmente, en una posible realización de la presente invención, el método de detección de contrapresión de paquetes incluye además la siguiente operación:

Operación 605: cuando la duración de almacenamiento registrada de cualquier paquete en la memoria temporal alcanza un quinto umbral, el conmutador PCIe determina que la contrapresión de paquete ocurre en el primer puerto, donde el quinto umbral es menor que el primer umbral.

Específicamente, el conmutador PCIe no solamente puede determinar, según la duración acumulada de un tiempo de memoria caché de paquetes, si ocurre una contrapresión de paquetes, sino también determina que ocurre una contrapresión de paquetes, siempre que la duración de almacenamiento de cualquier paquete sea mayor que el quinto umbral. Por lo tanto, cuando un paquete se almacena en memoria caché en la memoria temporal durante un tiempo excesivamente largo pero la duración acumulada no excede el primer umbral, el conmutador PCIe determina tan pronto como sea posible que ocurre la contrapresión de paquetes, de manera que se mejora la sensibilidad de la detección de contrapresión de paquetes. El quinto umbral es menor que el primer umbral, por ejemplo, el primer umbral es 60 s, y el quinto umbral es 5 s.

Opcionalmente, en esta realización de la presente invención, después de determinar que ocurre la contrapresión de paquetes, el conmutador PCIe genera un informe de error de contrapresión de paquetes y procesa la contrapresión de paquetes según el informe de error de contrapresión de paquetes. Para conocer la forma en que el conmutador PCIe procesa la contrapresión de paquetes, se hace referencia a diversas formas de procesamiento de contrapresión de paquetes en la técnica anterior, por ejemplo, el conmutador PCIe desconecta un enlace en el que ocurre la contrapresión de paquetes o envía una interrupción de señal de mensaje (Message Signal Interrupt, MSI, en inglés) a la CPU. Además, el informe de error de contrapresión de paquetes generado por el conmutador PCIe puede incluir adicionalmente información de encabezado de paquetes de un paquete que hace que la duración acumulada alcance el primer umbral.

Opcionalmente, en una posible realización de la presente invención, el segundo umbral al sexto umbral puede establecerse por defecto, o puede establecerse por un usuario. Específicamente, el procesador del conmutador PCIe incluye una unidad de configuración, y la unidad de configuración está configurada para: recibir datos de configuración del usuario y determinar el segundo umbral al sexto umbral según los datos de configuración.

Opcionalmente, en una posible realización de la presente invención, un conmutador PCIe puede detectar una contrapresión de paquetes en dos direcciones aguas arriba y aguas abajo de un puerto (un UP o un DP) del conmutador PCIe utilizando un mismo procesador.

Como se muestra en la fig. 9, una memoria 522 temporal está configurado para almacenar un paquete que está en una cola de envío de paquetes en una dirección de envío desde un DP 520 a un EP y que actualmente necesita ser enviado. Una segunda memoria 524 temporal está configurada para almacenar un paquete que está en una cola de envío de paquetes en una dirección de envío desde el DP 520 a un UP 510 y que actualmente necesita ser enviado. Una segunda unidad 523 de memoria caché está configurada para almacenar el segundo paquete y un paquete posterior en la cola de envío de paquetes en la dirección de envío desde el DP 520 al UP 510. Un procesador 530 está configurado para: registrar la duración de almacenamiento de cada paquete en la memoria 522 temporal, y acumular la duración de almacenamiento registrada, con el objetivo de obtener una primera duración acumulada de almacenamiento de paquetes en la memoria 522 temporal; y cuando la primera duración acumulada alcanza un primer umbral, determinar que ocurre la contrapresión de paquetes en el DP 520. El procesador 530 está configurado además para: registrar la duración de almacenamiento de cada paquete en la segunda memoria 524 temporal, y acumular la duración de almacenamiento registrada, con el objetivo de obtener una segunda duración acumulada de almacenamiento de paquetes en la segunda memoria 524 temporal; y cuando la segunda duración acumulada alcanza el primer umbral, determinar que ocurre la contrapresión de paquetes en el DP 520.

En una implementación opcional, el procesador 530 está configurado para reducir la duración acumulada y la segunda duración acumulada en una condición predeterminada. El procesador 530 reduce la primera duración acumulada y la segunda duración acumulada utilizando la forma 1, la forma 2, o una combinación de las dos formas.

Para una implementación en la que el procesador 530 detecta la contrapresión de paquetes en la dirección de envío de paquetes desde el DP 520 al UP 510 y en la dirección de envío de paquetes desde el DP 520 al EP, se hace referencia a las implementaciones de la operación 601 a la operación 605. Los detalles no se describen de nuevo en la presente memoria.

Opcionalmente, en esta realización de la presente invención, un conmutador PCIe puede detectar, utilizando un mismo procesador, que la contrapresión de paquetes ocurre en diferentes puertos del conmutador PCIe.

Como se muestra en la fig. 10, una memoria 522 temporal está configurada para almacenar un paquete que está en una cola de envío de paquetes en una dirección de envío desde un DP 520 a un EP 301 y que actualmente necesita ser enviado. Una tercera memoria 552 temporal está configurada para almacenar un paquete que está en una cola de envío de paquetes en una dirección de envío desde un DP 550 a un EP 302 y que actualmente necesita ser enviado. Una tercera unidad 551 de memoria caché está configurada para almacenar el segundo paquete y un paquete posterior en la cola de envío de paquetes en la dirección de envío desde el DP 550 al EP 302. Un procesador 530 está configurado para: registrar la duración de almacenamiento de cada paquete en la memoria 522 temporal, y acumular la duración de almacenamiento registrada, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria 522 temporal; y cuando la duración acumulada alcanza un primer umbral, determinar que la contrapresión de paquetes ocurre en el DP 520. El procesador 530 está configurado además para: registrar la duración de almacenamiento de cada paquete en la tercera memoria 552 temporal, y acumular la duración de almacenamiento registrada, con el objetivo de obtener la tercera duración acumulada de almacenamiento de paquetes en la tercera memoria 552 temporal; y cuando la tercera duración acumulada alcanza el primer umbral, determinar que la contrapresión de paquetes ocurre en el DP 550.

En una implementación opcional, el procesador 530 está configurado además para: reducir la primera duración acumulada en una condición predeterminada, y reducir la segunda duración acumulada en una condición predeterminada. El procesador 530 reduce la primera duración acumulada y la segunda duración acumulada utilizando la forma 1, la forma 2, o una combinación de las mismas.

Para una implementación en la que el procesador 530 detecta la contrapresión de paquetes en la dirección de envío de paquetes desde el DP 520 al EP 301 y en la dirección de envío de paquetes desde el DP 550 al EP 302, se hace referencia a las implementaciones de la operación 601 a la operación 605. Los detalles no se describen de nuevo en la presente memoria.

Opcionalmente, en una posible realización de la presente invención, un conmutador PCIe puede detectar, utilizando diferentes procesadores, una contrapresión de paquetes que ocurre en diferentes puertos del conmutador PCIe.

Como se muestra en la fig. 11, una memoria 522 temporal está configurada para almacenar un paquete que está en una cola de envío de paquetes en una dirección de envío desde un DP 520 a un EP 301 y que actualmente necesita ser enviado. Una tercera memoria 552 temporal está configurada para almacenar un paquete que está en una cola de envío de paquetes en una dirección de envío desde un DP 550 a un EP 302 y que actualmente necesita ser enviado. Un procesador 530 está configurado para: registrar la duración de almacenamiento de cada paquete en la memoria 522 temporal, y acumular la duración de almacenamiento registrada, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria 522 temporal; y cuando la duración acumulada alcanza un primer umbral, determinar que la contrapresión de paquetes ocurre en el DP 520. Un procesador 540 está configurado para: registrar la duración de almacenamiento de cada paquete en una tercera memoria 552 temporal, y acumular la duración de almacenamiento registrada, con el objetivo de obtener la cuarta duración acumulada de almacenamiento de paquetes en la tercera memoria 552 temporal; y cuando la cuarta duración acumulada alcanza el primer umbral, determinar que la contrapresión de paquetes ocurre en el DP 550.

En una implementación opcional, el procesador 530 está configurado adicionalmente para reducir la primera duración acumulada en una condición predeterminada, y el procesador 540 está configurado además para reducir la cuarta duración acumulada en una condición predeterminada. El procesador 530 y el procesador 540 reducen respectivamente la primera duración acumulada y la cuarta duración acumulada utilizando la forma 1, la forma 2, o una combinación de las dos formas.

Para una implementación en la que el procesador 530 detecta la contrapresión de paquetes en la dirección de envío de paquetes desde el DP 520 al EP 301 y una implementación en la que el procesador 540 detecta la contrapresión de paquetes en la dirección de envío de paquetes desde el DP 550 al EP 302, se hace referencia a las implementaciones de la operación 601 a la operación 605. Los detalles no se describen de nuevo en la presente memoria.

Debería observarse que el método de detección de contrapresión de paquetes correspondiente a la fig. 6 a la fig. 11 también se puede aplicar para detectar si la contrapresión de paquetes ocurre en un puerto PCIe de una CPU o un EP. Los detalles no se describen de nuevo en la presente memoria en esta realización de la presente invención.

La fig. 12 es un diagrama esquemático de un aparato 700 de detección de contrapresión de paquetes según una realización de la presente invención. El aparato 700 se aplica a un dispositivo que tiene un puerto PCIe, y el aparato 700 incluye:

un módulo 701 de memoria caché, configurado para: cuando cada paquete a enviar en una cola de envío de paquetes del puerto PCIe se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, almacenar, en una memoria temporal, el paquete que necesita ser enviado, donde el paquete almacenado en la memoria temporal se retira de la memoria temporal después de ser enviado utilizando el puerto PCIe;

un módulo 702 de temporización, configurado para: registrar la duración de almacenamiento de cada paquete almacenado en la memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal; y

5 un módulo 703 de determinación, configurado para: cuando la duración acumulada alcanza un primer umbral, determinar que la contrapresión de paquetes ocurre en el puerto PCIe.

El aparato 700 puede implementarse utilizando un circuito integrado específico de aplicación (Application-Specific Integrated Circuit, ASIC, en inglés) o un dispositivo lógico programable (Programmable Logic Device, PLD, en inglés). El PLD puede ser un dispositivo lógico programable complejo (complex programmable logic device, CPLD, en inglés), una matriz de puertas lógicas programable en campo (field-programmable gate array, FPGA, en inglés), una matriz lógica genérica (generic array logic, GAL, en inglés), o cualquier combinación de los mismos. Cuando el método de detección de contrapresión de paquetes que se muestra en la fig. 6 a la fig. 11 se implementa utilizando software, el aparato 700 y los módulos del aparato 700 pueden ser módulos de software.

Opcionalmente, la memoria temporal del aparato 700 almacena un máximo de un paquete en cualquier momento.

15 Opcionalmente, la memoria temporal del aparato 700 puede almacenar al menos dos paquetes. Múltiples paquetes se clasifican según una secuencia de envío en una unidad de memoria caché. Una capacidad de la memoria temporal es menor que una capacidad de la unidad de memoria caché. El aparato 700 está configurado para: registrar la duración de almacenamiento de un paquete en la memoria temporal, donde el paquete es el primer paquete en una cola de paquetes de la memoria temporal y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal; y cuando la duración acumulada alcanza el primer umbral, determinar que la contrapresión de paquetes ocurre en el puerto PCIe.

20 En una implementación opcional, el dispositivo puede restar la duración de almacenamiento de cada paquete del primer umbral cada vez después de registrar la duración de almacenamiento de un paquete en la memoria temporal. Cuando el primer umbral es menor o igual a 0, el dispositivo determina que ocurre la contrapresión de paquetes. Utilizando este método, se puede resolver un problema de la técnica anterior, se reducen los gastos generales del sistema y se mejora la precisión de la detección de contrapresión de paquetes.

Opcionalmente, en esta realización de la presente invención, el aparato 700 además incluye:

un módulo 704 de reinicio de tiempo, configurado para reiniciar la duración acumulada determinada por el módulo de temporización a 0 en una condición predeterminada.

30 Opcionalmente, en esta realización de la presente invención, el módulo 704 de reinicio de tiempo está configurado específicamente para:

establecer un temporizador de reinicio, realizar la temporización y cuando un tiempo registrado por el temporizador de reinicio alcanza un segundo umbral, reiniciar la duración acumulada determinada por el módulo de temporización a 0.

35 Opcionalmente, un valor del temporizador de reinicio puede establecerse directamente en un segundo umbral, y disminuye gradualmente en función del segundo umbral. Cuando el valor del temporizador de reinicio es igual a 0, la duración acumulada se reinicia a 0.

Opcionalmente, en una posible realización de la presente invención, el módulo 704 de reinicio de tiempo está configurado específicamente para:

registrar una cantidad de paquetes que se han almacenado en la memoria temporal, y cuando la cantidad alcanza un tercer umbral, reiniciar la duración acumulada determinada por el módulo de temporización a 0.

40 Opcionalmente, en una posible realización de la presente invención, la duración de almacenamiento que es de cada paquete y que se registra sucesivamente mediante el módulo 702 de temporización, forma una cola de duración, y el aparato 700 además incluye:

45 un módulo 705 de control de temporización, configurado para: cuando una longitud de la cola de duración alcanza un cuarto umbral, eliminar la duración de almacenamiento registrada más temprano de la cola de duración y restar, de la duración acumulada determinada por el módulo de temporización, la duración de almacenamiento registrada más temprano que se elimina de la cola de duración.

Opcionalmente, en una posible realización de la presente invención, el módulo 703 de determinación está configurado además para: cuando la duración de almacenamiento que es de cualquier paquete en la memoria temporal y que se registra por el módulo de temporización alcanza un quinto umbral, determinar que la contrapresión de paquetes ocurre en el PCIe puerto, donde el quinto umbral es menor que el primer umbral.

50 Para implementaciones de los módulos incluidos en el aparato 700, se hace referencia a las implementaciones de la operación 601 a la operación 605. Debería observarse que el aparato 700 no se limita a aplicarse a un conmutador PCIe, sino que puede aplicarse a una CPU o a un EP.

La fig. 13 es un diagrama esquemático de un dispositivo 800 de detección de contrapresión de paquetes según una realización de la presente invención. El dispositivo 800 incluye un bus 801 y un puerto PCIe 802, una memoria 803 y un procesador 804 que están conectados por separado al bus 801.

El puerto PCIe 802 está configurado para enviar un paquete.

5 La memoria 803 está configurada para almacenar una cola de envío de paquetes del puerto PCIe.

El procesador 804 está configurado para: cuando cada paquete a enviar en la cola de envío de paquetes del puerto PCIe 802 se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe 802, almacenar, en una memoria temporal, el paquete que necesita ser enviado, donde el paquete almacenado en la memoria temporal se retira de la memoria temporal después de ser enviado utilizando el puerto PCIe 802; registrar la duración de almacenamiento de cada paquete almacenado en la memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal; y cuando la duración acumulada alcanza un primer umbral, determinar que la contrapresión de paquetes ocurre en el puerto PCIe 802.

10 Opcionalmente, en esta realización de la presente invención, la memoria 803 está configurada además para almacenar una instrucción.

El procesador 804 está configurado para ejecutar la instrucción almacenada en la memoria 803, con el objetivo de implementar una función del procesador 804.

Opcionalmente, la memoria temporal almacena un máximo de un paquete en cualquier momento.

Opcionalmente, una capacidad de la memoria temporal puede ser que al menos se puedan almacenar dos paquetes, y la capacidad de la memoria temporal es menor que una capacidad de una unidad de memoria caché. El procesador 804 está configurado para: registrar la duración de almacenamiento del primer paquete en una cola de paquetes de la memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal.

Opcionalmente, en esta realización de la presente invención, el procesador 804 está configurado además para reiniciar la duración acumulada a 0 en una condición predeterminada.

Opcionalmente, en esta realización de la presente invención, que el procesador 804 está específicamente configurado para:

Establecer un temporizador de reinicio, realizar la temporización, y cuando un tiempo registrado por el temporizador de reinicio alcanza un segundo umbral, reiniciar la duración acumulada a 0.

Opcionalmente, en esta realización de la presente invención, que el procesador 804 esté específicamente configurado:

Registrar una cantidad de paquetes que se han almacenado en la memoria temporal, y cuando la cantidad alcanza un tercer umbral, reiniciar la duración acumulada a 0.

Opcionalmente, en esta realización de la presente invención, la duración de almacenamiento que es de cada paquete y que se registra sucesivamente por el procesador 804 forma una cola de duración, y el procesador 804 se configura además para:

cuando una longitud de la cola de duración alcanza un cuarto umbral, eliminar la primera duración de almacenamiento registrada de la cola de duración y restar, de la duración acumulada, la primera duración de almacenamiento registrada que se elimina de la cola de duración.

Opcionalmente, en esta realización de la presente invención, el procesador 804 está configurado además para:

cuando la duración de almacenamiento registrada de cualquier paquete en la memoria temporal alcanza un quinto umbral, determinar que la contrapresión de paquetes ocurre en el puerto PCIe, donde el quinto umbral es menor que el primer umbral

Opcionalmente, en esta realización de la presente invención, el dispositivo incluye además un segundo puerto PCIe 805.

El procesador 804 está configurado además para: cuando cada paquete a enviar en una cola de envío de paquetes del segundo puerto PCIe 805 se convierte en un paquete que actualmente necesita ser enviado en el segundo puerto PCIe, almacenar, en una tercera memoria temporal, el paquete que necesita ser enviado en el segundo puerto PCIe 805, donde el paquete almacenado en la tercera memoria temporal se retira de la tercera memoria temporal después de ser enviado utilizando el segundo puerto PCIe 805, y la tercera memoria temporal almacena un máximo de un paquete en cualquier momento; registrar la duración de almacenamiento de cada paquete almacenado en la tercera memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete almacenado en la tercera

memoria temporal, con el objetivo de obtener la tercera duración acumulada de almacenamiento de paquetes en la tercera memoria temporal; y cuando la tercera duración acumulada alcanza el primer umbral, determinar que la contrapresión de paquetes ocurre en el segundo puerto PCIe 805.

5 Para implementaciones de los componentes del dispositivo 800, se hace referencia a las implementaciones de la operación 601 a la operación 605. Debería observarse que el dispositivo 800 no está limitado a un conmutador PCIe, sino que también puede ser una CPU o un EP.

10 El procesador 804 puede ser una CPU, puede ser una MCPU, o puede ser otro procesador de propósito general, un procesador de señal digital (DSP), un circuito integrado específico de aplicación (ASIC), una matriz de puertas lógicas programable en campo (FPGA), otro dispositivo lógico programable, o similar. El procesador de propósito general puede ser un microprocesador, o el procesador puede ser cualquier procesador convencional o similar. La memoria incluye: cualquier medio que pueda almacenar código de programa, tal como una unidad de memoria flash de bus universal en serie (Universal Serial Bus, USB, en inglés), un disco duro extraíble, una memoria de solo lectura (ROM, memoria de solo lectura, en inglés), una memoria de acceso aleatorio (RAM, Random Access Memory, en inglés), un disco magnético o un disco óptico.

15 Una realización de la presente invención proporciona un servidor, y el servidor incluye un dispositivo 10 que puede implementar el método de detección de contrapresión de paquetes.

Una realización de la presente invención proporciona un controlador de almacenamiento, y el controlador de almacenamiento incluye un dispositivo 10 que puede implementar el método de detección de contrapresión de paquetes.

20 Una realización de la presente invención proporciona además un medio legible por ordenador, configurado para almacenar un programa informático. El programa informático incluye una instrucción para realizar las operaciones en un método de detección de contrapresión de paquetes correspondiente a cualquiera de la fig. 6 o la fig. 11 y en cualquier implementación opcional del método.

25 En una realización de la presente invención, la combinación puede hacerse en función de implementaciones proporcionadas en los aspectos precedentes, con el objetivo de proporcionar más implementaciones.

30 Los expertos en la técnica deberían comprender que las realizaciones de la presente invención pueden proporcionarse como un método, un sistema o un producto de programa informático. Por lo tanto, la presente invención puede utilizar una forma de realizaciones solamente de hardware, realizaciones solamente de software o realizaciones con una combinación de software y hardware. Además, la presente invención puede utilizar una forma de un producto de programa informático que se implementa en uno o más medios de almacenamiento que se pueden utilizar por ordenador (que incluyen, pero no se limitan, a una memoria de disco, un CD-ROM y una memoria óptica) que incluyen código de programa que se puede utilizar por ordenador.

35 La presente invención se describe con referencia a los diagramas de flujo y/o diagramas de bloques del método, el dispositivo (sistema) y el producto del programa informático según las realizaciones de la presente invención. Debería comprenderse que las instrucciones del programa informático pueden utilizarse para implementar cada proceso y/o cada bloque en los diagramas de flujo y/o en los diagramas de bloques y una combinación de un proceso y/o un bloque en los diagramas de flujo y/o en los diagramas de bloques. Estas instrucciones de programa informático se pueden proporcionar para un ordenador de propósito general, un ordenador dedicado, un procesador integrado o un procesador de cualquier otro dispositivo de procesamiento de datos programable para generar una máquina, de manera que las instrucciones ejecutadas por un ordenador o un procesador de cualquier otro dispositivo de procesamiento de datos programable genera un aparato para implementar una función específica en uno o más procesos en los diagramas de flujo y/o en uno o más bloques en los diagramas de bloques.

40

REIVINDICACIONES

1. Un método de detección de contrapresión de paquetes, en donde el método se aplica a un dispositivo que tiene un puerto de Interconexión de Componentes Periféricos Exprés, PCIe, y el método comprende:
- 5 almacenar (601), mediante el dispositivo en una memoria temporal cuando cada paquete a enviar en una cola de envío de paquetes de un puerto PCIe en una unidad de memoria caché se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, el paquete que actualmente necesita ser enviado, en donde el paquete que actualmente necesita ser enviado es el primer paquete en la cola de envío de paquetes, en donde el paquete almacenado en la memoria temporal se retira de la memoria temporal después de ser enviado utilizando el puerto PCIe;
- 10 registrar (602), mediante el dispositivo, la duración de almacenamiento de cada paquete almacenado en la memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete en la memoria temporal, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal;
- reiniciar, mediante el dispositivo, la duración acumulada a 0 en una condición predeterminada; y
- 15 cuando la duración acumulada alcanza un primer umbral, determinar (603), mediante el dispositivo, que la contrapresión de paquetes ocurre en el puerto PCIe.
2. El método según la reivindicación 1, en donde:
- la memoria temporal almacena un máximo de un paquete en cualquier momento.
3. El método según la reivindicación 1, que además comprende:
- 20 una capacidad de la memoria temporal es que al menos se pueden almacenar dos paquetes, y la capacidad de la memoria temporal es menor que la capacidad de una unidad de memoria caché.
4. El método según la reivindicación 1, en donde el reinicio, mediante el dispositivo, de la duración acumulada a 0 en una condición predeterminada comprende:
- 25 establecer, mediante el dispositivo, un temporizador de reinicio a 0 después de reiniciar la duración acumulada a 0, realizar la temporización, y cuando un tiempo registrado por el temporizador de reinicio alcanza un segundo umbral, reiniciar la duración acumulada a 0
5. El método según la reivindicación 1, en donde el reinicio, mediante el dispositivo, de la duración acumulada a 0 en una condición predeterminada comprende:
- registrar, mediante el dispositivo, una cantidad de paquetes que se han almacenado en la memoria temporal, y cuando la cantidad alcanza un tercer umbral, reiniciar la duración acumulada a 0.
- 30 6. El método según una cualquiera de las reivindicaciones 1 a 5, en donde la duración de almacenamiento que es de cada paquete y que se registra sucesivamente por el dispositivo, forma una cola de duración, y el método además comprende:
- 35 cuando una longitud de la cola de duración alcanza un cuarto umbral, eliminar, mediante el dispositivo, la duración de almacenamiento registrada más temprano de la cola de duración, y restar, de la duración acumulada, la duración de almacenamiento registrada más temprano que se elimina de la cola de duración.
7. El método según una cualquiera de las reivindicaciones 1 a 6, que además comprende:
- cuando la duración de almacenamiento registrada de cualquier paquete en la memoria temporal alcanza un quinto umbral, determinar, mediante el dispositivo, que la contrapresión de paquetes ocurre en el puerto PCIe, en donde el quinto umbral es menor que el primer umbral.
- 40 8. El método según una cualquiera de las reivindicaciones 1 a 7, en donde el almacenamiento, mediante el dispositivo, en una memoria temporal cuando cada paquete a enviar en una cola de envío de paquetes del puerto PCIe se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, el paquete que actualmente necesita ser enviado comprende:
- 45 cuando cada paquete a enviar en una cola de envío de paquetes en una primera dirección del puerto PCIe se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, almacenar, mediante el dispositivo en la memoria temporal, el paquete que actualmente necesita ser enviado en la primera dirección, en donde la primera dirección es una dirección aguas arriba o una dirección aguas abajo del puerto PCIe; y
- el método además comprende:
- cuando cada paquete a enviar en una cola de envío de paquetes en una segunda dirección del puerto PCIe se

- convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, almacenar, mediante el dispositivo en una segunda memoria temporal, el paquete que actualmente necesita ser enviado en la segunda dirección, en donde la segunda dirección es opuesta a la primera dirección, el paquete almacenado en la segunda memoria temporal se retira de la segunda memoria temporal después de enviarse utilizando el puerto PCIe y la segunda memoria temporal almacena un máximo de un paquete en cualquier momento;
- 5 registrar, mediante el dispositivo, la duración de almacenamiento de cada paquete almacenado en la segunda memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete almacenado en la segunda memoria temporal, con el objetivo de obtener una segunda duración acumulada de almacenamiento de paquetes en la segunda memoria temporal; y
- 10 cuando la segunda duración acumulada alcanza el primer umbral, determinar, mediante el dispositivo, que la contrapresión de paquetes ocurre en el puerto PCIe.
9. Un aparato de detección de contrapresión de paquetes, en donde el aparato se aplica a un dispositivo que tiene un puerto PCIe, y el aparato comprende:
- 15 un módulo (701) de memoria caché, configurado para: cuando cada paquete a enviar en una cola de envío de paquetes del puerto PCIe en una unidad de memoria caché se convierte en un paquete que actualmente necesita ser enviado desde el puerto PCIe, almacenar, en una memoria temporal, el paquete que actualmente necesita ser enviado, en donde el paquete que actualmente necesita ser enviado es el primer paquete en la cola de envío de paquetes, en donde el paquete almacenado en la memoria temporal se retira de la memoria temporal después de enviarse utilizando el puerto PCIe;
- 20 un módulo (702) de temporización, configurado para: registrar la duración de almacenamiento de cada paquete almacenado en la memoria temporal, y acumular la duración de almacenamiento registrada de cada paquete en la memoria temporal, con el objetivo de obtener la duración acumulada de almacenamiento de paquetes en la memoria temporal;
- 25 un módulo de reinicio de tiempo, configurado para reiniciar la duración acumulada determinada por el módulo de temporización a 0 en una condición predeterminada; y
- un módulo (703) de determinación, configurado para: cuando la duración acumulada alcanza un primer umbral, determinar que la contrapresión de paquetes ocurre en el puerto PCIe.
10. El aparato según la reivindicación 9, en donde:
- la memoria temporal almacena un máximo de un paquete en cualquier momento.
- 30 11. El aparato según la reivindicación 9, que además comprende:
- una capacidad de la memoria temporal es que al menos se pueden almacenar dos paquetes, y la capacidad de la memoria temporal es menor que una capacidad de una unidad de memoria caché.
12. El aparato según la reivindicación 9, en donde el módulo de reinicio de tiempo está específicamente configurado para:
- 35 establecer un temporizador de reinicio a 0 después de reiniciar la duración acumulada a 0, realizar la temporización, y cuando un tiempo registrado por el temporizador de reinicio alcanza un segundo umbral, reiniciar la duración acumulada determinada por el módulo de temporización a 0.
13. El aparato según la reivindicación 9, en donde el módulo de reinicio de tiempo está específicamente configurado para:
- 40 registrar una cantidad de paquetes que se han almacenado en la memoria temporal, y cuando la cantidad alcanza un tercer umbral, reiniciar la duración acumulada determinada por el módulo de temporización a 0.

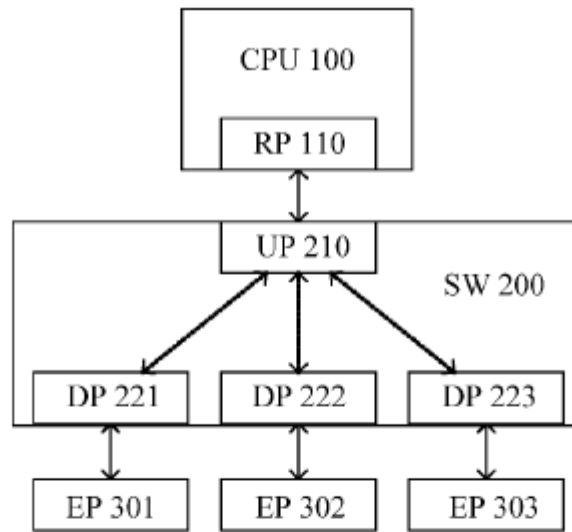


FIG. 1

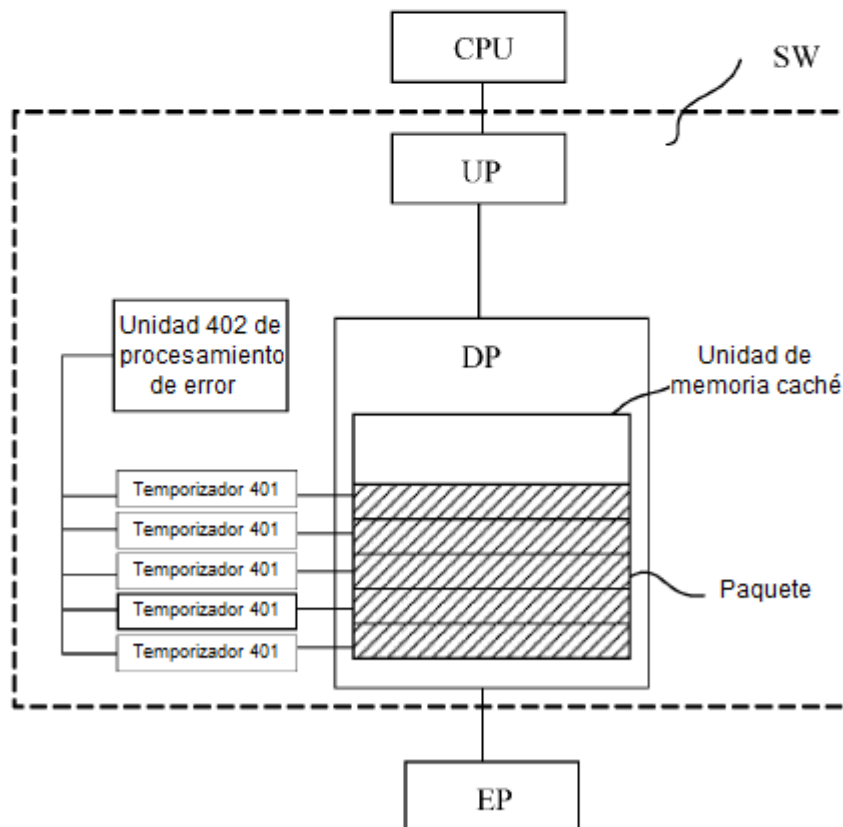


FIG. 2

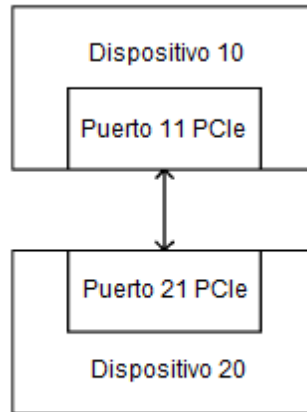


FIG. 3

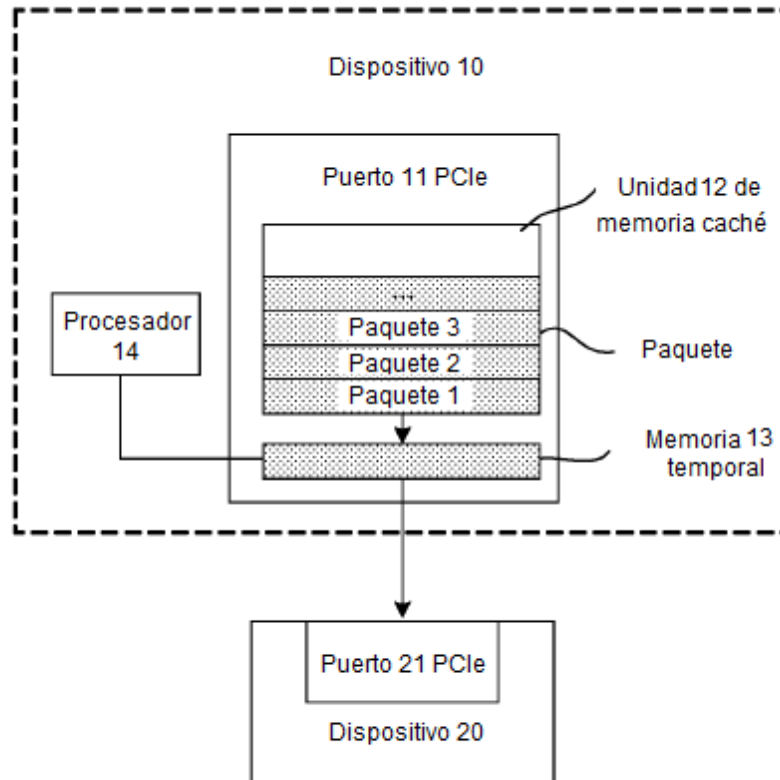


FIG. 4

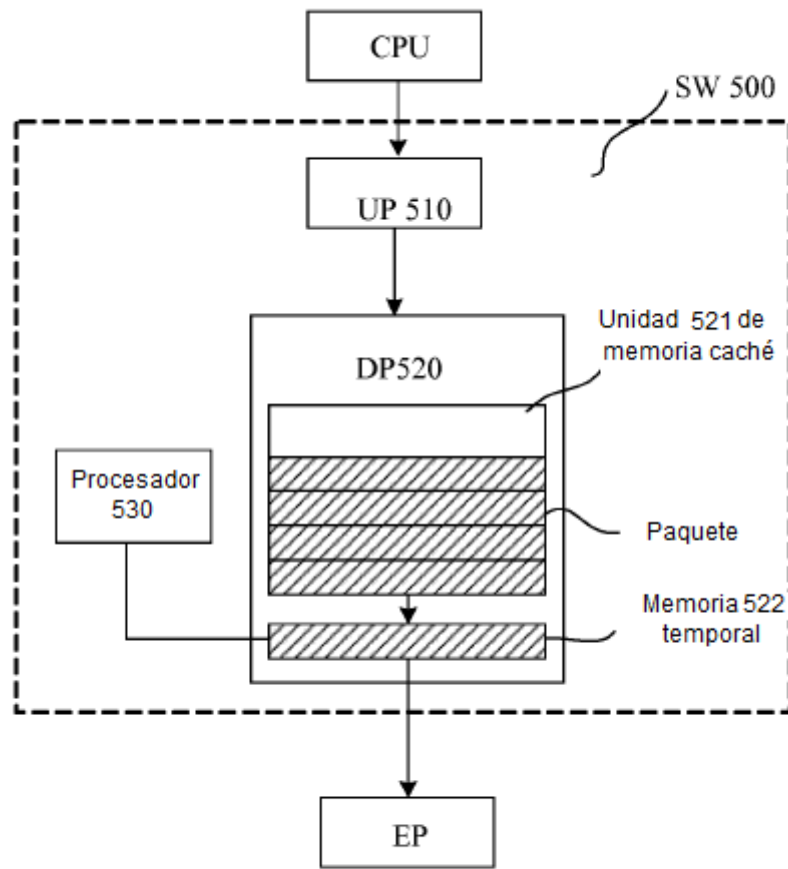


FIG. 5

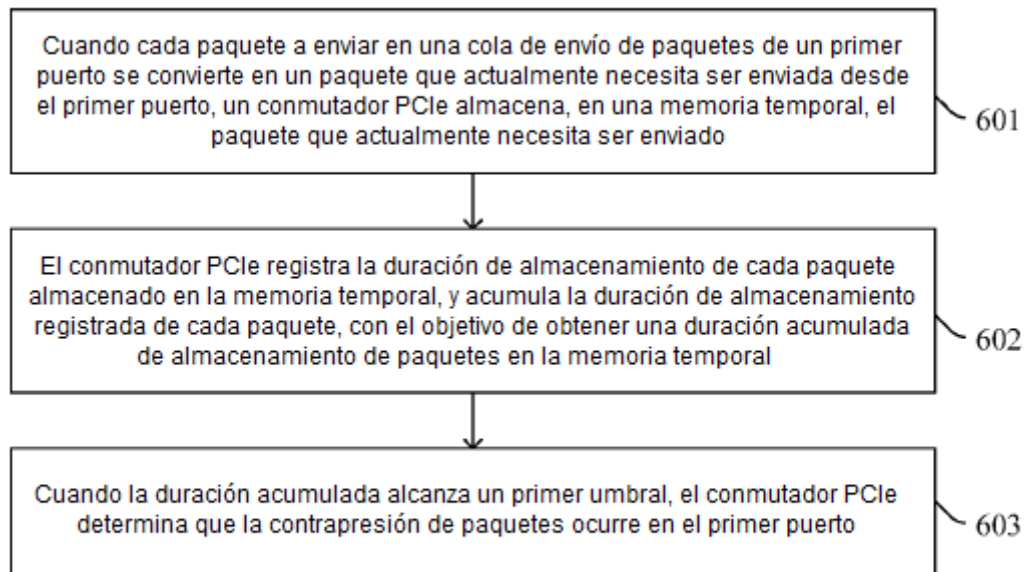


FIG. 6

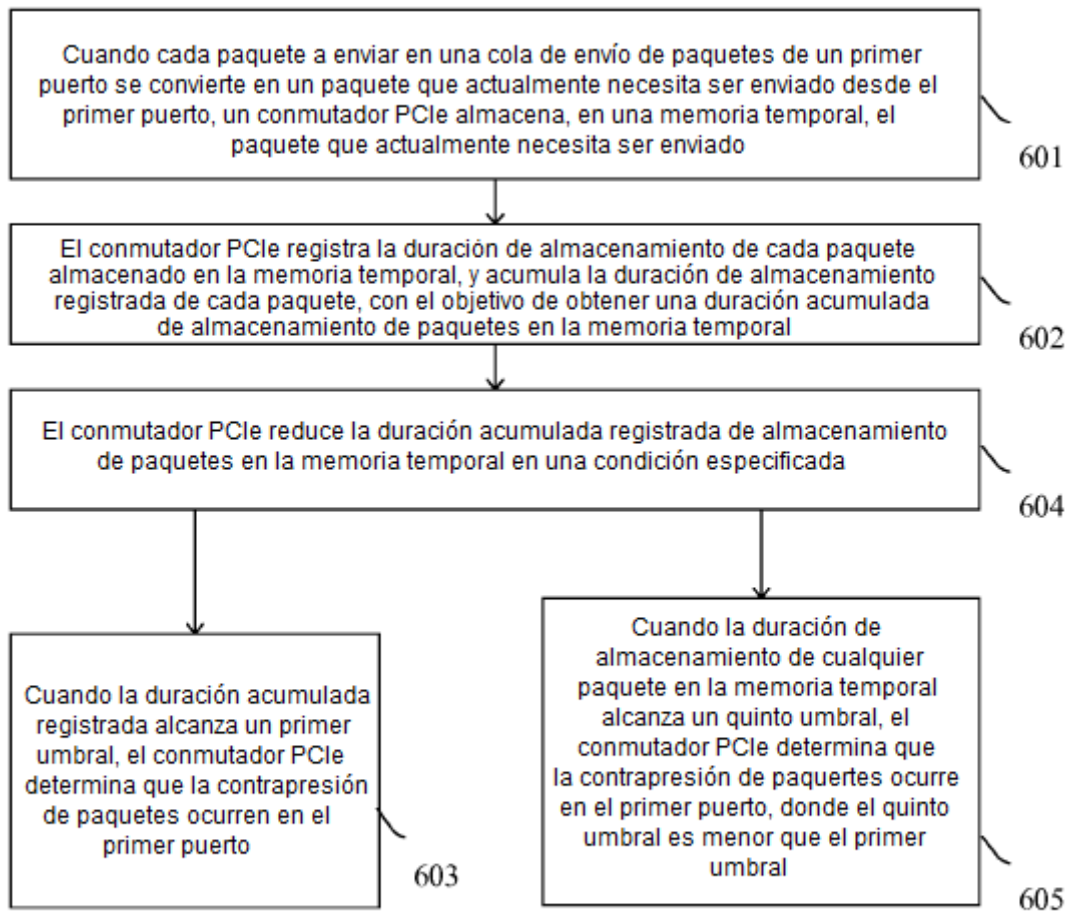


FIG. 7

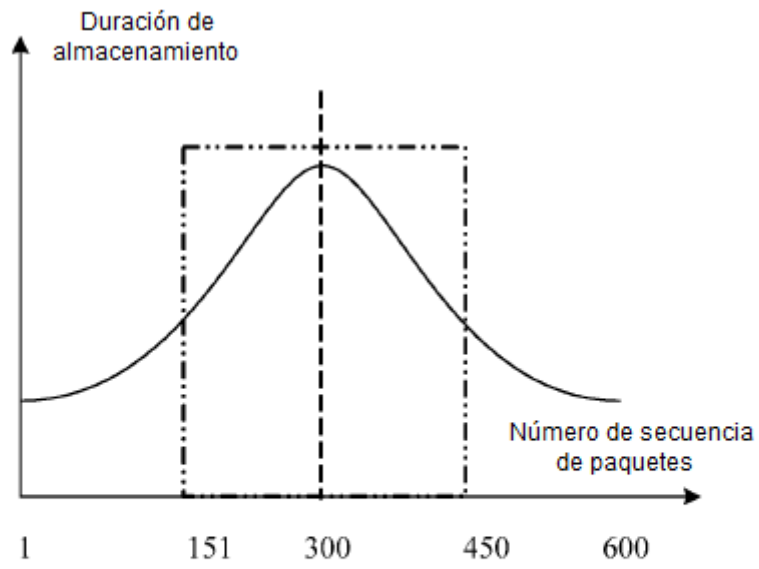


FIG. 8

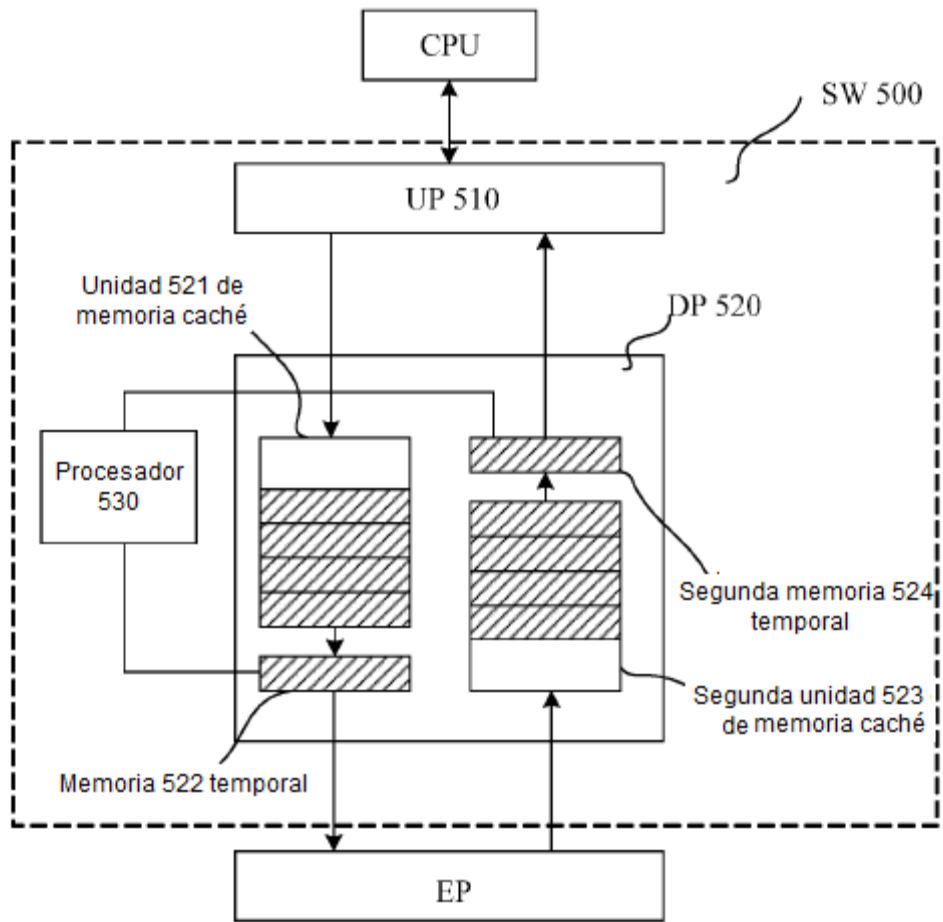


FIG. 9

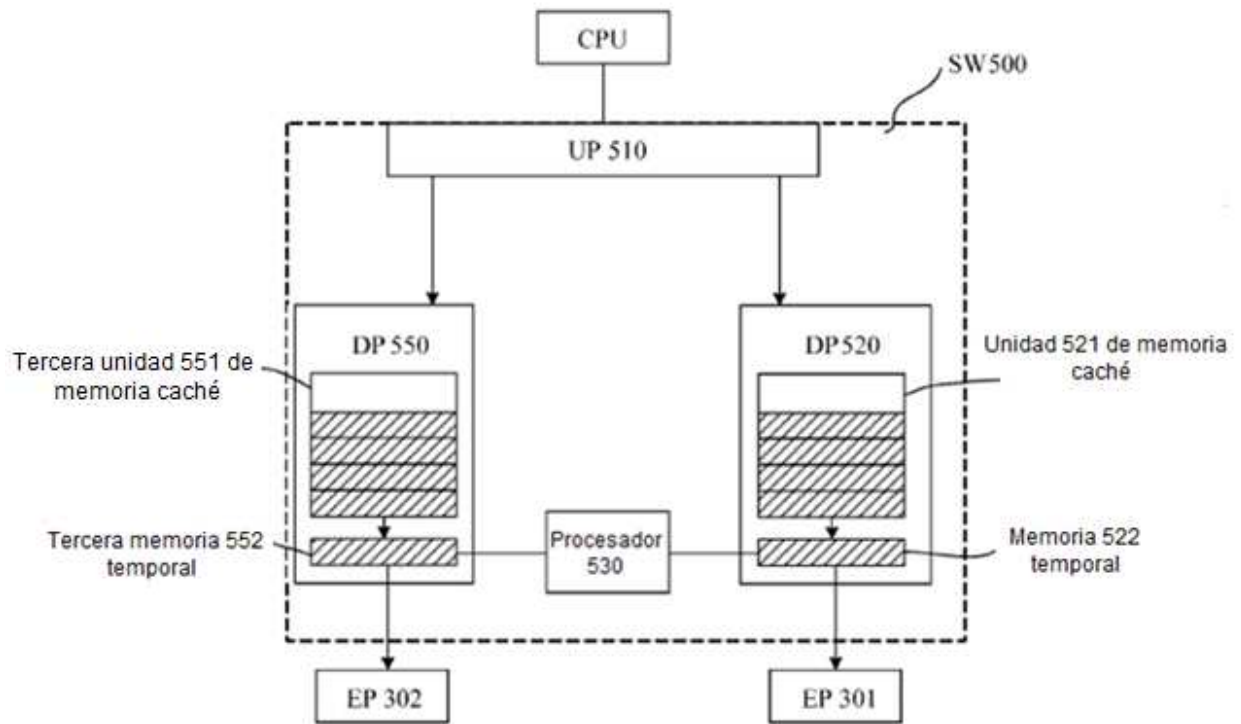


FIG. 10

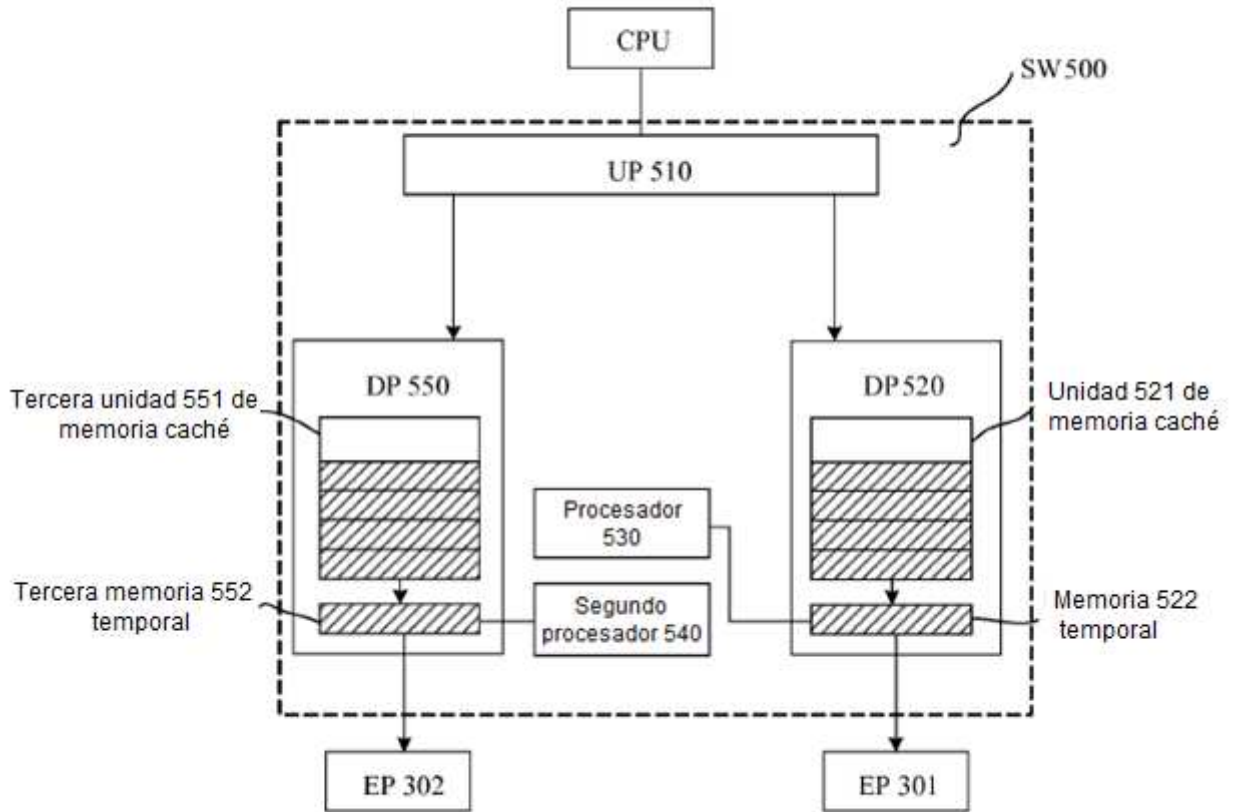


FIG. 11

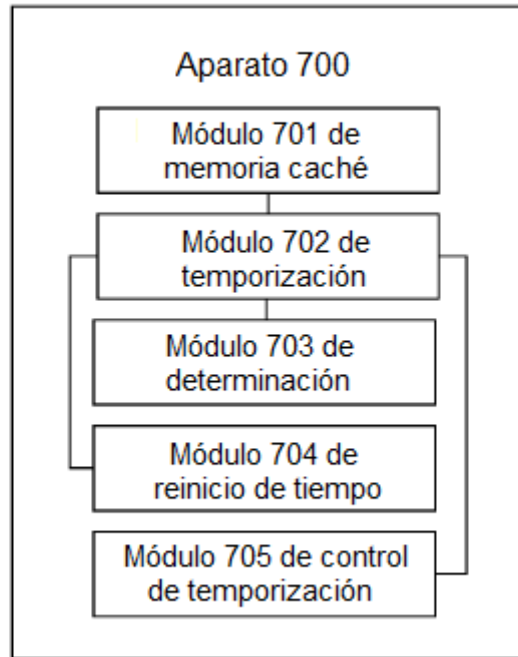


FIG. 12

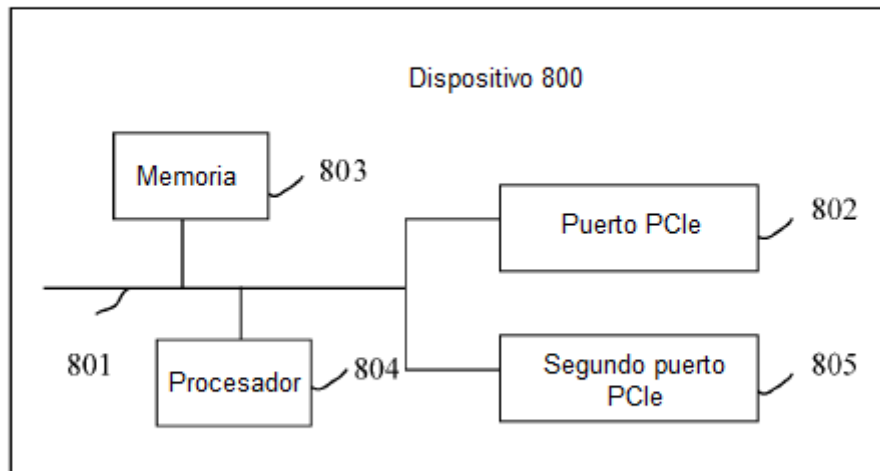


FIG. 13