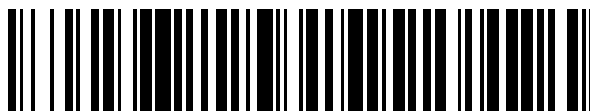


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 797 150**

51 Int. Cl.:

G06T 3/00

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **02.12.2016 PCT/US2016/064769**

87 Fecha y número de publicación internacional: **20.07.2017 WO17123341**

96 Fecha de presentación y número de la solicitud europea: **02.12.2016 E 16816537 (1)**

97 Fecha y número de publicación de la concesión europea: **11.03.2020 EP 3403236**

54 Título: **Sistemas y procedimientos para renderizar múltiples niveles de detalle**

30 Prioridad:

12.01.2016 US 201614993760

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:

01.12.2020

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**NGUYEN, PHI HUNG y
BI, NING**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 797 150 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistemas y procedimientos para renderizar múltiples niveles de detalle

5 **CAMPO DE LA DIVULGACIÓN**

[0001] La presente divulgación se refiere en general a dispositivos electrónicos. Más específicamente, la presente divulgación se refiere a sistemas y procedimientos para renderizar múltiples niveles de detalle.

10 **ANTECEDENTES**

[0002] Algunos dispositivos electrónicos (por ejemplo, teléfonos inteligentes, ordenadores, televisores, automóviles, sistemas de videojuegos, reproductores multimedia, cámaras, teléfonos celulares, cámaras personales, decodificadores, proyectores, monitores, etc.) muestran imágenes. Por ejemplo, un teléfono inteligente puede capturar y/o procesar imágenes fijas y/o de vídeo. El procesamiento de imágenes puede requerir una cantidad relativamente grande de tiempo, memoria y recursos energéticos. Los recursos demandados pueden variar de acuerdo con la complejidad del procesamiento.

[0003] El procesamiento de grandes cantidades de datos de imágenes puede ser particularmente difícil. Por ejemplo, grandes cantidades de datos de imágenes pueden requerir cantidades relativamente grandes de recursos, como energía, tiempo, ancho de banda del procesador, memoria y/o costes monetarios. Como puede observarse a partir de este análisis, pueden ser beneficiosos los sistemas y procedimientos que mejoren el procesamiento de imágenes.

25 **BREVE EXPLICACIÓN**

[0004] Se describe un dispositivo electrónico. El dispositivo electrónico incluye un procesador configurado para renderizar una primera zona de una imagen. El procesador también está configurado para renderizar una segunda zona de la imagen. La primera zona tiene un mayor nivel de detalle teselado que la segunda zona. El procesador está configurado además para presentar la primera zona y la segunda zona en al menos una ventana del vehículo. El dispositivo electrónico puede ser al menos parte de un módulo extraíble en un vehículo.

[0005] El dispositivo electrónico puede incluir al menos una pantalla. El procesador puede configurarse para enviar la primera zona y la segunda zona a la al menos una pantalla para presentar la primera zona y la segunda zona. La al menos una pantalla puede ser un proyector de ventana o un panel de pantalla de ventana integrado.

[0006] El procesador puede configurarse para presentar la primera zona en una primera ventana y presentar la segunda zona en una segunda ventana. La primera ventana puede ser un parabrisas delantero y la segunda ventana puede ser otra ventana de un vehículo.

[0007] El procesador puede configurarse para presentar la primera zona en una primera sección de una ventana y puede ser configurado para presentar la segunda zona en una segunda sección de la ventana. La primera sección puede ser una sección lateral de un parabrisas y la segunda sección puede ser otra sección lateral del parabrisas. La primera sección puede ser una primera barra horizontal a través de un parabrisas y la segunda sección puede ser una segunda barra horizontal a través del parabrisas.

[0008] El procesador puede configurarse para realizar seguimiento de los ojos. El procesador también puede configurarse para renderizar la primera zona y la segunda zona basándose en el seguimiento de los ojos. El procesador puede configurarse para realizar un seguimiento de los ojos para múltiples usuarios. El procesador puede priorizar la renderización de zonas basándose en el seguimiento de los ojos.

[0009] El procesador puede configurarse para renderizar una tercera zona. La tercera zona puede tener un nivel de detalle teselado más bajo que la primera zona y la segunda zona. El procesador puede configurarse para presentar la tercera zona en al menos una ventana del vehículo.

[0010] También se describe un procedimiento realizado por un dispositivo electrónico. El procedimiento incluye renderizar una primera zona de una imagen. El procedimiento también incluye renderizar una segunda zona de la imagen. La primera zona tiene un mayor nivel de detalle teselado que la segunda zona. El procedimiento incluye además presentar la primera zona y la segunda zona en al menos una ventana del vehículo.

[0011] También se describe un producto de programa informático. El producto de programa informático incluye un medio tangible no transitorio legible por ordenador con instrucciones. Las instrucciones incluyen código para hacer que un dispositivo electrónico renderice una primera zona de una imagen. Las instrucciones también incluyen código para hacer que el dispositivo electrónico renderice una segunda zona de la imagen. La primera zona tiene un mayor nivel de detalle teselado que la segunda zona. Las instrucciones incluyen además el código para hacer que el dispositivo electrónico presente la primera zona y la segunda zona en al menos una ventana del vehículo.

[0012] También se describe un aparato. El aparato incluye medios para renderizar una primera zona de una imagen. El aparato también incluye medios para renderizar una segunda zona de la imagen. La primera zona tiene un mayor nivel de detalle teselado que la segunda zona. El aparato incluye además medios para presentar la primera zona y la segunda zona en al menos una ventana del vehículo.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0013]

La Figura 1 es un diagrama de bloques que ilustra una configuración de un dispositivo electrónico en el que se pueden implementar sistemas y procedimientos para renderizar múltiples niveles de detalle;

la Figura 2 es un diagrama de flujo que ilustra una configuración de un procedimiento para renderizar múltiples niveles de detalle;

La Figura 3 es un diagrama de bloques que ilustra una configuración de un dispositivo electrónico en el que se pueden implementar sistemas y procedimientos para renderizar múltiples niveles de detalle;

la Figura 4 es un diagrama que ilustra un ejemplo de una memoria intermedia de tramas no uniforme;

la Figura 5 es un diagrama de flujo que ilustra una configuración más específica de un procedimiento para renderizar múltiples niveles de detalle;

la Figura 6 es un diagrama de flujo que ilustra un ejemplo de procedimiento para renderización con resolución variable;

la Figura 7 ilustra un ejemplo de renderización con resolución variable;

la Figura 8 es un diagrama de bloques que ilustra un ejemplo de un dispositivo electrónico que incluye un circuito de palabra de instrucción muy larga (VLIW);

la Figura 9 es un diagrama de bloques que ilustra un ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 8;

la Figura 10 es un diagrama de bloques que ilustra otro ejemplo de un dispositivo electrónico que incluye un circuito de palabra de instrucción muy larga (VLIW);

la Figura 11 es un diagrama de bloques que ilustra otro ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 10;

la Figura 12 es un diagrama de bloques que ilustra otro ejemplo de un dispositivo electrónico que incluye un circuito de palabra de instrucción muy larga (VLIW);

la Figura 13 es un diagrama de bloques que ilustra un ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 12;

la Figura 14 es un diagrama de bloques que ilustra otro ejemplo de un dispositivo electrónico que incluye un circuito de palabra de instrucción muy larga (VLIW);

la Figura 15 es un diagrama de bloques que ilustra un ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 14;

la Figura 16 es un diagrama de bloques que ilustra una configuración de un dispositivo electrónico en el que pueden implementarse sistemas y procedimientos para renderizar múltiples zonas;

la Figura 17 es un diagrama de flujo que ilustra un procedimiento para renderizar múltiples zonas;

la Figura 18 es un diagrama que ilustra algunos ejemplos de pantallas de ventana;

la Figura 19 es un diagrama que ilustra un ejemplo de zonas en una ventana;

la Figura 20 es un diagrama que ilustra otro ejemplo de zonas en una ventana;

la Figura 21 es un diagrama que ilustra otro ejemplo de zonas en múltiples ventanas;

la Figura 22 es un diagrama de flujo que ilustra una configuración más específica de un procedimiento para renderizar múltiples zonas;

la Figura 23 es un diagrama que ilustra otro ejemplo de zonas en una ventana; y

la Figura 24 ilustra determinados componentes que se pueden incluir dentro de un dispositivo electrónico.

DESCRIPCIÓN DETALLADA

[0014] Los sistemas y procedimientos divulgados en el presente documento pueden proporcionar enfoques para la renderización de múltiples niveles de detalle. Por ejemplo, se pueden renderizar múltiples niveles diferentes de detalle en la misma imagen. Esto puede mejorar la eficiencia de renderización y/o la experiencia del usuario. Como se usa en el presente documento, el término "renderizar" y sus variaciones pueden significar realizar una o más operaciones para producir datos de imágenes. Por ejemplo, la renderización puede incluir realizar una o más operaciones para convertir datos de geometría (por ejemplo, modelos geométricos, vértices, polígonos, etc.) en datos de imágenes (por ejemplo, datos de píxeles, píxeles, datos de dominio visual, etc.). Los datos de imágenes resultantes de la renderización pueden presentarse en una pantalla, almacenarse y/o transmitirse. Por ejemplo, los datos de imágenes renderizadas pueden o no presentarse en una pantalla inmediatamente. Los datos de imágenes renderizadas pueden almacenarse (para una presentación posterior en una pantalla, por ejemplo), pueden transmitirse a otro dispositivo (que puede presentar los datos de imágenes renderizadas en una pantalla, por ejemplo) y/o pueden presentarse en una pantalla.

[0015] La ineficiencia de renderización puede ser un problema actual. Por ejemplo, la realidad virtual (VR) puede incluir renderizar dos visualizaciones de una escena, lo cual puede hacer que el contenido sea dos veces más lento de renderizar. Un enfoque puede implicar realizar un seguimiento de los ojos (que se puede realizar de manera precisa y económica), renderizando tres pasadas de geometría con diferentes niveles de grosor, realizando suavizado y mezclando las tres cualidades diferentes de la memoria intermedia de la trama. Sin embargo, este enfoque puede ser ineficiente ya que las múltiples pasadas de geometría pueden superponerse, lo cual da como resultado que algunos píxeles se procesen repetidamente.

[0016] En algunas configuraciones, los sistemas y procedimientos divulgados en el presente documento pueden proporcionar enfoques para renderización de una sola pasada con múltiples niveles de detalle (múltiples LOD) (por ejemplo, renderización con resolución variable de una sola pasada). Por ejemplo, algunos enfoques pueden utilizar un teselador (por ejemplo, motor de teselado), suavizado de múltiples muestras (MSAA), envío dinámico de núcleos y/o una memoria intermedia de tramas de múltiples resoluciones (por ejemplo, no uniforme) (por ejemplo, objeto de memoria intermedia de tramas (FBO)). En algunos enfoques, solo se puede necesitar un paso de geometría. Esta mejora puede reducir el uso de ancho de banda de geometría y/o puede reutilizar MSAA.

[0017] Algunas configuraciones de los sistemas y procedimientos divulgados en el presente documento pueden ofrecer una o más ventajas de rendimiento. Por ejemplo, se puede implementar hardware que incluya un FBO de resolución múltiple y/o un envío dinámico de núcleos. Esto puede reducir el consumo de ancho de banda. Por ejemplo, múltiples (por ejemplo, tres) pasadas de geometría pueden colapsarse en una usando el teselador (por ejemplo, el motor de teselación). El suavizado de hardware de rasterizado se puede reutilizar en algunas configuraciones. Esto puede permitir mejoras en la renderización de contenido regular. De forma adicional o alternativa, el envío dinámico de núcleos de fragmentos puede reducir el cálculo. Estas mejoras pueden ser particularmente beneficiosas en el contexto de la realidad virtual (VR) y/o la realidad aumentada (AR), donde se pueden renderizar múltiples visualizaciones de una escena a la vez (para visualizaciones estereoscópicas, por ejemplo). En algunas configuraciones, VR y AR pueden combinarse. Los sistemas y procedimientos divulgados en el presente documento pueden ser beneficiosos, ya que la industria de procesamiento de gráficos busca formas de proporcionar experiencias inmersivas.

[0018] Los sistemas y procedimientos divulgados en el presente documento también describen enfoques para la renderización de múltiples zonas para la presentación en las ventanas. Estos sistemas y procedimientos pueden ser particularmente beneficiosos en el contexto de los vehículos para mejorar la experiencia del usuario en aplicaciones como la asistencia al conductor y los vehículos autónomos (por ejemplo, automóviles autónomos).

[0019] Ahora se describen diversas configuraciones con referencia a las Figuras, donde números de referencia parecidos pueden indicar elementos funcionalmente similares. Los sistemas y procedimientos, como se ha descrito e ilustrado en general en las Figuras en el presente documento, se pueden organizar y diseñar en una amplia variedad de configuraciones diferentes. Por tanto, la siguiente descripción más detallada de varias configuraciones, como se representa en las Figuras, no pretende limitar el alcance, como se reivindica, sino que es simplemente representativa de los sistemas y procedimientos.

[0020] La Figura 1 es un diagrama de bloques que ilustra una configuración de un dispositivo electrónico 102 en el que se pueden implementar sistemas y procedimientos para renderizar múltiples niveles de detalle. Entre los ejemplos del dispositivo electrónico 102 se incluyen teléfonos inteligentes, ordenadores (por ejemplo, ordenadores de escritorio,

ordenadores portátiles, etc.), pantallas montadas en la cabeza (por ejemplo, casco de realidad virtual (VR), casco de realidad aumentada (AR), etc.), dispositivos VR, dispositivos AR, tablets, reproductores multimedia, televisores, automóviles, vehículos, cámaras, videocámaras, cámaras digitales, teléfonos celulares, cámaras personales, cámaras de acción, aviones, drones, vehículos aéreos no tripulados (UAV), equipos de atención médica, consolas de juegos, asistentes digitales personales (PDA), decodificadores, reproductores multimedia, etc. El dispositivo electrónico 102 puede incluir uno o más componentes o elementos. Uno o más de los componentes o elementos pueden implementarse en hardware (por ejemplo, circuitos), firmware y/o una combinación de hardware y software (por ejemplo, un procesador con instrucciones).

[0021] En algunas configuraciones, el dispositivo electrónico 102 puede incluir una palabra de instrucción muy larga (VLIW) de circuito 104 y el sistema de memoria 114. El circuito 104 VLIW puede ser un circuito (por ejemplo, procesador) que implementa paralelismo de nivel de instrucción. Por ejemplo, el circuito VLIW 104 puede ejecutar instrucciones en paralelo (por ejemplo, simultáneamente). El circuito VLIW 104 puede estar acoplado (por ejemplo, en comunicación electrónica con) la memoria 114 del sistema. El circuito VLIW 104 puede ser un dispositivo para renderizar imágenes. Por ejemplo, el circuito VLIW 104 puede convertir datos de geometría (por ejemplo, modelos geométricos, datos de geometría bidimensionales (2D) o tridimensionales (3D), vértices, polígonos, etc.) en una o más imágenes. Las imágenes resultantes pueden presentarse en una o más pantallas. Por ejemplo, las imágenes pueden ser una sola imagen para producir una visualización 2D o pueden ser múltiples imágenes (por ejemplo, imágenes estereoscópicas) para producir una visualización 3D. Por ejemplo, el circuito VLIW 104 puede producir múltiples imágenes (por ejemplo, diferentes visualizaciones) para una visualización estereoscópica (por ejemplo, una imagen para un ojo izquierdo y otra imagen para un ojo derecho). Debe observarse que el circuito VLIW 104 puede renderizar una serie de imágenes (por ejemplo, vídeo). El circuito VLIW 104 puede implementarse en hardware o en una combinación de hardware y software. Un ejemplo del circuito VLIW 104 es una unidad de procesamiento de gráficos (GPU).

[0022] En algunas configuraciones, el dispositivo electrónico 102 puede realizar una o más de las funciones, procesos, procedimientos, pasos, etc., descritas en relación con una o más de las Figuras 2-5, 9, 11, 13 y 15-24. De forma adicional o alternativa, el dispositivo electrónico 102 puede incluir una o más de las estructuras descritas en relación con una o más de las Figuras 2-5, 9, 11, 13 y 15-24.

[0023] La memoria del sistema 114 puede almacenar instrucciones y/o datos. Entre los ejemplos de memoria del sistema 114 se incluyen memoria de acceso aleatorio (RAM), memoria de acceso aleatorio dinámico (DRAM), memoria de acceso aleatorio dinámico síncrona (SDRAM), memoria de acceso aleatorio dinámico síncrona de doble velocidad de datos (DDR SDRAM), DDR2, DDR3, DDR4, memoria de acceso aleatorio estático (SRAM), registros, memoria de solo lectura (ROM), memoria de solo lectura programable borrrable (EPROM), memoria de solo lectura programable y borrrable eléctricamente (EEPROM), memoria flash NAND, memoria flash NOR, etc. El circuito VLIW 104 puede acceder (por ejemplo, leer y/o escribir en) la memoria del sistema 114. La memoria del sistema 114 puede ser accesible por otros elementos (si los hay) del dispositivo electrónico 102, tales como uno o más procesadores (por ejemplo, unidades centrales de procesamiento (CPU)). La memoria del sistema 114 puede estar separada del circuito VLIW 104. Entre los ejemplos de instrucciones y/o datos que puede almacenar la memoria del sistema 114 pueden incluirse instrucciones, datos de comandos, datos de geometría (por ejemplo, vértices, polígonos, normales (por ejemplo, orientaciones de objetos), primitivas, metadatos, etc.), datos de textura, datos de visualización de acceso desordenados, parámetros de renderización (por ejemplo, parámetros de nivel de detalle), etc. En algunas configuraciones, el dispositivo electrónico 102 (por ejemplo, la memoria del sistema 114) puede incluir una o más memorias intermedias de tramas. La memoria(s) intermedia(s) de tramas puede(n) almacenar en memoria intermedia (por ejemplo, almacenar) datos de imágenes. Los datos de imágenes almacenadas en memoria intermedia pueden presentarse en una o más pantallas.

[0024] El circuito VLIW 104 puede incluir uno o más elementos para renderizar imágenes. Entre algunos ejemplos de elementos puede incluirse una interfaz (FE), procesador de vértices (VP), buscador de vértices (VF), sombreador de vértices (VS), sombreador de control de teselación (TCS), sombreador de perímetros (HS), teselador (por ejemplo, motor de teselación) (TESS), sombreador de evaluación de teselación (TES), sombreador de dominio (DS), sombreador de geometría (GS), rasterizador (Rast), sombreador de fragmentos (FS), sombreador de píxeles (PS), creador de elementos, unidad de salida de renderización (ROP), recortador (Clip) y/o flujo de salida (SOL), etc. En algunas configuraciones, uno o más de estos elementos pueden denominarse conductos de gráficos 106. Cabe señalar que el teselador puede ser un motor de teselación de función fija en algunas configuraciones. El teselador (y/o uno o más elementos diferentes de un conducto de gráficos) puede implementarse en hardware, software o una combinación de hardware y software.

[0025] El circuito VLIW 104 puede incluir una memoria en chip 110. La memoria en chip 110 puede implementarse en el circuito VLIW 104 para proporcionar un acceso rápido a la memoria. Por ejemplo, se puede acceder a la memoria en chip 110 más rápidamente que la memoria del sistema 114. Entre los ejemplos de memoria en chip 110 pueden incluirse memoria de acceso aleatorio (RAM), memoria de acceso aleatorio dinámico (DRAM), memoria de acceso aleatorio dinámico síncrona (SDRAM), memoria de acceso aleatorio dinámico síncrona de doble velocidad de datos (DDR SDRAM), DDR2, DDR3, DDR4, memoria estática de acceso aleatorio (SRAM), registros, memoria de solo lectura (ROM), memoria de solo lectura programable borrrable (EPROM), memoria de solo lectura programable y

borrable eléctricamente (EEPROM), memoria flash NAND, memoria flash NOR, etc. En algunas configuraciones, la memoria en chip 110 puede implementarse en múltiples niveles (por ejemplo, memoria caché de nivel 1 (L1), memoria caché de nivel 2 (L2), memoria caché de nivel 3 (L3), etc.). Entre los ejemplos de datos que puede almacenar la memoria en chip 110 pueden incluirse datos de geometría (por ejemplo, vértices, polígonos, normales, primitivas, metadatos, etc.), datos de textura, datos de visualización de acceso sin ordenar, uno o más parámetros de renderización (por ejemplo, parámetro(s) de nivel de detalle (LOD), etc. En algunas configuraciones, la memoria en chip 110 puede incluir una o más memorias intermedias de tramas (además de o de forma alternativa desde la memoria del sistema 114, por ejemplo). Las memoria(s) intermedia(s) de tramas puede(n) almacenar en memoria intermedia (por ejemplo, almacenar) datos de imágenes. Los datos de imágenes almacenadas en memoria intermedia pueden presentarse en una o más pantallas.

[0026] En algunas configuraciones, el circuito VLIW 104 puede incluir un controlador de memoria asíncrona 108. El controlador de memoria asíncrona 108 puede implementarse en hardware o en una combinación de hardware y software. El controlador de memoria asíncrona 108 puede implementarse en el circuito VLIW 104, por separado del circuito VLIW, o puede implementarse parcialmente en el circuito VLIW 104 y parcialmente separado del circuito VLIW 104. El controlador de memoria asíncrona 108 puede configurarse para acceder a la memoria (por ejemplo, memoria en chip 110 y/o memoria del sistema 114) asincrónicamente. En algunas configuraciones, el controlador de memoria asíncrona 108 funciona "asincrónicamente" en el sentido de que el controlador de memoria asíncrona 108 puede acceder a la memoria (por ejemplo, parámetro(s), parámetro(s) de nivel de detalle (LOD), etc.) fuera de sincronización con un conjunto de datos que está siendo procesado (por ejemplo, teselado). Por ejemplo, el circuito VLIW 104 puede procesar periódicamente conjuntos de datos. El procesamiento (por ejemplo, teselado) de un solo conjunto de datos puede denominarse llamada de extracción. Por ejemplo, una llamada de extracción puede ser una instrucción (por ejemplo, una petición programática, instrucción, etc.) para que el circuito VLIW 104 procese (por ejemplo, renderice) un conjunto de datos. Uno o más parámetros (por ejemplo, parámetro LOD, configuración de teselación, uno o más parámetros diferentes, etc.) pueden estar asociados y/o configurados para la llamada de extracción. En consecuencia, una llamada de extracción puede establecer un LOD que se renderizará para el conjunto de datos, por ejemplo.

[0027] En los enfoques conocidos, cada conjunto de datos (por ejemplo, llamada de extracción) tiene un nivel fijo de detalle (LOD). En esos enfoques, el LOD para un conjunto de datos no puede cambiar una vez que el procesamiento ha comenzado en ese conjunto de datos (por ejemplo, no puede cambiar durante una llamada de extracción). Además, cada conjunto de datos solo puede tener un único LOD en enfoques conocidos.

[0028] De acuerdo con los sistemas y procedimientos divulgados en el presente documento, el controlador de memoria asíncrona 108 puede acceder asincrónicamente a la memoria (por ejemplo, memoria en chip 110 y/o memoria del sistema 114) para permitir la renderización de diferentes niveles de detalle (por ejemplo, diferentes zonas con diferentes niveles de detalle) dentro de un solo conjunto de datos (por ejemplo, durante el procesamiento de una llamada de extracción). Por ejemplo, el controlador de memoria asíncrona 108 puede acceder a la memoria (por ejemplo, parámetro (s), parámetro (s) LOD, etc.) después del procesamiento (por ejemplo, teselación, sombreado, etc.) en un conjunto de datos que ha comenzado y antes de que se complete el procesamiento en el conjunto de los datos. Esto puede permitir que el circuito VLIW 104 cambie el LOD durante el procesamiento de un conjunto de datos para producir diferentes LOD en un conjunto de datos. Cada conjunto de datos puede incluir múltiples primitivas (por ejemplo, puntos, polígonos, etc.). En algunas configuraciones, cada conjunto de datos puede (inicialmente) tener un solo LOD asignado. Sin embargo, el controlador de memoria asíncrona 108 puede asignar un LOD diferente a un conjunto de datos durante el procesamiento de ese conjunto de datos. En otras palabras, el controlador de memoria asíncrona 108 puede cambiar el LOD para un conjunto de datos (después de que el procesamiento (por ejemplo, teselación, sombreado, etc.) en ese conjunto de datos haya comenzado pero antes de que el procesamiento (por ejemplo, teselación, sombreado, etc.) en ese conjunto de datos se haya completado). Por ejemplo, los sistemas y procedimientos divulgados en el presente documento pueden permitir cambiar el LOD por píxel y/o por primitiva (incluso, por ejemplo, dentro de un conjunto de datos). En algunas configuraciones, los parámetros (por ejemplo, parámetro(s), parámetro(s) LOD, etc.) pueden actualizarse durante el procesamiento. Por ejemplo, un procesador (por ejemplo, unidad central de procesamiento (CPU), procesador de señal digital (DSP), etc.) o cualquier bloque de hardware dedicado (por ejemplo, cualquier hardware que trate con datos del sensor (por ejemplo, datos del sensor de seguimiento de los ojos, datos del sensor de movimiento, etc.)) puede actualizar los parámetros. El circuito VLIW 104 (por ejemplo, GPU) puede leer (por ejemplo, puede leer siempre, leer continuamente, leer periódicamente, etc.) desde una sección de memoria (por ejemplo, memoria en chip 110 y/o memoria del sistema 114) que incluye el parámetros. Por consiguiente, el circuito VLIW 104 (por ejemplo, GPU) puede ajustarse en consecuencia por primitiva en lugar de para una llamada de extracción completa. En algunas configuraciones, el circuito VLIW 104 puede renderizar diferentes niveles de detalle en una sola llamada de extracción.

[0029] Los sistemas y procedimientos divulgados en el presente documento pueden proporcionar uno o más beneficios. Por ejemplo, el controlador de memoria asíncrona 108 puede permitir un procesamiento más eficiente cuando se procesan múltiples LOD. En enfoques conocidos, se pueden renderizar múltiples capas superpuestas, donde cada capa tiene un LOD diferente. A continuación, las capas superpuestas se pueden mezclar. Sin embargo, este enfoque es ineficiente porque los mismos datos se renderizan varias veces. De acuerdo con los sistemas y procedimientos divulgados en el presente documento, se pueden renderizar diferentes LOD en una sola pasada. Esto

puede evitar volver a renderizar los mismos datos y/o evitar tener que mezclar varias capas con diferentes niveles de detalle.

[0030] De forma adicional o alternativa, los sistemas y procedimientos divulgados en el presente documento pueden permitir asincrónicamente cambiar LOD. Por ejemplo, renderizar una o más zonas de una imagen puede basarse en el seguimiento de los ojos. Por ejemplo, el dispositivo electrónico 102 puede renderizar múltiples zonas con diferentes niveles de detalle, donde una zona con el mayor nivel de detalle se renderiza en un área donde el usuario está buscando actualmente. El seguimiento de los ojos puede detectar cuándo un usuario cambia la mirada para mirar una parte diferente de la imagen. Los sistemas y procedimientos divulgados en el presente documento (por ejemplo, el controlador de memoria asíncrona 108) pueden cambiar inmediatamente el LOD renderizado basándose en el seguimiento de los ojos. Por ejemplo, el circuito VLIW 104 puede aumentar el LOD en un área de la imagen que el usuario ha cambiado de mirada para ver, incluso durante el procesamiento de un conjunto de datos. Esto puede proporcionar una mejor experiencia de usuario. Además, los sistemas y procedimientos divulgados en el presente documento (por ejemplo, el controlador de memoria asíncrona 108) pueden reducir el LOD en un área de la imagen a la que ya no se dirige la mirada del usuario. Esto puede reducir el procesamiento innecesario.

[0031] El circuito VLIW 104 puede incluir un controlador de memoria intermedia de tramas no uniforme 112. El controlador de memoria intermedia de tramas no uniforme 112 (por ejemplo, FBO de resolución múltiple) puede implementarse en hardware o una combinación de hardware y software. El controlador de memoria intermedia de tramas no uniforme 112 puede implementarse en el circuito VLIW 104, por separado del circuito VLIW 104, o puede implementarse parcialmente en el circuito VLIW 104 y parcialmente separado del circuito VLIW 104. En algunas configuraciones, el controlador de memoria intermedia de tramas no uniforme 112 puede implementarse como parte del conducto de gráficos 106. De forma alternativa, el controlador de memoria intermedia de tramas no uniforme 112 puede implementarse como parte de la memoria en chip 110. En otra implementación, el controlador de memoria intermedia de tramas no uniforme 112 puede implementarse en el circuito VLIW 104 pero separado del conducto de gráficos 106 y la memoria en chip 110.

[0032] El controlador de memoria intermedia de tramas no uniforme 112 puede configurarse para acceder dinámicamente a diferentes subconjuntos de una o más memoria(s) intermedia(s) de tramas. En algunas configuraciones, los diferentes subconjuntos de una memoria intermedia de tramas pueden corresponder a diferentes niveles de detalle, zonas con diferentes niveles de detalle y/o diferentes niveles de mapas MIP. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 112 puede configurarse para funcionar dinámicamente en diferentes subconjuntos de una memoria intermedia de tramas. Cabe señalar que puede haber dos o más subconjuntos de memorias intermedias de tramas. En algunas configuraciones, diferentes subconjuntos de la memoria intermedia de tramas no uniforme pueden corresponder a diferentes visualizaciones (por ejemplo, una visualización del ojo izquierdo y una visualización del ojo derecho para la renderización estereoscópica). La memoria intermedia de tramas no uniforme puede mejorar la utilización del ancho de banda. Con una memoria intermedia de tramas no uniforme, por ejemplo, la visualización del ojo izquierdo y la visualización del ojo derecho pueden procesarse simultáneamente (por ejemplo, simultáneamente) y guardarse en la memoria 114 del sistema en una sola pasada. De forma adicional o alternativa, por ejemplo, la memoria intermedia de tramas no uniforme puede habilitar y/o mejorar la utilización de la memoria para renderizar múltiples LOD en una sola pasada.

[0033] En algunas configuraciones, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir el acceso a al menos un píxel de una primera zona a una velocidad diferente de al menos un píxel de una segunda zona. La primera zona y la segunda zona pueden corresponder a diferentes niveles de detalle. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 112 puede permitir que los píxeles de una zona (con un LOD más alto, por ejemplo) se procesen a una velocidad mayor que los píxeles de otra zona (con un LOD más bajo, por ejemplo). Este enfoque puede permitir ahorros de energía al ralentizar el procesamiento de una o más zonas (por ejemplo, zonas de bajo nivel de detalle). Cabe señalar que puede haber píxeles de dos o más zonas a las que se puede acceder a dos o más velocidades diferentes.

[0034] De forma adicional o alternativa, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir permitir el intercambio de subrutinas de sombreador. Por ejemplo, el intercambio de subrutinas de sombreador se puede realizar cuando el procesamiento de un primer píxel está en curso y se completa el proceso de un segundo píxel. Por ejemplo, un primer subconjunto de la memoria intermedia de tramas puede asignarse a uno o más píxeles procesados con una primera subrutina de sombreador, mientras que un segundo subconjunto de la memoria intermedia de tramas puede asignarse a uno o más píxeles procesados con una segunda subrutina de sombreador. Cuando se completa el procesamiento de uno o más píxeles de segunda subrutina de sombreador, el dispositivo electrónico 102 puede intercambiar subrutinas de sombreador para ocupar el segundo subconjunto de la memoria intermedia de tramas. Esto puede proporcionar un procesamiento más eficiente al permitir que la capacidad de memoria intermedia de tramas se utilice de manera más eficiente. Cabe señalar que se pueden utilizar dos o más subconjuntos de la memoria intermedia de tramas para permitir el intercambio de subrutinas para uno o más de los subconjuntos.

[0035] El controlador de memoria intermedia de tramas no uniforme 112 puede configurarse para sustituir una primera muestra procesada de un primer píxel por una segunda muestra de un segundo píxel para evitar el procesamiento de

la segunda muestra del segundo píxel. El primer píxel puede tener un número diferente de muestras que el segundo píxel. Por ejemplo, un primer píxel de una primera zona puede tener un LOD más alto que un segundo píxel contiguo de una segunda zona con un LOD más bajo. El controlador de memoria intermedia de tramas no uniforme 112 puede reemplazar la muestra (no procesada) del segundo píxel con la muestra (procesada) del primer píxel. De esta forma, el controlador de memoria intermedia de tramas no uniforme 112 puede reducir el procesamiento. Debe observarse que el controlador de memoria intermedia de tramas no uniforme 112 puede reemplazar una o más muestras (sin procesar) de uno o más píxeles por una o más muestras (procesadas) de uno o más píxeles diferentes.

[0036] En algunas configuraciones, el dispositivo electrónico 102 puede incluir y/o puede estar acoplado a una o más pantallas (por ejemplo, pantallas montadas en la cabeza). Las pantallas se pueden configurar para presentar los diferentes niveles de detalle.

[0037] La Figura 2 es un diagrama de flujo que ilustra una configuración de un procedimiento 200 para renderizar múltiples niveles de detalle. El procedimiento 200 puede ser realizado por el dispositivo electrónico 102 descrito en relación con la Figura 1.

[0038] El dispositivo electrónico 102 puede obtener 202 datos de geometría. Por ejemplo, el dispositivo electrónico 102 puede cargar datos de geometría del almacenamiento (por ejemplo, almacenamiento en disco duro, almacenamiento extraíble como un disco duro externo, unidad de disco de vídeo digital (DVD), unidad de Blu-Ray, disco compacto (CD), unidad de memoria, etc.) en la memoria (por ejemplo, memoria del sistema 114 y/o memoria en chip 110). De forma adicional o alternativa, el dispositivo electrónico 102 puede recibir datos de geometría de otro dispositivo. Por ejemplo, el dispositivo electrónico 102 puede recibir datos de geometría a través de una interfaz de comunicación (por ejemplo, Ethernet, interfaz 802.11 del Instituto de Ingenieros Eléctricos y Electrónicos (IEEE), interfaz de red celular, etc.) y cargar los datos de geometría en la memoria (por ejemplo, memoria del sistema 114 y/o memoria en chip 110). Entre los ejemplos de datos de geometría pueden incluirse puntos, líneas y/o polígonos (por ejemplo, triángulos), etc.

[0039] El dispositivo electrónico 102 puede renderizar 204 diferentes niveles de detalle asincrónicamente. Esto se puede conseguir como se ha descrito anteriormente en relación con la Figura 1. Por ejemplo, el dispositivo electrónico 102 puede acceder asincrónicamente a la memoria (por ejemplo, la memoria del sistema 114 y/o la memoria en chip 110) para renderizar diferentes niveles de detalle. Por ejemplo, el dispositivo electrónico 102 puede cambiar un LOD para un conjunto de datos durante el procesamiento (donde el conjunto de datos inicialmente tenía un LOD diferente, por ejemplo). En algunas configuraciones, renderizar 204 niveles diferentes de detalle asincrónicamente puede incluir la realización de teselación dinámica de LOD.

[0040] El dispositivo electrónico 102 puede acceder dinámicamente a 206 subconjuntos diferentes de una memoria intermedia de tramas. Esto se puede conseguir como se ha descrito anteriormente en relación con la Figura 1. Por ejemplo, el dispositivo electrónico 102 puede acceder al menos a un píxel de una primera zona a una velocidad diferente de al menos un píxel de una segunda zona. De forma adicional o alternativa, el dispositivo electrónico 102 puede permitir el intercambio de subrutinas de sombreador cuando el procesamiento de un primer píxel está en curso y se completa el proceso de un segundo píxel. De forma adicional o alternativa, el dispositivo electrónico 102 puede sustituir una primera muestra procesada de un primer píxel por una segunda muestra de un segundo píxel para evitar procesar la segunda muestra del segundo píxel.

[0041] La Figura 3 es un diagrama de bloques que ilustra una configuración de un dispositivo electrónico 302 en el que se pueden implementar sistemas y procedimientos para renderizar múltiples niveles de detalle. El dispositivo electrónico 302 descrito en relación con la Figura 3 puede ser un ejemplo del dispositivo electrónico 102 descrito en relación con la Figura 1. En algunas configuraciones, uno o más de los componentes o elementos del dispositivo electrónico 302 pueden ser similares a los componentes o elementos correspondientes descritos en relación con la Figura 1. Uno o más de los componentes o elementos pueden implementarse en hardware (por ejemplo, circuitos) o una combinación de hardware y software (por ejemplo, un procesador con instrucciones).

[0042] En algunas configuraciones, el dispositivo electrónico 302 puede incluir el circuito de palabra de instrucción muy larga (VLIW) 304, la memoria del sistema 314, una o más pantallas 332, uno o más sensores de imagen 316, uno o más sistemas ópticos 318, una o más interfaces de comunicación 320, una o más antenas 322 y/o uno o más procesadores 324. Dos o más de los elementos o componentes descritos en relación con la Figura 3 pueden estar en comunicación electrónica entre sí. Por ejemplo, el circuito VLIW 304 puede estar acoplado (por ejemplo, en comunicación electrónica con) la memoria del sistema 314. El circuito 304 VLIW puede ser un dispositivo para renderizar imágenes como se ha descrito anteriormente en relación con una o más de las Figuras 1 y 2. En algunas configuraciones, las imágenes resultantes pueden presentarse en una o más pantallas 332. El circuito 304 VLIW puede estar separado del procesador 324 en algunas implementaciones. En otras implementaciones, el circuito VLIW 304 puede integrarse en el procesador 324.

[0043] La interfaz de comunicación 320 puede permitir que el dispositivo electrónico 302 se comuniquen con uno o más de otros dispositivos electrónicos diferentes. Por ejemplo, la interfaz de comunicación 320 puede proporcionar una interfaz para comunicaciones por cable y/o inalámbricas. En algunas configuraciones, la interfaz de comunicación 320

puede estar acoplada a una o más antenas 322 para transmitir y/o recibir señales de radiofrecuencia (RF). De forma adicional o alternativa, la interfaz de comunicación 320 puede habilitar uno o más tipos de comunicación por cable (por ejemplo, Universal Serial Bus (USB), Ethernet, Video Graphics Array (VGA), Digital Visual Interface (DVI), High Definition Multimedia Interface (HDMI), DisplayPort, Mobile High-Definition Link (MHL), etc.).

[0044] En algunas configuraciones, múltiples interfaces de comunicación 320 se pueden implementar y/o utilizar. Por ejemplo, una interfaz de comunicación 320 puede ser una interfaz de comunicación celular (por ejemplo, 3G, evolución a largo plazo (LTE), CDMA, etc.) 320, otra interfaz de comunicación 320 puede ser una interfaz Ethernet, otra interfaz de comunicación 320 puede ser una interfaz de bus serie universal (USB), otra interfaz de comunicación 320 puede ser una interfaz de red de área local inalámbrica (WLAN) (por ejemplo, interfaz 802.11 del Instituto de Ingenieros Eléctricos y Electrónicos (IEEE)), y otra interfaz de comunicación 320 puede ser una interfaz Bluetooth.

[0045] En algunas configuraciones, el dispositivo electrónico 302 puede llevar a cabo una o más de las funciones, procesos, procedimientos, pasos, etc., descrita en relación con una o más de las Figuras 1, 3-5, 9, 11, 13 y 15-24. De forma adicional o alternativa, el dispositivo electrónico 302 puede incluir una o más de las estructuras descritas en relación con una o más de las Figuras 1, 3-5, 9, 11, 13 y 15-24.

[0046] La memoria del sistema 314 puede almacenar instrucciones y/o datos. La memoria del sistema 314 descrita en relación con la Figura 3 puede ser un ejemplo de la memoria del sistema 114 descrita en relación con la Figura 1. El circuito 304 VLIW puede acceder (por ejemplo, leer y/o escribir en) la memoria del sistema 314. El (los) procesador(es) 324 también pueden acceder a la memoria del sistema 314. La memoria del sistema 314 puede almacenar datos de geometría 328. En algunas configuraciones, la memoria del sistema 314 puede incluir una memoria intermedia de tramas 330a. La memoria intermedia de tramas 330a puede ser una parte de la memoria del sistema 314 para almacenar datos de imágenes. Los datos de imágenes almacenados temporalmente pueden presentarse en una o más pantallas 332 en algunas configuraciones.

[0047] El circuito VLIW 304 puede incluir uno o más elementos para renderizar imágenes. Entre algunos ejemplos de elementos puede incluirse una interfaz (FE), procesador de vértices (VP, buscador de vértices (VF), sombreador de vértices (VS), sombreador de control de teselación (TCS), sombreador de perímetros (HS), teselador (por ejemplo, motor de teselación) (TESS), sombreador de evaluación de teselación (TES), sombreador de dominio (DS), sombreador de geometría (GS), rasterizador (Rast), sombreador de fragmentos (FS), sombreador de píxeles (PS), creador de elementos, unidad de salida de renderización (ROP), recortador (Clip) y/o flujo de salida (SOL), etc. En algunas configuraciones, uno o más de estos elementos pueden denominarse un conducto de gráficos.

[0048] El circuito VLIW 304 puede incluir una memoria en chip 310. La memoria en chip 310 descrita en relación con la Figura 3 puede ser un ejemplo de la memoria en chip 110 descrita en relación con la Figura 1. En algunas configuraciones, la memoria en chip 310 puede incluir una memoria intermedia de tramas 330b (además de o de forma alternativa desde la memoria intermedia de tramas 330a en la memoria del sistema 314, por ejemplo). La memoria intermedia de tramas puede ser una parte de la memoria en chip 310 para almacenar datos de imágenes. Los datos de imágenes almacenados temporalmente pueden presentarse en una o más pantallas 332 en algunas configuraciones.

[0049] En algunas configuraciones, el circuito VLIW 304 puede incluir un controlador de memoria asíncrona 308. El controlador de memoria asíncrona 308 puede implementarse en hardware o en una combinación de hardware y software. El controlador de memoria asíncrona 308 puede implementarse en el circuito VLIW 304, por separado del circuito VLIW, o puede implementarse parcialmente en el circuito VLIW 304 y parcialmente separado del circuito VLIW 304. El controlador de memoria asíncrona 308 puede configurarse para acceder a la memoria (por ejemplo, memoria en chip 310 y/o memoria del sistema 314) asíncronamente. Debe observarse que el controlador de memoria asíncrona 308 puede utilizar (por ejemplo, acceder a) la memoria en chip 110 y/o la memoria del sistema 114 (por ejemplo, una o ambos). Algunas configuraciones pueden depender de un caso de uso. Por ejemplo, si los datos del sensor (por ejemplo, datos del sensor de imagen 316) se escriben a una velocidad alta (por ejemplo, 1000 hertzios (Hz)), el almacenamiento en memoria caché puede perder tiempo, batería y/u otros recursos. El controlador de memoria asíncrona 308 descrito en relación con la Figura 3 puede ser un ejemplo del controlador de velocidad de memoria asíncrona 108 descrito en relación con la Figura 1. El controlador de memoria asíncrona 308 descrito en relación con la Figura 3 puede funcionar como se ha descrito en relación con el controlador de memoria asíncrona 108 descrito en relación con la Figura 1.

[0050] El circuito VLIW 304 puede incluir un controlador de memoria intermedia de tramas no uniforme 312. El controlador de memoria intermedia de tramas no uniforme 312 puede implementarse en hardware o en una combinación de hardware y software. El controlador de memoria intermedia de tramas no uniforme 312 puede implementarse en el circuito VLIW 304, por separado del circuito VLIW 304, o puede implementarse parcialmente en el circuito VLIW 304 y parcialmente separado del circuito VLIW 304. En algunas configuraciones, el controlador de memoria intermedia de tramas no uniforme 312 puede implementarse como parte del conducto de gráficos. De forma alternativa, el controlador de memoria intermedia de tramas no uniforme 312 puede implementarse como parte de la memoria en chip 310. En otra implementación, el controlador de memoria intermedia de tramas no uniforme 312 puede implementarse en el circuito VLIW 304 pero separado del conducto de gráficos 306 y la memoria en chip 310. El

controlador de memoria intermedia de tramas no uniforme 312 descrito en relación con la Figura 3 puede ser un ejemplo del controlador de memoria intermedia de tramas no uniforme 112 descrito en relación con la Figura 1. El controlador de memoria intermedia de tramas no uniforme 312 descrito en relación con la Figura 3 puede funcionar como se ha descrito en relación con el controlador de memoria intermedia de tramas no uniforme 112 descrito en relación con la Figura 1.

[0051] En algunas configuraciones, el dispositivo electrónico 302 puede llevar a cabo renderización de múltiples LOD de una sola pasada. La renderización de múltiples LOD puede incluir la renderización de diferentes zonas de una imagen con diferentes niveles de detalle. La renderización de múltiples LOD de una sola pasada puede incluir renderizar diferentes zonas con diferentes niveles de detalle (por ejemplo, niveles de detalle teselados) en una sola pasada (sin procesar repetidamente ningún píxel, por ejemplo). La renderización con resolución variable de una sola pasada puede ser un ejemplo de renderización de múltiples LOD de una sola pasada, donde diferentes zonas con diferentes niveles de detalle pueden basarse en el seguimiento de los ojos. Por ejemplo, una zona puede ser un área circular (o un área de otra forma) aproximadamente centrada en el punto de una pantalla (por ejemplo, una imagen) donde el usuario está mirando. De forma adicional o alternativa, la renderización de una sola pasada (por ejemplo, la renderización de múltiples LOD de una sola pasada) puede incluir la realización de una pasada (por ejemplo, la pasada de procesamiento) sobre los datos y/o la textura que se renderizará, aunque se debe renderizar tanto una visualización del ojo izquierdo como una visualización del ojo derecho. En consecuencia, algunas configuraciones de los sistemas y procedimientos divulgados en el presente documento pueden utilizar la mayor cantidad posible de datos para las visualizaciones de ambos ojos antes de mover los datos entre la memoria del sistema y la memoria en chip (por ejemplo, memoria GPU). En algunas configuraciones, el controlador de memoria asíncrona 308 y/o el controlador de memoria intermedia de tramas no uniforme 312 pueden permitir la realización de la renderización de múltiples LOD de una sola pasada (por ejemplo, la renderización con resolución variable de una sola pasada). Por ejemplo, el controlador de memoria asíncrona 308 puede permitir la lectura de parámetros (por ejemplo, parámetro(s) de nivel de detalle (LOD)) de un bloque de memoria volátil (por ejemplo, adaptación dinámica durante una llamada de extracción). Por ejemplo, el controlador de memoria asíncrona 308 puede permitir que uno o más sombreadores de control de teselación (TCS), teselador (TESS), sombreador de evaluación de teselación (TES), sombreador de geometría (GS), rasterizador y sombreador de fragmentos (FS) accedan a uno o más parámetros de un bloque de memoria volátil (por ejemplo, para adaptarse dinámicamente durante una llamada de extracción).

[0052] En algunas configuraciones, el circuito VLIW 304 puede incluir un rasterizador. El rasterizador puede permitir que MSAA realice más muestreo de las primitivas, lo cual a su vez puede activar más evaluaciones de sombreadores de fragmentos (FS). Además, se puede realizar un muestreo de las primitivas para evitar distorsiones como marcas, que se deben a que no se procesan ni promedian suficientes muestras.

[0053] El dispositivo electrónico 302 puede obtener una o más imágenes (por ejemplo, imágenes digitales, tramas de imagen, vídeo, etc.). La una o más imágenes pueden ser imágenes de uno o más usuarios y/o una escena (por ejemplo, uno o más objetos y/o fondo). Por ejemplo, el dispositivo electrónico 302 puede incluir uno o más sensores de imagen 316 y/o uno o más sistemas ópticos 318 (por ejemplo, lentes) que enfocan imágenes de objetos que se encuentran dentro del campo de visión del sistema o sistemas ópticos 318 en los sensores de imagen 316. En algunas configuraciones, el (los) sensor(es) de imagen 316 puede(n) capturar una o más imágenes. El (los) sensor(es) de imagen 316 y/o el (los) sistema(s) óptico(s) 318 puede(n) estar acoplado(s) y/o controlado(s) por el procesador 324.

[0054] De forma adicional o alternativa, el dispositivo electrónico 302 puede solicitar y/o recibir la una o más imágenes de otro dispositivo (por ejemplo, un sensor de imagen externo acoplado al dispositivo electrónico 302, un servidor de red, cámara de tráfico, cámara de caída, cámara de automóvil, cámara web, etc.). En algunas configuraciones, el dispositivo electrónico 302 puede solicitar y/o recibir una o más imágenes a través de la interfaz de comunicación 320. Por ejemplo, el dispositivo electrónico 302 puede incluir o no una cámara (por ejemplo, un sensor de imagen 316 y/o un sistema óptico 318) y puede recibir imágenes de un dispositivo remoto.

[0055] En algunas configuraciones, los uno o más sensores de imagen 316 incluidos en el dispositivo electrónico 302 y/o uno o más sensores de imagen diferentes acoplados al dispositivo electrónico 302 pueden estar orientados a la captura de una o más imágenes de un usuario. Por ejemplo, un teléfono inteligente puede incluir una cámara montada en la misma cara que una pantalla (por ejemplo, la pantalla 332). De esta manera, la cámara puede capturar imágenes de un usuario mientras el usuario mira la pantalla. En otro ejemplo, se puede montar una cámara en una consola y/o volante de un vehículo para capturar imágenes de un usuario (por ejemplo, conductor).

[0056] De forma adicional o alternativa, el uno o más sensores de imagen 316 incluidos en el dispositivo electrónico 302 y/o uno o más sensores de imagen diferentes acoplados al dispositivo electrónico 302 pueden estar orientados a la captura del paisaje. Por ejemplo, una o más cámaras pueden montarse en la parte posterior de un teléfono inteligente. En otro ejemplo, una o más cámaras pueden montarse en el exterior de un vehículo. En algunas configuraciones, el dispositivo electrónico 302 puede utilizar imágenes de escenarios en aplicaciones de realidad aumentada (AR), aplicaciones de realidad virtual (VR) y/u otras aplicaciones (por ejemplo, visualización envolvente, asistencia al conductor, sistemas avanzados de asistencia al conductor (ADAS), etc.).

[0057] En algunas configuraciones, las imágenes capturadas por los sensores de imagen 316 y/o recibidas a través de las interfaces de comunicaciones 320 pueden ser utilizadas por el dispositivo electrónico 302 de seguimiento de los ojos. Por ejemplo, el procesador 324 puede incluir y/o implementar un seguidor de ojos 326. El seguidor de ojos 326 puede seguir la mirada (por ejemplo, la dirección de la mirada) de uno o más ojos del usuario. Por ejemplo, el seguidor de ojos 326 puede localizar los ojos de uno o más usuarios en las imágenes y puede estimar la mirada (por ejemplo, la dirección de la mirada) de los usuarios. Por ejemplo, el seguidor de ojos 326 puede determinar (por ejemplo, estimar) dónde está mirando un usuario en una pantalla (por ejemplo, mostrar 332 o una pantalla externa) y/o dónde está mirando en una imagen presentada por una pantalla. En otras palabras, el seguidor de ojos 326 puede determinar (por ejemplo, estimar) hacia dónde se dirige la mirada de un usuario en relación con una imagen y/o una pantalla.

[0058] Los sistemas y procedimientos aquí descritos pueden permitir asincrónicamente el cambio de LOD y/o la renderización de múltiples niveles de detalle en una sola pasada. En algunas configuraciones, renderizar una o más zonas de una imagen puede basarse en el seguimiento de los ojos. Las zonas de la imagen pueden tener diferentes niveles de detalle. Por ejemplo, el dispositivo electrónico 302 puede renderizar múltiples zonas con diferentes niveles de detalle, donde una zona con el mayor nivel de detalle se renderiza en un área donde el usuario está buscando actualmente. En algunas configuraciones, esto se puede denominar renderización con resolución variable. El seguidor de ojos 326 puede producir información de seguimiento de los ojos. La información de seguimiento de los ojos puede indicar hacia dónde se dirige la mirada de un usuario (por ejemplo, se dirigen las miradas de los usuarios) en relación con una pantalla y/o imagen. En algunas configuraciones, el procesador 324 y/o el circuito VLIW 304 pueden determinar uno o más parámetros LOD basándose en la información de seguimiento de los ojos. Los parámetros LOD pueden indicar un LOD que se renderizará para una o más zonas de una imagen. Los parámetros LOD pueden almacenarse en la memoria del sistema 314 y/o en la memoria en chip 310. Los parámetros LOD pueden actualizarse asincrónicamente en relación con un conjunto de datos (por ejemplo, llamada de extracción) que está procesando el circuito 304 VLIW. El controlador de memoria asíncrona 308 puede leer los parámetros LOD (de la memoria del sistema 314 y/o la memoria en chip 310) durante el procesamiento del conjunto de datos (por ejemplo, llamada de extracción). Por ejemplo, el controlador de memoria asíncrona 308 puede actualizar la configuración de teselación durante el procesamiento del conjunto de datos (por ejemplo, llamada de extracción).

[0059] El seguimiento de los ojos 326 puede detectar cuándo un usuario cambia la mirada para mirar a una parte diferente de la imagen. Los sistemas y procedimientos divulgados en el presente documento (por ejemplo, el controlador de memoria asíncrona 308) pueden cambiar inmediatamente el LOD renderizado basándose en el seguimiento de los ojos (por ejemplo, la información de seguimiento de los ojos y/o los parámetros LOD). Por ejemplo, el controlador de memoria asíncrona 308 puede leer uno o más parámetros (por ejemplo, parámetros LOD), que pueden cambiar durante el procesamiento de un conjunto de datos (por ejemplo, llamada de extracción). Por ejemplo, el circuito VLIW 304 puede aumentar el LOD en un área (por ejemplo, zona) de la imagen que el usuario ha cambiado de mirada para ver, incluso durante el procesamiento de un conjunto de datos. De forma adicional o alternativa, los sistemas y procedimientos divulgados en el presente documento (por ejemplo, el controlador de memoria asíncrona 308) pueden reducir el LOD en un área (por ejemplo, zona) de la imagen a la que ya no se dirige la mirada del usuario. En algunas configuraciones, una zona puede ser un área circular (o un área de otra forma) aproximadamente centrada en el punto de una pantalla (por ejemplo, una imagen) donde el usuario está mirando. En otras configuraciones, una zona puede ser el área completa de una imagen correspondiente a una ventana que el usuario está viendo.

[0060] En algunas configuraciones, el dispositivo electrónico 302 puede incluir una aplicación de cámara y/o una pantalla 332. Cuando se ejecuta la aplicación de cámara, el sensor de imagen 316 puede capturar imágenes de objetos que se encuentran dentro del campo de visión del sistema óptico 318. Las imágenes que están siendo capturadas por el sensor de imagen 316 pueden presentarse en la pantalla 332. En algunas configuraciones, estas imágenes pueden mostrarse en rápida sucesión a una velocidad de tramas relativamente alta, de modo que, en cualquier momento dado, los objetos que se encuentran dentro del campo de visión del sistema óptico 318 se presentan en la pantalla 332.

[0061] Se ha de observar que uno o más de los elementos ilustrados en el dispositivo electrónico 302 pueden ser opcionales. Por ejemplo, uno o más de los elementos ilustrados en el dispositivo electrónico 302 pueden o no estar incluidos y/o implementados. De forma adicional o alternativa, uno o más de los elementos ilustrados en el procesador 324 y/o el circuito VLIW 304 pueden implementarse por separado del procesador 324 y/o el circuito VLIW 304 (por ejemplo, en otros circuitos, en otro procesador, en un dispositivo electrónico separado, etc.). Por ejemplo, el sensor de imagen 316, el sistema óptico 318, la interfaz de comunicación 320, el procesador 324, el seguidor de ojos 326 y/o la pantalla 332 pueden no implementarse en el dispositivo electrónico 302. En algunas configuraciones, el dispositivo electrónico 302 puede recibir imágenes y/o información de seguimiento de los ojos desde otro dispositivo. De forma adicional o alternativa, se pueden implementar una o más pantallas en uno o más dispositivos separados.

[0062] En algunas configuraciones, el dispositivo electrónico 302 puede presentar una interfaz de usuario 334 en la pantalla 332. Por ejemplo, la interfaz de usuario 334 puede permitir que un usuario interactúe con el dispositivo electrónico 302. En algunas configuraciones, la pantalla 332 puede ser una pantalla táctil que recibe información del tacto físico (por ejemplo, con un dedo, un lápiz óptico u otra herramienta). De forma adicional o alternativa, el dispositivo electrónico 302 puede incluir o estar acoplado a otra interfaz de entrada. Por ejemplo, el dispositivo electrónico 302 puede incluir una cámara frente a un usuario y puede detectar gestos del usuario (por ejemplo, gestos con las manos, gestos con los brazos, seguimiento de los ojos, parpadeo de los párpados, etc.). En otro ejemplo, el

dispositivo electrónico 302 puede estar acoplado a un ratón y puede detectar un clic del ratón. Cabe señalar que puede que no sea necesaria la entrada del usuario en algunas configuraciones.

[0063] En algunas configuraciones, el dispositivo electrónico 302 puede incluir opcionalmente un sensor de movimiento (por ejemplo, giroscopio(s), el acelerómetro(s), etc.). Por ejemplo, el sensor de movimiento puede detectar movimiento y/o una orientación (del dispositivo electrónico 302, por ejemplo). En algunas configuraciones, la imagen que se renderiza puede basarse en información de movimiento y/u orientación. Por ejemplo, el dispositivo electrónico 302 puede ser una pantalla montada en la cabeza (por ejemplo, un casco de realidad virtual (VR), casco de realidad aumentada (AR), etc.), un vehículo (por ejemplo, automóvil, avión no tripulado, avión, etc.), un dispositivo móvil (por ejemplo, un teléfono inteligente) u otro dispositivo que pueda utilizar información de movimiento y/u orientación para renderizar una imagen. Por ejemplo, la información de movimiento y/u orientación puede indicar una dirección de visualización general en una escena renderizada. El dispositivo electrónico 302 puede renderizar la imagen basándose en esta dirección de visualización además de o de forma alternativa a partir de la información de seguimiento de los ojos en algunas configuraciones. El uso de un sensor de movimiento puede ilustrar otro aspecto del funcionamiento asíncrono del controlador de memoria asíncrona 308. Por ejemplo, un sensor de movimiento puede proporcionar información de movimiento y/o información de orientación a la memoria (por ejemplo, memoria del sistema 314 y/o memoria en chip 310) a una velocidad particular (por ejemplo, 1000 hercios (Hz)), mientras que el circuito VLIW 304 puede procesar tramas a una velocidad comparativamente más baja (por ejemplo, 30 tramas por segundo (fps)). El controlador de memoria asíncrona 308 puede cambiar asíncronamente una o más operaciones de renderización (por ejemplo, teselación) en medio de la renderización de un conjunto de datos basándose en la información de movimiento y/o información de orientación.

[0064] La Figura 4 es un diagrama que ilustra un ejemplo de una memoria intermedia de tramas no uniforme 430. En este ejemplo, la memoria intermedia de tramas 430 tiene una capacidad de $2n \times 2m$ píxeles. En algunas configuraciones, el dispositivo electrónico 302 puede opcionalmente crear elementos 432 en la memoria intermedia de tramas 430 convirtiéndolos en elementos 436. En el ejemplo ilustrado en la Figura 4, se ilustran cuatro elementos 436 de tamaño (n, m) . En algunas implementaciones, la memoria 310 en chip o una parte de la memoria 310 en chip puede estar limitada al tamaño de un elemento 436. En consecuencia, el dispositivo electrónico 302 puede dividir la memoria intermedia de tramas 430 en elementos 436. En otras implementaciones, la memoria en chip 310 o una parte de la memoria en chip 310 puede ser lo suficientemente grande como para contener toda la memoria intermedia de tramas 430 y no se puede realizar creación de elementos 434.

[0065] El dispositivo electrónico 302 puede subdividir 438 la memoria intermedia de tramas 430 y/o elementos 436 en partes a escala 440. Por ejemplo, la memoria intermedia de tramas 430 y/o los elementos 436 pueden subdividirse para adaptarse a múltiples resoluciones y/o niveles de detalle. En el ejemplo ilustrado en la Figura 4, las partes a escala 440 son de tamaño $(n/c, m/c)$, donde c es un factor de escala. El factor de escala c puede variar y/o puede seleccionarse basándose en la configuración.

[0066] El dispositivo electrónico 302 (por ejemplo, el controlador 312 memoria intermedia de tramas no uniforme) puede acceder dinámicamente a diferentes subconjuntos 442a-c de la memoria intermedia de tramas 430. En el ejemplo, ilustrado en la Figura 4, el dispositivo electrónico 302 puede acceder dinámicamente al subconjunto de memorias intermedias A 442a, al subconjunto de memorias intermedias B 442b y al subconjunto de memorias intermedias C 442c. Cabe señalar que se pueden utilizar menos o más subconjuntos de memorias intermedias. También debe tenerse en cuenta que toda o solo una parte de la memoria intermedia de tramas 430 puede estar ocupada por subconjuntos de memorias intermedias. Por ejemplo, las otras partes no tramadas de la memoria intermedia de tramas pueden ser utilizadas por uno o más subconjuntos diferentes.

[0067] El acceso dinámico (por ejemplo, la lectura y/o escritura) de diferentes subconjuntos de memorias intermedias de tramas (por ejemplo, subconjuntos de memorias intermedias 442a-c) puede permitir uno o más enfoques para proporcionar un mayor control y/o eficiencia en la renderización de imágenes. En algunos enfoques, el acceso dinámico de diferentes subconjuntos de memorias intermedias de tramas puede permitir la renderización de múltiples LOD de una sola pasada. Esto se debe a que no es necesario completar una zona en un LOD antes de poder iniciar otra zona en un LOD diferente. En este enfoque, uno o más de los subconjuntos de memorias intermedias 442a-c pueden corresponder a diferentes zonas de imagen. Por ejemplo, el subconjunto de memorias intermedias A 442a puede corresponder a una zona con un LOD más alto, el subconjunto de memorias intermedias B 442b puede corresponder a una zona con un LOD medio y el subconjunto de memorias intermedias C 442c puede corresponder a una zona con un LOD más bajo. Por ejemplo, el circuito VLIW 304 puede renderizar una zona LOD más alto, que puede escribirse en el subconjunto de memorias intermedias A 442a mientras renderiza simultáneamente o secuencialmente una zona LOD media, que puede escribirse en el subconjunto de memorias intermedias B 442b. Cabe señalar que se pueden renderizar diferentes zonas LOD en cualquier orden (por ejemplo, Desde el LOD más alto al más bajo, en orden inverso u otro orden). De forma adicional o alternativa, el acceso dinámico de diferentes subconjuntos de memorias intermedias de tramas puede permitir el procesamiento de diferentes zonas a diferentes velocidades (por ejemplo, un subconjunto de memorias intermedias de tramas más grande se puede asignar para que una zona se procese más rápidamente, mientras que un subconjunto de memorias intermedias de tramas más pequeño se puede asignar para que otra zona sea procesada más lentamente).

[0068] En algunos enfoques, el acceso dinámico de diferentes subconjuntos de memorias intermedias de tramas puede permitir procesos de sombreador paralelos (por ejemplo, subrutinas). Por ejemplo, se pueden ejecutar diferentes procesos de sombreador en paralelo, donde un proceso de sombreador accede a un subconjunto de la memoria intermedia de tramas y otro proceso de sombreador accede a otro subconjunto de la memoria intermedia de tramas. De forma adicional o alternativa, el acceso dinámico de diferentes subconjuntos de memorias intermedias de tramas puede permitir el intercambio de subrutinas de sombreador. Por ejemplo, se puede ejecutar una primera subrutina de sombreador que acceda al subconjunto de memorias intermedias A 442a. Mientras la primera subrutina de sombreador está en curso, una segunda subrutina de sombreador que accede al subconjunto de memorias intermedias B 442b puede finalizar. La segunda subrutina de sombreador puede intercambiarse por otra subrutina de sombreador (que puede acceder al subconjunto de memorias intermedias B 442b, por ejemplo) mientras la primera subrutina de sombreador está en curso. Esto puede permitir una mayor eficiencia en la utilización del espacio de la memoria intermedia de tramas, en lugar de tener que esperar a que termine una subrutina de sombreado antes de que se pueda iniciar otra.

[0069] En algunos enfoques, el acceso dinámico de diferentes subconjuntos de memorias intermedias de tramas puede permitir la sustitución de la muestra. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 312 puede intercambiar una o más muestras de un píxel procesado por una o más muestras de otro píxel. En algunas configuraciones, el circuito VLIW 304 puede realizar suavizado (por ejemplo, suavizado de múltiples muestras (MSAA)). Al realizar el suavizado, diferentes píxeles pueden tener diferentes números de muestras. Por ejemplo, un primer píxel (por ejemplo, "fino") en el subconjunto de memorias intermedias A 442a puede tener 4 muestras y puede usar sombreado de mayor calidad, mientras que un segundo píxel cercano (por ejemplo, contiguo) (por ejemplo, "grueso") en el subconjunto de memorias intermedias B 442b puede tener 1 muestra y usar sombreado de menor calidad. En lugar de realizar el procesamiento (por ejemplo, sombreado) en el segundo píxel, el controlador de memoria intermedia de tramas no uniforme 312 puede sustituir una muestra del primer píxel por una muestra del segundo píxel. Esto puede evitar realizar cualquiera de los procesamientos para el segundo píxel. De forma adicional o alternativa, el controlador de memoria intermedia de tramas no uniforme 312 puede realizar la sustitución de muestras en el procesamiento de mapas MIP. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 312 puede sustituir una muestra de un nivel superior (en el subconjunto de memorias intermedias A 442a, por ejemplo) por una muestra de un nivel inferior (en el subconjunto de memorias intermedias B 442b, por ejemplo). Esto puede evitar algo o procesamiento en uno o más niveles inferiores.

[0070] El controlador de memoria intermedia de tramas no uniforme 312 puede permitir el envío dinámico del procesamiento de sombreado (por ejemplo, subrutinas, núcleos, etc.), puede permitir la sustitución de la muestra de píxeles y/o puede proporcionar una memoria intermedia de tramas de múltiples LOD. Como se ilustra en la Figura 4, la memoria intermedia de tramas 430 puede almacenar datos de imágenes que pueden transmitirse como múltiples objetivos renderizados 444.

[0071] El listado (1) ilustra un ejemplo de pseudocódigo que ilustra un enfoque para la funcionalidad de memoria intermedia de tramas no uniforme. Cabe señalar que GLSL es una abreviatura de OpenGL Shading Language y SSBO es una abreviatura de Shader Storage Buffer Object. El Listado (1) ilustra cómo múltiples zonas con diferentes niveles de detalle

```

void main () { // calcular buffer_subset_A usando GLSL + texturas arbitrarias. //
    imageStore()/color buffer/SSBO como mecanismo de escritura.
}
void main_lod_1 (samplerTile/imageTile red_square) { // calcular el cuadrado verde
    usando GLSL + texturas arbitrarias // y posiblemente textura (red_square,
    uv)/imageRead()
}
... void main_lod_n (samplerTile last_square) {
    // "_ lod_ <n>()" "se activaría después de la renderización del nivel 0
    buffer_subset_A).
    // podría simularse mediante un triángulo de pantalla completa y una ventana
    gráfica cambiante. // "_ lod_ <i>()" " puede ejecutar hacia adelante [0 a n - 1] o
    hacia atrás [n - 1 a 0].
}

```

Listado (1)

[0072] La Figura 5 es un diagrama de flujo que ilustra una configuración más específica de un procedimiento 500 para renderizar múltiples niveles de detalle. El procedimiento 500 puede ser realizado por el dispositivo electrónico 302 descrito en relación con la Figura 3.

[0073] El dispositivo electrónico 302 puede obtener 502 datos de geometría (por ejemplo, datos de geometría 328). Esto se puede conseguir como se ha descrito en relación con una o más de las Figuras 1-3. Por ejemplo, el dispositivo electrónico 302 puede cargar datos de geometría desde el almacenamiento en la memoria (por ejemplo, memoria del

sistema 314 y/o memoria en chip 310) y/o puede recibir datos de geometría de otro dispositivo y cargar los datos de geometría en la memoria (por ejemplo, memoria del sistema 314 y/o memoria en chip 310).

[0074] El dispositivo electrónico 302 puede llevar a cabo 504 seguimiento de los ojos. Esto se puede conseguir como se ha descrito en relación con la Figura 3. Por ejemplo, el dispositivo electrónico 302 puede obtener (por ejemplo, capturar y/o recibir) una o más imágenes y puede determinar hacia dónde se dirige la mirada de un usuario (por ejemplo, dónde mira un usuario en una pantalla y/o una imagen que se presenta en la pantalla) basándose en la una o más imágenes.

[0075] El dispositivo electrónico 302 puede renderizar 506 diferentes niveles de detalle asincrónamente basándose en el seguimiento de los ojos. Esto se puede conseguir como se ha descrito anteriormente en relación con una o más de las Figuras 1-3. Por ejemplo, el dispositivo electrónico 302 puede acceder asincrónamente a la memoria (por ejemplo, memoria del sistema 314 y/o memoria en chip 310) para renderizar diferentes niveles de detalle basándose en el seguimiento de los ojos. Por ejemplo, el dispositivo electrónico 302 puede cambiar un LOD para un conjunto de datos durante el procesamiento (donde el conjunto de datos inicialmente tenía un LOD diferente, por ejemplo) cuando la zona para el conjunto de datos cambia basándose en el seguimiento de los ojos. En algunas configuraciones, el dispositivo electrónico 302 puede aumentar el LOD para el conjunto de datos cuando la mirada de un usuario se dirige a un área de la imagen correspondiente al conjunto de datos. De forma adicional o alternativa, el dispositivo electrónico 302 puede disminuir el LOD para el conjunto de datos cuando la dirección de la mirada de un usuario se aleja de un área de la imagen correspondiente al conjunto de datos.

[0076] En algunas configuraciones, la renderización 506 de diferentes niveles de detalle asincrónamente puede incluir realizar teselación de LOD dinámica. Por ejemplo, la memoria (por ejemplo, la memoria del sistema 314 y/o la memoria en chip 310) puede actualizarse para indicar un cambio en los parámetros de teselación de LOD (por ejemplo, un grado de teselación). El controlador de memoria asíncrona 308 puede acceder al parámetro de teselación de LOD actualizado para cambiar la teselación de LOD asincrónamente.

[0077] El dispositivo electrónico 302 puede acceder dinámicamente a 508 subconjuntos diferentes de una memoria intermedia de tramas. Esto se puede conseguir como se ha descrito anteriormente en relación con una o más de las Figuras 1-4. Por ejemplo, el dispositivo electrónico 302 puede acceder al menos a un píxel de una primera zona a una velocidad diferente de al menos un píxel de una segunda zona. De forma adicional o alternativa, el dispositivo electrónico 302 puede permitir el intercambio de subrutinas de sombreador cuando el procesamiento de un primer píxel está en curso y se completa el proceso de un segundo píxel. De forma adicional o alternativa, el dispositivo electrónico 302 puede sustituir una primera muestra procesada de un primer píxel por una segunda muestra de un segundo píxel para evitar procesar la segunda muestra del segundo píxel.

[0078] El dispositivo electrónico 302 puede presentar 510 la imagen renderizada. Por ejemplo, el dispositivo electrónico 302 puede transmitir datos de imágenes que se han renderizado 506 con diferentes niveles de detalle asincrónamente. En algunas configuraciones, los datos de imágenes pueden proporcionarse a una pantalla integrada 332. En otras configuraciones, los datos de imágenes pueden proporcionarse a una pantalla remota que está en comunicación con el dispositivo electrónico 302. Por ejemplo, el dispositivo electrónico 302 puede proporcionar los datos de imágenes a una pantalla que está acoplada al dispositivo electrónico 302 (a través de VGA, DVI, HDMI, etc.)

[0079] La Figura 6 es un diagrama de flujo que ilustra un ejemplo de un procedimiento 600 para la renderización con resolución variable. En este procedimiento, se obtienen datos de geometría 602. El seguimiento de los ojos también se realiza 604. Una capa gruesa se renderiza 606, una capa media se renderiza 608 y una capa fina se renderiza 610. Por ejemplo, la capa fina se puede renderizar 610 en una imagen a la que se dirige la mirada de un usuario. La capa media se puede renderizar 608 en un área más grande que se superpone al área de capa fina. La capa gruesa se puede renderizar 606 en un área aún más grande (por ejemplo, la imagen completa) que incluye el área de capa media y el área de capa fina. En consecuencia, puede haber una superposición significativa entre las capas. La capa gruesa, la capa media y la capa fina pueden fusionarse 612 con suavizado. La imagen resultante puede enviarse 614 a la memoria intermedia de tramas.

[0080] Como se puede observar, el procedimiento 600 puede incluir la renderización de cantidades significativas de zonas superpuestas. Por ejemplo, el área de detalles finos se puede renderizar tres veces: una vez en la capa gruesa, una vez en la capa media y otra en la capa fina. Esto puede ser ineficiente ya que realiza múltiples pases de renderización sobre los mismos píxeles.

[0081] La Figura 7 ilustra un ejemplo de renderización con resolución variable. En particular, la Figura 7 ilustra un ejemplo de una escena para renderización con resolución variable. La escena para la renderización con resolución variable incluye un área de detalle grueso 748, un área de detalle medio 750 y un área de detalle fino 752. Como se ha descrito en relación con la Figura 6, un enfoque para la renderización con resolución variable incluye renderizar la capa gruesa 754, renderizar la capa media 756 y renderizar la capa fina 758. A continuación, la fusión y mezcla 760 se puede realizar en la capa gruesa 754, la capa media 756 y la capa fina 758 para producir una imagen mezclada final 762. Por ejemplo, la máscara de mezcla A 764a entre la capa media 756 y la capa gruesa 754 se puede usar para mezclar la capa media 756 y la capa gruesa 754. Además, la máscara de mezcla B 764b entre la capa media

756 y la capa fina 758 se puede usar para mezclar la capa media 756 y la capa fina 758. Como se puede observar, este enfoque renderiza los mismos píxeles en múltiples pasadas, lo cual genera ineficiencias. Debe observarse que una o más de las máscaras de mezcla 764a-b pueden proporcionar una mezcla ponderada (por ejemplo, gradual) en algunas configuraciones, donde la ponderación de la mezcla aumenta desde los bordes exteriores de las máscaras de mezcla hasta el área interior. También debe observarse que la capa gruesa 754 y/o la imagen mezclada final 762 se ilustran en la Figura 7 como subconjuntos de toda la escena por conveniencia. Sin embargo, la capa gruesa 754 y/o la imagen mezclada final 762 pueden cubrir toda la escena.

[0082] La Figura 8 es un diagrama de bloques que ilustra un ejemplo de un dispositivo electrónico 866 que incluye un circuito 868 de palabra de instrucción muy larga (VLIW). En particular, la Figura 8 ilustra un ejemplo de una arquitectura para el procesamiento de gráficos. Uno o más aspectos de la arquitectura descritos en relación con la Figura 8 pueden funcionar de manera similar a los aspectos de la arquitectura de Nvidia. Esta arquitectura puede proporcionar renderización de modo inmediato (IMR) con un diseño de ancho de banda alto a costa del área de energía y troquel. En este diseño, la memoria caché 801 puede utilizarse para reducir el ancho de banda (por ejemplo, para evitar muestreos repetidos, lectura y/o escritura en la memoria del sistema 805). Por ejemplo, la memoria caché 801 puede ser lo suficientemente grande como para acomodar datos para una trama de imagen completa. Cabe señalar que uno o más de los conductos de gráficos descritos en el presente documento pueden tener uno o más aspectos similares a los conductos de DirectX y/u OpenGL y/o las interfaces de programación de aplicaciones (API). El número de publicación de solicitud de patente de EE. UU. 2014/0347363 describe algunos aspectos del procesamiento de gráficos que pueden tener similitudes con el conducto de DirectX.

[0083] El dispositivo electrónico 866 puede incluir un circuito VLIW 868 (por ejemplo, GPU) y la memoria del sistema 805 (por ejemplo, DRAM). El circuito VLIW 868 puede incluir un conducto de gráficos 870 y memoria en chip 803. El conducto de gráficos 870 puede incluir uno o más de una interfaz (FE) 872, un buscador de vértices (VF) 874, sombreador de vértices (VS) 876, sombreador de control de teselación (TCS) 878, teselador (TESS) 880 (por ejemplo, motor de teselación), sombreador de evaluación de teselación (TES) 882, sombreador de geometría (GS) 884, rasterizador (Rast) 886, sombreador de fragmentos (FS) 890 y unidad de salida de renderización (ROP) 894. Muchas de las etiquetas de elementos se han abreviado por conveniencia. La memoria en chip 803 puede incluir una memoria intermedia 896, memoria de composición/descomposición (C/D) 898 y memoria caché 801. En algunas configuraciones, la memoria intermedia 896 puede ser y/o incluir una memoria intermedia de texturas, memoria intermedia de tramas y/u otro bloque de memoria en chip 910. La memoria del sistema 805 puede incluir datos de comandos (Cmd) 807, datos de vértice 809, datos de textura y datos de visualización de acceso desordenado 811 y datos objetivo renderizados 813.

[0084] Con el fin de renderizar una escena, el dispositivo electrónico 866 puede cargar datos de comandos 807 y datos de vértice 809 de la memoria del sistema 805 a la memoria caché 801 en la memoria en chip 803. Los datos de vértice 809 pueden indicar uno o más puntos (por ejemplo, vértices), líneas y/o polígonos. Los datos de vértice 809 pueden representar una escena y/o uno o más objetos en una escena.

[0085] El FE 872 puede proporcionar una interfaz entre la memoria caché 801 y el conducto de gráficos 870 (por ejemplo, VF 874). Por ejemplo, el FE 872 puede obtener datos para ser desformateados por el VF 874 y/o puede controlar el VF 874 con respecto a los datos (por ejemplo, datos de vértice) que se recuperan de la memoria caché 801.

[0086] La VF 874 puede buscar los datos de vértice de la memoria caché 801 en el conducto de gráficos 870. El VF 874 puede acceder a la memoria intermedia 896. Por ejemplo, el VF puede escribir datos en la memoria intermedia 896. El VF 874 puede proporcionar los datos de vértice al VS 876. De forma adicional o alternativa, el VS 876 puede recuperar datos de vértice de la memoria intermedia 896.

[0087] El VS 876 puede transformar los datos de vértice en un espacio diferente. Por ejemplo, el VS 876 puede transformar los datos de vértice del espacio tridimensional (3D) en un espacio bidimensional (2D). El VS 876 puede proporcionar los datos de vértice transformados al TCS 878 y/o puede almacenar datos de vértice transformados en la memoria intermedia 896.

[0088] El TCS 878 puede recibir datos de vértice (por ejemplo, datos de vértice transformado) desde el VS 876 y/o desde la memoria intermedia 896. El TCS 878 puede transformar la base de los datos de vértice (por ejemplo, los datos de vértice transformados). Por ejemplo, el TCS 878 puede transformar la base de los datos de vértice en una base para la teselación (por ejemplo, para subdividir eficientemente polígonos como triángulos). El TCS 878 puede almacenar información en la memoria caché 801. Por ejemplo, el TCS 878 puede almacenar un indicador de base que indica la transformación de base realizada por el TCS 878. Los datos de vértice transformados de base pueden proporcionarse al TESS 880.

[0089] El TESS 880 puede teselar los datos de vértice (por ejemplo, datos de vértice transformados de base). Por ejemplo, el TESS 880 puede generar más vértices basándose en los datos de vértice (por ejemplo, puede subdividir triángulos en más triángulos). El TESS 880 puede funcionar basándose en un parámetro LOD. El parámetro LOD

puede especificar el LOD y/o puede indicar un grado de teselación para que lo realice el TESS 880. Los datos de vértice teselados pueden proporcionarse al TES 882.

[0090] El TES 882 puede transformar la base de los datos de vértice (por ejemplo, datos de vértice teselados). Por ejemplo, el TES 882 puede transformar la base de los datos de vértice a la base antes de la transformada de base aplicada por el TCS 878. En algunas configuraciones, el TES 882 puede leer el indicador de base de la memoria caché 801 para transformar (por ejemplo, transformar de forma inversa) la base de los datos de vértice. El TES 882 puede proporcionar datos de vértice (por ejemplo, los datos de vértice transformados de base inversa) al GS 884 y/o almacenar los datos de vértice en la memoria intermedia 896.

[0091] El GS 884 puede realizar una o más operaciones sobre los datos de vértice (por ejemplo, los datos vértice transformados de base inversa). Por ejemplo, el GS 884 puede generar geometría adicional basándose en los datos de vértice. El GS 884 puede proporcionar los datos de vértice (con geometría adicional, por ejemplo) al rasterizador 886 y/o la memoria caché 801.

[0092] El rasterizador 886 puede recibir los datos de vértice del GS 884 y/o la memoria caché 801. El rasterizador 886 puede rasterizar los datos de vértice. Por ejemplo, el rasterizador puede convertir los datos de vértice en datos de píxeles. Los datos de píxeles pueden proporcionarse al FS 890.

[0093] El FS 890 puede realizar sombreado de fragmentos o sombreado de píxeles en los datos de píxeles. Por ejemplo, el FS 890 puede determinar uno o más atributos (por ejemplo, color, brillo, transparencia, etc.) de uno o más píxeles. En algunas configuraciones, el FS 890 puede realizar una eliminación de superficie oculta (HSR). El FS 890 puede incluir un bloque de composición/descomposición (C/D) 892. De forma alternativa, el C/D 892 puede estar separado del FS 890 y/o acoplado al FS 890.

[0094] En algunas configuraciones, el C/D 892 puede llevar a cabo operaciones tales como texturizado y/o mezcla. Por ejemplo, el C/D 892 puede mezclar varias capas para determinar un valor de píxel final. En algunas configuraciones, el C/D 892 puede combinar diferentes memorias intermedias de tramas (por ejemplo, puede mezclar varias imágenes juntas por píxel). Cabe señalar que el C/D 892 puede implementarse en chip (en el circuito VLIW 868), en el conducto de gráficos 870, en la memoria en chip 803 y/o separado del circuito VLIW 868. Es posible que el C/D 892 no se implemente en la memoria del sistema 805 en algunas configuraciones. El C/D 892 puede funcionar con datos de imágenes antes de que los datos de imágenes se escriban en la memoria del sistema 805 y/o en otro flujo de salida (por ejemplo, flujo de salida HDMI). El FS 890 (y/o C/D 892) puede acceder a la memoria C/D 898. Por ejemplo, la memoria del sistema 805 puede proporcionar datos de textura y/o datos de visualización de acceso desordenado 811 a la memoria caché 801. El FS 890 puede realizar una o más operaciones accediendo a la memoria C/D y/o a la memoria caché 801. El FS 890 puede proporcionar los datos de píxeles (por ejemplo, datos de píxeles procesados) al ROP 894.

[0095] La ROP 894 puede enviar los datos de píxeles (por ejemplo, datos de píxeles procesados). Por ejemplo, el ROP 894 puede enviar los datos de píxeles a través de la memoria C/D 898 y/o la memoria caché 801 a la memoria del sistema 805 como datos objetivo renderizados 813. Los datos objetivo renderizados 813 pueden proporcionarse (por ejemplo, enviarse) para presentación. Por ejemplo, los datos objetivo renderizados 813 pueden enviarse a una pantalla para su presentación.

[0096] Cabe señalar que, sin los sistemas y procedimientos divulgados en el presente documento, las operaciones descritas en relación con la Figura 8 se pueden realizar en términos de conjuntos de datos (por ejemplo, conjuntos de vértice, píxel y/o datos de imágenes), donde cada conjunto de datos puede tener uno o más parámetros establecidos para la renderización (por ejemplo, parámetro(s) de renderización). Por ejemplo, cada conjunto de datos puede tener un LOD fijo asignado para operaciones de teselación. En consecuencia, el LOD no se puede cambiar durante la renderización de un conjunto de datos (por ejemplo, durante una llamada de extracción). Esto puede dar como resultado múltiples pases para renderizar múltiples LOD como se ha descrito en relación con las Figuras 6-7, por ejemplo. De forma adicional o alternativa, una memoria intermedia de tramas (que puede implementarse en la memoria en chip 803, la memoria intermedia 896 y/o la memoria caché 801) puede ser uniforme. Por ejemplo, la memoria intermedia de tramas puede incluir datos uniformes (por ejemplo, datos con el mismo LOD, datos con el mismo número de muestras de píxeles, datos de la misma subrutina de sombreador, etc.). Por ejemplo, no se puede acceder a los subconjuntos de la memoria intermedia de forma independiente (por ejemplo, de forma simultánea mediante diferentes subrutinas de sombreador). Por ejemplo, la memoria intermedia de tramas puede ser uniforme en el sentido de que solo puede ocurrir una escritura de datos en la memoria intermedia de tramas a la vez. De forma adicional o alternativa, la memoria intermedia de tramas puede ser uniforme en el sentido de que cada escritura de datos puede ser solo de una única subrutina de sombreador a la vez. De forma adicional o alternativa, la memoria intermedia de tramas puede ser uniforme en el sentido de que cada escritura de datos solo puede incluir datos con el mismo LOD y/o con el mismo número de muestras de píxeles.

[0097] La Figura 9 es un diagrama de bloques que ilustra un ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 8. Específicamente, la Figura 9 ilustra un dispositivo electrónico 902. El dispositivo electrónico 902 descrito en relación con la Figura 9 puede

ser un ejemplo de uno o más de los dispositivos electrónicos 102, 302 descritos anteriormente en relación con una o más de las Figuras 1-5. El dispositivo electrónico 902 puede configurarse para realizar uno o más de los procedimientos, funciones, pasos, operaciones, etc., descritos en relación con una o más de las Figuras 1-5.

[0098] El dispositivo electrónico 902 puede incluir un circuito VLIW 904 (por ejemplo, una GPU) y la memoria del sistema 914. El circuito VLIW 904 puede ser un ejemplo de uno o más de los circuitos VLIW 104, 304 descritos anteriormente en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria del sistema 914 puede ser un ejemplo de una o más de las memorias del sistema 114, 314 descritas en relación con una o más de las Figuras 1-5. La memoria del sistema 914 puede incluir datos de comandos (Cmd) 907, datos de vértice 909, datos de textura y visualización de acceso desordenado 911 y/o datos objetivo renderizados 913. Uno o más de los datos de comandos (Cmd) 907, datos de vértice 909, datos de textura y visualización de acceso desordenado 911 y/o datos objetivo renderizados 913 pueden ser similares a los datos correspondientes descritos en relación con la Figura 8.

[0099] El circuito VLIW 904 puede incluir un conducto de gráficos 906 y memoria en chip 910. El conducto de gráficos 906 descrito en relación con la Figura 9 puede ser un ejemplo de uno o más de los conductos de gráficos 106, 306 descritos en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria en chip 910 descrita en relación con la Figura 9 puede ser un ejemplo de una o más de las memorias en chip 110, 310 descritas en relación con una o más de las Figuras 1-5.

[0100] La memoria en chip 910 puede incluir una memoria intermedia 996, una memoria caché 901 y/o una memoria C/D 998. En algunas configuraciones, una o más de la memoria en chip 910, la memoria intermedia 996, la memoria caché 901 y/o la memoria C/D 998 pueden ser similares a los elementos correspondientes descritos en relación con la Figura 8. Debe notarse que la memoria en chip 910 puede incluir una o más memorias intermedias de tramas como se ha descrito en relación con una o más de las Figuras 3-4. La(s) memoria(s) intermedia(s) de tramas puede(n) incluirse en una o más de la memoria en chip 910, la memoria intermedia 996, la memoria caché 901 y/o la memoria C/D 998. De forma adicional o alternativa, la(s) memoria(s) intermedia(s) de tramas pueden incluirse en la memoria del sistema 914. En algunas configuraciones, se pueden incluir una o más memorias intermedias de tramas en la memoria en chip 910, la memoria del sistema 914 o ambas.

[0101] El conducto de gráficos 906 puede incluir uno o más de un FE 972, VF 974, VS 976, TCS 978, TESS 980, TES 982, GS 984, rasterizador 986, FS 990 y ROP 994. En algunas configuraciones, uno o más de FE 972, VF 974, VS 976, TCS 978, TESS 980, TES 982, GS 984, rasterizador 986, FS 990 y ROP 994 pueden realizar una o más de las operaciones de una o más elementos correspondientes descritos en relación con la Figura 8.

[0102] En las configuraciones ilustradas en la Figura 9, el circuito VLIW 904 (por ejemplo, el conducto de gráficos 906) puede incluir un controlador de memoria asíncrona 908. El controlador de memoria asíncrona 908 puede incluirse y/o implementarse en uno o más de los TCS 978, el TESS 980, el TES 982, el GS 984, el rasterizador 986 y el FS 990. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria asíncrona 908a en el TCS 978, el TESS 980, el TES 982, el GS 984, el rasterizador 986 y/o el FS 990. La etiqueta genérica "908" puede denotar que el controlador de memoria asíncrona 908 puede implementarse en cualquiera o en todos los elementos 908a-f ilustrados en la Figura 9. En algunas configuraciones, el controlador de memoria asíncrona 908 puede implementarse solo en uno o más de los TCS 978, TESS 980, TES 982 y GS 984. Por ejemplo, el controlador de memoria asíncrona 908 solo puede leer asíncronamente uno o más parámetros en el TCS 978, TESS 980, TES 982 y/o GS 984, ya que los datos pueden reenviarse a etapas posteriores.

[0103] El controlador de memoria asíncrona 908 que se describe en relación con la Figura 9 puede ser un ejemplo de uno o más de los controladores de memoria asíncrona 108, 308 descritos en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria asíncrona 908 puede leer asíncronamente uno o más parámetros (por ejemplo, parámetros LOD) de la memoria en chip 910 y/o la memoria del sistema 914 (durante el procesamiento de un conjunto de datos, por ejemplo). En algunas configuraciones, los parámetros actualizados se pueden proporcionar a uno o más del TCS 978, el TESS 980, el TES 982, el GS 984, el rasterizador 986 y el FS 990. En consecuencia, uno o más del TCS 978, el TESS 980, el TES 982, el GS 984, el rasterizador 986 y el FS 990 pueden cambiar el procesamiento del conjunto de datos para que sea diferente del procesamiento establecido inicialmente para un conjunto de datos, mientras el conjunto de datos se está procesando.

[0104] En algunas configuraciones, esto puede permitir que el dispositivo electrónico 902 realice una renderización de múltiples LOD de una sola pasada. Por ejemplo, el controlador de memoria asíncrona 908 puede leer un parámetro LOD que es diferente de otro parámetro LOD establecido inicialmente para el conjunto de datos que son procesados y/o renderizados actualmente (por ejemplo, teselados). El parámetro LOD actualizado se puede proporcionar a uno o más de los TCS 978, el TESS 980, el TES 982, el GS 984, el rasterizador 986 y el FS 990. En consecuencia, uno o más del TCS 978, el TESS 980, el TES 982, el GS 984, el rasterizador 986 y el FS 990 pueden cambiar el procesamiento (por ejemplo, cambiar el nivel de teselación) de un conjunto de datos de acuerdo con el parámetro LOD actualizado durante procesamiento del conjunto de datos que se inició con uno o más parámetros diferentes.

[0105] El circuito VLIW 904 (por ejemplo, conducto de gráficos 906) puede incluir un controlador de memoria intermedia de tramas no uniforme 912. Como se ilustra en la Figura 9, el controlador de memoria intermedia de tramas no uniforme 912 puede incluirse y/o implementarse en el FS 990 (por ejemplo, el C/D 992). Cabe señalar que el controlador de memoria intermedia de tramas no uniforme 912 puede incluirse o implementarse de forma adicional o alternativa en uno o más de los FS 990, C/D 992, el conducto de gráficos 906 y la memoria en chip 910. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria intermedia de tramas no uniforme 912 en uno o más de los FS 990, C/D 992, el conducto de gráficos 906, la memoria en chip 910 y el dispositivo electrónico 902. El controlador de memoria intermedia de tramas no uniforme 912 puede implementarse en el C/D 992. Cabe señalar que, de lo contrario, se puede incurrir en latencia adicional.

[0106] El controlador de memoria intermedia de tramas no uniforme 912 descrito en relación con la Figura 9 puede ser un ejemplo de uno o más de los controladores de memoria intermedia de tramas no uniforme 112, 312 descrito en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 912 puede acceder dinámicamente a diferentes subconjuntos de una o más memoria(s) intermedia(s) de tramas. En algunas configuraciones, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir acceder al menos a un píxel de una primera zona a una velocidad diferente de al menos un píxel de una segunda zona. De forma adicional o alternativa, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir habilitar el intercambio de subrutinas de sombreador dinámico (cuando el procesamiento de un primer píxel está en curso y se completa el proceso de un segundo píxel, por ejemplo). De forma adicional o alternativa, el controlador de memoria intermedia de tramas no uniforme 912 puede configurarse para sustituir una primera muestra procesada de un primer píxel por una segunda muestra de un segundo píxel para evitar procesar la segunda muestra del segundo píxel.

[0107] En algunas configuraciones, se puede implementar una memoria caché dedicada para manejar texturas específicas y renderizar objetivos. La memoria caché puede ser tan grande como el conjunto de texturas en sí.

[0108] La Figura 10 es un diagrama de bloques que ilustra otro ejemplo de un dispositivo electrónico 1066 que incluye un circuito 1068 de palabra de instrucción muy larga (VLIW). En particular, la Figura 10 ilustra otro ejemplo de una arquitectura para el procesamiento de gráficos. Uno o más aspectos de la arquitectura descritos en relación con la Figura 10 pueden funcionar de manera similar a los aspectos de la arquitectura Intel. Esta arquitectura puede proporcionar renderización de modo inmediato (IMR), así como una arquitectura de memoria unificada (UMA) con memoria física y virtual compartida. Esta arquitectura puede habilitar el uso compartido de copia cero, así como el uso compartido de punteros.

[0109] El dispositivo electrónico 1066 puede incluir un procesador 1015 (por ejemplo, una CPU). En este ejemplo, el procesador 1015 puede incluir un circuito VLIW 1068. Por ejemplo, el circuito VLIW 1068 puede integrarse en el procesador 1015.

[0110] El dispositivo electrónico 1066 puede incluir un circuito VLIW 1068 (por ejemplo, GPU) y memoria del sistema 1005. El circuito VLIW 1068 puede incluir un conducto de gráficos 1070 y memoria en chip 1003. El conducto de gráficos 1070 puede incluir uno o más de un transmisor de comandos (CS) 1017, un buscador de vértices (VF) 1074, sombreador de vértices (VS) 1076, sombreador de perímetros (HS) 1078, teselador (TESS) 1080 (por ejemplo, motor de teselación), sombreador de dominio (DS) 1082, sombreador de geometría (GS) 1084, flujo de salida (SOL) 1019, recortador (Clip) 1021, rasterizador (Rast) 1086 y sombreador de fragmentos (FS) 1090. Muchas de las etiquetas de elementos se han abreviado por conveniencia. La memoria en chip 1003 puede incluir una o más memorias intermedias, una o más memorias caché, etc. En algunas configuraciones, la memoria en chip 1003 puede incluir una memoria intermedia de texturas, memoria intermedia de tramas y/u otro bloque de memoria en chip 1110. La memoria del sistema 1005 puede incluir datos de comandos, datos de vértice (por ejemplo, datos de geometría) y/o datos de textura.

[0111] Para renderizar una escena, el dispositivo electrónico 1066 puede obtener datos de comandos y datos de vértice de la memoria del sistema. Por ejemplo, el CS 1017 puede recibir y/o ejecutar comandos de renderización desde la memoria del sistema 1005. Los datos de vértice pueden indicar uno o más puntos (por ejemplo, vértices), líneas y/o polígonos. Los datos de vértice 1009 pueden representar una escena y/o uno o más objetos en una escena.

[0112] El VF 1074 puede buscar datos de vértice de la memoria del sistema 1005 en el circuito VLIW 1068 (por ejemplo, el conducto de gráficos 1070). El VF 1074 puede proporcionar los datos de vértice al VS 1076 y/o puede almacenar los datos de vértice en la memoria caché 1001.

[0113] El VS 1076 puede transformar los datos de vértice en un espacio diferente. Por ejemplo, el VS 1076 puede transformar los datos de vértice del espacio tridimensional (3D) en un espacio bidimensional (2D). El VS 1076 puede proporcionar los datos de vértice transformados al HS 1078 y/o puede almacenar datos de vértice transformados en la memoria caché 1001.

[0114] El HS 1078 puede recibir datos de vértice (por ejemplo, datos de vértice transformado) desde el VS 1076 y/o desde la memoria caché 1001. El HS 1078 puede transformar la base de los datos de vértice (por ejemplo, los datos

de vértice transformados). Por ejemplo, el HS 1078 puede transformar la base de los datos de vértice en una base para la teselación (por ejemplo, para subdividir eficientemente polígonos tales como triángulos). El HS 1078 puede almacenar información en la memoria caché 1001. Por ejemplo, el HS 1078 puede almacenar un indicador de base que indica la transformación de base realizada por el HS 1078. Los datos de vértice transformados de base pueden proporcionarse al TESS 1080.

[0115] El TESS 1080 puede teselar los datos de vértice (por ejemplo, datos de vértice transformados de base). Por ejemplo, el TESS 1080 puede generar más vértices basándose en los datos de vértice (por ejemplo, puede subdividir triángulos en más triángulos). El TESS 1080 puede funcionar basándose en un parámetro LOD. El parámetro LOD puede especificar el LOD y/o puede indicar un grado de teselación para que lo realice el TESS 1080. Los datos de vértice teselados pueden proporcionarse al DS 1082.

[0116] El DS 1082 puede transformar la base de los datos de vértice (por ejemplo, datos de vértice teselados). Por ejemplo, el DS 1082 puede transformar la base de los datos de vértice a la base antes de la transformada de base aplicada por el HS 1078. En algunas configuraciones, el DS 1082 puede leer el indicador de base de la memoria caché 1001 para transformar (por ejemplo, transformar de forma inversa) la base de los datos de vértice. En otras configuraciones, el DS 1082 puede acoplarse directamente al HS 1078 y puede recibir el indicador de base del HS 1078 para transformar (por ejemplo, transformar de forma inversa) la base de los datos de vértice. El DS 1082 puede proporcionar datos de vértice (por ejemplo, los datos de vértice transformados de base inversa) al GS 1084 y/o almacenar los datos de vértice en la memoria caché 1001.

[0117] El GS 1084 puede realizar una o más operaciones sobre los datos de vértice (por ejemplo, los datos de vértice transformados de base inversa). Por ejemplo, el GS 1084 puede generar geometría adicional basándose en los datos de vértice. El GS 1084 puede proporcionar los datos de vértice (con geometría adicional, por ejemplo) al SOL 1019.

[0118] El SOL 1019 puede transmitir los datos de vértice (con geometría adicional, por ejemplo) y/o almacenar los datos de vértice en la memoria del sistema 1005. El SOL 1019 puede proporcionar los datos de vértice (con geometría adicional, por ejemplo) al recortador 1021.

[0119] El recortador 1021 puede descartar algunos de los datos de vértice (con geometría adicional, por ejemplo). Por ejemplo, el recortador 1021 puede descartar datos de vértice que se encuentran fuera de una visualización (por ejemplo, núcleo de visualización). El recortador 1021 puede proporcionar los datos de vértice recortados al rasterizador 1086 y/o a la memoria caché 1001.

[0120] El rasterizador 1086 puede recibir los datos de vértice recortados del recortador 1021 y/o la memoria caché 1001. El rasterizador 1086 puede rasterizar los datos de vértice. Por ejemplo, el rasterizador puede convertir los datos de vértice en datos de píxeles. Los datos de píxeles pueden proporcionarse al FS 1090 y/o a la memoria caché 1001.

[0121] El FS 1090 puede realizar sombreado de fragmentos o sombreado de píxeles en los datos de píxeles. Por ejemplo, el FS 1090 puede determinar uno o más atributos (por ejemplo, color, brillo, transparencia, etc.) de uno o más píxeles. En algunas configuraciones, el FS 1090 puede realizar una eliminación de superficie oculta (HSR). En algunas configuraciones, el FS 1090 puede incluir un bloque de composición/descomposición (C/D) 1092. De forma alternativa, el C/D 1092 puede estar separado del FS 1090 y/o acoplado al FS 1090 como se ilustra en la Figura 10.

[0122] En algunas configuraciones, el C/D 1092 puede llevar a cabo operaciones tales como texturizado y/o mezcla. Por ejemplo, el C/D 1092 puede mezclar varias capas para determinar un valor de píxel final. En algunas configuraciones, el C/D 1092 puede combinar diferentes memorias intermedias de tramas (por ejemplo, puede mezclar varias imágenes juntas por píxel). Cabe señalar que el C/D 1092 puede implementarse en chip (en el circuito VLIW 1068), en el conducto de gráficos 1070, en la memoria en chip 1003 y/o separado del circuito VLIW 1068. El C/D 1092 puede funcionar con datos de imágenes antes de que los datos de imágenes se escriban en la memoria del sistema 1005 y/o en otro flujo de salida (por ejemplo, flujo de salida HDMI). En algunas configuraciones, la memoria del sistema 1005 puede proporcionar datos de textura a la memoria caché 1001, a la que puede acceder el FS 1090 y/o el C/D 1092. El FS 1090 puede realizar una o más operaciones accediendo a la memoria caché 1001. El FS 1090 puede proporcionar los datos de píxeles (por ejemplo, datos de píxeles procesados) al C/D 1092, que puede realizar la composición/descomposición y proporcionar los datos de píxeles a la memoria caché 1001.

[0123] Los datos de píxeles pueden enviarse a través de la memoria caché 1001 a la memoria del sistema 1005. Los datos de píxeles pueden proporcionarse (por ejemplo, enviarse) para su presentación. Por ejemplo, los datos de píxeles pueden enviarse a una pantalla para su presentación.

[0124] Cabe señalar que, sin los sistemas y procedimientos divulgados en el presente documento, las operaciones descritas en relación con la Figura 10 se pueden realizar en términos de conjuntos de datos (por ejemplo, conjuntos de vértice, píxel y/o datos de imágenes) como se ha descrito en relación con la Figura 8.

[0125] La Figura 11 es un diagrama de bloques que ilustra otro ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 10. Específicamente, la

Figura 11 ilustra un dispositivo electrónico 1102. El dispositivo electrónico 1102 descrito en relación con la Figura 11 puede ser un ejemplo de uno o más de los dispositivos electrónicos 102, 302 descritos anteriormente en relación con una o más de las Figuras 1-5. El dispositivo electrónico 1102 puede configurarse para realizar uno o más de los procedimientos, funciones, pasos, operaciones, etc., descritos en relación con una o más de las Figuras 1-5.

[0126] El dispositivo electrónico 1102 puede incluir un procesador 1124 (por ejemplo, una CPU). El procesador 1124 puede ser un ejemplo del procesador 324 descrito en relación con la Figura 3. En este ejemplo, el procesador 1015 puede incluir un circuito VLIW 1104. Por ejemplo, el circuito VLIW 1104 puede integrarse en el procesador 1124.

[0127] El dispositivo electrónico 1102 puede incluir un circuito VLIW 1104 (por ejemplo, una GPU) y la memoria del sistema 1114. El circuito VLIW 1104 puede ser un ejemplo de uno o más de los circuitos VLIW 104, 304 descritos anteriormente en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria del sistema 1114 puede ser un ejemplo de una o más de las memorias del sistema 114, 314 descritas en relación con una o más de las Figuras 1-5. La memoria del sistema 1114 puede incluir datos de comandos, datos de vértice (por ejemplo, datos de geometría), datos de textura y/o datos objetivo renderizados (por ejemplo, datos de píxeles).

[0128] El circuito VLIW 1104 puede incluir un conducto de gráficos 1106 y memoria en chip 1110. El conducto de gráficos 1106 descrito en relación con la Figura 11 puede ser un ejemplo de uno o más de los conductos de gráficos 106, 306 descritos en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria en chip 1110 descrita en relación con la Figura 11 puede ser un ejemplo de una o más de las memorias en chip 110, 310 descritas en relación con una o más de las Figuras 1-5.

[0129] La memoria en chip 1110 puede incluir una o más memorias intermedias de tramas, una o más memorias caché 1101, etc. Por ejemplo, las memorias caché de nivel 1 (L1) y/o nivel 2 (L2) pueden utilizarse como almacenamiento en chip. En algunas configuraciones, el hardware de predicción de conducto puede estar deshabilitado. Debe notarse que la memoria en chip 1110 puede incluir una o más memorias intermedias de tramas como se ha descrito en relación con una o más de las Figuras 3-4. La(s) memoria(s) intermedia(s) de tramas puede(n) incluirse en una o más de la memoria en chip 1110, la memoria caché 1101, etc. De forma adicional o alternativa, la(s) memoria(s) intermedia(s) de tramas puede(n) incluirse en la memoria del sistema 1114. En algunas configuraciones, se pueden incluir una o más memorias intermedias de tramas en la memoria en chip 1110, la memoria del sistema 1114 o ambas.

[0130] El conducto de gráficos 1106 puede incluir uno o más de un CS 1117, VF 1174, VS 1176, HS 1178, TESS 1180, DS 1182, GS 1184, SOL 1119, recortador 1121, rasterizador 1186, FS 1190 y C/D 1192. En algunas configuraciones, uno o más de los CS 1117, VF 1174, VS 1176, HS 1178, TESS 1180, DS 1182, GS 1184, SOL 1119, recortador 1121, rasterizador 1186, FS 1190 y C/D 1192 pueden realizar una o más de las operaciones de uno o más elementos correspondientes descritos en relación con la Figura 10.

[0131] En las configuraciones ilustradas en la Figura 11, el circuito VLIW 1104 (por ejemplo, el conducto de gráficos 1106) puede incluir un controlador de memoria asíncrona 1108. El controlador de memoria asíncrona 1108 puede incluirse y/o implementarse en uno o más de los HS 1178, el TESS 1180, el DS 1182, el GS 1184, el rasterizador 1186 y el FS 1190. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria asíncrona 1108a en el HS 1178, el TESS 1180, el DS 1182, el GS 1184, el rasterizador 1186 y/o el FS 1190. La etiqueta genérica "1108" puede denotar que el controlador de memoria asíncrona 1108 puede implementarse en cualquiera o en todos los elementos 1108a-f ilustrados en la Figura 11. En algunas configuraciones, el controlador de memoria asíncrona 1108 puede implementarse solo en uno o más de los HS 1178, TESS 1180, DS 1182 y GS 1184. Por ejemplo, el controlador de memoria asíncrona 1108 solo puede leer asíncronamente uno o más parámetros en el HS 1178, TESS 1180, DS 1182 y/o GS 1184, ya que los datos pueden reenviarse a etapas posteriores.

[0132] El controlador de memoria asíncrona 1108 que se describe en relación con la Figura 11 puede ser un ejemplo de uno o más de los controladores de memoria asíncrona 108, 308 descritos en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria asíncrona 1108 puede leer asíncronamente uno o más parámetros (por ejemplo, parámetros LOD) de la memoria en chip 1110 y/o la memoria del sistema 1114 (durante el procesamiento de un conjunto de datos, por ejemplo). En algunas configuraciones, los parámetros actualizados se pueden proporcionar a uno o más del HS 1178, el TESS 1180, el DS 1182, el GS 1184, el rasterizador 1186 y el FS 1190. En consecuencia, uno o más del HS 1178, el TESS 1180, el DS 1182, el GS 1184, el rasterizador 1186 y el FS 1190 pueden cambiar el procesamiento del conjunto de datos para que sea diferente del procesamiento establecido inicialmente para un conjunto de datos, mientras el conjunto de datos se está procesando.

[0133] En algunas configuraciones, esto puede permitir que el dispositivo electrónico 1102 realice una renderización de múltiples LOD de una sola pasada. Por ejemplo, el controlador de memoria asíncrona 1108 puede leer un parámetro LOD que es diferente de otro parámetro LOD establecido inicialmente para el conjunto de datos que son procesados y/o renderizados actualmente (por ejemplo, teselados). El parámetro LOD actualizado se puede proporcionar a uno o más del HS 1178, el TESS 1180, el DS 1182, el GS 1184, el rasterizador 1186 y el FS 1190. En consecuencia, uno o más del HS 1178, el TESS 1180, el DS 1182, el GS 1184, el rasterizador 1186 y el FS 1190 pueden cambiar el

procesamiento (por ejemplo, cambiar el nivel de teselación) de un conjunto de datos de acuerdo con el parámetro LOD actualizado durante procesamiento del conjunto de datos que se inició con uno o más parámetros diferentes.

[0134] El circuito VLIW 1104 (por ejemplo, conducto de gráficos 1106) puede incluir un controlador de memoria intermedia de tramas no uniforme 1112. Como se ilustra en la Figura 11, el controlador de memoria intermedia de tramas no uniforme 1112 puede incluirse y/o implementarse en el C/D 1192. Cabe señalar que el controlador de memoria intermedia de tramas no uniforme 1112 puede incluirse o implementarse de forma adicional o alternativa en uno o más de los FS 1190, C/D 1192, el conducto de gráficos 1106 y la memoria en chip 1110. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria intermedia de tramas no uniforme 1112 en uno o más de los FS 1190, C/D 1192, el conducto de gráficos 1106, la memoria en chip 1110 y el dispositivo electrónico 1102.

[0135] El controlador de memoria intermedia de tramas no uniforme 1112 descrito en relación con la Figura 11 puede ser un ejemplo de uno o más de los controladores de memoria intermedia de tramas no uniforme 112, 312 descrito en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 1112 puede acceder dinámicamente a diferentes subconjuntos de una o más memoria(s) intermedia(s) de tramas. En algunas configuraciones, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir acceder al menos a un píxel de una primera zona a una velocidad diferente de al menos un píxel de una segunda zona. De forma adicional o alternativa, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir habilitar el intercambio de subrutinas de sombreador dinámico (cuando el procesamiento de un primer píxel está en curso y se completa el proceso de un segundo píxel, por ejemplo). De forma adicional o alternativa, el controlador de memoria intermedia de tramas no uniforme 1112 puede configurarse para sustituir una primera muestra procesada de un primer píxel por una segunda muestra de un segundo píxel para evitar procesar la segunda muestra del segundo píxel. Debe observarse que en algunas configuraciones, el dispositivo electrónico 1102 descrito en relación con la Figura 11 puede implementarse para realizar un suavizado adaptativo asíncrono usando memoria compartida y/o sombreado adaptativo de múltiples frecuencias.

[0136] La Figura 12 es un diagrama de bloques que ilustra otro ejemplo de un dispositivo electrónico 1266 que incluye un circuito 1268 de palabra de instrucción muy larga (VLIW). En particular, la Figura 12 ilustra un ejemplo de una arquitectura para el procesamiento de gráficos. Uno o más aspectos de la arquitectura descritos en relación con la Figura 12 pueden funcionar de manera similar a los aspectos de la arquitectura de Imagine Technologies (por ejemplo, gráficos PowerVR). Esta arquitectura es una arquitectura de elementos que puede proporcionar renderización diferida basada en elementos (TBDR). La geometría opaca puede clasificarse en elementos (en lugar de almacenamiento en caché, por ejemplo).

[0137] El dispositivo electrónico 1266 puede incluir un circuito VLIW 1268 (por ejemplo, GPU) y la memoria del sistema 1205 (por ejemplo, DRAM). El circuito VLIW 1268 puede incluir un conducto de gráficos 1270 y memoria en chip 1203. El conducto de gráficos 1270 puede incluir uno o más de un procesador de vértices (VP) 1274, sombreador de vértices (VS) 1276, sombreador de control de teselación (TCS) 1278, teselador (TESS) 1280 (por ejemplo, motor de teselación), sombreador de evaluación de teselación (TES) 1282, sombreador de geometría (GS) 1284, creador de elementos 1223, rasterizador (Rast) 1286 y sombreador de fragmentos (FS) 1290. Muchas de las etiquetas de elementos se han abreviado por conveniencia. La memoria en chip 1203 puede incluir una memoria intermedia de profundidades 1237 y una memoria intermedia de colores 1239. La memoria del sistema 1205 puede incluir datos de geometría 1209, una memoria intermedia de parámetros 1235, datos de textura 1211 y una memoria intermedia de tramas 1241. Los datos de geometría 1209 pueden indicar uno o más puntos (por ejemplo, vértices), líneas y/o polígonos. Los datos de geometría 1209 pueden representar una escena y/o uno o más objetos en una escena.

[0138] El VP 1274 puede buscar datos de geometría de la memoria del sistema 1205 en el circuito VLIW 1268 (por ejemplo, el conducto de gráficos 1270). El VP 1274 puede proporcionar los datos de geometría al VS 1276.

[0139] El VS 1276 puede transformar (por ejemplo, proyectar) los datos de geometría en un espacio diferente. Por ejemplo, el VS 1276 puede transformar los datos de geometría del espacio tridimensional (3D) en un espacio bidimensional (2D). En algunas configuraciones, el VS 1276 puede realizar recorte, proyección y/o eliminación. Por ejemplo, el VS 1276 puede recortar datos de geometría que están fuera del núcleo de visualización. El VS 1276 puede proyectar los datos de geometría del espacio 3D al espacio 2D. El VS 1276 también puede eliminar algunos de los datos de geometría. Por ejemplo, los datos de geometría correspondientes a la geometría ocluida (por ejemplo, geometría que no es visible porque está bloqueada por otra geometría) pueden eliminarse. El VS 1276 puede proporcionar los datos de geometría transformada al TCS 1278.

[0140] El TCS 1278 puede recibir datos de geometría (por ejemplo, datos de geometría transformada) del VS 1276 y/o de la memoria intermedia 1296. El TCS 1278 puede transformar la base de los datos de geometría (por ejemplo, los datos de geometría transformada). Por ejemplo, el TCS 1278 puede transformar la base de los datos de geometría en una base para la teselación (por ejemplo, para subdividir eficientemente polígonos tales como triángulos). Por ejemplo, el TCS 1278 puede producir un indicador de base que indica la transformación de base realizada por el TCS 1278. Los datos de geometría de transformada de base pueden proporcionarse al TESS 1280.

[0141] El TESS 1280 puede teselar los datos de geometría (por ejemplo, datos de geometría de transformada de base). Por ejemplo, el TESS 1280 puede generar más datos de geometría (por ejemplo, vértices) basándose en los datos de geometría (por ejemplo, puede subdividir triángulos en más triángulos). El TESS 1280 puede funcionar basándose en un parámetro LOD. El parámetro LOD puede especificar el LOD y/o puede indicar un grado de teselación para que lo realice el TESS 1280. Los datos de geometría teselados pueden proporcionarse al TES 1282.

[0142] El TES 1282 puede transformar la base de los datos de geometría (por ejemplo, datos de geometría teselados). Por ejemplo, el TES 1282 puede transformar la base de los datos de geometría a la base antes de la transformada de base aplicada por el TCS 1278. En algunas configuraciones, el TES 1282 puede obtener el indicador de base del TCS 1278 y/o memoria (por ejemplo, memoria en chip 1203 y/o memoria del sistema 1205) para transformar (por ejemplo, transformar de forma inversa) la base de los datos de geometría. El TES 1282 puede proporcionar datos de geometría (por ejemplo, los datos de geometría de transformada de base inversa) al GS 1284.

[0143] El GS 1284 puede realizar una o más operaciones en los datos de geometría (por ejemplo, los datos de geometría de transformada de base inversa). Por ejemplo, el GS 1284 puede generar geometría adicional basándose en los datos de geometría. El GS 1284 puede proporcionar los datos de geometría (con geometría adicional, por ejemplo) al creador de elementos 1223.

[0144] El creador de elementos 1223 puede dividir los datos de geometría (con geometría adicional, por ejemplo) en elementos. Por ejemplo, el creador de elementos 1223 puede dividir los datos de geometría en grupos más pequeños de datos de geometría. Los elementos pueden incluir datos de geometría contigua. El creador de elementos 1223 puede proporcionar los elementos a la memoria intermedia de parámetros 1235.

[0145] La memoria intermedia de parámetros 1235 puede almacenar los elementos. Por ejemplo, la memoria intermedia de parámetros 1235 puede almacenar una lista de primitivas (por ejemplo, datos de geometría, vértices, líneas, polígonos, etc.). En la arquitectura de elementos descrita en la Figura 12, el procesamiento de elementos puede aprovechar la localidad espacial de los accesos a la memoria del sistema. Por ejemplo, las operaciones que son locales para un elemento pueden ser relativamente "baratas" (por ejemplo, pueden utilizar muy pocos recursos de procesamiento, energía, memoria y/o tiempo). En algunas configuraciones, el circuito VLIW 1268 puede teselar los datos de geometría y enviar esos datos de geometría para la creación de elementos a la memoria intermedia de parámetros 1235. Los datos de geometría (por ejemplo, datos de geometría de elementos, primitivas, etc.) pueden proporcionarse al rasterizador 1286. Debe observarse que los parámetros almacenados en la memoria intermedia de parámetros 1235 pueden no incluir parámetros de renderización (por ejemplo, parámetros LOD).

[0146] El rasterizador 1286 puede recibir los datos de geometría (por ejemplo, datos de geometría de elementos, primitivas, etc.) desde la memoria intermedia de parámetros 1235. El rasterizador 1286 puede rasterizar los datos de geometría. Por ejemplo, el rasterizador puede convertir los datos de geometría en datos de píxeles. Los datos de píxeles pueden proporcionarse al FS 1290.

[0147] El FS 1290 puede realizar sombreado de fragmentos o sombreado de píxeles en los datos de píxeles. Por ejemplo, el FS 1290 puede determinar uno o más atributos (por ejemplo, color, brillo, transparencia, etc.) de uno o más píxeles. En algunas configuraciones, el FS 1290 puede incluir uno o más bloques de extracción de superficie oculta (HSR) y prueba de profundidad (DT) 1225, una memoria intermedia de etiquetas (TB) 1227, un bloque de textura y sombra (T y S) 1229, un bloque de prueba alfa (AT) 1231 y un bloque de mezcla alfa (AB) 1233. El HSR y el DT 1225 pueden realizar pruebas de profundidad y eliminación de superficies ocultas. Por ejemplo, la prueba de profundidad puede incluir determinar una profundidad correspondiente a píxeles. El HSR y el DT pueden determinar la profundidad de cada píxel y almacenar indicadores de profundidad en la memoria intermedia de profundidades 1237. La eliminación de la superficie oculta puede incluir descartar píxeles que tengan una profundidad mayor que otros píxeles (por ejemplo, que están ocluidos por otros píxeles). En algunos enfoques, la memoria intermedia de etiquetas (TB) 1227 puede reagrupar opcionalmente píxeles para una ejecución más rápida. El T y S 1229 puede obtener datos de textura 1211 de la memoria del sistema. El AT 1231 puede realizar una prueba personalizada de "plantilla" (por ejemplo, otra prueba de profundidad). En algunas configuraciones, el AT 1231 puede actualizar el HSR y el DT 1225. El AB 1233 puede mezclar píxeles (por ejemplo, píxeles de una o más capas y/o memorias intermedias de tramas). Por ejemplo, el AB 1233 puede realizar una operación de composición y/o descomposición, donde se pueden mezclar dos imágenes usando un valor alfa.

[0148] El AB 1233 puede proporcionar datos de píxeles a la memoria intermedia de colores 1239. Como se ilustra en la Figura 12, los datos de la memoria intermedia de colores y profundidades pueden almacenarse en chip. La memoria intermedia de colores 1239 puede proporcionar los datos de píxeles a la memoria intermedia de tramas 1241. La memoria intermedia de tramas 1241 puede enviar los datos de píxeles. Los datos de píxeles pueden proporcionarse (por ejemplo, enviarse) para su presentación. Por ejemplo, los datos de píxeles pueden enviarse a una pantalla para su presentación.

[0149] Cabe señalar que, sin los sistemas y procedimientos divulgados en el presente documento, las operaciones descritas en relación con la Figura 12 se pueden realizar en términos de conjuntos de datos (por ejemplo, conjuntos de vértice, píxel y/o datos de imágenes) como se ha descrito en relación con la Figura 8.

[0150] La Figura 13 es un diagrama de bloques que ilustra un ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 12. Esta arquitectura puede proporcionar TBDR. Específicamente, la Figura 13 ilustra un dispositivo electrónico 1302. El dispositivo electrónico 1302 descrito en relación con la Figura 13 puede ser un ejemplo de uno o más de los dispositivos electrónicos 102, 302 descritos anteriormente en relación con una o más de las Figuras 1-5. El dispositivo electrónico 1302 puede configurarse para realizar uno o más de los procedimientos, funciones, pasos, operaciones, etc., descritos en relación con una o más de las Figuras 1-5.

[0151] El dispositivo electrónico 1302 puede incluir un circuito VLIW 1304 (por ejemplo, una GPU) y la memoria del sistema 1314. El circuito VLIW 1304 puede ser un ejemplo de uno o más de los circuitos VLIW 104, 304 descritos anteriormente en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria del sistema 1314 puede ser un ejemplo de una o más de las memorias del sistema 114, 314 descritas en relación con una o más de las Figuras 1-5. La memoria del sistema 1314 puede incluir datos de geometría 1309, una memoria intermedia de parámetros 1335, datos de textura 1311 y/o una memoria intermedia de tramas 1341. Uno o más de los datos de geometría 1309, una memoria intermedia de parámetros 1335, datos de textura 1311 y/o una memoria intermedia de tramas 1341 pueden ser similares a los elementos correspondientes descritos en relación con la Figura 12. Debe observarse que la memoria del sistema 1314 puede incluir una o más memorias intermedias de tramas como se ha descrito en relación con una o más de las Figuras 3-4. Por ejemplo, la memoria intermedia de tramas 1341 puede ser un ejemplo de una o más de las memorias intermedias de tramas descritas en relación con una o más de las Figuras 3-4. En algunas configuraciones, se pueden incluir una o más memorias intermedias de tramas en la memoria en chip 1310, la memoria del sistema 1314 o ambas.

[0152] El circuito VLIW 1304 puede incluir un conducto de gráficos 1306 y memoria en chip 1310. El conducto de gráficos 1306 descrito en relación con la Figura 13 puede ser un ejemplo de uno o más de los conductos de gráficos 106, 306 descritos en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria en chip 1310 descrita en relación con la Figura 13 puede ser un ejemplo de una o más de las memorias en chip 110, 310 descritas en relación con una o más de las Figuras 1-5.

[0153] La memoria en chip 1310 puede incluir una memoria caché de 1301 y/o una memoria intermedia de profundidades y colores 1343. En algunas configuraciones, una o más de la memoria en chip 1310, la memoria caché 1301 y/o la memoria intermedia de profundidades y colores 1343 pueden ser similares a los elementos correspondientes descritos en relación con la Figura 12.

[0154] El conducto de gráficos 1306 puede incluir uno o más de un VP 1374, VS 1376, TCS 1378, TESS 1380, TES 1382, GS 1384, creador de elementos 1323, rasterizador 1386 y FS 1390. En algunas configuraciones, uno o más de los VP 1374, VS 1376, TCS 1378, TESS 1380, TES 1382, GS 1384, creador de elementos 1323, rasterizador 1386 y FS 1390 pueden realizar una o más de las operaciones de uno o más elementos correspondientes descritos en relación con la Figura 12. Cabe señalar que el FS 1390 puede incluir uno o más de un HSR y DT, TB, T y S, AT y AB como se ha descrito en relación con la Figura 12 en algunas configuraciones.

[0155] En las configuraciones ilustradas en la Figura 13, el circuito VLIW 1304 (por ejemplo, el conducto de gráficos 1306) puede incluir un controlador de memoria asíncrona 1308. El controlador de memoria asíncrona 1308 puede incluirse y/o implementarse en uno o más de los TCS 1378, el TESS 1380, el TES 1382, el GS 1384, el rasterizador 1386 y el FS 1390. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria asíncrona 1308 en el TCS 1378, el TESS 1380, el TES 1382, el GS 1384, el rasterizador 1386 y/o el FS 1390. La etiqueta genérica "1308" puede denotar que el controlador de memoria asíncrona 1308 puede implementarse en cualquiera o en todos los elementos 1308a-f ilustrados en la Figura 13. En algunas configuraciones, el controlador de memoria asíncrona 1308 puede implementarse solo en uno o más de los TCS 1378, TESS 1380, TES 1382 y GS 1384. Por ejemplo, el controlador de memoria asíncrona 1308 solo puede leer asíncronamente uno o más parámetros en el TCS 1378, TESS 1380, TES 1382 y/o GS 1384, ya que los datos pueden reenviarse a etapas posteriores.

[0156] El controlador de memoria asíncrona 1308 que se describe en relación con la Figura 13 puede ser un ejemplo de uno o más de los controladores de memoria asíncrona 108, 308 descritos en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria asíncrona 1308 puede leer asíncronamente uno o más parámetros (por ejemplo, parámetros LOD) de la memoria del sistema 1314 (durante el procesamiento de un conjunto de datos, por ejemplo). En algunas configuraciones, los parámetros actualizados se pueden proporcionar a uno o más del TCS 1378, el TESS 1380, el TES 1382, el GS 1384, el rasterizador 1386 y el FS 1390. En consecuencia, uno o más del TCS 1378, el TESS 1380, el TES 1382, el GS 1384, el rasterizador 1386 y el FS 1390 pueden cambiar el procesamiento del conjunto de datos para que sea diferente del procesamiento establecido inicialmente para un conjunto de datos, mientras el conjunto de datos se está procesando.

[0157] En algunas configuraciones, esto puede permitir que el dispositivo electrónico 1302 realice una renderización de múltiples LOD de una sola pasada. Por ejemplo, el controlador de memoria asíncrona 1308 puede leer un parámetro LOD que es diferente de otro parámetro LOD establecido inicialmente para el conjunto de datos que son procesados y/o renderizados actualmente (por ejemplo, teselados). El parámetro LOD actualizado se puede proporcionar a uno o

más de los TCS 1378, el TESS 1380, el TES 1382, el GS 1384, el rasterizador 1386 y el FS 1390. En consecuencia, uno o más del TCS 1378, el TESS 1380, el TES 1382, el GS 1384, el rasterizador 1386 y el FS 1390 pueden cambiar el procesamiento (por ejemplo, cambiar el nivel de teselación) de un conjunto de datos de acuerdo con el parámetro LOD actualizado durante procesamiento del conjunto de datos que se inició con uno o más parámetros diferentes.

[0158] El circuito VLIW 1304 (por ejemplo, conducto de gráficos 1306) puede incluir un controlador de memoria intermedia de tramas no uniforme 1312. Como se ilustra en la Figura 13, el controlador de memoria intermedia de tramas no uniforme 1312 puede incluirse y/o implementarse en el FS 1390. Debe observarse que el controlador de memoria intermedia de tramas no uniforme 1312 puede incluirse y/o implementarse de forma adicional o alternativa en uno o más del FS 1390, el conducto de gráficos 1306 y la memoria en chip 1310. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria intermedia de tramas no uniforme 1312 en uno o más del FS 1390, el conducto de gráficos 1306, la memoria en chip 1310 y el dispositivo electrónico 1302.

[0159] El controlador de memoria intermedia de tramas no uniforme 1312 descrito en relación con la Figura 13 puede ser un ejemplo de uno o más de los controladores de memoria intermedia de tramas no uniforme 112, 312 descrito en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 1312 puede acceder dinámicamente a diferentes subconjuntos de una o más memoria(s) intermedia(s) de tramas (por ejemplo, la memoria intermedia de tramas 1341). En algunas configuraciones, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir acceder al menos a un píxel de una primera zona a una velocidad diferente de al menos un píxel de una segunda zona. De forma adicional o alternativa, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir habilitar el intercambio de subrutinas de sombreador dinámico (cuando el procesamiento de un primer píxel está en curso y se completa el proceso de un segundo píxel, por ejemplo). De forma adicional o alternativa, el controlador de memoria intermedia de tramas no uniforme 1312 puede configurarse para sustituir una primera muestra procesada de un primer píxel por una segunda muestra de un segundo píxel para evitar procesar la segunda muestra del segundo píxel. La arquitectura ilustrada en la Figura 13 puede permitir la configuración personalizada de las memorias intermedias en chip (por ejemplo, memorias intermedias de profundidades y colores). Esto puede permitir la renderización de lado a lado para VR, generación de mapas MIP, etc.

[0160] La Figura 14 es un diagrama de bloques que ilustra otro ejemplo de un dispositivo electrónico 1466 que incluye un circuito 1468 de palabra de instrucción muy larga (VLIW). En particular, la Figura 14 ilustra un ejemplo de una arquitectura para el procesamiento de gráficos. Esta arquitectura puede proporcionar (por ejemplo, soportar) tanto el modo inmediato (por ejemplo, IMR) como el modo de elemento (por ejemplo, TBDR). Por ejemplo, la arquitectura puede proporcionar una selección de modo inmediato o modo de elemento. El ejemplo ilustrado en la Figura 14 puede evitar memorias intermedias/memorias caché en chip grandes (necesarias para la geometría intermedia, por ejemplo).

[0161] El dispositivo electrónico 1466 puede incluir un circuito VLIW 1468 (por ejemplo, GPU) y la memoria del sistema 1405 (por ejemplo, DRAM). El circuito VLIW 1468 puede incluir un conducto de gráficos 1470 y memoria en chip 1403. El conducto de gráficos 1470 puede incluir uno o más de un procesador de vértices (VP) 1474, sombreador de vértices (VS) 1476, conmutadores AB 1447a-b (por ejemplo, multiplexores), sombreador de control de teselación (TCS) 1478, teselador (TESS) 1480 (por ejemplo, motor de teselación), sombreador de evaluación de teselación (TES) 1482, sombreador de geometría (GS) 1484, creador de elementos 1449, rasterizador (Rast) 1486 y sombreador de fragmentos (FS) 1490. Muchas de las etiquetas de elementos se han abreviado por conveniencia. La memoria en chip 1403 puede incluir una memoria caché 1401 y una memoria intermedia de profundidades y colores 1443. La memoria del sistema 1405 puede incluir datos de geometría 1409, una memoria intermedia de parámetros 1435, datos de textura 1411 y una memoria intermedia de tramas 1441. Los datos de geometría 1409 pueden indicar uno o más puntos (por ejemplo, vértices), líneas y/o polígonos. Los datos de geometría 1409 pueden representar una escena y/o uno o más objetos en una escena.

[0162] El VP 1474 puede buscar datos de geometría de la memoria del sistema 1405 en el circuito VLIW 1468 (por ejemplo, el conducto de gráficos 1470). El VP 1474 puede proporcionar los datos de geometría al VS 1476.

[0163] El VS 1476 puede transformar (por ejemplo, proyectar) los datos de geometría en un espacio diferente. Por ejemplo, el VS 1476 puede transformar los datos de geometría del espacio tridimensional (3D) en un espacio bidimensional (2D). En algunas configuraciones, el VS 1476 puede realizar recorte, proyección y/o eliminación. Por ejemplo, el VS 1476 puede recortar datos de geometría que están fuera del núcleo de visualización. El VS 1476 puede proyectar los datos de geometría del espacio 3D al espacio 2D. El VS 1476 también puede eliminar algunos de los datos de geometría. Por ejemplo, los datos de geometría correspondientes a la geometría ocluida (por ejemplo, geometría que no es visible porque está bloqueada por otra geometría) pueden eliminarse. El VS 1476 puede proporcionar los datos de geometría transformada para cambiar A 1447a (por ejemplo, un multiplexor).

[0164] El conmutador A 1447a puede enrutar los datos de geometría transformada al TCS 1478 o al creador de elementos 1449 basándose en un modo 1445. Por ejemplo, el modo 1445 puede indicar un modo de renderización. En algunas configuraciones, los modos de renderización pueden incluir el modo de elemento (por ejemplo, el modo de renderización diferida basada en elementos (TBDR)) y el modo inmediato (por ejemplo, la renderización en modo inmediato (IMR)). Si la teselación está habilitada, el conmutador A 1447a puede enrutar los datos de geometría

transformada para ser teselados. De lo contrario, el conmutador A 1447a puede enrutar los datos de geometría transformada para la creación de elementos. Por ejemplo, en el caso de que el modo 1445 indique el modo de elemento, el conmutador A 1447a puede dirigir la geometría transformada al creador de elementos 1449. En el caso de que el modo 1445 indique modo inmediato, el conmutador A 1447a puede dirigir la geometría transformada al TCS 1478. El modo inmediato puede incluir una o más de las operaciones descritas en relación con una o más de las Figuras 8 y 10. El modo de elemento puede incluir una o más de las operaciones descritas en relación con la Figura 12.

[0165] El TCS 1478 puede recibir datos de geometría (por ejemplo, datos de geometría transformada) del conmutador A 1447a (por ejemplo, el VS 1476). El TCS 1478 puede transformar la base de los datos de geometría (por ejemplo, los datos de geometría transformada). Por ejemplo, el TCS 1478 puede transformar la base de los datos de geometría en una base para la teselación (por ejemplo, para subdividir eficientemente polígonos tales como triángulos). Por ejemplo, el TCS 1478 puede producir un indicador de base que indica la transformación de base realizada por el TCS 1478. Los datos de geometría de transformada de base pueden proporcionarse al TESS 1480.

[0166] El TESS 1480 puede teselar los datos de geometría (por ejemplo, datos de geometría de transformada de base). Por ejemplo, el TESS 1480 puede generar más datos de geometría (por ejemplo, vértices) basándose en los datos de geometría (por ejemplo, puede subdividir triángulos en más triángulos). El TESS 1480 puede funcionar basándose en un parámetro LOD. El parámetro LOD puede especificar el LOD y/o puede indicar un grado de teselación para que lo realice el TESS 1480. Los datos de geometría teselados pueden proporcionarse al TES 1482.

[0167] El TES 1482 puede transformar la base de los datos de geometría (por ejemplo, datos de geometría teselados). Por ejemplo, el TES 1482 puede transformar la base de los datos de geometría a la base antes de la transformada de base aplicada por el TCS 1478. En algunas configuraciones, el TES 1482 puede obtener el indicador de base del TCS 1478 y/o memoria (por ejemplo, memoria en chip 1403 y/o memoria del sistema 1405) para transformar (por ejemplo, transformar de forma inversa) la base de los datos de geometría. El TES 1482 puede proporcionar datos de geometría (por ejemplo, los datos de geometría de transformada de base inversa) al GS 1484.

[0168] El GS 1484 puede realizar una o más operaciones en los datos de geometría (por ejemplo, los datos de geometría de transformada de base inversa). Por ejemplo, el GS 1484 puede generar geometría adicional basándose en los datos de geometría. El GS 1484 puede proporcionar los datos de geometría (con geometría adicional, por ejemplo) para cambiar B 1447b. El conmutador B 1447b (por ejemplo, un multiplexor) puede enrutar los datos de geometría (con geometría adicional, por ejemplo) al rasterizador 1486 (en el caso de modo inmediato, por ejemplo).

[0169] En el caso de que el modo 1445 indique el modo TBDR, el conmutador A 1447a puede proporcionar los datos de geometría transformada al creador de elementos 1449 (desde el VS 1476, por ejemplo). El creador de elementos 1449 puede dividir los datos de geometría transformada en elementos. Por ejemplo, el creador de elementos 1449 puede dividir los datos de geometría en grupos más pequeños de datos de geometría. Los elementos pueden incluir datos de geometría contigua. El creador de elementos 1449 puede proporcionar los elementos a la memoria intermedia de parámetros 1435.

[0170] La memoria intermedia de parámetros 1435 puede almacenar los elementos. Por ejemplo, la memoria intermedia de parámetros 1435 puede almacenar una lista de primitivas (por ejemplo, datos de geometría, vértices, líneas, polígonos, etc.). En el modo de elemento descrito en la Figura 14, el procesamiento de elementos puede aprovechar la localidad espacial de los accesos a la memoria del sistema. Por ejemplo, las operaciones que son locales para un elemento pueden ser relativamente "baratas" (por ejemplo, pueden utilizar muy pocos recursos de procesamiento, energía, memoria y/o tiempo). Los datos de geometría (por ejemplo, datos de geometría de elementos, primitivas, etc.) se pueden proporcionar para cambiar B 1447b. El conmutador B 1447b puede enrutar los datos de geometría al rasterizador 1486 desde la memoria intermedia de parámetros 1435 (en el caso del modo de elemento, por ejemplo).

[0171] El rasterizador 1486 puede recibir los datos de geometría (por ejemplo, datos de geometría de elementos desde la memoria intermedia de parámetros 1435 o datos de geometría (con geometría adicional, por ejemplo) del GS 1484). El rasterizador 1486 puede rasterizar los datos de geometría. Por ejemplo, el rasterizador puede convertir los datos de geometría en datos de píxeles. Los datos de píxeles pueden proporcionarse al FS 1490.

[0172] El FS 1490 puede realizar sombreado de fragmentos o sombreado de píxeles en los datos de píxeles. Por ejemplo, el FS 1490 puede determinar uno o más atributos (por ejemplo, color, brillo, transparencia, etc.) de uno o más píxeles. Por ejemplo, el FS 1490 puede realizar una o más de las operaciones y/o puede incluir una o más de las estructuras descritas anteriormente en relación con uno o más de los FS 890, 990, 1090, 1190, 1290, 1390 descritos en relación con una o más de las Figuras 8-12.

[0173] El FS 1490 puede proporcionar datos de píxeles a uno o más de la memoria caché 1401 y la memoria intermedia de profundidades y colores 1443. En algunas configuraciones, el FS 1490 y/o la memoria intermedia de profundidades y colores 1443 pueden proporcionar una funcionalidad similar a los bloques de composición/descomposición descritos en el presente documento. En algunas configuraciones, la arquitectura descrita en relación con la Figura 14 puede no

mezclar el modo inmediato y el modo de elemento. Por ejemplo, el modo (por ejemplo, el modo 1445) puede indicar el modo inmediato de teselación o el modo de elemento sin teselación.

[0174] La memoria caché 1401 puede recibir datos de textura 1411 de la memoria del sistema. En algunas configuraciones, solo se pueden almacenar en memoria caché los accesos de textura y los elementos de memoria intermedia de tramas. En el caso del modo inmediato, se puede asignar un elemento que sea del tamaño de la memoria intermedia de tramas completa 1441.

[0175] Como se ilustra en la Figura 14, los datos de la memoria intermedia de colores y profundidades pueden almacenarse en chip. La memoria intermedia de profundidades y colores 1443 puede proporcionar los datos de píxeles a la memoria intermedia de tramas 1441. La memoria intermedia de tramas 1441 puede enviar los datos de píxeles. Los datos de píxeles pueden proporcionarse (por ejemplo, enviarse) para su presentación. Por ejemplo, los datos de píxeles pueden enviarse a una pantalla para su presentación.

[0176] Cabe señalar que, sin los sistemas y procedimientos divulgados en el presente documento, las operaciones descritas en relación con la Figura 14 se pueden realizar en términos de conjuntos de datos (por ejemplo, conjuntos de vértice, píxel y/o datos de imágenes) como se ha descrito en relación con la Figura 8.

[0177] La Figura 15 es un diagrama de bloques que ilustra un ejemplo de los sistemas y procedimientos divulgados en el presente documento implementados en la arquitectura descrita en relación con la Figura 14. Esta arquitectura puede proporcionar el modo inmediato (por ejemplo, IMR) y el modo de elemento (por ejemplo, TBDR). Específicamente, la Figura 15 ilustra un dispositivo electrónico 1502. El dispositivo electrónico 1502 descrito en relación con la Figura 15 puede ser un ejemplo de uno o más de los dispositivos electrónicos 102, 302 descritos anteriormente en relación con una o más de las Figuras 1-5. El dispositivo electrónico 1502 puede configurarse para realizar uno o más de los procedimientos, funciones, pasos, operaciones, etc., descritos en relación con una o más de las Figuras 1-5.

[0178] El dispositivo electrónico 1502 puede incluir un circuito VLIW 1504 (por ejemplo, una GPU) y la memoria del sistema 1514. El circuito VLIW 1504 puede ser un ejemplo de uno o más de los circuitos VLIW 104, 304 descritos anteriormente en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria del sistema 1514 puede ser un ejemplo de una o más de las memorias del sistema 114, 314 descritas en relación con una o más de las Figuras 1-5. La memoria del sistema 1514 puede incluir datos de geometría 1509, una memoria intermedia de parámetros 1535, datos de textura 1511 y/o una memoria intermedia de tramas 1541. Uno o más de los datos de geometría 1509, una memoria intermedia de parámetros 1535, datos de textura 1511 y/o una memoria intermedia de tramas 1541 pueden ser similares a los elementos correspondientes descritos en relación con la Figura 14. Debe observarse que la memoria del sistema 1514 puede incluir una o más memorias intermedias de tramas como se ha descrito en relación con una o más de las Figuras 3-4. Por ejemplo, la memoria intermedia de tramas 1541 puede ser un ejemplo de una o más de las memorias intermedias de tramas descritas en relación con una o más de las Figuras 3-4. En algunas configuraciones, se pueden incluir una o más memorias intermedias de tramas en la memoria en chip 1510, la memoria del sistema 1514 o ambas.

[0179] El circuito VLIW 1504 puede incluir un conducto de gráficos 1506 y memoria en chip 1510. El conducto de gráficos 1506 descrito en relación con la Figura 15 puede ser un ejemplo de uno o más de los conductos de gráficos 106, 306 descritos en relación con una o más de las Figuras 1-5. De forma adicional o alternativa, la memoria en chip 1510 descrita en relación con la Figura 15 puede ser un ejemplo de una o más de las memorias en chip 110, 310 descritas en relación con una o más de las Figuras 1-5.

[0180] La memoria en chip 1510 puede incluir una memoria caché de 1501 y/o una memoria intermedia de profundidades y colores 1543. En algunas configuraciones, una o más de la memoria en chip 1510, la memoria caché 1501 y/o la memoria intermedia de profundidades y colores 1543 pueden ser similares a los elementos correspondientes descritos en relación con la Figura 14.

[0181] El conducto de gráficos 1506 puede incluir uno o más de un VP 1574, VS 1576, conmutadores AB 1547a-b, TCS 1578, TESS 1580, TES 1582, GS 1584, creador de elementos 1549, rasterizador 1586 y FS 1590. En algunas configuraciones, uno o más de los conmutadores VP 1574, VS 1576, conmutadores 1547a-b, TCS 1578, TESS 1580, TES 1582, GS 1584, creador de elementos 1549, rasterizador 1586 y FS 1590 pueden realizar una o más de las operaciones de uno o más elementos correspondientes descritos en relación con la Figura 14. Cabe señalar que el FS 1590 puede incluir uno o más de HSR y DT, TB, T y S, AT y AB como se ha descrito en relación con la Figura 14 en algunas configuraciones.

[0182] En las configuraciones ilustradas en la Figura 15, el circuito VLIW 1504 (por ejemplo, el conducto de gráficos 1506) puede incluir un controlador de memoria asíncrona 1508. El controlador de memoria asíncrona 1508 puede incluirse y/o implementarse en uno o más de los TCS 1578, el TESS 1580, el TES 1582, el GS 1584, el rasterizador 1586, el FS 1590 y el creador de elementos 1549. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria asíncrona 1508 en el TCS 1578, el TESS 1580, el TES 1582, el GS 1584, el rasterizador 1586, el FS 1590 y/o el creador de elementos 1549. La etiqueta genérica "1508" puede denotar que el controlador de

memoria asíncrona 1508 puede implementarse en cualquiera o en todos los elementos 1508a-g ilustrados en la Figura 15. En algunas configuraciones, el controlador de memoria asíncrona 1508 puede implementarse solo en uno o más de los TCS 1578, TESS 1580, TES 1582 y GS 1584. Por ejemplo, el controlador de memoria asíncrona 1508 solo puede leer asíncronamente uno o más parámetros en el TCS 1578, TESS 1580, TES 1582 y/o GS 1584, ya que los datos pueden reenviarse a etapas posteriores.

[0183] El conmutador A 1547a puede enrutar datos al TCS 1578 o al creador de elementos 1549 basándose en el modo 1545. Por ejemplo, el modo 1545 puede indicar un modo de renderización. En algunas configuraciones, los modos de renderización pueden incluir el modo de elemento (por ejemplo, el modo de renderización diferida basada en elementos (TBDR)) y el modo inmediato (por ejemplo, la renderización en modo inmediato (IMR)). Si la teselación está habilitada, el conmutador A 1547a puede enrutar los datos a teselar. De lo contrario, el conmutador A 1547a puede enrutar los datos para crear elementos. El modo inmediato puede incluir una o más de las operaciones descritas en relación con una o más de las Figuras 8 y 10. El modo de elemento puede incluir una o más de las operaciones descritas en relación con la Figura 12.

[0184] En el modo de elemento, el controlador de memoria asíncrona 1508e-g incluido en uno o más del creador de elementos 1549, el rasterizador 1586 y FS 1590 puede realizar la división en zonas y/o reducir el cálculo del FS 1590 en algunas configuraciones. Por ejemplo, el controlador de memoria asíncrona 1508e-g puede emplear un sombreador más costoso para una zona de alto LOD, un sombreador moderadamente costoso para una zona de LOD medio y un sombreador más barato para una zona de bajo LOD. Por ejemplo, la renderización con resolución variable puede incluir el LOD de la geometría y/o el cálculo del sombreador. En algunas configuraciones (en modo de elemento, por ejemplo), la geometría puede no modificarse, pero uno o más sombreadores que se ejecutan por píxel pueden tener diferentes gastos de cálculo.

[0185] El controlador de memoria asíncrona 1508 que se describe en relación con la Figura 15 puede ser un ejemplo de uno o más de los controladores de memoria asíncrona 108, 308 descritos en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria asíncrona 1508 puede leer asíncronamente uno o más parámetros (por ejemplo, parámetros LOD) de la memoria del sistema 1514 (durante el procesamiento de un conjunto de datos, por ejemplo). En algunas configuraciones, los parámetros actualizados se pueden proporcionar a uno o más de los TCS 1578, el TESS 1580, el TES 1582, el GS 1584, el rasterizador 1586, el FS 1590 y el creador de elementos 1549. En consecuencia, uno o más de los TCS 1578, TESS 1580, TES 1582, GS 1584, el rasterizador 1586, FS 1590 y el creador de elementos 1549 pueden cambiar el procesamiento del conjunto de datos para que sea diferente del procesamiento inicialmente establecido para un conjunto de datos, mientras se procesa el conjunto de datos.

[0186] En algunas configuraciones, esto puede permitir que el dispositivo electrónico 1502 realice una renderización de múltiples LOD de una sola pasada. Por ejemplo, el controlador de memoria asíncrona 1508 puede leer un parámetro LOD que es diferente de otro parámetro LOD establecido inicialmente para el conjunto de datos que son procesados y/o renderizados actualmente (por ejemplo, teselados). El parámetro LOD actualizado se puede proporcionar a uno o más del TCS 1578, el TESS 1580, el TES 1582, el GS 1584, el rasterizador 1586, el FS 1590 y el creador de elementos 1549. En consecuencia, uno o más de los TCS 1578, TESS 1580, TES 1582, GS 1584, rasterizador 1586, FS 1590 y el creador de elementos 1549 pueden cambiar el procesamiento (por ejemplo, cambiar el nivel de teselación y/o cambiar uno o más sombreadores) de un conjunto de datos de acuerdo con el parámetro LOD actualizado durante el procesamiento del conjunto de datos que se inició con uno o más parámetros diferentes.

[0187] El circuito VLIW 1504 (por ejemplo, conducto de gráficos 1506) puede incluir un controlador de memoria intermedia de tramas no uniforme 1512. Como se ilustra en la Figura 15, el controlador de memoria intermedia de tramas no uniforme 1512 puede incluirse y/o implementarse en el FS 1590. Debe observarse que el controlador de memoria intermedia de tramas no uniforme 1512 puede incluirse y/o implementarse de forma adicional o alternativa en uno o más del FS 1590, el conducto de gráficos 1506 y la memoria en chip 1510. Completa o parcialmente, por ejemplo, se puede implementar un controlador de memoria intermedia de tramas no uniforme 1512 en uno o más del FS 1590, el conducto de gráficos 1506, la memoria en chip 1510 y el dispositivo electrónico 1502.

[0188] El controlador de memoria intermedia de tramas no uniforme 1512 descrito en relación con la Figura 15 puede ser un ejemplo de uno o más de los controladores de memoria intermedia de tramas no uniforme 112, 312 descrito en relación con una o más de las Figuras 1-5. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 1512 puede acceder dinámicamente a diferentes subconjuntos de una o más memoria(s) intermedia(s) de tramas (por ejemplo, la memoria intermedia de tramas 1541). En algunas configuraciones, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir acceder al menos a un píxel de una primera zona a una velocidad diferente de al menos un píxel de una segunda zona. De forma adicional o alternativa, el acceso dinámico a diferentes subconjuntos de la memoria intermedia de tramas puede incluir habilitar el intercambio de subrutinas de sombreador dinámico (cuando el procesamiento de un primer píxel está en curso y se completa el proceso de un segundo píxel, por ejemplo). De forma adicional o alternativa, el controlador de memoria intermedia de tramas no uniforme 1512 puede configurarse para sustituir una primera muestra procesada de un primer píxel por una segunda muestra de un segundo píxel para evitar procesar la segunda muestra del segundo píxel. La arquitectura ilustrada en la Figura 15 puede permitir la configuración personalizada de las memorias intermedias en chip (por

ejemplo, memorias intermedias de profundidades y colores). Esto puede permitir la renderización de lado a lado para VR, generación de mapas MIP, etc.

[0189] De forma adicional o alternativa, el controlador de memoria intermedia de tramas no uniforme 312 puede proporcionar una división, lectura y/o escritura eficiente de la memoria intermedia de tramas. Por ejemplo, el controlador de memoria intermedia de tramas no uniforme 312 puede permitir que un sombreador de fragmentos (FS) y/o un bloque de composición/descomposición accedan a la memoria intermedia de tramas de manera no uniforme (por ejemplo, para escribir en diferentes subconjuntos de la memoria intermedia de tramas con diferentes niveles de detalle al mismo tiempo, escribir en diferentes subconjuntos con diferentes números de muestras, etc.).

[0190] La Figura 16 es un diagrama de bloques que ilustra una configuración de un dispositivo electrónico 1651 en el que pueden implementarse sistemas y procedimientos para renderizar múltiples zonas. Entre los ejemplos del dispositivo electrónico 1651 se incluyen teléfonos inteligentes, ordenadores (por ejemplo, ordenadores de escritorio, ordenadores portátiles, etc.), pantallas montadas en la cabeza (por ejemplo, casco de realidad virtual (VR), casco de realidad aumentada (AR), etc.), dispositivos VR, dispositivos AR, tablets, reproductores multimedia, televisores, automóviles, vehículos, cámaras, videocámaras, cámaras digitales, teléfonos celulares, cámaras personales, cámaras de acción, aviones, drones, vehículos aéreos no tripulados (UAV), equipos de atención médica, consolas de juegos, asistentes digitales personales (PDA), descodificadores, reproductores multimedia, etc. En algunas configuraciones, el dispositivo electrónico 1651 puede ser al menos parte de un módulo extraíble en un vehículo. Por ejemplo, el dispositivo electrónico 1651 puede estar incluido y/o acoplado a un vehículo y puede ser extraíble del vehículo. El dispositivo electrónico 1651 descrito en relación con la Figura 16 puede o no ser un ejemplo de uno o más de los dispositivos electrónicos 102, 302, 866, 902, 1066, 1102, 1266, 1302, 1466, 1502 descritos en relación con uno o más más de las Figuras 1-5 y 8-15. En algunas configuraciones, uno o más de los componentes o elementos del dispositivo electrónico 1651 pueden o no ser similares a los componentes o elementos correspondientes descritos en relación con una o más de las Figuras 1-5 y 8-15. Uno o más de los componentes o elementos pueden implementarse en hardware (por ejemplo, circuitos) o una combinación de hardware y software (por ejemplo, un procesador con instrucciones).

[0191] En algunas configuraciones, el dispositivo electrónico 1651 puede incluir una memoria 1667, una o más pantallas 1673, uno o más sensores de imagen 1653, uno o más sistemas ópticos 1655, una o más interfaces de comunicación 1657, una o más antenas 1659 y/o uno o más procesadores 1661. Dos o más de los elementos o componentes descritos en relación con la Figura 16 pueden estar en comunicación electrónica entre sí. Por ejemplo, el procesador 1661 puede estar acoplado (por ejemplo, en comunicación electrónica con) la memoria 1667. El (los) procesador(es) 1661 puede(n) incluir una o más unidades de procesamiento central (CPU), circuitos de palabras de instrucción muy largas (VLIW), unidades de procesamiento de gráficos, circuitos integrados específicos de aplicación (ASIC), etc., o cualquier combinación de los mismos. Por ejemplo, el procesador 1661 puede ser un circuito VLIW 104, 304, 868, 904, 1068, 1104, 1268, 1304, 1468, 1504 descrito en relación con una o más de las Figuras 1-5 y 8-15. En algunas configuraciones, el procesador 1661 puede ser una CPU con un circuito VLIW integrado (por ejemplo, GPU) o puede ser una CPU y un circuito VLIW separado (por ejemplo, GPU). Por ejemplo, el procesador 1661 puede ser un dispositivo para renderizar imágenes. En algunas configuraciones, las imágenes resultantes pueden presentarse en una o más pantallas 1673.

[0192] La interfaz de comunicación 1657 puede permitir que el dispositivo electrónico 1651 se comunice con uno o más de otros dispositivos electrónicos diferentes. Por ejemplo, la interfaz de comunicación 1657 puede proporcionar una interfaz para comunicaciones por cable y/o inalámbricas. En algunas configuraciones, la interfaz de comunicación 1657 puede estar acoplada a una o más antenas 1659 para transmitir y/o recibir señales de radiofrecuencia (RF). De forma adicional o alternativa, la interfaz de comunicación 1657 puede habilitar uno o más tipos de comunicación por cable (por ejemplo, Universal Serial Bus (USB), Ethernet, Video Graphics Array (VGA), Digital Visual Interface (DVI), High Definition Multimedia Interface (HDMI), DisplayPort, Mobile High-Definition Link (MHL), etc.).

[0193] En algunas configuraciones, múltiples interfaces de comunicación 1657 se pueden implementar y/o utilizar. Por ejemplo, una interfaz de comunicación 1657 puede ser una interfaz de comunicación celular (por ejemplo, 3G, evolución a largo plazo (LTE), CDMA, etc.) 1657, otra interfaz de comunicación 1657 puede ser una interfaz Ethernet, otra interfaz de comunicación 1657 puede ser una interfaz de bus serie universal (USB), otra interfaz de comunicación 1657 puede ser una interfaz de red de área local inalámbrica (WLAN) (por ejemplo, interfaz 802.11 del Instituto de Ingenieros Eléctricos y Electrónicos (IEEE)), y otra interfaz de comunicación 1657 puede ser una interfaz Bluetooth.

[0194] En algunas configuraciones, el dispositivo electrónico 1651 puede realizar una o más de las funciones, procesos, procedimientos, pasos, etc., descritos en relación con una o más de las Figuras 1-15 y 17-24. De forma adicional o alternativa, el dispositivo electrónico 1651 puede incluir una o más de las estructuras descritas en relación con una o más de las Figuras 1-15 y 17-24.

[0195] La memoria 1667 puede almacenar instrucciones y/o datos. La memoria 1667 puede incluir memoria del sistema y/o memoria en chip. La memoria 1667 descrita en relación con la Figura 16 puede o no ser un ejemplo de una o más de las memorias 110, 114, 310, 314, 803, 805, 910, 914, 1003, 1005, 1110, 1114, 1203, 1205, 1310, 1314, 1403, 1405, 1510, 1514 descritos en relación con una o más de las Figuras 1-5 y 8-15. El procesador 1661 puede

acceder (por ejemplo, leer y/o escribir en) la memoria 1667. La memoria 1667 puede almacenar datos de geometría 1669. En algunas configuraciones, la memoria 1667 puede incluir una memoria intermedia de tramas 1671. La memoria intermedia de tramas 1671 puede ser una parte de la memoria 1667 para almacenar datos de imágenes. Los datos de imágenes almacenados pueden presentarse en una o más pantallas 1673 en algunas configuraciones.

[0196] En algunas configuraciones, el procesador 1661 puede incluir uno o más elementos para renderizar imágenes. Entre algunos ejemplos de elementos puede incluirse una interfaz (FE), procesador de vértices (VP, buscador de vértices (VF), sombreador de vértices (VS), sombreador de control de teselación (TCS), sombreador de perímetros (HS), teselador (por ejemplo, motor de teselación) (TESS), sombreador de evaluación de teselación (TES), sombreador de dominio (DS), sombreador de geometría (GS), rasterizador (Rast), sombreador de fragmentos (FS), sombreador de píxeles (PS), creador de elementos, unidad de salida de renderización (ROP), recortador (Clip) y/o flujo de salida (SOL), etc. En algunas configuraciones, uno o más de estos elementos pueden denominarse un conducto de gráficos.

[0197] El procesador 1661 puede incluir y/o implementar un renderizador multizona 1663. Por ejemplo, el renderizador multizona puede implementarse en hardware o en una combinación de hardware y software. El renderizador multizona 1663 puede renderizar múltiples zonas de una imagen. Por ejemplo, el renderizador multizona 1663 puede renderizar múltiples zonas de una imagen basándose en los datos de geometría 1669. Las múltiples zonas pueden renderizarse con diferentes niveles de detalle teselados. Por ejemplo, el renderizador multizona 1663 puede renderizar N zonas, donde al menos dos de las zonas tienen diferentes niveles de detalle teselados. Por ejemplo, el renderizador de múltiples zonas puede renderizar una primera zona de una imagen en un primer nivel de detalle teselado y puede renderizar una segunda zona de la imagen con un segundo nivel de detalle teselado más alto. Las zonas pueden ser estáticas o dinámicas. Por ejemplo, las zonas pueden estar en ubicaciones predeterminadas en una pantalla 1673. En consecuencia, el renderizador multizona 1663 puede renderizar la geometría al nivel de detalle correspondiente a las zonas estáticas. En otras configuraciones, las zonas pueden ser dinámicas. Por ejemplo, las zonas pueden moverse basándose en el seguimiento de los ojos y/u otros factores (por ejemplo, tipo de objeto, prioridad, configuración recibida, etc.). En algunas configuraciones, una zona puede ser un área circular (o un área de otra forma) aproximadamente centrada en el punto de una pantalla (por ejemplo, una imagen) donde el usuario está mirando. En otras configuraciones, una zona puede ser el área completa de una imagen correspondiente a una ventana que el usuario está viendo.

[0198] El dispositivo electrónico 1651 puede estar acoplado a una o más pantallas 1673. Por ejemplo, el dispositivo electrónico 1651 puede incluir una o más pantallas 1673 y/o puede estar acoplado a una o más pantallas externas (por ejemplo, remotas) 1673. Entre los ejemplos de la pantalla 1673 se incluyen paneles de pantalla de cristal líquido (LCD), paneles de diodos emisores de luz (LED) (por ejemplo, paneles de diodos emisores de luz orgánica (OLED), pantallas de tubo de rayos catódicos (CRT), monitores, televisores, proyectores, pantalla de plasma, pantallas montadas en la cabeza, pantallas electrónicas de tinta, etc.

[0199] En algunas configuraciones, la(s) pantalla(s) 1673 puede(n) ser capaz (capaces) de presentar imágenes en una o más ventanas (por ejemplo, ventanas de vehículos, ventanas de edificios, etc.). Por ejemplo, la(s) pantalla(s) 1673 puede(n) incluir uno o más proyectores de ventana y/o uno o más paneles integrados de pantalla de ventana. El renderizador multizona 1663 puede renderizar las múltiples zonas (donde dos o más zonas pueden tener diferentes niveles de detalle, por ejemplo). En algunas configuraciones, el dispositivo electrónico 1651 (por ejemplo, el procesador 1661) puede presentar diferentes zonas en diferentes ventanas. Por ejemplo, una primera zona puede presentarse en una primera ventana (por ejemplo, parabrisas), una segunda zona puede presentarse en una segunda ventana (por ejemplo, ventana(s) de puerta del vehículo) y/o una tercera zona puede presentarse en una tercera ventana (por ejemplo, ventana posterior del vehículo). En algunas configuraciones, se pueden presentar diferentes zonas en diferentes secciones de la misma ventana. Por ejemplo, una primera zona puede presentarse en una primera sección de una ventana (por ejemplo, una sección del lado del conductor de un parabrisas) y una segunda zona puede presentarse en una segunda sección de la ventana (por ejemplo, una sección del lado del pasajero del parabrisas). En otro ejemplo, las zonas pueden presentarse como barras (por ejemplo, barras horizontales o verticales) en una ventana. Por ejemplo, una primera zona puede presentarse en una barra horizontal central en una ventana (por ejemplo, parabrisas) mientras que una segunda zona puede presentarse en barras horizontales inferiores y superiores en la ventana (por ejemplo, parabrisas). En algunas configuraciones, se puede utilizar una combinación de los enfoques anteriores. Por ejemplo, se puede presentar una primera zona en el lado del conductor del parabrisas, se puede proporcionar una segunda zona en el lado del pasajero del parabrisas y se puede presentar una tercera zona en las ventanas de las puertas del vehículo. Se pueden implementar otras variaciones.

[0200] En algunas configuraciones, el dispositivo electrónico 1651 puede incluir un controlador de memoria asíncrona y/o un controlador de memoria intermedia de tramas no uniforme. Por ejemplo, el renderizador multizona 1663 puede incluir y/o estar acoplado a un controlador de memoria asíncrona y/o un controlador de memoria intermedia de tramas no uniforme. El renderizador multizona 1663 puede o no renderizar las múltiples zonas de acuerdo con las operaciones, funciones y/o enfoques descritos en relación con el controlador de memoria asíncrona y/o el controlador de memoria intermedia de tramas no uniforme como se ha descrito en el presente documento. Por ejemplo, el dispositivo electrónico 1651 puede o no realizar renderización de múltiples LOD de una sola pasada como se ha descrito en el presente documento.

[0201] El dispositivo electrónico 1651 puede obtener una o más imágenes (por ejemplo, imágenes digitales, tramas de imagen, video, etc.). La una o más imágenes pueden ser imágenes de uno o más usuarios y/o una escena (por ejemplo, uno o más objetos y/o fondo). Por ejemplo, el dispositivo electrónico 1651 puede incluir uno o más sensores de imagen 1653 y/o uno o más sistemas ópticos 1655 (por ejemplo, lentes) que enfocan imágenes de objetos que se encuentran dentro del campo de visión del sistema o sistemas ópticos 1655 en los sensores de imagen 1653. En algunas configuraciones, el (los) sensor(es) de imagen 1653 puede(n) capturar una o más imágenes. El (los) sensor(es) de imagen 1653 y/o el (los) sistema(s) óptico(s) 1655 puede(n) estar acoplado(s) y/o controlado(s) por el procesador 1661.

[0202] De forma adicional o alternativa, el dispositivo electrónico 1651 puede solicitar y/o recibir la una o más imágenes de otro dispositivo (por ejemplo, un sensor de imagen externo acoplado al dispositivo electrónico 1651, un servidor de red, cámara de tráfico, cámara de caída, cámara de automóvil, cámara web, etc.). En algunas configuraciones, el dispositivo electrónico 1651 puede solicitar y/o recibir una o más imágenes a través de la interfaz de comunicación 1657. Por ejemplo, el dispositivo electrónico 1651 puede incluir o no una cámara (por ejemplo, un sensor de imagen 1653 y/o un sistema óptico 1655) y puede recibir imágenes de un dispositivo remoto.

[0203] En algunas configuraciones, los uno o más sensores de imagen 1653 incluidos en el dispositivo electrónico 1651 y/o uno o más sensores de imagen diferentes acoplados al dispositivo electrónico 1651 pueden estar orientados a la captura de una o más imágenes de un usuario. Por ejemplo, un teléfono inteligente puede incluir una cámara montada en la misma cara que una pantalla (por ejemplo, la pantalla 1673). De esta manera, la cámara puede capturar imágenes de un usuario mientras el usuario mira la pantalla. En otro ejemplo, se puede montar una cámara en una consola y/o volante de un vehículo para capturar imágenes de un usuario (por ejemplo, conductor).

[0204] De forma adicional o alternativa, el uno o más sensores de imagen 1653 incluidos en el dispositivo electrónico 1651 y/o uno o más sensores de imagen diferentes acoplados al dispositivo electrónico 1651 pueden estar orientados a la captura del paisaje. Por ejemplo, una o más cámaras pueden montarse en la parte posterior de un teléfono inteligente. En otro ejemplo, una o más cámaras pueden montarse en el exterior de un vehículo. En algunas configuraciones, el dispositivo electrónico 1651 puede utilizar imágenes de escenarios en aplicaciones de realidad aumentada (AR), aplicaciones de realidad virtual (VR) y/u otras aplicaciones (por ejemplo, visualización envolvente, asistencia al conductor, sistemas avanzados de asistencia al conductor (ADAS), etc.).

[0205] En algunas configuraciones, las imágenes capturadas por los sensores de imagen 1653 y/o recibidas a través de las interfaces de comunicaciones 1657 pueden ser utilizadas por el dispositivo electrónico 1651 de seguimiento de los ojos. Por ejemplo, el procesador 1661 puede incluir y/o implementar un seguidor de ojos 1665. El seguidor de ojos 1665 puede seguir la mirada (por ejemplo, la dirección de la mirada) de uno o más ojos del usuario. Por ejemplo, el seguidor de ojos 1665 puede localizar los ojos de uno o más usuarios en las imágenes y puede estimar la mirada (por ejemplo, la dirección de la mirada) de los usuarios. Por ejemplo, el seguidor de ojos 1665 puede determinar (por ejemplo, estimar) dónde está mirando un usuario en una pantalla (por ejemplo, mostrar 1673 o una pantalla externa) y/o dónde está mirando en una imagen presentada por una pantalla. En otras palabras, el seguidor de ojos 1665 puede determinar (por ejemplo, estimar) hacia dónde se dirige la mirada de un usuario en relación con una imagen y/o una pantalla. En algunas configuraciones, el seguidor de ojos 1665 puede realizar un seguimiento de los ojos de manera similar al seguidor de ojos 326 descrito anteriormente en relación con la Figura 3.

[0206] En algunas configuraciones, el renderizador multizona 1663 puede renderizar una o más zonas de una imagen basándose en el seguimiento de los ojos. Las zonas de la imagen pueden tener diferentes niveles de detalle. Por ejemplo, el renderizador multizona 1663 puede renderizar múltiples zonas con diferentes niveles de detalle, donde una zona con el nivel más alto de detalle se renderiza en un área donde el usuario está buscando actualmente. En algunas configuraciones, esto se puede denominar renderización con resolución variable. El seguidor de ojos 1665 puede producir información de seguimiento de los ojos. La información de seguimiento de los ojos puede indicar hacia dónde se dirige la mirada de un usuario (por ejemplo, se dirigen las miradas de los usuarios) en relación con una pantalla y/o imagen. En algunas configuraciones, el procesador 1661 y/o el procesador 1661 pueden determinar uno o más parámetros LOD basándose en la información de seguimiento de los ojos. Los parámetros LOD pueden indicar un LOD que se renderizará para una o más zonas de una imagen. Los parámetros LOD pueden almacenarse en la memoria 1667. Los parámetros LOD pueden actualizarse o no asincrónicamente en relación con un conjunto de datos (por ejemplo, llamada de extracción) que está procesando el procesador 1661.

[0207] El seguimiento de los ojos 1665 puede detectar cuándo un usuario cambia la mirada para mirar a una parte diferente de la imagen. Los sistemas y procedimientos divulgados en el presente documento pueden cambiar la renderización de LOD basándose en el seguimiento de los ojos (por ejemplo, la información de seguimiento de los ojos y/o los parámetros LOD). Por ejemplo, el renderizador multizona 1663 puede aumentar el LOD en un área de la imagen que el usuario ha cambiado de mirada para ver. De forma adicional o alternativa, los sistemas y procedimientos divulgados en el presente documento pueden reducir el LOD en un área de la imagen a la que ya no se dirige la mirada del usuario. Como se describió anteriormente, diferentes zonas pueden corresponder a diferentes ventanas en algunas configuraciones. El renderizador multizona 1663 puede cambiar la zona que corresponde a una ventana (y/o una sección de ventana) basándose en la ventana que el usuario está mirando. Por ejemplo, el renderizador multizona

1663 puede renderizar una zona de alta LOD en el parabrisas de un vehículo mientras el usuario (por ejemplo, el conductor) está mirando (por ejemplo, a través del parabrisas). Cuando un usuario (por ejemplo, el conductor) mira otra ventana (por ejemplo, gira para comprobar un punto ciego y/o conducir marcha atrás, etc.), el renderizador de múltiples zonas 1663 puede cambiar la zona de LOD alto a la ventana (por ejemplo, ventana lateral y/o ventana posterior) que el usuario está mirando (por ejemplo, a través de).

[0208] En algunas configuraciones, el seguidor de ojos 1665 puede seguir uno o más ojos de cada uno de los múltiples usuarios (por ejemplo, los ojos de un conductor y los ojos de uno o más pasajeros). Los sistemas y procedimientos divulgados en el presente documento pueden priorizar la renderización de la zona (por ejemplo, renderización de LOD) basándose en el seguimiento de los ojos (por ejemplo, la información de seguimiento de los ojos y/o los parámetros LOD). En algunos enfoques, el renderizador de múltiples zonas 1663 puede proporcionar un LOD más alto para una zona correspondiente a un usuario (o para zonas que corresponden a un conjunto de usuarios prioritarios, por ejemplo) y uno o más LOD más bajos para una o más zonas correspondientes a uno o más usuarios diferentes. De forma adicional o alternativa, el renderizador de múltiples zonas 1663 puede renderizar primero una zona que corresponde primero a un usuario y a continuación puede renderizar una o más zonas posteriores diferentes (en una secuencia, por ejemplo) correspondientes a uno o más usuarios diferentes. Por ejemplo, el renderizador de múltiples zonas 1663 puede proporcionar un LOD aumentado en un área de la imagen que está viendo un controlador y/o puede renderizar la imagen primero en un área de la imagen que está viendo el controlador. El renderizador multizona 1663 puede proporcionar un LOD más bajo en un área de la imagen que está viendo un pasajero y/o puede renderizar la imagen en un área de la imagen que está viendo el pasajero después de la del conductor. En algunas configuraciones, la prioridad puede estar predeterminada (por ejemplo, un fabricante y/o un usuario puede establecer una prioridad), puede basarse en la ubicación del usuario (por ejemplo, el conductor del vehículo obtiene la prioridad más alta y el (los) pasajero(s) obtiene(n) la prioridad más baja) y/o puede basarse en el reconocimiento del usuario (por ejemplo, un usuario reconocido obtiene mayor prioridad, otros usuarios reconocidos y/o no reconocidos obtienen menor prioridad o prioridades).

[0209] Los sistemas y procedimientos divulgados en el presente documento pueden proporcionar mejoras en la tecnología de pantalla de ventana. Por ejemplo, un vehículo puede estar equipado con una o más pantallas de ventana (por ejemplo, proyector(es) de ventana y/o panel(es) de pantalla de ventana). La(s) pantalla(s) de ventana se pueden configurar para funcionar en una o más aplicaciones. Por ejemplo, una pantalla de ventana del vehículo puede presentar instrucciones de manejo a un conductor. Por ejemplo, el dispositivo electrónico 1651 puede renderizar una imagen con una flecha que muestra un próximo giro en una calle lateral. Otras imágenes pueden ser renderizadas y/o presentadas. Por ejemplo, el dispositivo electrónico 1651 puede renderizar indicadores y/o marca(s) que muestran y/o enfatizan señales de la calle, señales de alto, semáforos, peatones, información de navegación (por ejemplo, direcciones de manejo, mapas, ubicación del vehículo, destino, etc.), obstrucciones, advertencias, otra información de seguridad (por ejemplo, distancia a otro vehículo en la parte delantera, si hay suficiente distancia de frenado a la velocidad actual, etc.), información del vehículo (por ejemplo, velocidad actual, indicador de combustible bajo, revoluciones por minuto (RPM), distancia recorrida, temperatura, tiempo, indicador de cambio de aceite, indicador de comprobación del motor, temperatura del motor, advertencia de temperatura), información de entretenimiento (por ejemplo, estación de radio, nombre de la pista de música, duración de la canción, tiempo de reproducción de la canción, nombre de la película, duración de la película, tiempo de reproducción de la película, contenido de la película, contenido de la foto, etc.), información de comunicación (por ejemplo, información de llamadas telefónicas, estado de la red de área local (LAN), conectividad Bluetooth, etc.), etc.

[0210] A medida que el contenido de la imagen continúa aumentando en calidad (por ejemplo, geometría más detallada, texturas de mayor resolución, áreas de visualización más grandes, etc.), puede ser difícil mostrar contenido altamente detallado. Esto puede ser particularmente cierto para plataformas en las que el ancho de banda de procesamiento y/o las limitaciones de eficiencia energética son un problema. Renderizar diferentes zonas con diferentes niveles de detalle (por ejemplo, niveles de detalle teselados) puede ayudar a priorizar los recursos de renderización. En consecuencia, se pueden proporcionar más detalles a la información que es más importante y/o que es de interés para un usuario. Por ejemplo, una zona con un LOD más alto se puede renderizar donde un usuario está mirando y/o es probable que mire (por ejemplo, en una parte media de un parabrisas, donde los ojos del usuario miran, donde se muestra una advertencia, etc.). Esto puede proporcionar una experiencia mejorada, ya que la información interesante y/o importante se presenta con mayor detalle. De forma adicional o alternativa, las áreas donde un usuario puede no notar menor detalle (por ejemplo, en visión periférica) y/o áreas que típicamente contienen información menos importante (por ejemplo, una ventana lateral) pueden mostrarse con menos detalles para ahorrar recursos de procesamiento y/o energía.

[0211] Cabe señalar que el nivel de detalle teselado es diferente de la resolución de píxeles. Por ejemplo, la resolución de píxeles puede referirse a la densidad de píxeles y/o la cantidad de píxeles dedicados a una determinada imagen (o área de una imagen). El nivel de detalle teselado puede referirse a la geometría finamente renderizada (por ejemplo, subdividida). Por ejemplo, la mayor cantidad de puntos, polígonos y/o líneas dedicadas a renderizar la geometría y/o el área de una imagen pueden reflejar el nivel de detalle teselado (LOD). De forma adicional o alternativa, diferentes niveles de detalle pueden corresponder a diferentes sombreadores de calidad (por ejemplo, un LOD más alto puede corresponder a un sombreador de mayor calidad, donde se realiza un procesamiento más detallado y costoso). Cabe

señalar que en algunas configuraciones, la resolución de píxeles puede restringir el nivel de teselación. Por ejemplo, 1 píxel puede no necesitar 100 triángulos; un elemento de 10x10 puede no necesitar 1.000 triángulos, etc.

[0212] En algunas configuraciones, el dispositivo electrónico 1651 puede incluir una aplicación de cámara y/o una pantalla 1673. Cuando se ejecuta la aplicación de cámara, el sensor de imagen 1653 puede capturar imágenes de objetos que se encuentran dentro del campo de visión del sistema óptico 1655. Las imágenes que están siendo capturadas por el sensor de imagen 1653 pueden presentarse en la pantalla 1673. En algunas configuraciones, estas imágenes pueden mostrarse en rápida sucesión a una velocidad de tramas relativamente alta, de modo que, en cualquier momento dado, los objetos que se encuentran dentro del campo de visión del sistema óptico 1655 se presentan en la pantalla 1673.

[0213] Se ha de observar que uno o más de los elementos ilustrados en el dispositivo electrónico 1651 pueden ser opcionales. Por ejemplo, uno o más de los elementos ilustrados en el dispositivo electrónico 1651 pueden o no estar incluidos y/o implementados. De forma adicional o alternativa, uno o más de los elementos ilustrados en el procesador 1661 pueden implementarse por separado del procesador 1661 (por ejemplo, en otros circuitos, en otro procesador, en un dispositivo electrónico separado, etc.). Por ejemplo, el sensor de imagen 1653, el sistema óptico 1655, la interfaz de comunicación 1657, el seguidor de ojos 1665 y/o la pantalla 1673 pueden no estar implementados en el dispositivo electrónico 1651. En algunas configuraciones, el dispositivo electrónico 1651 puede recibir imágenes y/o información de seguimiento de los ojos desde otro dispositivo. De forma adicional o alternativa, se pueden implementar una o más pantallas en un dispositivo separado.

[0214] En algunas configuraciones, el dispositivo electrónico 1651 puede presentar una interfaz de usuario 1675 en la pantalla 1673. Por ejemplo, la interfaz de usuario 1675 puede permitir que un usuario interactúe con el dispositivo electrónico 1651. En algunas configuraciones, la pantalla 1673 puede ser una pantalla táctil que recibe información del tacto físico (por ejemplo, con un dedo, un lápiz óptico u otra herramienta). De forma adicional o alternativa, el dispositivo electrónico 1651 puede incluir o estar acoplado a otra interfaz de entrada. Por ejemplo, el dispositivo electrónico 1651 puede incluir una cámara frente a un usuario y puede detectar gestos del usuario (por ejemplo, gestos con las manos, gestos con los brazos, seguimiento de los ojos, parpadeo de los párpados, etc.). En otro ejemplo, el dispositivo electrónico 1651 puede estar acoplado a un ratón y puede detectar un clic del ratón. Cabe señalar que puede que no sea necesaria la entrada del usuario en algunas configuraciones.

[0215] En algunas configuraciones, el dispositivo electrónico 1651 puede incluir opcionalmente un sensor de movimiento (por ejemplo, giroscopio(s), el acelerómetro(s), etc.). Por ejemplo, el sensor de movimiento puede detectar movimiento y/o una orientación (del dispositivo electrónico 1651, por ejemplo). En algunas configuraciones, la imagen que se renderiza puede basarse en información de movimiento y/u orientación. Por ejemplo, el dispositivo electrónico 1651 puede ser una pantalla montada en la cabeza (por ejemplo, un casco de realidad virtual (VR), casco de realidad aumentada (AR), etc.), un vehículo (por ejemplo, automóvil, avión no tripulado, avión, etc.), un dispositivo móvil (por ejemplo, un teléfono inteligente) u otro dispositivo que pueda utilizar información de movimiento y/u orientación para renderizar una imagen. Por ejemplo, la información de movimiento y/u orientación puede indicar una dirección de visualización general en una escena renderizada. El dispositivo electrónico 1651 puede renderizar la imagen basándose en esta dirección de visualización además de o de forma alternativa a partir de la información de seguimiento de los ojos en algunas configuraciones.

[0216] La Figura 17 es un diagrama de flujo que ilustra un procedimiento 1700 para renderizar múltiples zonas. El procedimiento 1700 puede ser realizado por el dispositivo electrónico 1651 descrito en relación con la Figura 16.

[0217] El dispositivo electrónico 1651 puede renderizar 1702 una primera zona de una imagen. Esto se puede conseguir como se ha descrito anteriormente en relación con la Figura 16. Por ejemplo, el dispositivo electrónico 1651 puede realizar una o más de búsqueda de geometría (por ejemplo, búsqueda de vértices), sombreado de vértices, sombreado de control de teselación, teselación, sombreado de evaluación de teselación, sombreado de geometría, creación de elementos, rasterizado y/o sombreado de fragmentos correspondiente a un primer sombreado zona de una imagen.

[0218] El dispositivo electrónico 1651 puede renderizar 1704 en una segunda zona de la imagen. Esto se puede conseguir como se ha descrito anteriormente en relación con la Figura 16. Por ejemplo, el dispositivo electrónico 1651 puede realizar una o más búsquedas de geometría (por ejemplo, búsqueda de vértices), sombreado de vértices, sombreado de control de teselación, teselación, sombreado de evaluación de teselación, sombreado de geometría, creación de elementos, rasterizado y/o sombreado de fragmentos correspondiente a un segundo zona de la imagen. La primera zona puede tener un mayor nivel de detalle teselado que la segunda zona. Por ejemplo, la primera zona puede tener una configuración de teselación más alta (por ejemplo, una densidad de geometría más alta) que una configuración de teselación para la segunda zona.

[0219] El dispositivo electrónico 1651 puede presentar 1706 la primera zona y la segunda zona en al menos una ventana del vehículo. Esto se puede conseguir como se ha descrito anteriormente en relación con la Figura 16. Por ejemplo, la primera zona y la segunda zona pueden presentarse en secciones separadas de una ventana (por ejemplo, parabrisas) y/o en diferentes ventanas.

[0220] La Figura 18 es un diagrama que ilustra algunos ejemplos 1877a-b de pantallas de ventana. Específicamente, el ejemplo A 1877a ilustra la ventana A 1879a (por ejemplo, un parabrisas). En el ejemplo A 1877a, se monta un proyector 1881 para proyectar una imagen en la ventana A 1879a. Por ejemplo, uno o más proyectores 1881 pueden montarse en un tablero de instrumentos, puerta, en el techo y/o en las paredes (por ejemplo, enmarcado) de un vehículo. En algunas configuraciones, un único proyector 1881 puede configurarse para proyectar imágenes en una o más ventanas. En otras configuraciones, se pueden configurar múltiples proyectores 1881 para proyectar imágenes en una o más ventanas. En algunas configuraciones, el proyector 1881 puede montarse en un dispositivo extraíble y/o un dispositivo móvil.

[0221] El ejemplo B 1877b ilustra la ventana B 1879b (por ejemplo, un parabrisas). En el ejemplo B 1877b, se puede acoplar una pantalla integrada 1883 a la ventana B 1879. Por ejemplo, la pantalla integrada 1883 puede ser transparente o semitransparente. La pantalla integrada 1883 puede presentar imágenes en la ventana B 1879b. Por ejemplo, la pantalla integrada 1883 puede ser un panel LCD, un panel OLED, etc. En algunas configuraciones, una sola pantalla integrada del proyector 1883 puede configurarse para presentar imágenes en una o más ventanas. En otras configuraciones, se pueden configurar múltiples pantallas integradas 1883 para presentar imágenes en una o más ventanas. Cabe señalar que los proyectores de ventanas y/o pantallas integradas pueden implementarse en muchos tipos de ventanas (por ejemplo, ventanas en un vehículo, edificio, avión, barco, tranvía, tren, etc.).

[0222] La Figura 19 es un diagrama que ilustra un ejemplo de zonas 1985a-b en una ventana 1979. En este ejemplo, la zona A 1985a es una sección lateral (por ejemplo, sección lateral izquierda) de la ventana 1979 (por ejemplo, parabrisas) y la zona B 1985b es otra sección lateral (por ejemplo, sección lateral derecha) de la ventana. Suponiendo que la ventana 1979 es un parabrisas en un vehículo, por ejemplo, el dispositivo electrónico 1651 (por ejemplo, el renderizador multizona 1663) puede renderizar un mayor nivel de detalle en la zona correspondiente al lado del conductor (por ejemplo, la zona A 1985a). Se puede renderizar un nivel de detalle más bajo en la zona correspondiente al lado del pasajero (por ejemplo, zona B 1985b). De esta manera, el conductor puede ver un mayor nivel de detalle de una imagen en un área que el conductor normalmente ve. Cabe señalar que se puede renderizar un número diferente de zonas. De forma adicional o alternativa, cada una de las zonas 1985a-b puede ocupar la mitad o diferentes proporciones de la ventana 1979 (por ejemplo, 70 % respecto a 30 %).

[0223] La Figura 20 es un diagrama que ilustra otro ejemplo de zonas 2085a-c en una ventana 2079. En este ejemplo, la zona A 2085a es una barra horizontal a través de una parte media de la ventana 2079 (por ejemplo, parabrisas). La zona B 2085b incluye dos barras horizontales que bordean la zona A 2085a y la zona C 2085c incluye dos barras horizontales que bordean la zona B 2085b. Suponiendo que la ventana 2079 es un parabrisas en un vehículo, por ejemplo, el dispositivo electrónico 1651 (por ejemplo, el renderizador multizona 1663) puede renderizar un mayor nivel de detalle en la zona A 2085a. Se puede renderizar un nivel de detalle más bajo en la zona B 2085b. Se puede renderizar un nivel de detalle aún más bajo en la zona C 2085c. De esta manera, el conductor puede ver un mayor nivel de detalle de una imagen en un área que el conductor ve cuando mira por encima del parabrisas. Cabe señalar que se puede renderizar un número diferente de zonas. De forma adicional o alternativa, cada una de las zonas 2085a-c puede ocupar proporciones iguales o diferentes de la ventana 2079 (por ejemplo, 50 %/30 %/20 %).

[0224] La Figura 21 es un diagrama que ilustra otro ejemplo de zonas 2185a-c en múltiples ventanas 2179a-e. En este ejemplo, la zona A 2185a se renderiza en la ventana A 2179a (por ejemplo, un parabrisas). La zona B 2185b se renderiza en la ventana B 2179b y la ventana C 2179c (por ejemplo, ventanas delantera izquierda y derecha). La zona C 2185c se renderiza en la ventana D 2179d y la ventana E 2179e (por ejemplo, ventanas posterior izquierda y derecha). Suponiendo que la ventana A 2179a es un parabrisas en un vehículo, por ejemplo, el dispositivo electrónico 1651 (por ejemplo, el renderizador multizona 1663) puede renderizar un mayor nivel de detalle en la zona A 2185a. Se puede renderizar un nivel inferior de detalle en la zona B 2185b. Se puede renderizar un nivel de detalle aún más bajo en la zona C 2185c. De esta manera, el conductor puede ver un mayor nivel de detalle de una imagen en un área que el conductor ve cuando mira por el parabrisas. Cabe señalar que se puede renderizar una configuración diferente de zonas y/o un número diferente de zonas. Por ejemplo, la zona C 2185c (u otra zona) puede renderizarse en una ventana posterior.

[0225] La Figura 22 es un diagrama de flujo que ilustra una configuración más específica de un procedimiento 2200 para la renderización de múltiples zonas. El procedimiento 2200 puede ser realizado por el dispositivo electrónico 1651 descrito en relación con la Figura 16.

[0226] El dispositivo electrónico 1651 puede llevar a cabo 2202 seguimiento de los ojos. Esto se puede conseguir como se ha descrito en relación con una o más de las Figuras 3, 5 y 16. Por ejemplo, el dispositivo electrónico 1651 puede capturar una o más imágenes de un usuario (por ejemplo, uno o más usuarios). El dispositivo electrónico 1651 puede identificar uno o más ojos de uno o más usuarios en las imágenes. A continuación, el dispositivo electrónico 1651 puede determinar hacia dónde se dirigen los ojos de uno o más usuarios en relación con una o más pantallas (por ejemplo, pantalla 1673) y/o imágenes en la(s) pantalla(s).

[0227] El dispositivo electrónico 1651 puede hacer que 2204 sea una primera zona de una imagen basándose en el seguimiento de los ojos. Esto se puede conseguir como se ha descrito en relación con una o más de las Figuras 1-5

y 8-17. Por ejemplo, el dispositivo electrónico 1651 puede realizar una o más de búsqueda de geometría (por ejemplo, búsqueda de vértices), sombreado de vértices, sombreado de control de teselación, teselación, sombreado de evaluación de teselación, sombreado de geometría, creación de elementos, rasterizado y/o sombreado de fragmentos correspondiente a un primer sombreado zona de una imagen. La ubicación de la primera zona puede basarse en el seguimiento de los ojos. Por ejemplo, el dispositivo electrónico 1651 puede establecer la primera zona como una sección de una imagen alrededor de la ubicación donde se dirigen los ojos del usuario. En algunas configuraciones, la primera zona puede ser un área circular (o un área de otra forma) aproximadamente centrada en el punto de una pantalla (por ejemplo, imagen) donde el usuario está mirando. En otras configuraciones, la primera zona puede ser el área completa de una imagen correspondiente a una ventana que el usuario está viendo.

[0228] El dispositivo electrónico 1651 puede hacer que 2206 sea una segunda zona de la imagen basada en el seguimiento de los ojos. Esto se puede conseguir como se ha descrito en relación con una o más de las Figuras 1-5 y 8-17. Por ejemplo, el dispositivo electrónico 1651 puede realizar una o más búsquedas de geometría (por ejemplo, búsqueda de vértices), sombreado de vértices, sombreado de control de teselación, teselación, sombreado de evaluación de teselación, sombreado de geometría, creación de elementos, rasterizado y/o sombreado de fragmentos correspondiente a un segundo zona de la imagen. La primera zona puede tener un mayor nivel de detalle teselado que la segunda zona. Por ejemplo, la primera zona puede tener una configuración de teselación más alta (por ejemplo, una densidad de geometría más alta) que una configuración de teselación para la segunda zona. La ubicación de la segunda zona puede basarse en el seguimiento de los ojos. En algunas configuraciones, el dispositivo electrónico 1651 puede establecer la segunda zona como una sección de una imagen alrededor de la primera zona. Por ejemplo, la segunda zona puede ser un área circular (o un área de otra forma) que rodea la primera zona. En otras configuraciones, la segunda zona puede ser un área de una imagen correspondiente a una ventana que el usuario no está viendo. En otras configuraciones, la segunda zona puede ser la imagen completa, excepto la primera zona. Se ha de observar que pueden renderizarse más zonas. Las zonas pueden o no superponerse. En algunas configuraciones, puede darse prioridad a la renderización de zonas como se ha descrito en relación con la Figura 16.

[0229] El dispositivo electrónico 1651 puede presentar 2208 la primera zona y la segunda zona en al menos una ventana del vehículo. Esto se puede conseguir como se ha descrito anteriormente en relación con una o más de las Figuras 16-21. Por ejemplo, la primera zona y la segunda zona pueden presentarse en secciones separadas de una ventana (por ejemplo, parabrisas) y/o en diferentes ventanas.

[0230] La Figura 23 es un diagrama que ilustra otro ejemplo de zonas 2385a-c en una ventana 2379. En este ejemplo, la zona A 2385a es un área circular de la ventana 2379 (por ejemplo, el parabrisas) donde un usuario está mirando basándose en el seguimiento de los ojos. La zona B 2385b es un área circular que rodea la zona A 2385a. La zona C 2385c es un área de la ventana 2379 que no incluye la zona A 2385a y la zona B 2385b. Suponiendo que la ventana 2379 es un parabrisas en un vehículo, por ejemplo, el dispositivo electrónico 1651 (por ejemplo, el renderizador multizona 1663) puede renderizar un mayor nivel de detalle en la zona A 2385a. Se puede renderizar un nivel inferior de detalle en la zona B 2385b. Se puede renderizar un nivel de detalle aún menor en la zona C 2385c. De esta manera, el conductor puede ver un mayor nivel de detalle de una imagen en un área donde el conductor está mirando actualmente (en cualquier parte del parabrisas). Cabe señalar que se puede renderizar un número diferente de zonas.

[0231] La Figura 24 ilustra determinados componentes que se pueden incluir dentro de un dispositivo electrónico 2487. El dispositivo electrónico 2487 puede ser (o puede estar incluido dentro de) una cámara, videocámara, cámara digital, teléfono celular, teléfono inteligente, ordenador (por ejemplo, ordenador de escritorio, ordenador portátil, etc.), dispositivo de tablet, reproductor multimedia, televisión, vehículo, casco (por ejemplo, casco de realidad virtual, casco de realidad aumentada), pantalla montada en la cabeza, cámara personal, cámara de acción, cámara de vigilancia, cámara montada, cámara conectada, robot, avión, dron, vehículo aéreo no tripulado (UAV), equipo de atención médica, consola de juegos, asistentes digitales personales (PDA), descodificador, etc. El dispositivo electrónico 2487 puede implementarse de acuerdo con uno o más de los dispositivos electrónicos 102, 302, 866, 902, 1066, 1102, 1266, 1302, 1466, 1502, 1651 descritos en el presente documento.

[0232] El dispositivo electrónico 2487 incluye un procesador 2407. El procesador 2407 puede ser un microprocesador de propósito general con un único o múltiples chips (por ejemplo, un ARM), un microprocesador de propósito especial (por ejemplo, un procesador de señales digitales (DSP)), un microcontrolador, una matriz de puertas programables, etc. El procesador 2407 se puede denominar unidad de procesamiento central (CPU) y/o circuito VLIW (por ejemplo, GPU). El procesador 2407 puede implementarse de acuerdo con uno o más de los circuitos VLIW 104, 304, 868, 904, 1068, 1104, 1268, 1304, 1468, 1504 y/o procesadores 324, 1015, 1124, 1661 descritos en el presente documento. Aunque solo se muestra un único procesador 2407 en el dispositivo electrónico 2487, en una configuración alternativa se podría usar una combinación de procesadores (por ejemplo, un ARM y un DSP, una CPU y una GPU, etc.).

[0233] El dispositivo electrónico 2487 también incluye la memoria 2489. La memoria 2489 puede ser cualquier componente electrónico que pueda almacenar información electrónica. La memoria 2489 se puede incorporar como una memoria de acceso aleatorio (RAM), una memoria de solo lectura (ROM), unos medios de almacenamiento en disco magnético, unos medios de almacenamiento ópticos, unos dispositivos de memoria flash en RAM, una memoria integrada incluida con el procesador, una memoria EPROM, una memoria EEPROM, unos registros, etc., incluyendo las combinaciones de los mismos. La memoria 2489 puede implementarse de acuerdo con una o más de las memorias

110, 114, 310, 314, 803, 805, 910, 914, 1003, 1005, 1110, 1114, 1203, 1205, 1310, 1314, 1403, 1405, 1510, 1514, 1667 descritos en el presente documento.

[0234] Los datos 2493a y las instrucciones 2491a se pueden almacenar en la memoria 2489. Las instrucciones 2491a pueden ejecutarse mediante el procesador 2407 para implementar uno o más de los procedimientos 200, 500, 600, 1700, 2200 que se han descrito en el presente documento. La ejecución de las instrucciones 2491a puede implicar el uso de los datos 2493a que están almacenados en la memoria 2489. Cuando el procesador 2407 ejecuta las instrucciones 2491, se pueden cargar diversas partes de las instrucciones 2491b en el procesador 2407, y se pueden cargar diversas partes de datos 2493b en el procesador 2407.

[0235] El dispositivo electrónico 2487 también puede incluir un transmisor 2497 y un receptor 2499 para permitir la transmisión y recepción de señales hacia y desde el dispositivo electrónico 2487. El transmisor 2497 y el receptor 2499 se pueden denominar conjuntamente transceptor 2401. Una o múltiples antenas 2409a-b pueden estar acopladas eléctricamente al transceptor 2401. El dispositivo electrónico 2487 puede incluir también (no mostrados) múltiples transmisores, múltiples receptores, múltiples transceptores y/o antenas adicionales.

[0236] El dispositivo electrónico 2487 puede incluir un procesador de señales digitales (DSP) 2403. El dispositivo electrónico 2487 también puede incluir una interfaz de comunicación 2405. La interfaz de comunicación 2405 puede habilitar uno o más tipos de entrada y/o salida. Por ejemplo, la interfaz de comunicación 2405 puede incluir uno o más puertos y/o dispositivos de comunicación para vincular otros dispositivos al dispositivo electrónico 2487. De forma adicional o alternativa, la interfaz de comunicación 2405 puede incluir una o más interfaces diferentes (por ejemplo, pantalla táctil, teclado numérico, teclado, micrófono, cámara, etc.). Por ejemplo, la interfaz de comunicación 2405 puede permitir que un usuario interactúe con el dispositivo electrónico 2487.

[0237] Los diversos componentes del dispositivo electrónico 2487 se pueden acoplar entre sí mediante uno o más buses, que pueden incluir un bus de potencia, un bus de señal de control, un bus de señal de estado, un bus de datos, etc. Para mayor claridad, los diversos buses se ilustran en la Figura 24 como un sistema de bus 2495.

[0238] El término "determinar" engloba una amplia variedad de acciones y, por lo tanto, "determinar" puede incluir calcular, computar, procesar, obtener, investigar, consultar (por ejemplo, consultar en una tabla, en una base de datos o en otra estructura de datos), confirmar y similares. Además, "determinar" puede incluir recibir (por ejemplo, recibir información), acceder, (por ejemplo, acceder a datos en una memoria) y similares. Además, "determinar" puede incluir resolver, seleccionar, elegir, establecer y similares.

[0239] La expresión "basándose en" no significa "basándose solo en", a menos que se especifique expresamente de otro modo. En otras palabras, la expresión "basándose en" describe tanto "basándose solo en" como "basándose al menos en".

[0240] El término "procesador" se debe interpretar en sentido amplio para englobar un procesador de propósito general, una unidad de procesamiento central (CPU), un microprocesador, un procesador de señales digitales (DSP), una unidad de procesamiento de gráficos (GPU), un controlador, un microcontrolador, una máquina de estado, etc. En algunas circunstancias, un "procesador" se puede referir a un circuito integrado específico de la aplicación (ASIC), un dispositivo lógico programable (PLD), una matriz de puertas programables in situ (FPGA), etc. El término "procesador" se puede referir a una combinación de dispositivos de procesamiento, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo DSP, una combinación de una CPU y una GPU, o cualquier otra configuración de este tipo.

[0241] El término "memoria" se debe interpretar en sentido amplio para englobar cualquier componente electrónico que pueda almacenar información electrónica. El término memoria se puede referir a diversos tipos de medios legibles por procesador tales como memoria de acceso aleatorio (RAM), memoria de solo lectura (ROM), memoria de acceso aleatorio no volátil (NVRAM), memoria de solo lectura programable (PROM), memoria de solo lectura programable borrable (EPROM), PROM borrable eléctricamente (EEPROM), memoria flash, almacenamiento de datos magnéticos u ópticos, registros, etc. Se dice que la memoria está en comunicación electrónica con un procesador si el procesador puede leer información de y/o escribir información en la memoria. La memoria, que es una parte integrante de un procesador, está en comunicación electrónica con el procesador.

[0242] Los términos "instrucciones" y "código" se deben interpretar en sentido amplio para incluir cualquier tipo de sentencia(s) legible(s) por ordenador. Por ejemplo, los términos "instrucciones" y "código" se pueden referir a uno o más programas, rutinas, subrutinas, funciones, procesos, etc. "Instrucciones" y "código" pueden comprender una única sentencia legible por ordenador o muchas sentencias legibles por ordenador.

[0243] Las funciones descritas en el presente documento se pueden implementar en software o firmware que se ejecuta por hardware. Las funciones se pueden almacenar como una o más instrucciones en un medio legible por ordenador. Los términos "medio legible por ordenador" o "producto de programa informático" se refieren a cualquier medio de almacenamiento tangible al que se pueda acceder por un ordenador o un procesador. A modo de ejemplo, y no de limitación, un medio legible por ordenador puede comprender RAM, ROM, EEPROM, CD-ROM u otro

dispositivo de almacenamiento en disco óptico, de almacenamiento en disco magnético u otros dispositivos de almacenamiento magnético o cualquier otro medio que se pueda usar para transportar o almacenar código de programa deseado en forma de instrucciones o estructuras de datos y al que se pueda acceder mediante un ordenador. Los discos, como se usan en el presente documento, incluyen el disco compacto (CD), el disco láser, el disco óptico, el disco versátil digital (DVD), el disco flexible y el disco Blu-ray®, de los cuales los discos flexibles reproducen normalmente datos magnéticamente, mientras que los demás discos reproducen datos ópticamente con láseres. Cabe destacar que un medio legible por ordenador puede ser tangible y no transitorio. El término "producto de programa informático" se refiere a un dispositivo o procesador informático en combinación con código o instrucciones (por ejemplo, un "programa") que se pueden ejecutar, procesar o computar mediante el dispositivo o procesador informático. Como se usa en el presente documento, el término "código" se puede referir a software, instrucciones, código o datos que son ejecutables por un dispositivo o procesador informático.

[0244] El software o las instrucciones también se pueden transmitir sobre un medio de transmisión. Por ejemplo, si el software se transmite desde un sitio web, un servidor u otra fuente remota usando un cable coaxial, un cable de fibra óptica, un par trenzado, una línea de abonado digital (DSL) o tecnologías inalámbricas tales como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el par trenzado, la DSL o las tecnologías inalámbricas tales como infrarrojos, radio y microondas se incluyen en la definición de medio de transmisión.

[0245] Los procedimientos divulgados en el presente documento comprenden uno o más pasos o acciones para obtener el procedimiento descrito. Los pasos y/o acciones de procedimiento se pueden intercambiar entre sí sin apartarse del alcance de las reivindicaciones. En otras palabras, a menos que se requiera un orden específico de pasos o acciones para un funcionamiento apropiado del procedimiento que se describe, el orden y/o el uso de los pasos y/o acciones específicas se puede modificar sin apartarse del alcance de las reivindicaciones.

[0246] Además, debe apreciarse que los módulos y/u otros medios apropiados para realizar los procedimientos y técnicas descritos en el presente documento se pueden descargar y/o de otra manera obtener mediante un dispositivo. Por ejemplo, un dispositivo se puede acoplar a un servidor para facilitar la transferencia de medios para realizar los procedimientos divulgados en el presente documento. De forma alternativa, diversos procedimientos divulgados en el presente documento se pueden proporcionar por medio de medios de almacenamiento (por ejemplo, memoria de acceso aleatorio (RAM), memoria de solo lectura (ROM), un medio de almacenamiento físico tal como un disco compacto (CD) o un disco flexible, etc.), de modo que un dispositivo puede obtener los diversos procedimientos tras acoplarse o proporcionar los medios de almacenamiento al dispositivo.

[0247] Se ha de entender que las reivindicaciones no están limitadas a la configuración ni a los componentes precisos ilustrados anteriormente. Se pueden realizar diversas modificaciones, cambios y variantes en la disposición, el funcionamiento y los detalles de los sistemas, procedimientos y aparatos descritos en el presente documento sin apartarse del alcance de las reivindicaciones.

REIVINDICACIONES

1. Un aparato, que comprende:
 - 5 medios para renderizar una primera zona de una imagen con un primer nivel de detalle durante el procesamiento de teselación;
 - medios para renderizar una segunda zona de la imagen con un segundo nivel de detalle durante el procesamiento de teselación, en el que el primer nivel de detalle es más alto que el segundo nivel de detalle;
 - 10 y
 - medios para presentar la primera zona y la segunda zona en al menos una pantalla,
 - en el que los medios para renderizar las zonas primera y segunda están configurados para renderizar las zonas primera y segunda en una sola llamada de extracción.
2. El aparato según la reivindicación 1,
 - 20 en el que los medios para presentar comprenden medios para enviar la primera zona y la segunda zona a al menos una pantalla para presentar la primera zona y la segunda zona; o.
 - que comprende además medios para presentar la primera zona en una primera ventana del vehículo y para presentar la segunda zona en una segunda ventana del vehículo.
- 25 3. El aparato según la reivindicación 1, en el que la al menos una pantalla es un proyector de ventana o un panel de pantalla de ventana integrado.
4. El aparato según la reivindicación 1, en el que los medios para presentar están configurados para presentar la primera zona en una primera ventana del vehículo y para presentar la segunda zona en una segunda ventana del vehículo.
- 30 5. El aparato según la reivindicación 4, en el que la primera ventana es un parabrisas delantero y la segunda ventana es otra ventana de un vehículo.
- 35 6. El aparato según la reivindicación 2, en el que los medios para presentar están configurados para presentar la primera zona en una primera sección de una ventana de vehículo y para presentar la segunda zona en una segunda sección de la ventana de vehículo.
- 40 7. El aparato según la reivindicación 6, en el que:
 - la primera sección es una sección lateral de un parabrisas y la segunda sección es otra sección lateral del parabrisas; o
 - 45 en el que la primera sección es una primera barra horizontal a través de un parabrisas y la segunda sección es una segunda barra horizontal a través del parabrisas.
8. El aparato según la reivindicación 1, que comprende, además
 - 50 medios para realizar el seguimiento de los ojos para múltiples usuarios, incluidos un primer usuario y un segundo usuario; y
 - medios para priorizar la renderización de las zonas primera y segunda, basándose en el seguimiento de los ojos, en el que priorizar la renderización de las zonas primera y segunda comprende renderizar la primera zona con el primer nivel de detalle que es más alto que el segundo nivel de detalle para la segunda zona basándose en la primera zona para presentación al primer usuario y la segunda zona para presentación al segundo usuario y con el primer usuario teniendo prioridad sobre el segundo usuario.
- 55 9. El aparato según la reivindicación 1, en el que el aparato es al menos parte de un módulo extraíble en un vehículo.
- 60 10. El aparato según la reivindicación 1, en el que el aparato es al menos parte de un dispositivo de realidad virtual, VR, tal como un auricular VR.
11. El aparato según la reivindicación 1, en el que los medios para renderizar las zonas primera y segunda están configurados para acceder asincrónicamente a la memoria para renderizar los diferentes niveles de detalle en la llamada de extracción única.
- 65

- 5
12. El aparato según la reivindicación 1, en el que los medios para renderizar la primera y segunda zonas comprenden un controlador de memoria intermedia de tramas no uniforme configurado para acceder a diferentes subconjuntos de una o más memorias intermedias de tramas, correspondiendo los diferentes subconjuntos de la memoria intermedia de tramas a los diferentes niveles de detalle.
13. El aparato según la reivindicación 1, en el que los medios para renderizar la primera y segunda zonas comprenden un circuito de palabra de instrucción muy larga, VLIW.
- 10
14. Un procedimiento realizado por un dispositivo electrónico, comprendiendo el procedimiento:
- renderizar una primera zona de una imagen con un primer nivel de detalle durante el procesamiento de teselación;
- 15
- renderizar una segunda zona de la imagen con un segundo nivel de detalle durante el procesamiento de teselación, en el que el primer nivel de detalle es más alto que el segundo nivel de detalle; y
- presentar la primera zona y la segunda zona en al menos una pantalla, en el que el dispositivo electrónico renderiza la primera y segunda zonas durante una sola llamada de extracción.
- 20
15. Un producto de programa informático que comprende un medio legible por ordenador tangible no transitorio que tiene instrucciones en el mismo, comprendiendo las instrucciones:
- 25
- código para hacer que un dispositivo electrónico renderice una primera zona de una imagen con un primer nivel de detalle durante el procesamiento de teselación;
- código para hacer que el dispositivo electrónico renderice una segunda zona de la imagen con un segundo nivel de detalle durante el procesamiento de teselación, en el que el primer nivel de detalle es más alto que el segundo nivel de detalle; y
- 30
- código para hacer que el dispositivo electrónico presente la primera zona y la segunda zona en al menos una pantalla,
- en el que el código hace que el dispositivo electrónico renderice la primera y segunda zonas durante una sola llamada de extracción.
- 35

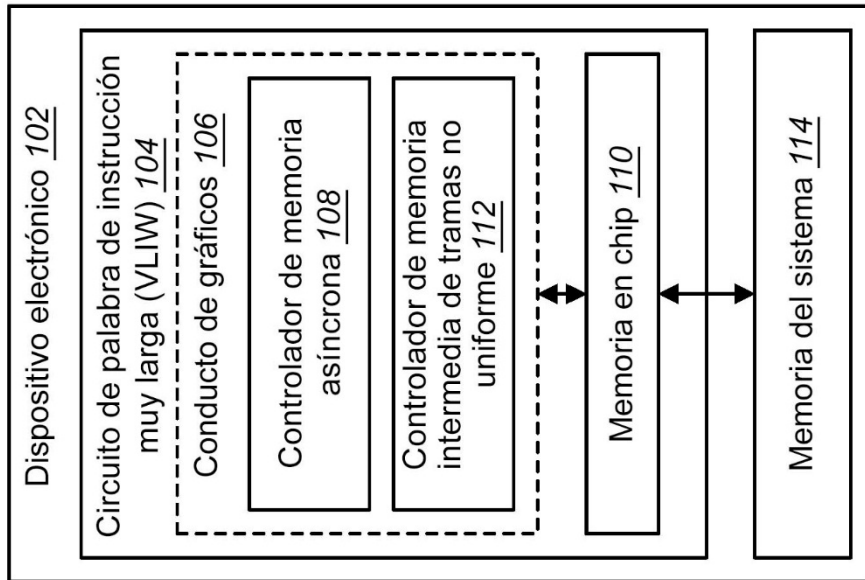


FIG. 1

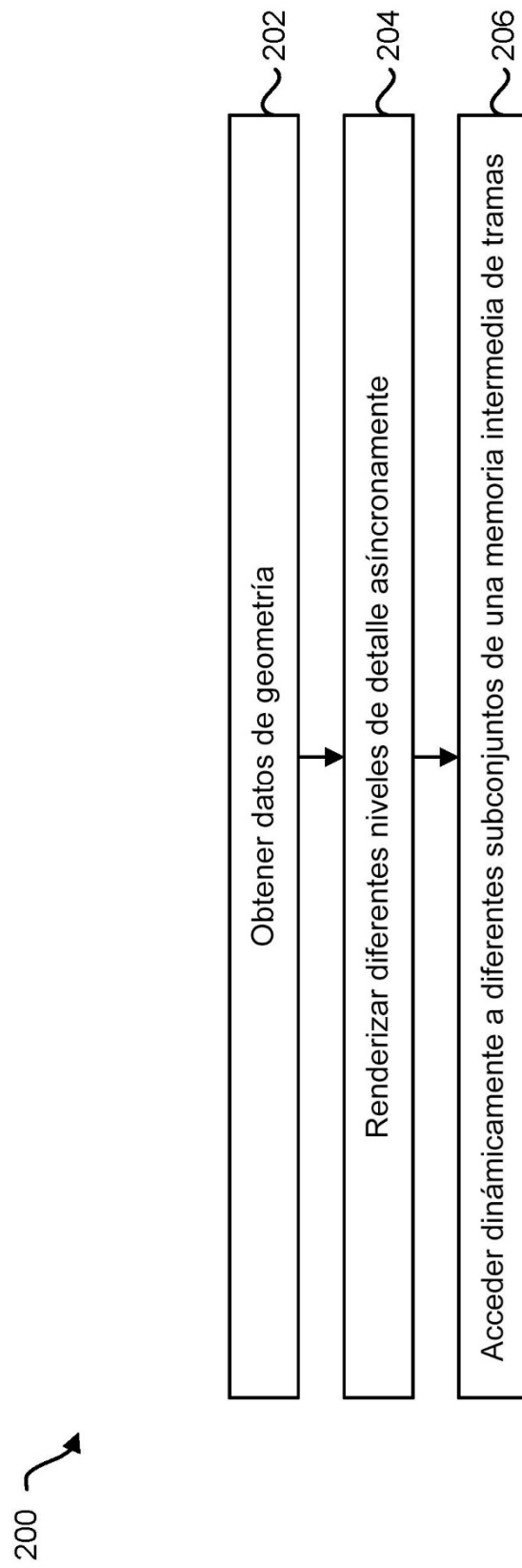


FIG. 2

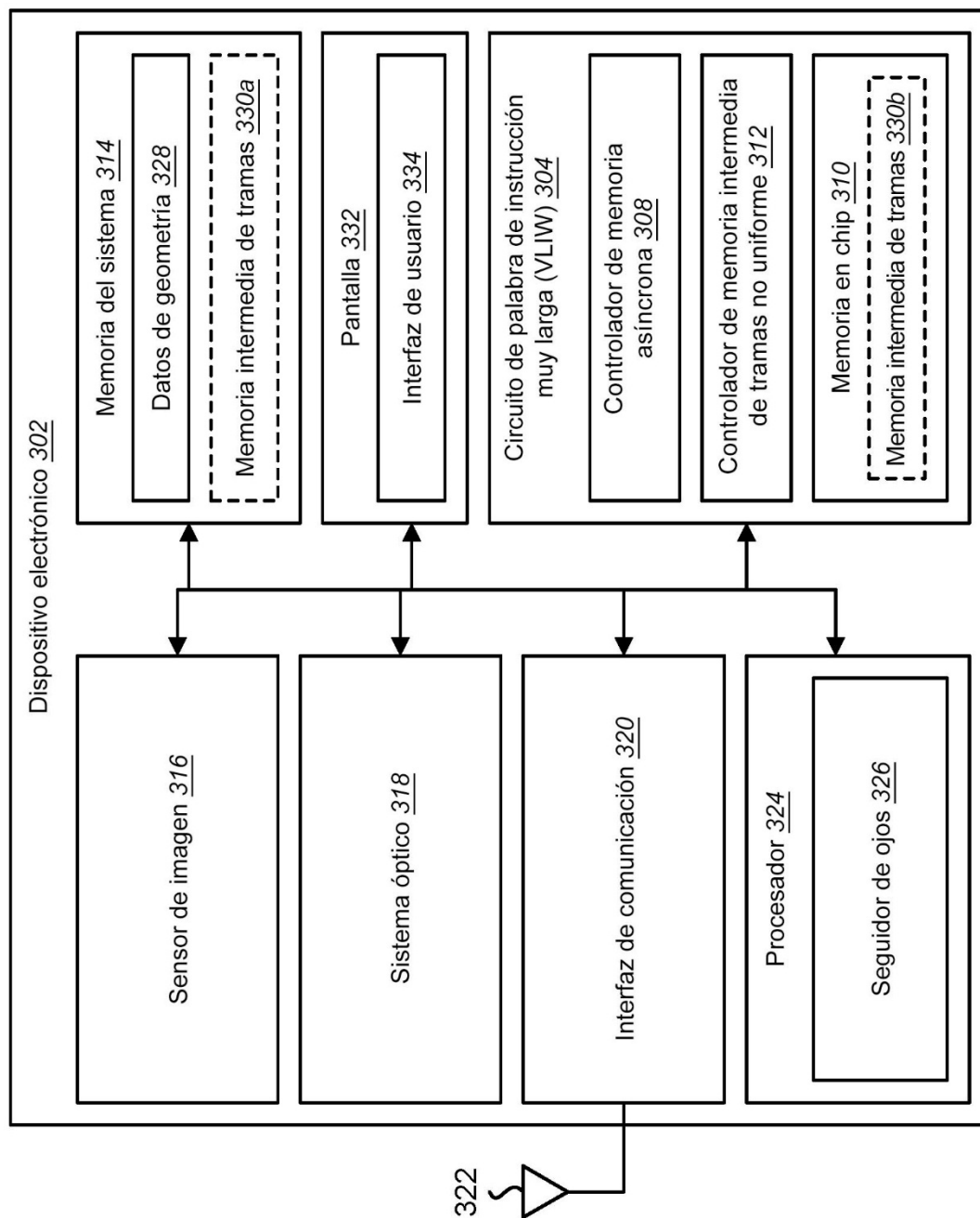


FIG. 3

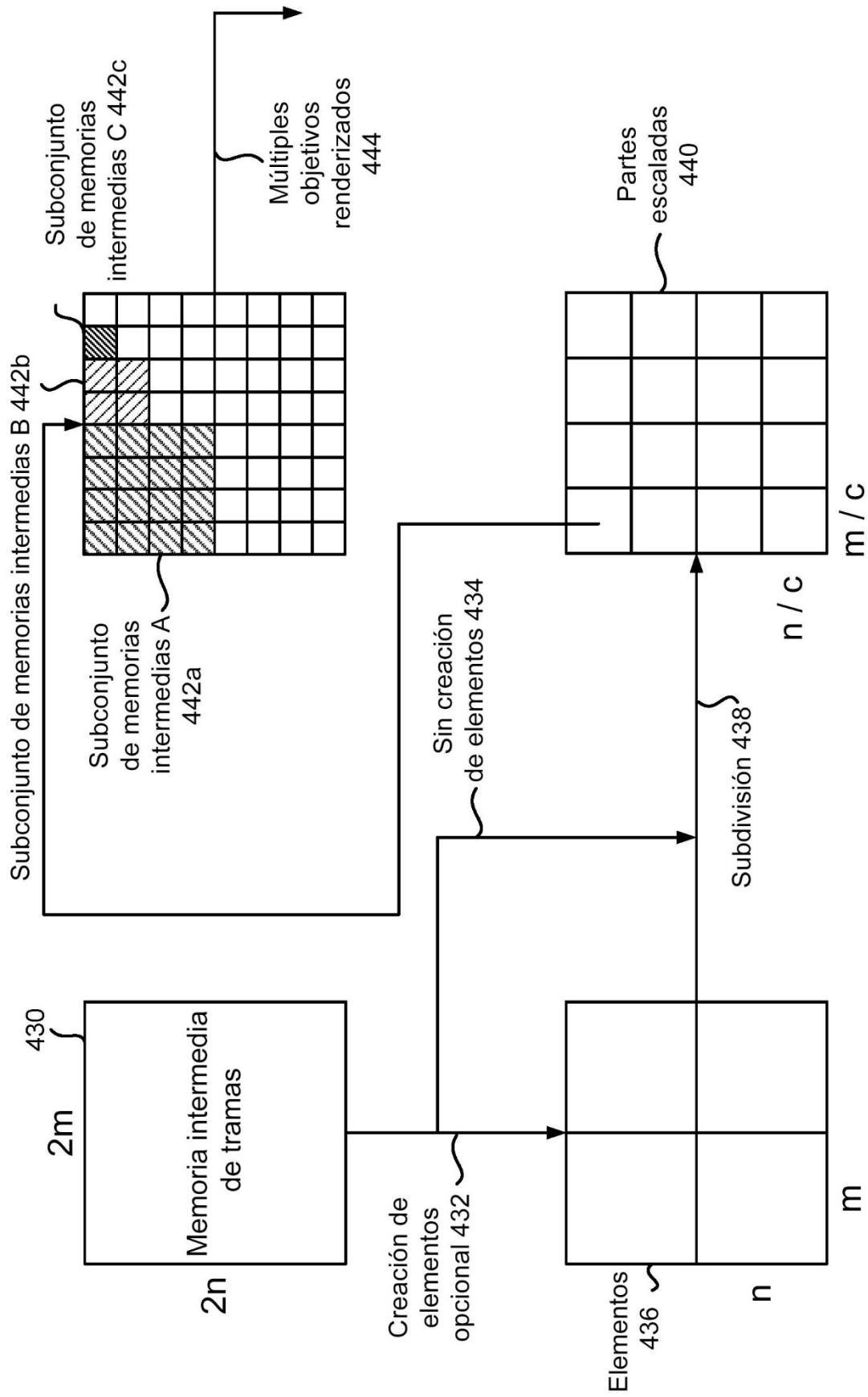


FIG. 4

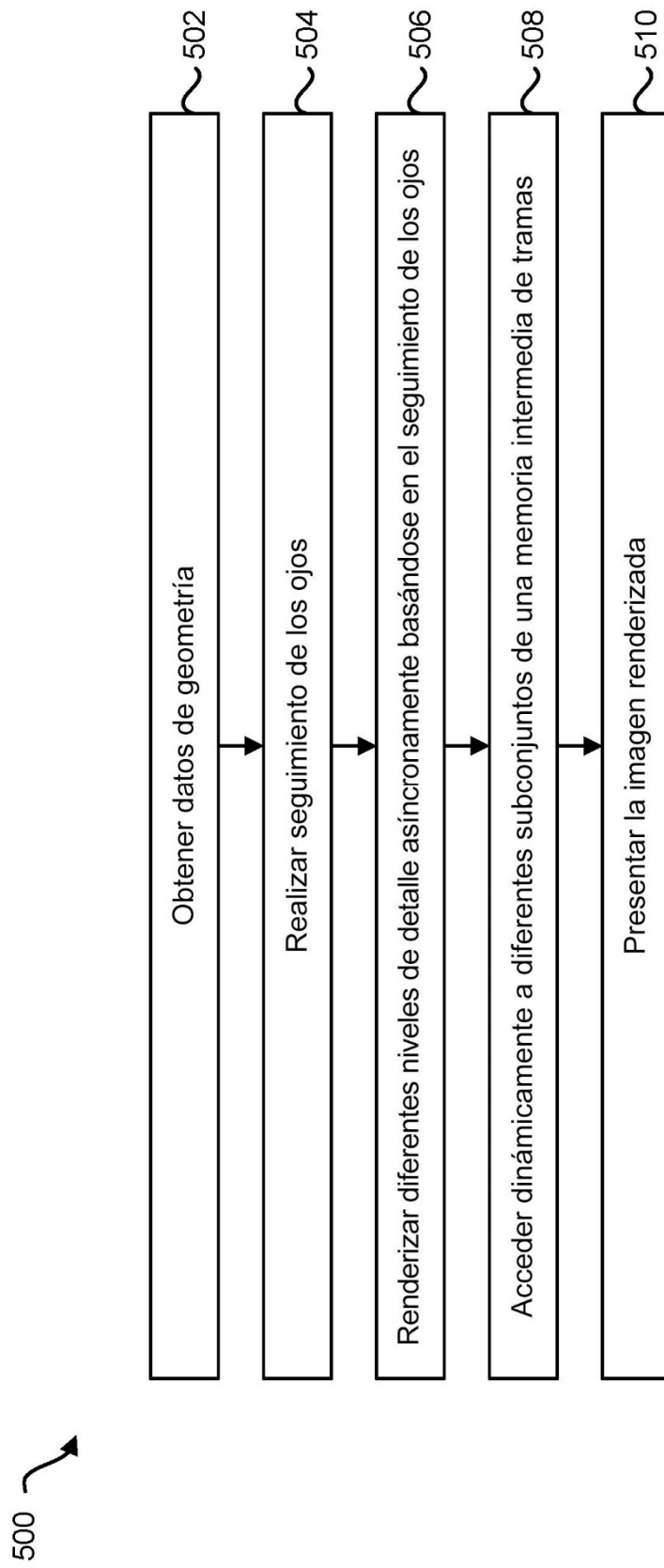


FIG. 5

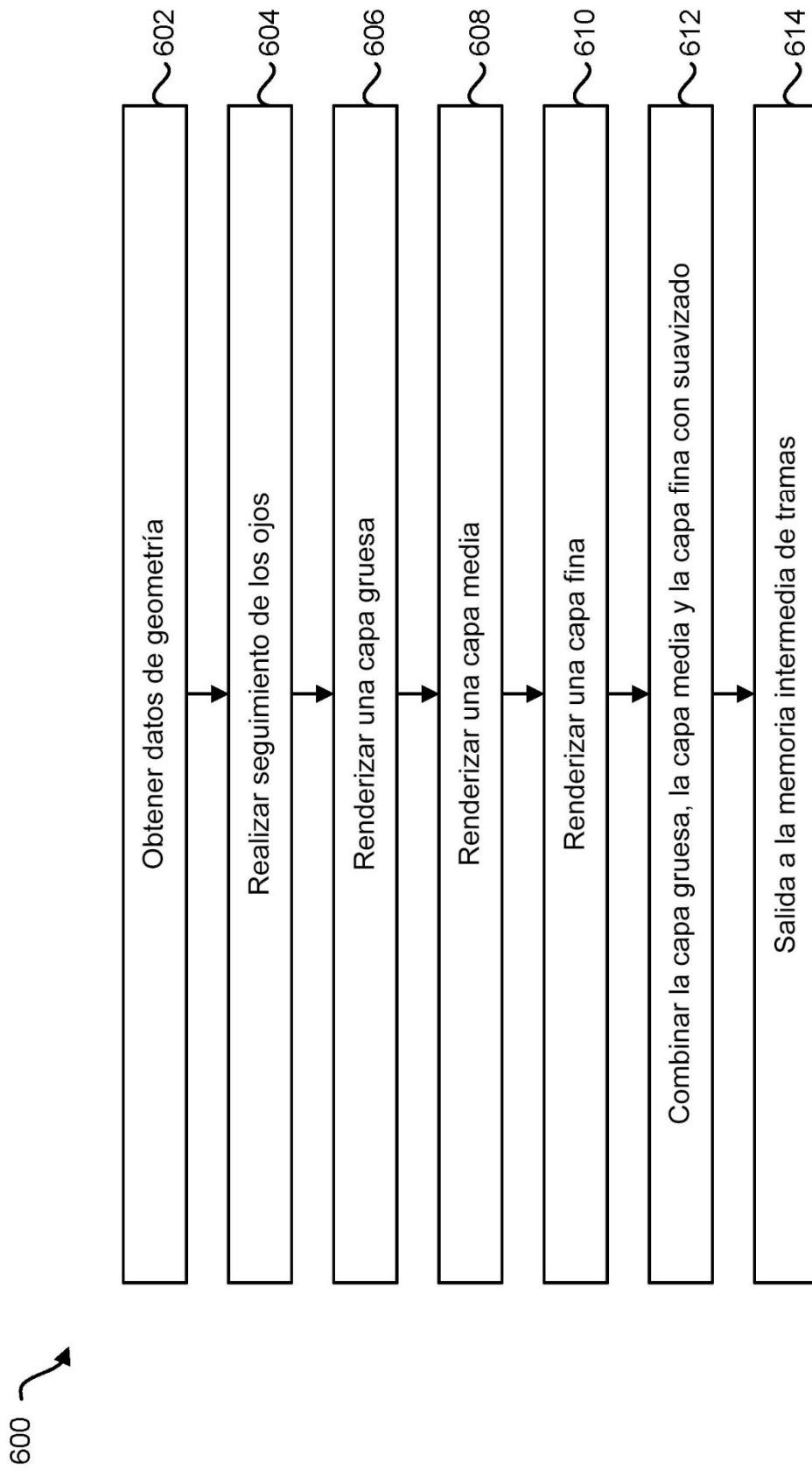


FIG. 6

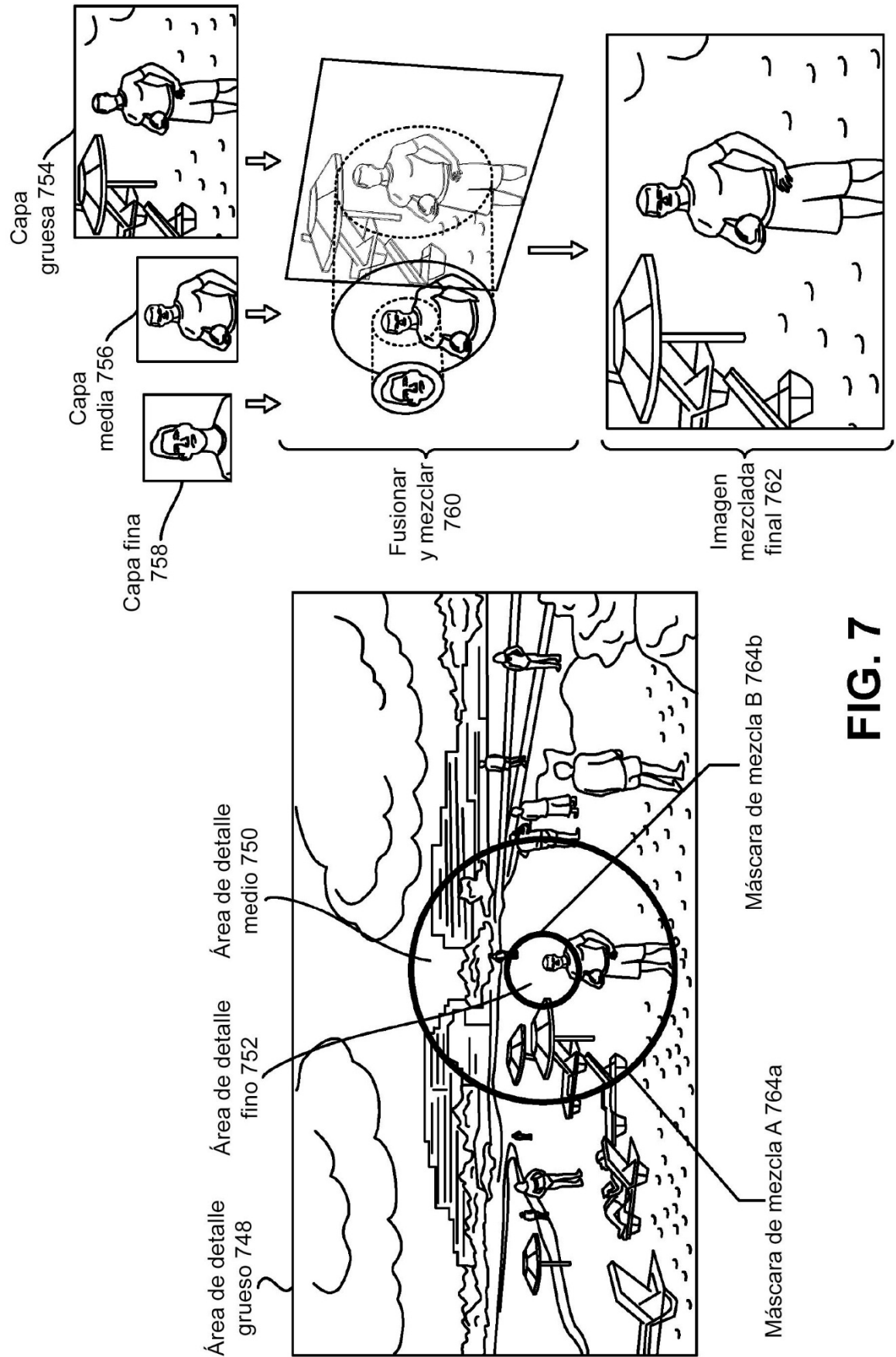


FIG. 7

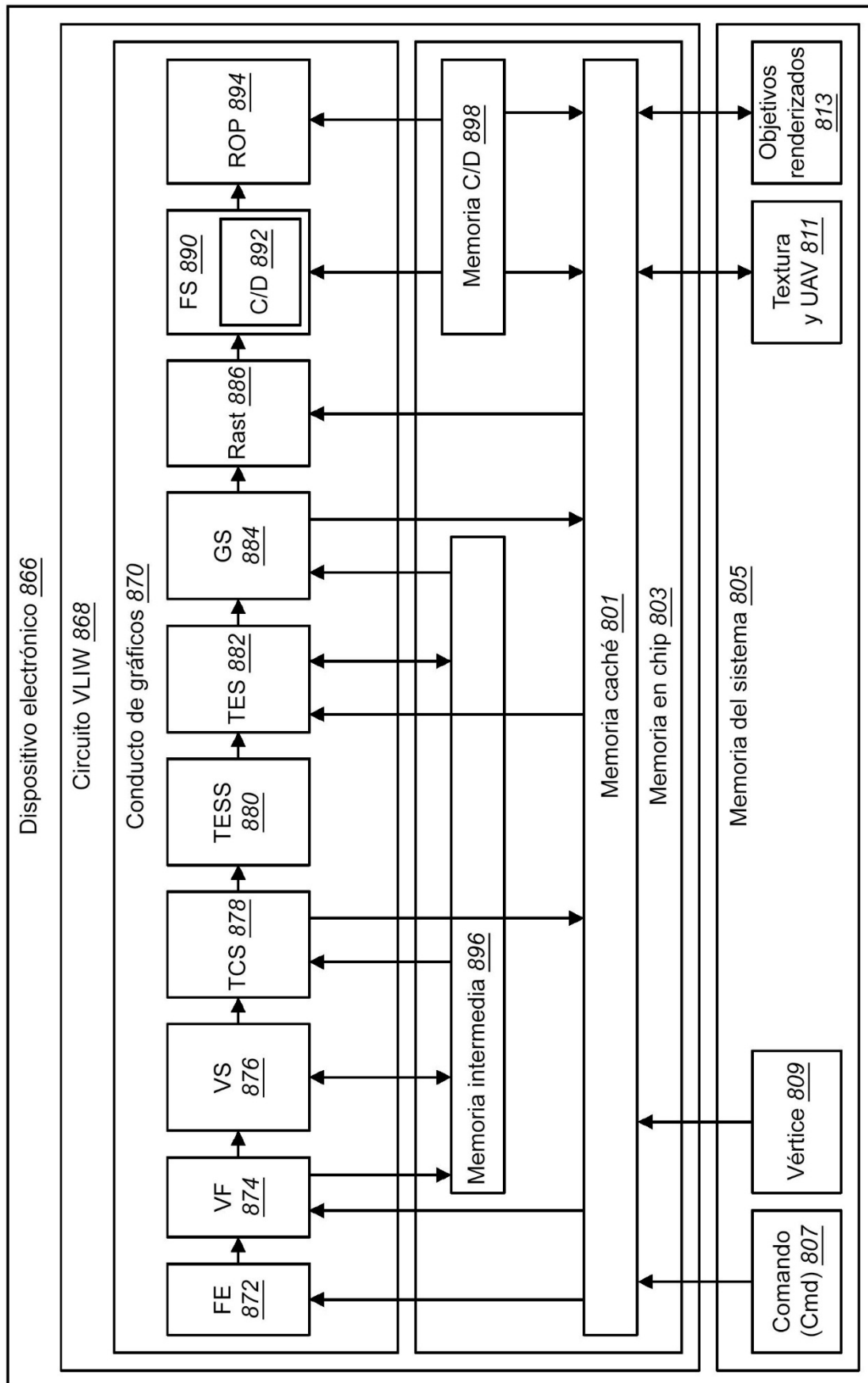


FIG. 8

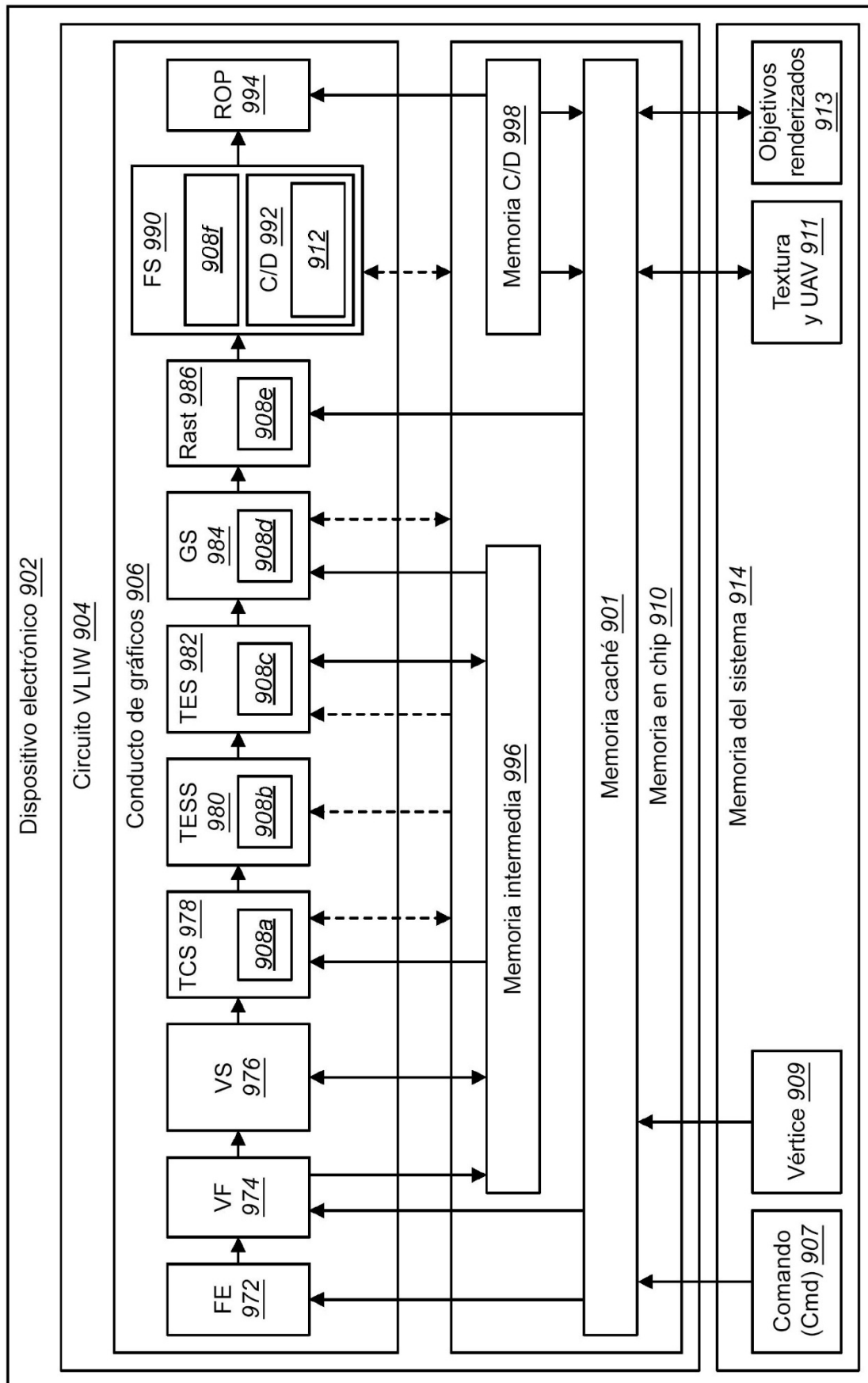


FIG. 9

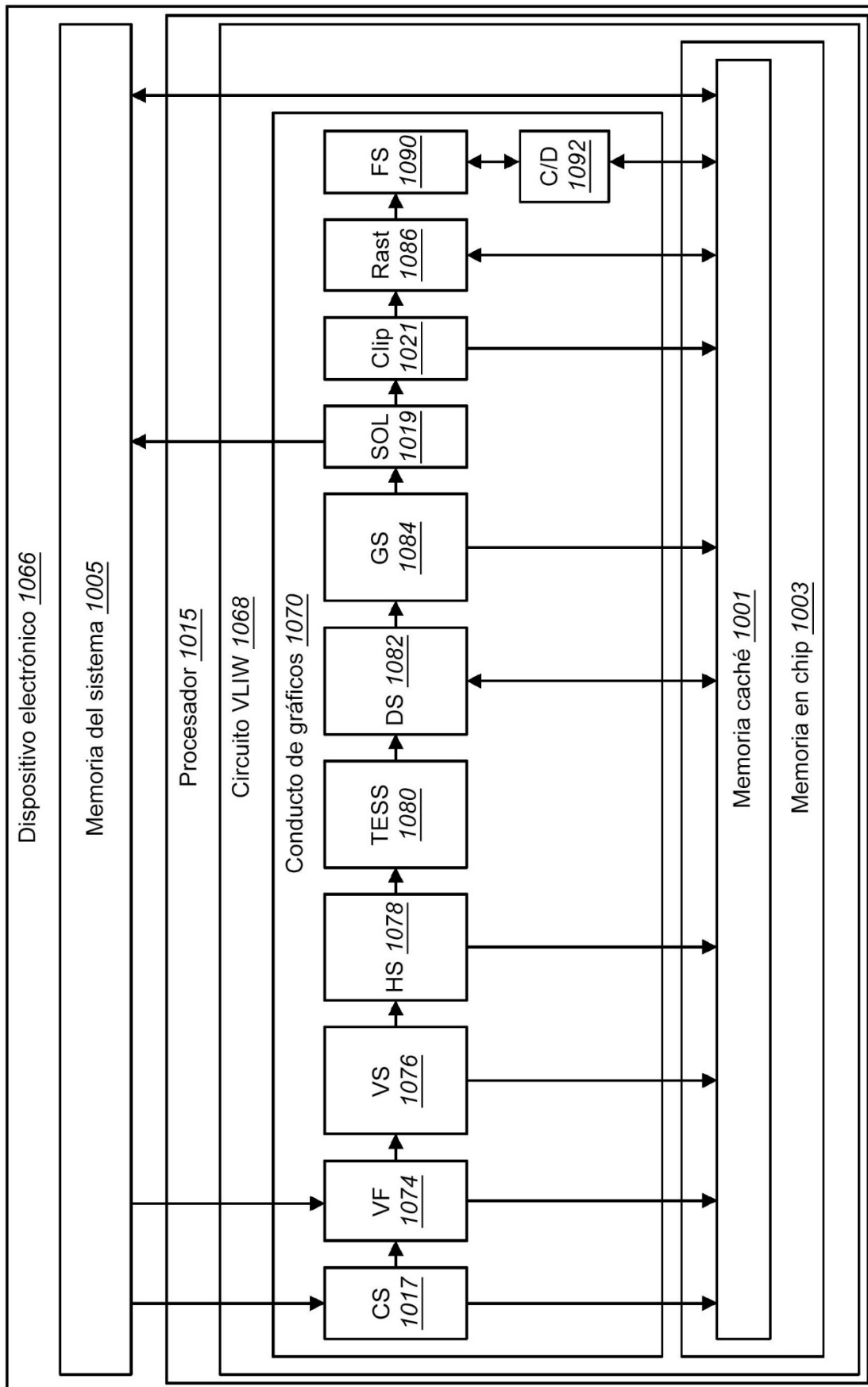


FIG. 10

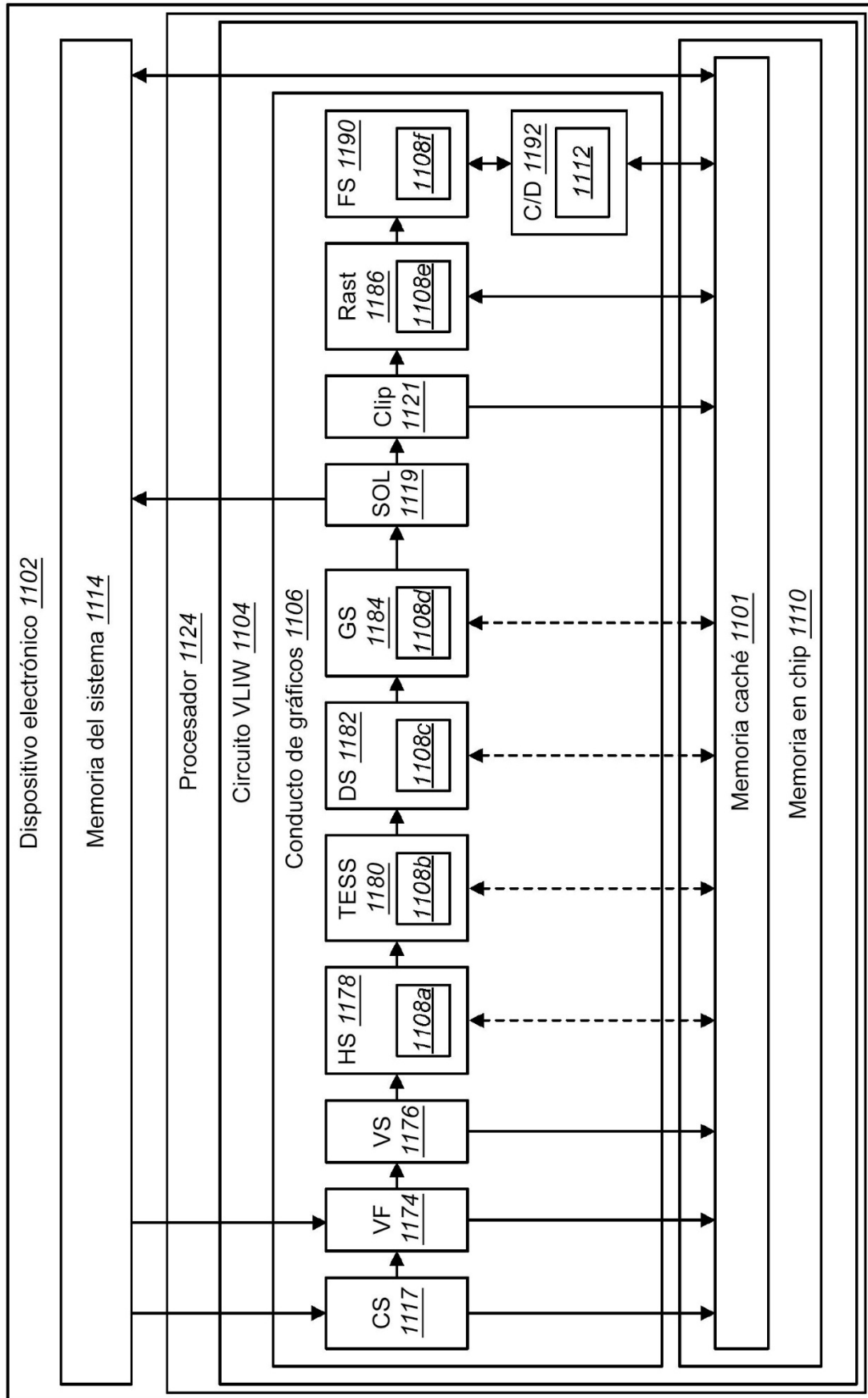


FIG. 11

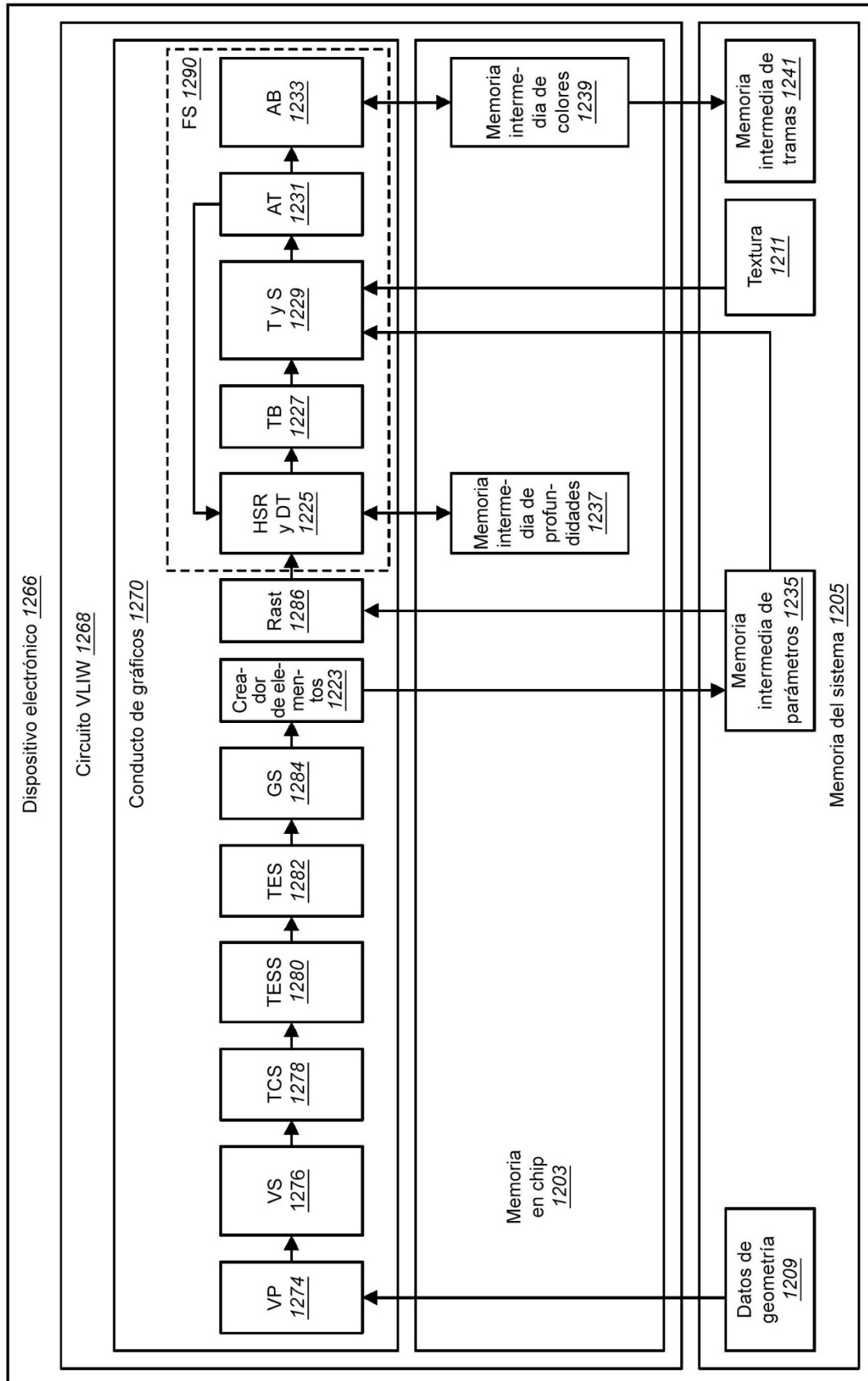


FIG. 12

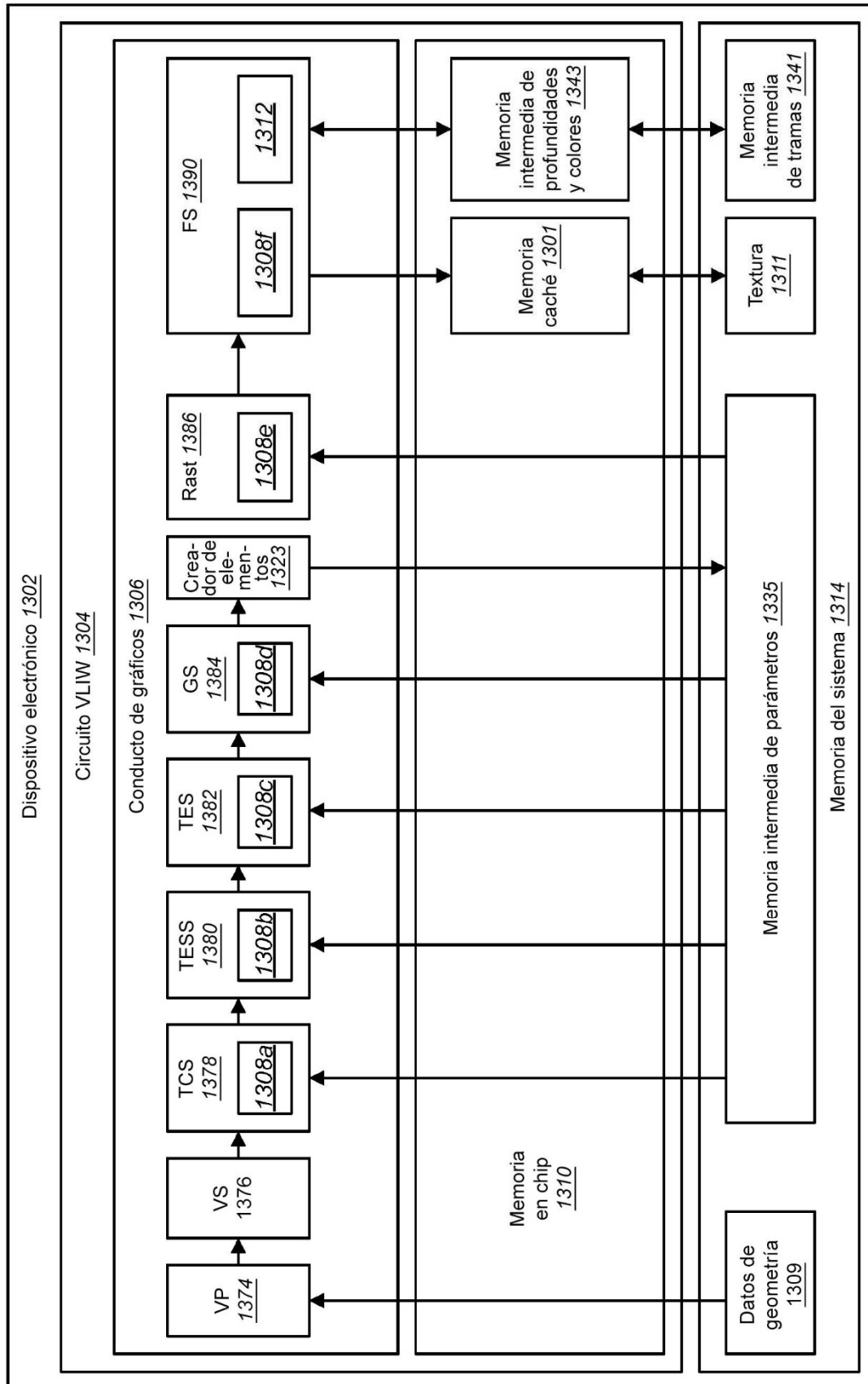


FIG. 13

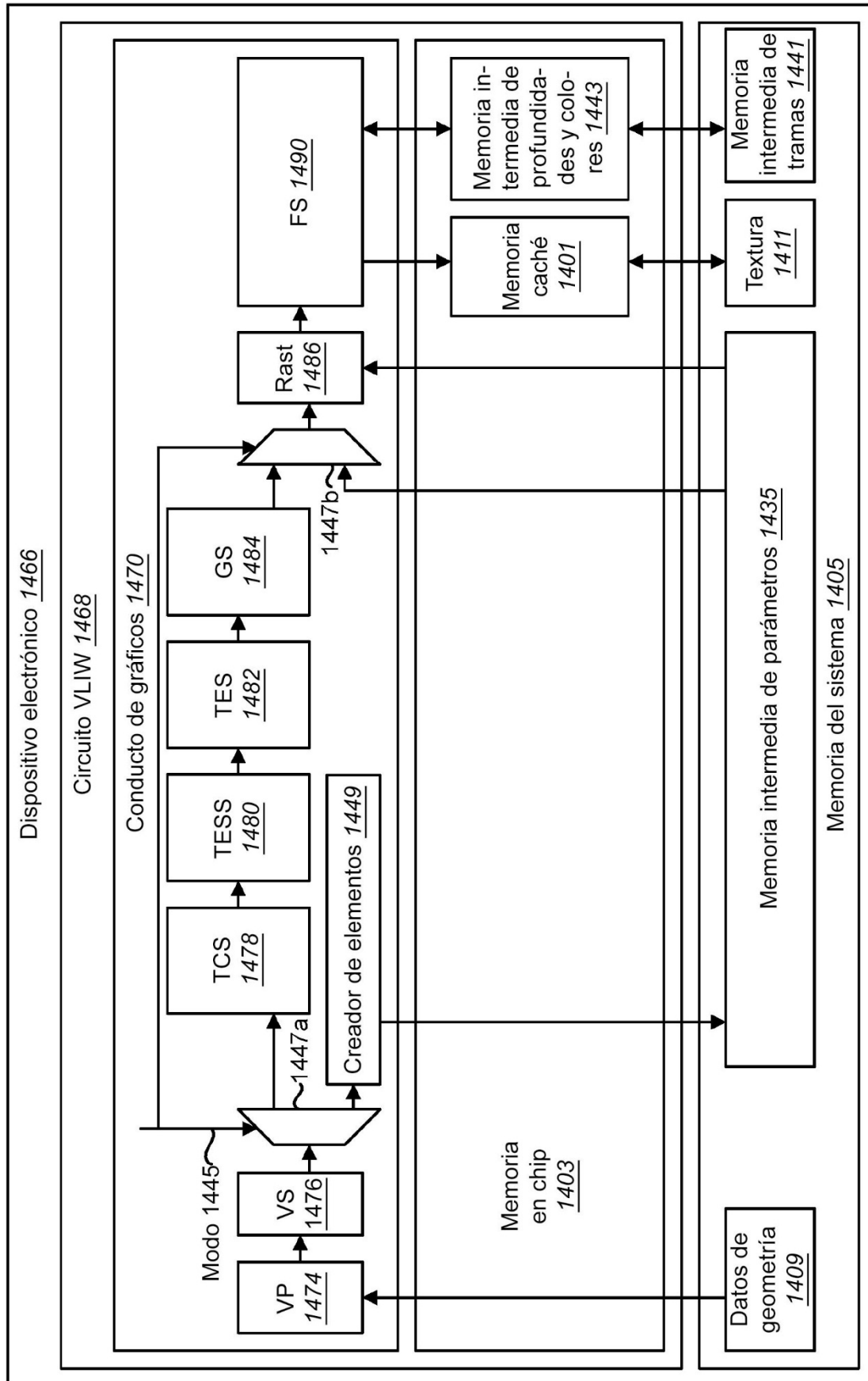


FIG. 14

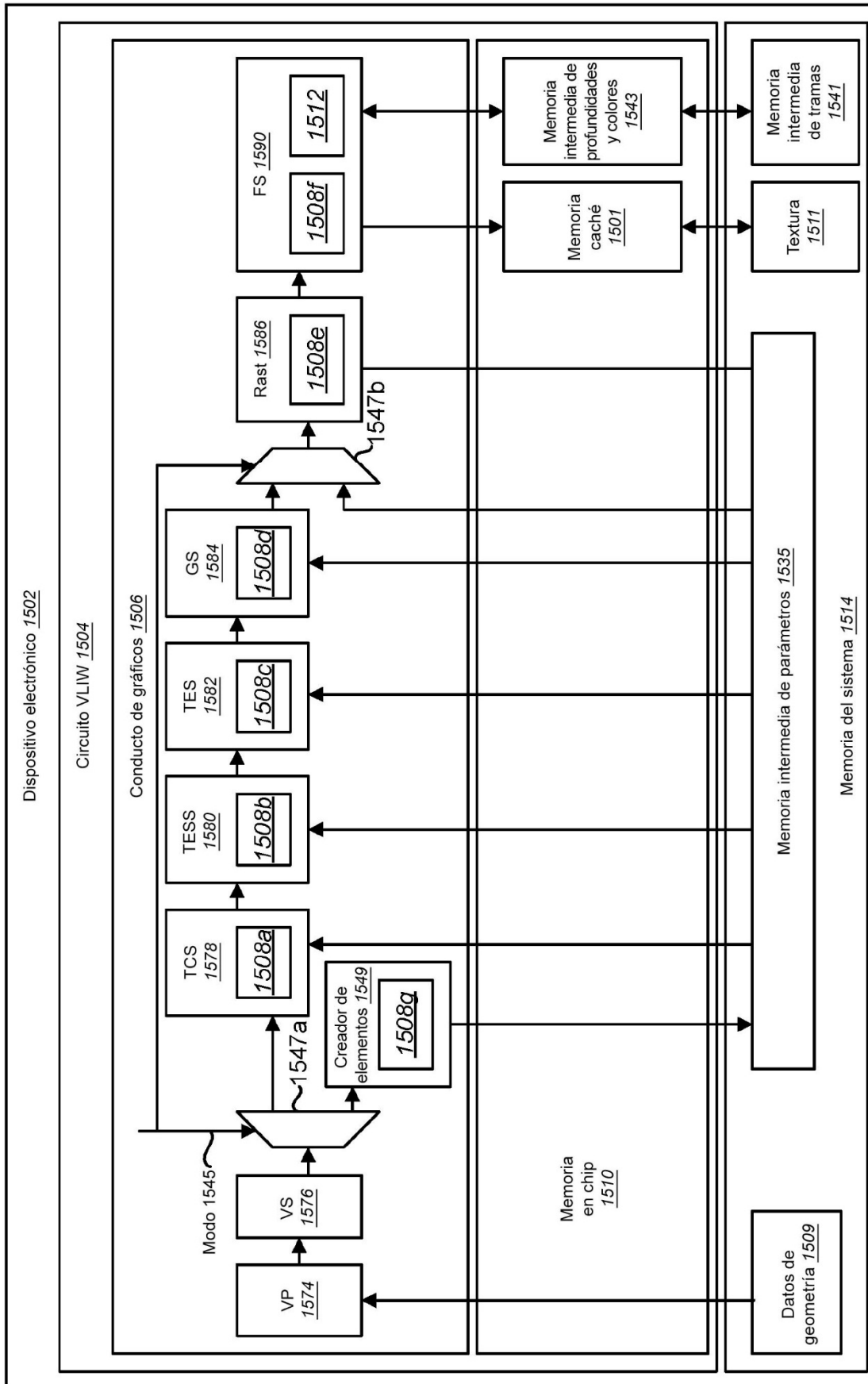


FIG. 15

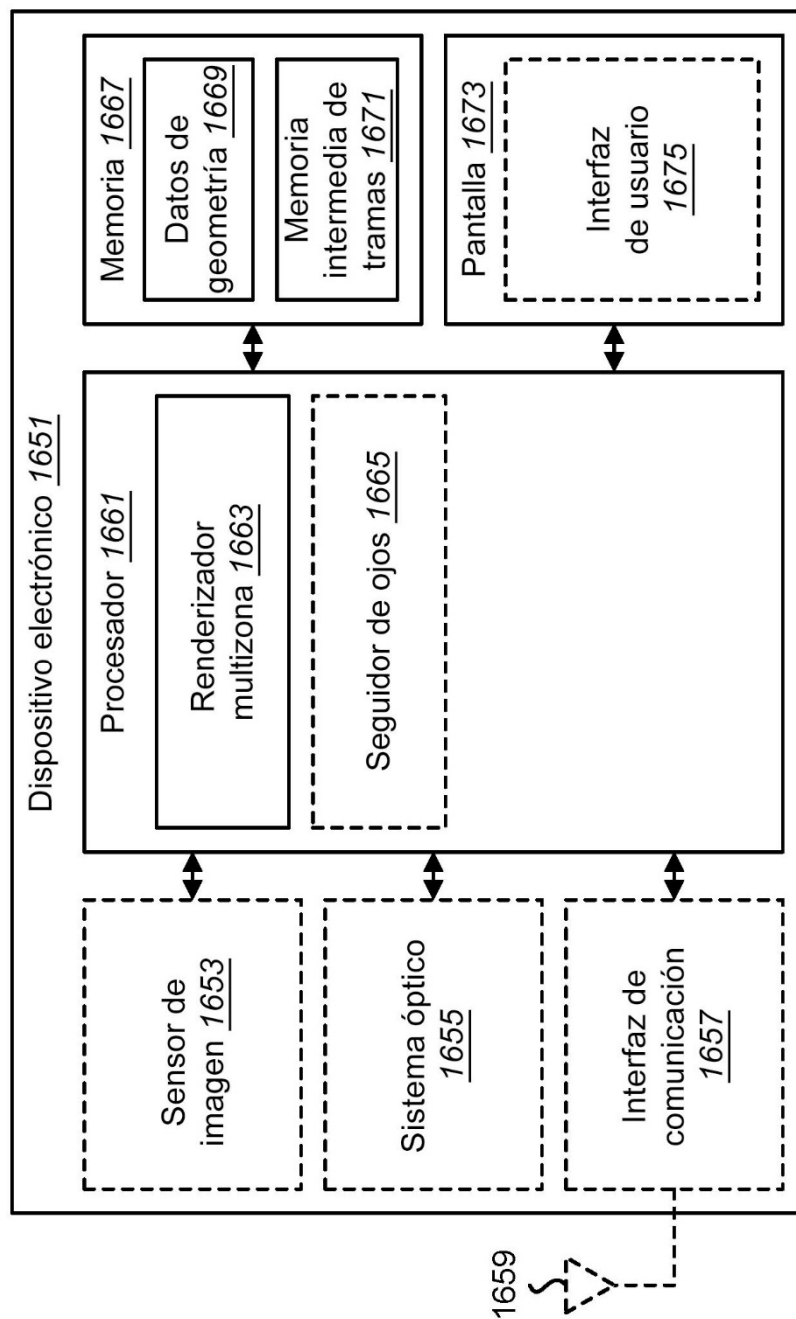


FIG. 16

1700 ↗

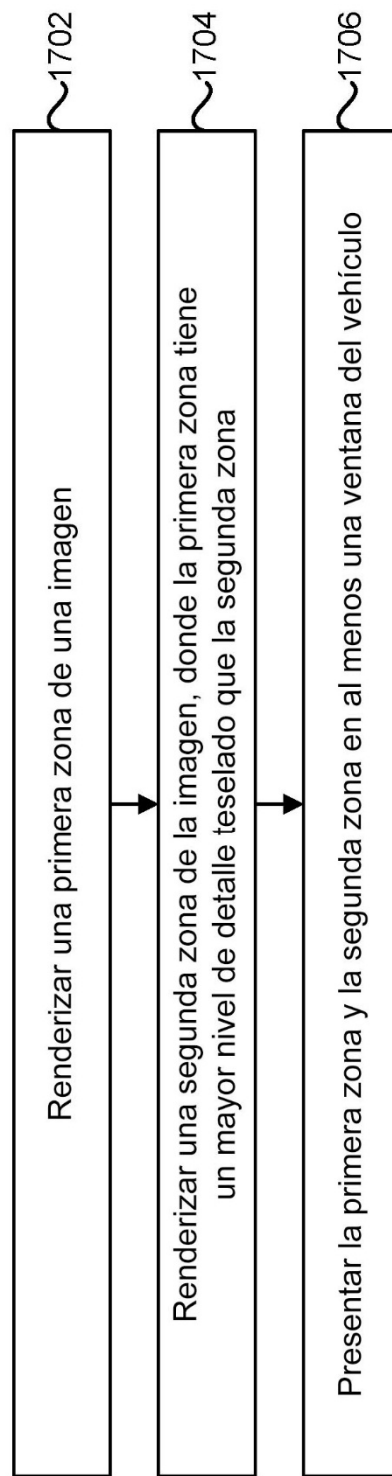


FIG. 17

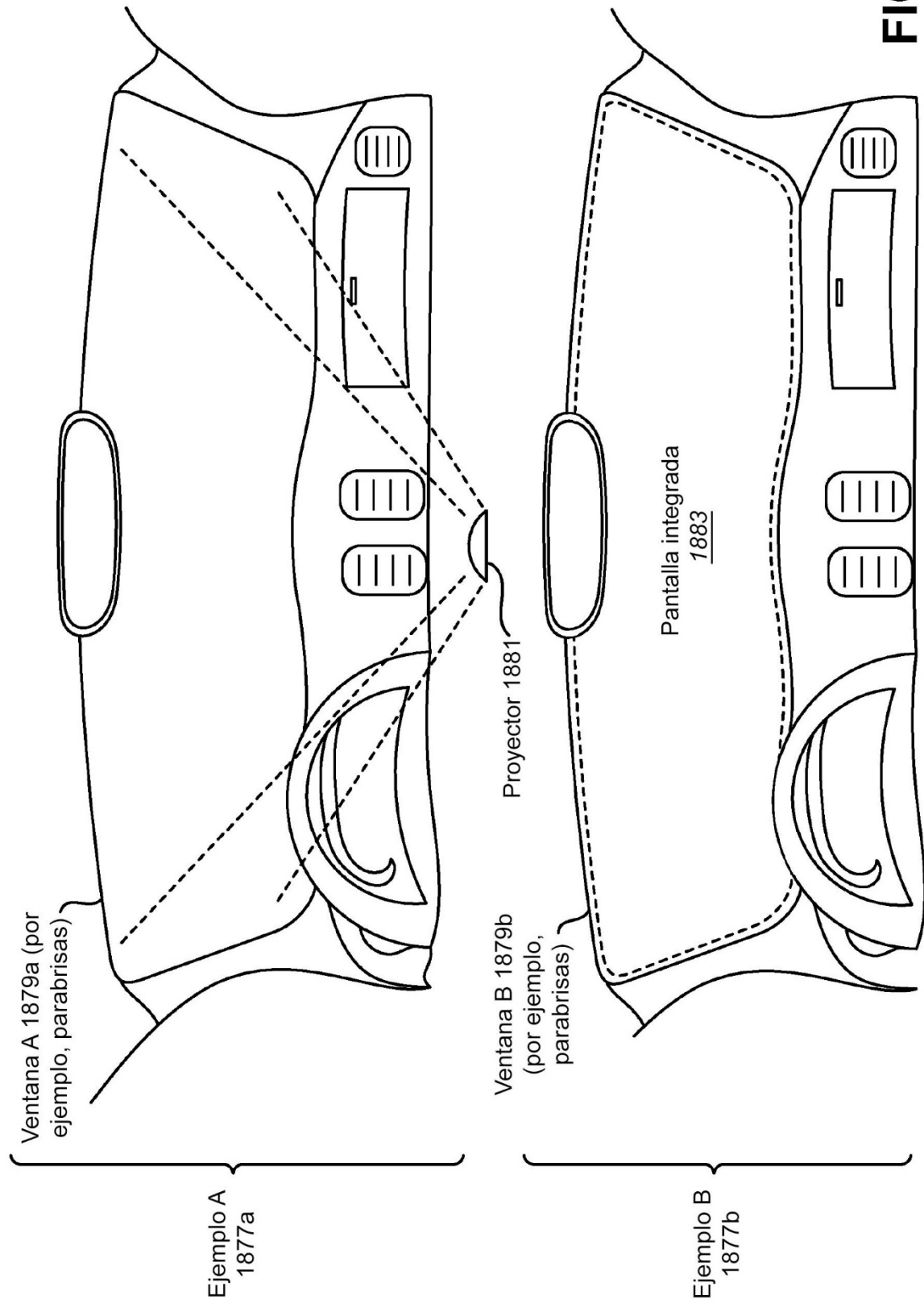


FIG. 18

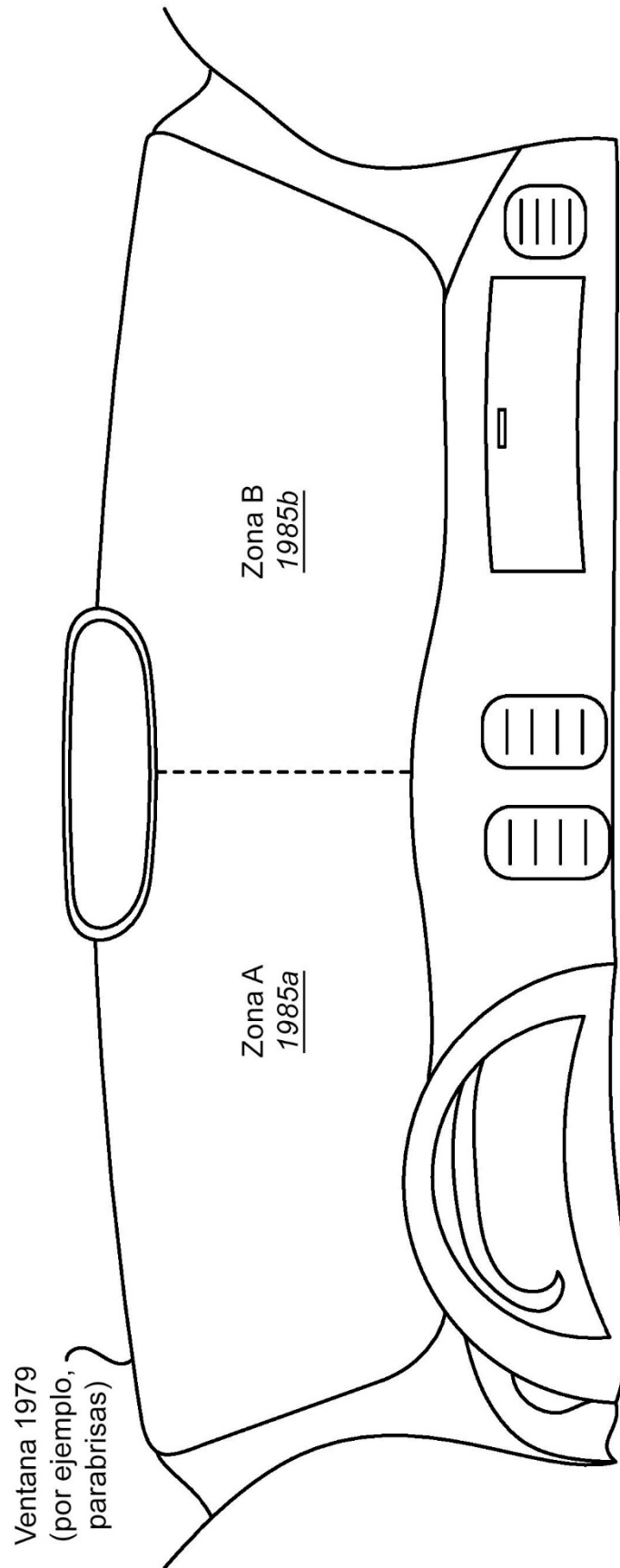


FIG. 19

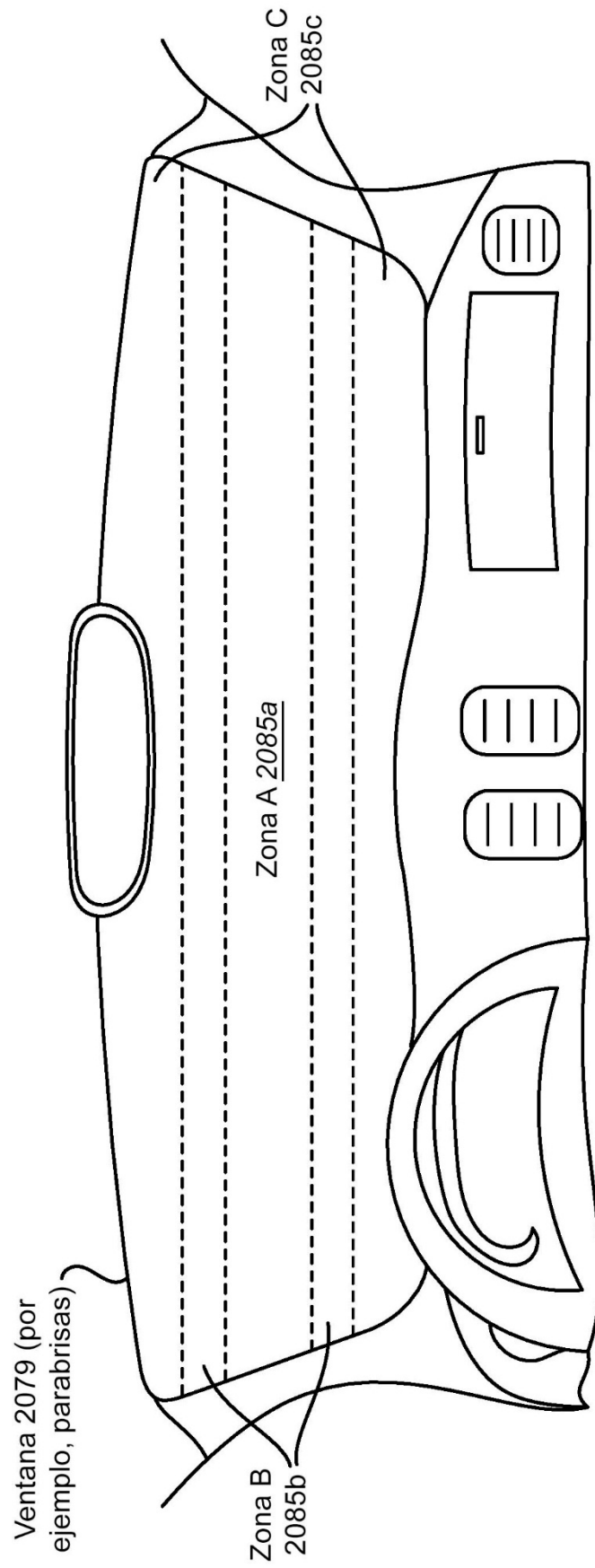


FIG. 20

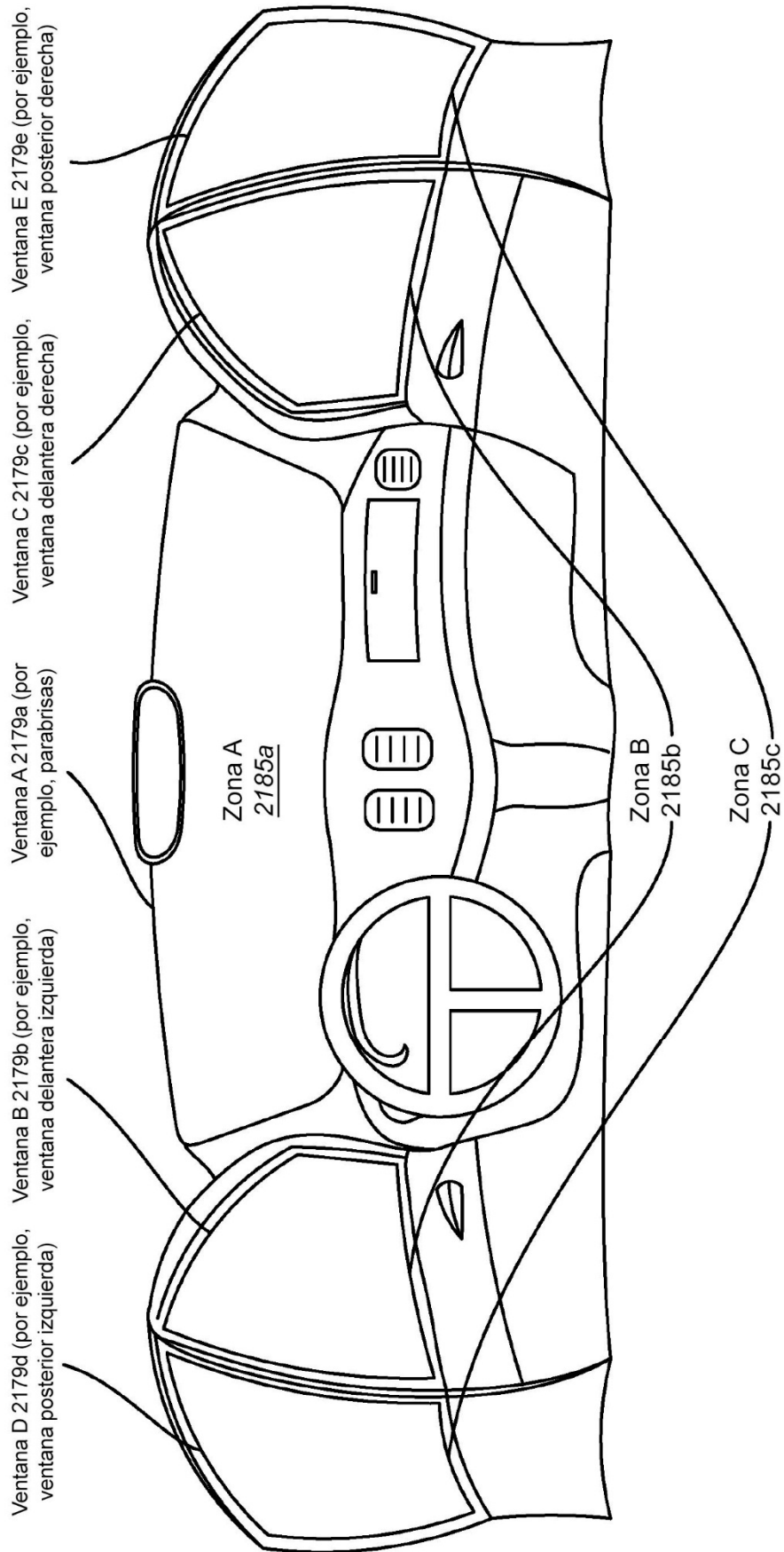


FIG. 21

2200 ↗

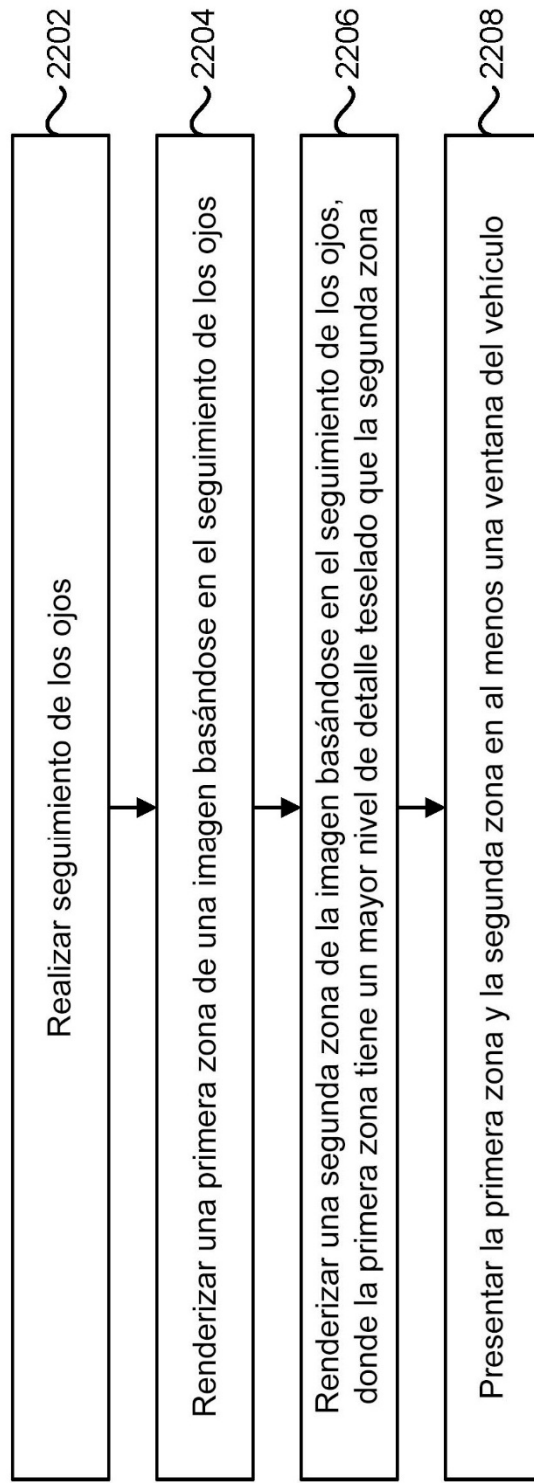


FIG. 22

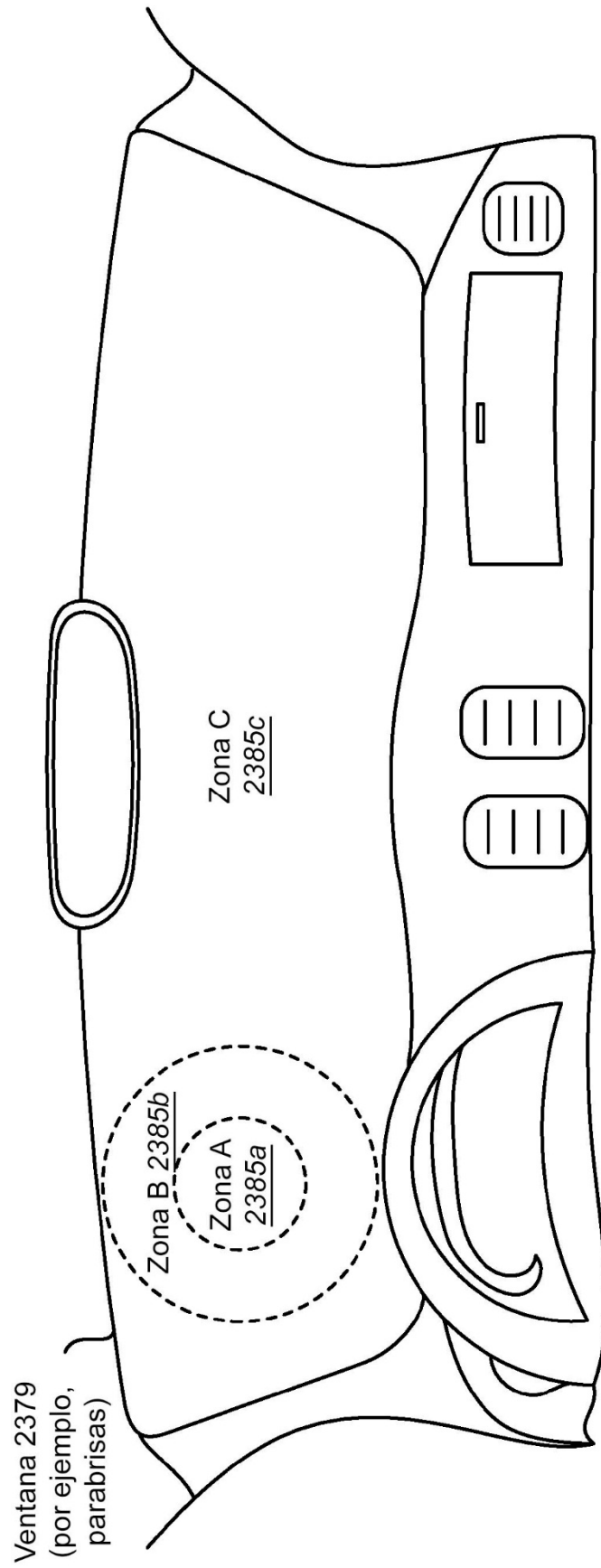


FIG. 23

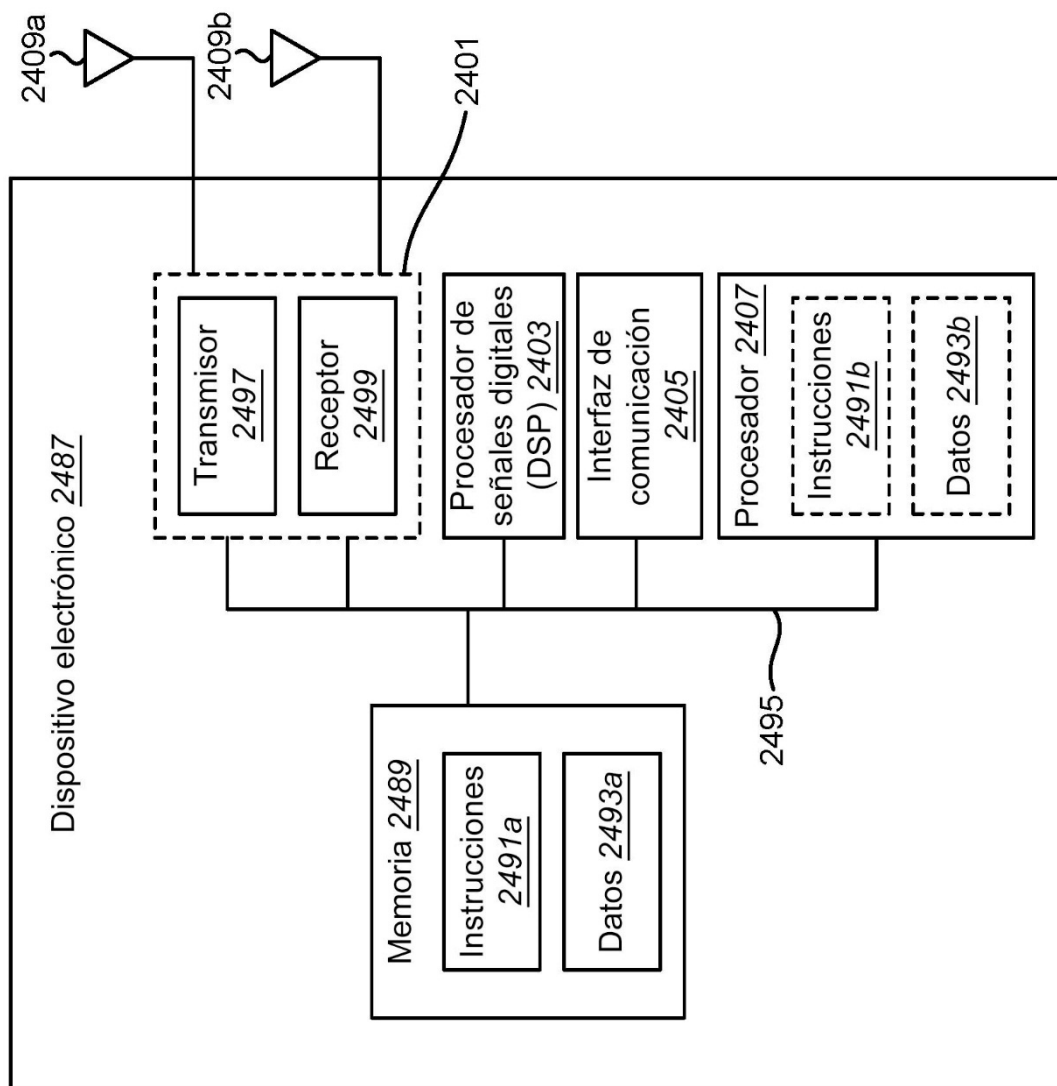


FIG. 24