

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 799 502**

51 Int. Cl.:

G06F 15/16 (2006.01)

G05F 1/56 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **10.10.2015 PCT/CN2015/091664**

87 Fecha y número de publicación internacional: **21.04.2016 WO16058500**

96 Fecha de presentación y número de la solicitud europea: **10.10.2015 E 15851575 (9)**

97 Fecha y número de publicación de la concesión europea: **29.04.2020 EP 3198465**

54 Título: **Aparato de hardware de conmutación de modo de SMP/ASMP rápido para un sistema de múltiples procesadores de alto rendimiento, baja energía y bajo coste**

30 Prioridad:

16.10.2014 US 201414516314

22.12.2014 US 201414580044

05.05.2015 US 201514704240

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

18.12.2020

73 Titular/es:

**HUAWEI TECHNOLOGIES CO. LTD. (100.0%)
Huawei Administration Building, Bantian,
Longgang District
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

**CHEN, WEI;
YANG, TONGZENG y
WEI, KONGGANG**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 799 502 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato de hardware de conmutación de modo de SMP/ASMP rápido para un sistema de múltiples procesadores de alto rendimiento, baja energía y bajo coste

Campo técnico

- 5 La presente invención se refiere de manera general a arquitecturas y sistemas de múltiples procesadores y, más particularmente, a un aparato y un método para la conmutación de modo entre modos de multiprocesamiento asimétricos y simétricos en un sistema multiprocesador.

Antecedentes

- 10 Los sistemas de multiprocesamiento utilizan múltiples procesadores (por ejemplo, unidades de procesamiento central (CPU)) para procesar datos y realizar funciones deseadas. Como se apreciará, el término "procesador" se usa como sinónimo de los términos "CPU" o "núcleo" y se entiende fácilmente por los expertos en la técnica. En la técnica anterior, existen dos tipos principales de sistemas de multiprocesamiento dispares: multiprocesamiento simétrico (SMP) y multiprocesamiento asimétrico (ASMP).

- 15 Los sistemas de SMP se caracterizan típicamente por la compartición de todos los recursos del sistema, una única interfaz de caché L2 síncrona (y posiblemente L2 asíncrona), los procesadores se controlan a la misma frecuencia de reloj y voltaje de reloj. Esto también significa generalmente que los procesadores/núcleos son igualmente accesibles para el sistema de memoria compartida (como la caché L2 y la memoria). En SMP, las frecuencias y voltajes de reloj no son ajustables individualmente y, por lo tanto, no se pueden cambiar sobre una base por núcleo/procesador. Además, la caché L2 se comparte entre todos los núcleos y la frecuencia de la caché L2 no es escalable sobre una base por núcleo. En la mayoría de las aplicaciones, si no en todas, las cargas de trabajo de los procesadores en SMP están desequilibradas y esto conduce a un consumo de energía más alto. SMP también se puede caracterizar por tratar a todos los procesadores/núcleos por igual (igualdad).

- 20 En contraste, los sistemas ASMP se caracterizan típicamente por tener diferentes frecuencias de reloj y/o voltajes de reloj individualmente para los procesadores y la frecuencia de reloj de la caché L2 se puede hacer escalar de manera independiente. De este modo, la frecuencia de reloj del procesador y la frecuencia de la caché L2 se pueden hacer escalar en base a la carga de trabajo (por ejemplo, una caché L2 más rápida en relación con los núcleos para cargas de trabajo intensivas en memoria). En términos generales, los sistemas ASMP son más eficientes energéticamente que los sistemas SMP, pero un consumo de energía potencialmente más alto se puede causar por el hardware adicional y más complejo. Cuando la tasa de fallos de la caché L1 es alta, el procesador traerá datos de la caché L2. Si los datos relevantes solicitados se almacenan en la parte inferior de la frecuencia de reloj de la caché L2, el procesador tiene que esperar a los datos. Esto conduce a una latencia más alta y un consumo de energía más alto. ASMP también se puede caracterizar como que trata a todos los procesadores/núcleos de manera diferente o desigual (desigualdad).

- 25 El documento US2016109922 A1 con el título "NOVEL LOW COST, LOW POWER HIGH PERFORMANCE SMP/ASMP MULTIPLE-PROCESSOR SYSTEM" ilustra (en su FIGURA 1) y describe la arquitectura básica de un sistema de procesamiento 100 que tiene múltiples procesadores que emplean ASMP y que un sistema de la técnica anterior similar se utiliza para SMP, no obstante, los procesadores operan a una única frecuencia de reloj y usando un único nivel de voltaje de suministro - como se entiende fácilmente por los expertos en la técnica. Se describen en el mismo diversas mejoras en el sistema básico, que incluyen (1) un aparato basado en hardware para una conmutación dinámica, rápida y eficiente entre los modos de SMP/ASMP y (2) una versión de bajo coste de un sistema de SMP/ASMP enfocado a la conmutación de un núcleo a dos núcleos, con los dos núcleos operando en modo de ASMP (y cuando operan más de dos núcleos, operándolos en modo de SMP).

- 30 La conmutación basada en hardware o implementada en hardware, sin intervención por software, puede proporcionar una transición más rápida entre los modos de SMP/ASMP. Por consiguiente, se necesita un sistema o arquitectura de multiprocesamiento de baja energía y de bajo coste que proporcione una conmutación de modo de SMP/ASMP rápida utilizando métodos y aparatos de conmutación basados en hardware.

- 35 El documento EP 1736851 describe que se puede controlar la energía para un procesador de múltiples núcleos que incluye un procesador que tiene un primer núcleo y un segundo núcleo. Una primera unidad de conversión de energía suministra de manera independiente un voltaje de suministro al primer núcleo, y una segunda unidad de conversión de energía suministra de manera independiente un voltaje de suministro al segundo núcleo. El primer núcleo se puede configurar para suministrar una señal de identificación de voltaje para la primera unidad de conversión de energía, y el segundo núcleo se puede configurar para suministrar una señal de identificación de voltaje para la segunda unidad de conversión de energía, que es diferente de la señal de identificación de voltaje para el primer núcleo.

- 40 El documento US 2012/079290 describe un procesador que tiene una pluralidad de núcleos y una lógica de control para controlar la provisión de un voltaje/frecuencia a un primer núcleo de la pluralidad de núcleos de manera independiente de la provisión de un voltaje/frecuencia a al menos un segundo núcleo de la pluralidad de núcleos. En

algunas realizaciones, los voltajes se pueden proporcionar desde uno o más reguladores de voltaje internos del procesador. Se describen y se reivindican otras realizaciones.

5 El documento US 2010/073068 describe un circuito integrado. El circuito integrado incluye una pluralidad de unidades funcionales, en donde cada una de la pluralidad de unidades funcionales se implementa en una pastilla del circuito integrado. Cada una de las unidades funcionales incluye uno o más sensores de temperatura. El circuito integrado incluye además una unidad de control de temperatura acoplada a cada una de las unidades funcionales, en donde la unidad de control de temperatura está configurada para monitorizar una temperatura de cada una de la pluralidad de unidades funcionales en base a la información de temperatura proporcionada desde los sensores de temperatura. La unidad de control de temperatura está configurada para, si la temperatura excede un primer valor umbral para una particular de la pluralidad de unidades funcionales, realizar una primera acción de control de temperatura sobre la particular de la pluralidad de unidades funcionales de manera independiente de las otras de la pluralidad de unidades funcionales.

15 El documento US2014181556 describe un método y se describe un aparato para salir de un estado de baja energía en base a una predicción anterior. Un circuito integrado (IC) incluye una unidad funcional configurada para, durante su operación, dar vueltas entre intervalos de un estado activo y los intervalos de un estado inactivo. El IC también incluye una unidad de gestión de energía configurada para colocar la unidad funcional en un estado de baja energía en respuesta a la unidad funcional que entra en el estado inactivo. La unidad de gestión de energía está configurada además para causar de manera preventiva que la unidad funcional salga del estado de baja energía en un momento predeterminado después de entrar en la baja energía. El tiempo predeterminado se basa en una predicción de la duración del estado inactivo realizada antes de entrar en el estado de baja energía. La predicción se puede generar por una unidad de predicción, en base a un historial de duraciones de intervalos en los que la unidad funcional estuvo en el estado inactivo.

25 El documento US2011283124 describe un método y se describe un aparato para controlar dinámicamente un tamaño de caché. En una realización, un método incluye cambiar un punto operativo de un procesador de un primer punto operativo a un segundo punto operativo, y eliminar selectivamente energía de una o más vías de una memoria caché en respuesta al cambio del punto operativo. El método incluye además el procesamiento de una o más instrucciones en el procesador después de eliminar energía de una o más vías de la memoria caché, en donde dicho procesamiento incluye acceder a una o más vías de la memoria caché de las cuales no se eliminó energía.

30 El documento US 2007/156370 describe múltiples núcleos lógicos de circuitos integrados y procesadores que se pueden configurar para operar a frecuencias y voltajes de manera independiente unos de otros. Además, otros componentes, tales como un puente común configurado para interactuar con los núcleos lógicos, pueden operar a un voltaje y una frecuencia independientes del voltaje y la frecuencia a la que están operando los núcleos lógicos. La frecuencia y/o el voltaje de operación de un núcleo lógico se pueden ajustar de manera independiente por diversas razones, incluyendo la gestión de energía y el control de temperatura. La circuitería lógica en una interfaz entre el controlador y los núcleos lógicos puede traducir las señales lógicas de un voltaje y/o frecuencia a otro para habilitar la comunicación entre el puente y el núcleo lógico cuando los dos están operando a diferentes voltajes y/o frecuencias.

Compendio

40 La invención se puede resumir mejor por las reivindicaciones independientes. Otros aspectos adicionales de la invención se perfilan en las reivindicaciones dependientes. En lo que sigue, las realizaciones se refieren solamente a combinaciones de características reivindicadas. Cuando el término realización se usa para describir combinaciones de características no reivindicadas, el término se ha de entender como que se refiere a ejemplos útiles para entender la presente invención.

Breve descripción de los dibujos

45 Para una comprensión más completa de la presente invención, y de las ventajas de la misma, ahora se hace referencia a las siguientes descripciones conjuntamente con los dibujos que se acompañan, en donde números similares designan objetos similares, y en los cuales:

La FIGURA 1 ilustra un sistema de multiprocesamiento (MP) según la presente descripción;

La FIGURA 2 es un diagrama que ilustra con más detalle el sistema de multiprocesamiento mostrado en la FIGURA 1;

50 Las FIGURAS 3A y 3B ilustran máquinas de estado finito (FSM) de ejemplo y procesos para su uso con el sistema mostrado en la FIGURA 2 según la presente descripción;

La FIGURA 4 es un diagrama que ilustra una implementación del regulador de voltaje y del controlador de conmutador mostrados en la FIGURA 2;

55 La FIGURA 5 es un diagrama que ilustra otra implementación del regulador de voltaje y del controlador de conmutador mostrados en la FIGURA 2;

La FIGURA 6 ilustra otra realización del regulador de voltaje y del controlador de conmutador mostrados en la FIGURA 2;

La FIGURA 7 es un diagrama de una arquitectura (método, proceso, sistema) para iniciar y controlar la conmutación de modo de SMP/ASMP; y

- 5 La FIGURA 8 es un diagrama de flujo general de un proceso para añadir/eliminar procesadores integrados con un proceso de selección/conmutación de modo de SMP/ASMP.

Descripción detallada

10 Esta presente descripción incorpora por referencia, como si se expusiera completamente en la presente memoria, todas las figuras y la descripción expuestas en la Solicitud de Patente de EE.UU. N° de Serie 14/580.044 (que tiene fecha de presentación del 22 de diciembre de 2014).

15 Las FIGURAS 1 a 8, tratadas en la presente memoria, y las diversas realizaciones ilustradas en las mismas y los principios descritos a continuación de la presente descripción en este documento de patente son solamente a modo de ilustración y no se deberían interpretar de ninguna forma para limitar el alcance de la invención. Los expertos en la técnica entenderán que los principios descritos en la presente memoria se pueden implementar en cualquier tipo de dispositivo o dispositivos o sistema o sistemas dispuestos adecuadamente.

20 Como se describe en el documento US2016109922 A1, cuando se conmuta la operación de un grupo de procesadores/núcleos de un sistema de SMP totalmente a un sistema de ASMP totalmente, el coste y la complejidad (hardware/software) asociados con proporcionar esta funcionalidad de conmutación dinámica de SMP/ASMP pueden ser significativos. Para dispositivos más pequeños (por ejemplo, dispositivos móviles, dispositivos de mano, teléfonos inteligentes, etc. en aplicaciones móviles - a diferencia de dispositivos y aplicaciones de supercomputación), se ha determinado a través de investigación y pruebas que, en la mayoría de las aplicaciones de uso, las tareas/funciones de multiprocesamiento se pueden manejar adecuadamente usando dos (o menos) procesadores/núcleos. En la mayoría de estas aplicaciones, los dos procesadores/núcleos se ejecutarán con cargas desequilibradas, dando como resultado un consumo de energía más alto.

25 Por lo tanto, el documento US2016109922 A1 describe un sistema de multiprocesamiento de bajo coste, baja energía y alto rendimiento capaz de operar en una manera de ASMP - pero en el que solamente un único procesador/núcleo (o subconjunto) de los procesadores/núcleos está configurado y habilitado para conmutación dinámica entre diferentes frecuencias de reloj y/o diferentes voltajes de suministro operativos - y con los procesadores/núcleos restantes configurados a una misma frecuencia de reloj y un mismo voltaje de suministro. Por ejemplo, si el sistema multiprocesador incluye dos procesadores/núcleos, un primer procesador/núcleo opera a una primera frecuencia de reloj (no cambiable dinámicamente) y a un primer voltaje de suministro (no cambiable dinámicamente) y el segundo procesador/núcleo es conmutable entre la operación o bien a esa primera frecuencia y primer voltaje de suministro (los mismos que el primer procesador/núcleo) o bien a una frecuencia diferente y a un voltaje de suministro diferente. Esto también se puede aplicar en un sistema que tenga tres o más procesadores/núcleos en los que al menos uno de los procesadores/núcleos (o subconjunto) tiene esta capacidad de conmutación dinámica.

30 Para mejorar la eficiencia y la latencia de conmutación, la presente descripción proporciona un sistema que tiene un aparato de conmutación basado en hardware que habilita el control y la conmutación entre los dos modos. Dentro del hardware, tras recibir un comando de conmutación del sistema operativo (OS) o de otro software/hardware, para conmutar entre SMP y ASMP, se realiza una serie o secuencia de acciones para controlar los relojes y voltajes de los múltiples procesadores y de la memoria. El aparato/método minimiza o elimina la intervención de software/OS y tiene una velocidad de conmutación de modo más rápida.

35 Como se usa en la presente memoria, el término SMP se refiere de manera general a procesamiento usando múltiples procesadores/CPU/núcleos que operan con un mismo reloj (frecuencia) y un mismo voltaje de suministro utilizando un sistema de memoria compartida (con memoria caché L2 que opera con el mismo reloj y voltaje de suministro). El término ASMP se refiere de manera general a procesamiento usando múltiples procesadores/CPU/núcleos con al menos dos que operan con un reloj (frecuencia) y/o un voltaje de suministro diferentes. En ASMP, típicamente los procesadores utilizan cada uno diferentes memorias caché L2. No obstante, ASMP también puede incluir compartición de la misma memoria caché L2 (a la que se hace referencia como ASMP heterogénea). En otro aspecto, el término ASMP se refiere a multiprocesamiento usando múltiples procesadores/CPU/núcleos en los que cada procesador/CPU/núcleo está configurado para operar usando al menos o bien una primera frecuencia de reloj y un primer voltaje de suministro o bien una segunda frecuencia de reloj y un segundo voltaje de suministro. Además, el modo de ASMP se refiere de manera general a multiprocesamiento usando un grupo (múltiple) de núcleos en el que al menos un núcleo (o más, pero menos que todos los núcleos) capaz de operar usando la misma frecuencia de reloj y el mismo voltaje de suministro que el de otros núcleos dentro del grupo se conmuta o configura dinámicamente para usar una frecuencia de reloj y voltaje de suministro diferentes. De esta forma, el grupo de núcleos opera o bien en modo de SMP o bien en modo de ASMP, pero al menos uno (no todos) en el grupo tiene una frecuencia de reloj y un voltaje de suministro diferentes.

Como se apreciará, el término “núcleo” usado en la presente memoria se puede referir a un único procesador, CPU o núcleo de procesamiento. La definición también se puede extender para describir o referirse a un “núcleo” que tiene múltiples procesadores, CPU o núcleos de procesamiento. De este modo, el uso del término “núcleo” en la presente memoria no se limita a un único elemento de procesamiento, sino que puede incluir un grupo de los mismos elementos de procesamiento. Además, los términos “núcleo”, “procesador” y “CPU” se pueden usar, y se usan, de manera intercambiable en la presente memoria.

Volviendo ahora a la FIGURA 1, se muestra un sistema de multiprocesamiento (MP) 100 según la presente descripción. Un sistema de MP 100 incluye los Núcleos A, C y D (110a, 110c, 110d) acoplados a un primer suministro de voltaje de operación 120 (VDD) y a una única señal de reloj 130 (CLK), mientras que el Núcleo B (110b) está acoplado a un segundo suministro de voltaje 140 (VDDb) y a una señal de reloj 150 (CLKb). En esta configuración, el Núcleo B está acoplado al segundo suministro de voltaje 140 (VDDb) derivado del primer suministro de voltaje de operación (VDD) y genera el segundo suministro de voltaje (VDDb). Aunque no se muestra en la FIGURA 1, el regulador de voltaje y controlador de conmutador emite o bien un VDDb o bien un VDD al Núcleo B (dependiendo del modo seleccionado). De este modo, el VDDb se deriva del VDD. En diversas realizaciones, el regulador de voltaje y controlador de conmutador 160 se construye o se dispone con el sistema 100 en el mismo chip o sustrato monolítico, y en otra realización puede estar en un chip o sustrato diferente.

Volviendo ahora a la FIGURA 2, se muestra un diagrama detallado que ilustra el sistema de procesamiento 100 según la presente descripción.

En términos generales, el sistema de procesamiento 100 incluye un grupo (múltiple) de procesadores conmutables entre dos modos de operación: SMP y ASMP. En el modo de SMP, los procesadores operativos (por ejemplo, uno, tres o todos los cuatro) operan usando la misma frecuencia de reloj y el mismo voltaje de suministro, mientras que en el modo de ASMP (en las diferentes realizaciones descritas a continuación), al menos un primer procesador está configurado para operar usando una frecuencia de reloj y un voltaje de suministro diferente al de los procesadores operativos restantes.

El sistema incluye un aparato/circuito de hardware que habilita el control y la conmutación del primer procesador entre dos frecuencias de reloj y voltajes de suministro diferentes. Dentro del hardware, tras la recepción de un comando de conmutación del sistema operativo (OS) o de otro software/hardware, para conmutar entre SMP y ASMP, se realizan una serie o secuencia de acciones para controlar un reloj y un voltaje del primer procesador y memoria. La generación del comando de conmutación se puede basar en uno o más factores, según se desee, tales como carga, tasa de fallos de caché, razones del consumo de energía, etc. El aparato/circuito asegura que el primer procesador no falle durante la transición de un modo al otro y que el reloj o relojes de los procesadores/memoria conmuten de manera sin fallos. El aparato/método minimiza la intervención del software/OS y tiene una velocidad de conmutación de modo más rápida.

El sistema de procesamiento 100 incluye un subsistema de núcleos y cachés multiprocesador 205 que tiene múltiples procesadores 110, que incluye 110a (CPU A), 110c (CPU C), 110d (CPU D) y 110b (CPU B) con las correspondientes partes de memoria caché L2 210 (210a y 210b), y los correspondientes circuitos de reloj de dominio cruzado (CDC) 230a, 230c, 230d, 230b, como se ilustra. Aunque se muestran cuatro procesadores 110 (y la memoria y circuitería correspondientes), el número de procesadores podría ser menor o mayor, pero incluirá al menos dos. Como se apreciará, cada procesador 110 puede incluir uno o más procesadores, unidades de procesamiento central (CPU), procesadores o núcleos, o una combinación de los mismos.

El sistema de procesamiento 100 incluye además un circuito de control de gestión de energía (PMIC) 240 para generar el primer voltaje de suministro operativo (VDD) para su uso en el suministro de energía a los procesadores, cachés y CDC. De manera similar, un circuito de generación de reloj 250 genera múltiples señales de reloj que tienen diversas frecuencias de reloj predeterminadas para su uso en la operación de reloj de los procesadores, cachés y CDC.

En una realización, con la excepción del circuito de PMIC 240, el sistema de procesamiento 100 está dispuesto o de otro modo situado en un único sustrato/pastilla o en un sustrato/pastilla de semiconductores integrados (o dentro de múltiples sustratos semiconductores dispuestos dentro de un paquete de IC de múltiples sustratos). En otra realización, el circuito de PMIC 240 también se puede incluir en el único sustrato/pastilla o en un sustrato/pastilla de semiconductores integrados.

Como se ilustra, el sistema de procesamiento 100 también incluye el regulador de voltaje y controlador de conmutación 160 (al que también se puede hacer referencia como controlador de conmutador o modo) y un circuito (o módulo) de conmutación de reloj 270. Como se entenderá, el controlador 160 emite diversas señales de control para controlar la funcionalidad y la operación del CDC con los circuitos de derivación 230, el circuito de generación de reloj 250 y el circuito de conmutación de reloj 270.

El circuito de generación de reloj 250 incluye la circuitería y los elementos necesarios para generar múltiples señales de reloj, incluyendo una señal de reloj del procesador SMP (CLK) para controlar la velocidad operativa de los procesadores 110 colectivamente (en modo de SMP), una señal de reloj de memoria de SMP (CLKch) para controlar

la velocidad operativa de las partes de caché 210a, 210b colectivamente (en modo de SMP), al menos una señal de reloj de procesador ASMP (CLKb) que habilita un control independiente de la velocidad operativa del procesador 110b, y al menos una señal de reloj de memoria de ASMP (CLKchb) que habilita un control independiente de la velocidad operativa de la parte de memoria caché 210b. Cada uno de estos relojes se habilita/deshabilita de manera sin fallos por el circuito 250. El circuito de generación de reloj 250 también recibe señales de habilitación de entrada EN_CLK y EN_CLKb generadas por el controlador 160.

El circuito de PMIC 240 incluye la circuitería y los elementos necesarios para generar al menos un VDD para su uso en el sistema 100. Como se ilustra, el circuito de PMIC 240 genera y emite un VDD para suministrar energía a los procesadores 110a, 110c, 110d, la parte de memoria caché 210a y el regulador de voltaje y controlador de conmutación 160. Como se muestra, el voltaje de suministro VDDb suministra energía al procesador 110b y a su parte de memoria caché asociada 210b. Como se entiende por los expertos en la técnica, cuando un procesador/memoria opera a una velocidad de reloj más alta, es deseable y puede ser necesario operar también el procesador/memoria con un voltaje de suministro más alto. Además, cuando no se usa un núcleo, se puede desplomar la energía y/o deshabilitar el reloj. Por ejemplo, el voltaje de suministro VDDb al procesador 110b se puede deshabilitar y/o la entrada de reloj al procesador 110b se puede deshabilitar (por ejemplo, sin reloj de entrada). De manera similar, se pueden deshabilitar el voltaje de suministro VDD y/o las entradas de reloj a los procesadores 110a, 110c, 110d. Esta funcionalidad se puede proporcionar por uno o más conmutadores (mostrados en la FIGURA 2, pero no identificados con números de referencia).

El circuito de generación de reloj 250 también puede incluir funcionalidad y circuitería que habilite cierta capacidad de programación a cada una de las señales de reloj CLK y/o CLKb generadas. En una realización, cada una de las señales de reloj puede ser programable a una de muchas frecuencias posibles (por ejemplo, la CLK puede ser programable entre un intervalo tal como de 300 Mhz a 3 GHz). En otra realización, solamente ciertas señales de reloj pueden ser programables, mientras que en otras realizaciones, la frecuencia de cada señal de reloj está predeterminada y es fija. En otra realización más, las frecuencias pueden ser fijas unas con relación a otras, pero pueden ser programables como grupo. De manera similar, el circuito de PMIC 240 también puede incluir funcionalidad y circuitería para proporcionar capacidad de programación al suministro de voltaje operativo VDD.

Como se muestra en la FIGURA 2, el controlador 160 incluye un regulador de voltaje y circuito de derivación 280 y un controlador de conmutador de SMP/ASMP 290. Un regulador de voltaje (no mostrado por separado) dentro del regulador de voltaje y circuito de derivación 280 genera el suministro de voltaje VDDb a partir del suministro de voltaje operativo VDD y de manera selectiva emite el VDD o el VDDb. En un modo de derivación, VDDb = VDD. Además, VDDb se puede desmoronar la energía deshabilitando el regulador de voltaje apagando por ello el Núcleo B (110b). Como se apreciará, y en términos generales, la función de derivación para el regulador de voltaje se puede implementar usando un multiplexor y controlar por una máquina de estado u otro proceso.

En otras realizaciones, el controlador 160 puede recibir un VDD y generar (programable) uno de muchos niveles de voltaje posibles (por ejemplo, el voltaje puede ser programable entre un intervalo tal como 0.5 voltios y 3.3 voltios) de VDD como el suministro de voltaje VDDb. En otra realización más, el suministro de voltaje VDDb está predeterminado y es fijo.

El controlador de conmutador de SMP/ASMP 290 incluye una máquina de estado finito (FSM) 292, uno o más temporizadores 294 y uno o más registros de almacenamiento 296 (por ejemplo, registros de configuración o de estado). El controlador 290 funciona para controlar y realizar una secuencia de acciones o procesos en respuesta a la afirmación de un comando/señal conmutador de modo de SMP/ASMP (SMP/ASMP_SELECT) y un comando/señal conmutador de modo de suministro de voltaje (LDO_MODE_SELECT). Por lo tanto, en la realización ilustrada, cuando se afirma/no afirma el comando conmutador de modo de SMP/ASMP, el modo de procesamiento de operación se conmuta entre el modo de ASMP y el modo de SMP. Se pueden usar diversos métodos y mecanismos para la generación del comando conmutador de modo de SMP/ASMP, y algunos ejemplos se describen a continuación con respecto a la FIGURA 7. Se entenderá que el comando conmutador de modo de SMP/ASMP (SMP/ASMP_SELECT) y el comando/señal conmutador de modo de suministro de voltaje (LDO_MODE_SELECT) se pueden generar en respuesta a diversos eventos y por diversos elementos dentro o fuera del sistema de procesamiento 100.

En una realización, además del comando conmutador de modo de SMP/ASMP (SMP/ASMP_SELECT), el controlador 290 integra el uso del comando/señal conmutador de modo de suministro de voltaje (LDO_MODE_SELECT) para controlar y realizar una secuencia de acciones o procesos en respuesta al mismo.

Cuando es el momento de que ocurra la conmutación real del reloj CLK (SMP) al reloj CLKb (ASMP) para el procesador 110b (y viceversa), el controlador 290 genera una señal de selección (SELECT_CLKb) que multiplexa de manera selectiva la señal del reloj CLKb al procesador 110b usando un multiplexor 272a dentro del circuito de conmutación de reloj 270. Como se entiende, los relojes para el núcleo del procesador/CPU 110b en el modo de ASMP se denotan CLKb, mientras que el reloj para los núcleos restantes del procesador/CPU 110a, 120c, 110d en el modo de SMP se denota CLK. De este modo, la señal SELECT_CLKb selecciona de manera sin fallos qué reloj (CLKb o CLK) se utilizará por el procesador 110b. En una realización, cuando la señal SELECT_CLKb se afirma (alta o "1" lógico), se selecciona la señal de reloj CLKb y se introduce en el procesador/núcleo 110b. Cuando la señal SELECT_CLKb no se afirma (baja o "0" lógico), se selecciona el reloj CLK y se introduce en el procesador/núcleo 110b.

Como se entiende, cuando SELECT_CLKb se afirma (alta o "1" lógico), la señal de reloj CLKb se selecciona y se introduce en el procesador/núcleo 110b, mientras que la señal de reloj CLK se introduce en los procesadores/núcleos restantes 210a, 210c y 210d. Cuando SELECT_CLKb no se afirma (baja o "0" lógico), se selecciona la señal de reloj CLK y se introduce en el procesador/núcleo 110b, mientras que la señal de reloj CLK también se introduce (o está disponible para su entrada) en los procesadores/núcleos 110a, 110c y 110d restantes.

De manera similar, la señal de selección (SELECT_CLKb) de manera correspondiente multiplexa de manera selectiva la señal de reloj de memoria CLKchb a la parte de caché 210b usando un multiplexor 272b dentro del circuito de conmutación de reloj 270.

Usando señales de habilitación (EN_CLK, EN_CLKb), el controlador de conmutador 290 controla el circuito de generación de reloj 250 para habilitar los relojes antes de la conmutación de SMP/ASMP. El controlador 290 también controla el regulador de voltaje y circuito de derivación 280 para seleccionar o bien el VDD o bien el VDDb para su entrada al procesador 110b (Núcleo B). También genera la señal SELECT_CLKb que, cuando se afirma, hace que el procesador 110b conmute a una velocidad de reloj (CLKb) y voltaje de suministro VDDb diferentes (en el modo de ASMP) mientras que al menos otro procesador 110a, 110c, 110d opera a la velocidad de reloj (CLK) y el voltaje de suministro VDD.

La temporización de diversos eventos y acciones durante la conmutación se controla por la FSM 292, con el uso de uno o más temporizadores 294. Como se describirá con más detalle a continuación, se utilizan un período de calentamiento de reloj y un período de aumento/disminución de voltaje. Estos valores se pueden programar previamente o preestablecer y almacenar en los registros C/S 296 o en otras ubicaciones de memoria (no mostradas) en el controlador mediante software u otros métodos.

Como se apreciará, y aunque no se identifica específicamente con números de referencia, se pueden incluir otros diversos circuitos lógicos, tales como, por ejemplo, desplazadores de nivel. Los desplazadores de nivel se utilizan típicamente cuando una señal cruza dominios de energía.

Una posible implementación de circuito de los multiplexores de reloj 272 (mostrados en la FIGURA 2) se describe en la Solicitud de Patente de EE.UU. N° 14/580.044 (con referencia a la Figura 4 y su descripción correspondiente). Los multiplexores de reloj 272 son "sin fallo", lo que significa que no hay ningún fallo durante la conmutación. Se pueden utilizar otras implementaciones de circuito adecuadas para los multiplexores de reloj 272, y los expertos en la técnica entenderán fácilmente que se pueden usar otros circuitos que realicen la conmutación de multiplexor sin fallo.

Una posible implementación de circuito del CDC con circuitos de derivación 230 (mostrados en la FIGURA 2) se describe en la Solicitud de Patente de EE.UU. N° 14/580.044 (con referencia a la Figura 5 y su descripción correspondiente). Como se apreciará, los circuitos CDC asíncronos son conocidos en la técnica y, por lo tanto, los expertos en la técnica entenderán cómo implementar tal funcionalidad. Estos circuitos CDC y/o su funcionalidad también se pueden conocer en la técnica como circuitos de conmutación de reloj, o como puente FIFO asíncrono entre el procesador y la caché L2.

Volviendo ahora a la FIGURA 3A, se ilustra un proceso o método 300 realizado o implementado por la FSM 292. Este proceso también funciona para controlar la operación del regulador de voltaje y circuito de derivación 280. Como se apreciará, el proceso/funcionalidad de la FSM 292 se puede implementar usando diferentes configuraciones, métodos o estructuras (o combinaciones de los mismos) o métodos. Por ejemplo, aunque implementada en la realización ilustrada como máquina de estado finito (por ejemplo, implementación de hardware), la funcionalidad del controlador 290 se puede implementar de manera alternativa usando circuitos lógicos discretos, un microcontrolador con microprogramas, etc., y cualquier combinación de los mismos, o de cualquier otra manera/forma conocida por los expertos en la técnica. Aunque no se prefiere, esta funcionalidad también se puede implementar en software o en alguna combinación de software y hardware. La FSM 292 (y cualquier otra implementación de hardware) opera ventajosamente a una velocidad más rápida y minimiza la intervención del software/OS. En el caso de excepciones, por ejemplo, tiempo de espera, etc., se generará una interrupción en el procesador del sistema.

También se entenderá que, en otra realización, una FSM separada (u otra funcionalidad) dentro del controlador 290 también puede controlar la temporización y la generación de las señales EN_CLK, EN_CLKb y SELECT_CLKb. Y en otra realización, descrita más adelante, la FSM 292 es una máquina de estado finito "integrada" que controla, de una manera integrada, tanto la temporización como la generación de (1) las señales (EN, BYPASS) que controlan el regulador de voltaje y circuito de derivación 280, y (2) las señales (EN_CLK, EN_CLKb y SELECT_CLKb) que controlan el circuito de generación de reloj 250, el circuito de conmutación de reloj 270 y los circuitos CDC y de derivación 230. En esta realización "integrada", la FSM 292 recibe como señales de entrada el comando/señal conmutador de modo de SMP/ASMP (SMP/ASMP_SELECT) y el comando/señal conmutador de modo de suministro de voltaje (LDO_MODE_SELECT). La Tabla 1 a continuación ilustra las transiciones de señal de entrada a salida realizadas por la FSM 292 (controlador 290) en la que las señales EN (habilitar) y BYPASS (derivación) son señales de salida generadas en respuesta a las señales de entrada para controlar el modo del regulador de voltaje y circuito de derivación 280:

TABLA 1

SMP/ASMP_SELECT/LDO_MODE_SELECT	EN/BYPASS	MODO DE VOLTAJE
0/0	0/0	APAGADO
0/1	1/1	DERIVACIÓN
1/0	0/0	APAGADO
1/1	1/0	REG

La Tabla 2 a continuación proporciona definiciones/descripciones para las señales SMP/ASMP_SELECT y LDO_MODE_SELECT:

5

TABLA 2

SMP/ASMP_SELECT (1 bit)	Para seleccionar el modo de SMP/ASMP, 0 modo de SMP, 1 modo de ASMP
LDO_MODE_SELECT (1 bit)	Para controlar el ENCENDIDO/APAGADO DE LDO 0 APAGADO, 1 ENCENDIDO

10

Las señales de control EN y BYPASS se generan y emiten por la FSM 292 para controlar el regulador de voltaje y circuito de derivación 280. Las señales de entrada (SMP/ASMP_SELECT, LDO_MODE_SELECT) y las señales de salida (EN, BYPASS, SELECT_CLKb, EN_CLK, EN_CLKb) del controlador 290 (por ejemplo, la FSM 292) se ilustran en las FIGURAS 5 y 6.

15

Como se muestra en la FIGURA 3A, el proceso 300 representado por el diagrama de estado de la FSM 292 incluye diversos estados y transiciones relacionadas con el control del regulador de voltaje y circuito de derivación 280. Como se muestra, existen tres estados principales - un estado APAGADO (310), un estado de modo de ASMP (320) y un estado de modo de SMP (330).

20

El estado APAGADO (310) se caracteriza por que el regulador de voltaje está apagado o inactivo (por ejemplo, flotante) cuando la señal EN y la señal BYPASS son bajas (por ejemplo, EN!, BYPASS!) en respuesta a que la señal LDO_MODE_SELECT está siendo baja.

El estado de modo de ASMP (320) se caracteriza por que el regulador de voltaje emite el VDDb para una entrada selectiva para proporcionar voltaje de suministro al procesador 110b - cuando la señal EN es alta y la señal BYPASS es baja (por ejemplo, EN, BYPASS!) en respuesta a que la señal SMP/ASMP_SELECT es baja y a que la señal LDO_MODE_SELECT es alta.

25

El estado de modo de SMP (330) se caracteriza por que el regulador de voltaje se "deriva" y emite el VDD para la entrada selectiva para proporcionar el voltaje de suministro al procesador 110b - cuando la señal EN es alta y la señal BYPASS es alta (por ejemplo, EN, BYPASS) en respuesta a que la señal SMP/ASMP_SELECT es alta y a que la señal LDO_MODE_SELECT es alta.

30

Durante la operación, y suponiendo que el sistema de procesamiento 100 esté inactivo inicialmente, la señal LDO_MODE_SELECT es baja, lo que da como resultado que la señal de salida EN desde el controlador de conmutador 290 no se afirme (!EN) (y el valor de la señal BYPASS no es relevante). Tras la activación de la señal LDO_MODE_SELECT, el controlador de conmutador 290 afirma la señal EN (EN) y el proceso 300 puede pasar a cualquier estado 320 o 330 - dependiendo del valor de la señal de comando conmutador (SMP/ASMP_SELECT).

35

Si el comando conmutador SMP/ASMP_SELECT indica operación en el modo de ASMP (SMP/ASMP_SELECT es baja), el controlador emitirá una señal BYPASS baja (!BYPASS). En base a estos valores para las señales EN y BYPASS, la FSM 292 hace una transición hacia el estado de modo de ASMP 320. No obstante, antes de entrar en el estado 320, se entra en un estado de Retardo2 (315) que proporciona una cantidad predeterminada de tiempo (período de espera) para el retardo antes de que la FSM 292 emita la señal BYPASS baja y que entre en el estado de modo

de ASMP 320. Retardo2 puede ser cualquier intervalo de período de tiempo adecuado, por ejemplo, de submicrosegundos a decenas de microsegundos, dependiendo de las características operativas físicas del tipo de regulador de voltaje utilizado para generar el VDDb. En otras palabras, la salida de la señal BYPASS baja se retarda durante Retardo2 para permitir que el regulador de voltaje se active y establezca para generar el VDDb para su salida (es decir, calentamiento).

Si el comando conmutador indica operación en el modo de SMP, (SMP/ASMP_SELECT es alta), el controlador emitirá una señal BYPASS alta (BYPASS). En base a estos valores para las señales EN y BYPASS, la FSM 292 hace una transición al estado de modo de SMP 330. No obstante, antes de entrar en el estado 330, se introduce un estado de Retardo1 (335) que proporciona una cantidad predeterminada de tiempo (período de espera) para el retardo antes de que la FSM 292 emita la señal BYPASS alta y entre en el estado de modo de SMP 330. Similar al Retardo2, el Retardo1 puede ser cualquier intervalo de período de tiempo adecuado, por ejemplo, de submicrosegundos a decenas de microsegundos, dependiendo de las características operativas físicas del tipo de regulador de voltaje utilizado para generar el VDD. En otras palabras, la salida de la señal BYPASS alta se retarda durante Retardo1 para permitir que el generador genere una salida estabilizada y para reducir el ruido de conmutación (por ejemplo, desde la salida de tres estados/cero al VDD).

Una vez o bien en el modo de ASMP o bien de SMP, el proceso 300 puede conmutar entre estos dos modos dependiendo del valor de la señal de comando conmutador (SMP/ASMP_SELECT).

Cuando está en el modo de ASMP 320, si la señal de comando conmutador indica que el sistema debería conmutar al modo de SMP (es decir, SMP/ASMP_SELECT es alta), el controlador 290 afirmará la señal BYPASS (BYPASS) y el proceso hace una transición hacia el estado de modo de SMP 330. No obstante, antes de entrar en el estado 330, se entra en un estado VREG_MAX intermedio 325 que proporciona otro período de retardo predeterminado para permitir/habilitar que la salida del regulador de voltaje para aumentar a su nivel máximo de voltaje de salida. Como se apreciará, debido a que el regulador de voltaje ya está emitiendo el suministro de voltaje predeterminado VDDb al procesador - que es menor que el VDD - es importante aumentar el voltaje de salida del regulador de voltaje 400 al máximo (ligeramente menor que el VDD) antes de conmutar del VDDb al VDD. Esto reduce o elimina un gran pico potencial en el voltaje de suministro que se introduce en el procesador 110b. Con referencia a la FIGURA 4, el Vref o Vrefmax se introduce selectivamente en el regulador de voltaje para controlar el valor de salida (la salida del regulador de voltaje es igual a la entrada en el terminal negativo del amplificador). Por ejemplo, cuando el VDD es de 1.0 voltios, Vref puede ser de 0.6 voltios, con Vrefmax igual a 0.9 voltios (la salida de valor máximo práctico del regulador de voltaje que tiene el VDD como su suministro).

En este estado VREG_MAX intermedio 325, Vrefmax se introduce selectivamente en el regulador de voltaje y un retardo predeterminado habilita que el voltaje de salida aumente hasta el Vrefmax antes de conmutar la salida del circuito de derivación 280 del VDDb al VDD.

Cuando está en el modo de SMP 330, si la señal de comando conmutador indica que el sistema debería conmutar al modo de ASMP (es decir, SMP/ASMP_SELECT es baja), el controlador 290 desafirma la señal BYPASS (!BYPASS) y el proceso hace una transición hacia el estado de modo de ASMP 320. No obstante, antes de entrar en el estado 330, se entra en el estado VREG_MAX intermedio 325 que proporciona otro período de retardo predeterminado para permitir/habilitar que la salida del regulador de voltaje disminuya y se establezca, y para reducir el ruido.

Como se muestra, cuando está o bien en el estado de modo de ASMP 320 o bien en el estado de modo de SMP 330, y la señal LDO_MODE_SELECT pasa a baja, la señal EN se desafirma (!EN), el proceso hace una transición de vuelta al estado APAGADO 310.

Se entiende que el proceso 300 implementado por la FSM 292 proporciona un control de máquina de estado finito del regulador de voltaje y circuito de derivación 280 sin integrar el control/generación de las señales (EN_CLK, EN_CLKb y SELECT_CLKb) que controla el circuito de generación de reloj 250, el circuito de conmutación de reloj 270 y los circuitos CDC y de derivación 230 (es decir, conmutación de reloj de modo de SMP/ASMP) - para proporcionar CLK o CLKb como la frecuencia de reloj para el procesador 110b. En esta realización, se puede incluir una segunda FSM (no mostrada) que opera y genera por separado estas otras señales de control para controlar estos otros circuitos. La implementación específica de esta segunda FSM se puede diseñar fácilmente por los expertos en la técnica con referencia a la Solicitud de Patente de EE.UU. Nº de Serie 14/580.044 (Figuras 3A, 3B y 3C y su descripción correspondiente).

Volviendo ahora a la FIGURA 3B, se ilustra otro proceso o método 300a realizado o implementado por la FSM 292. El proceso 300a se puede implementar por la FSM 292 que proporciona un control de máquina de estado finito del regulador de voltaje y circuito de derivación 280, incluyendo la integración en el mismo del control/generación de las señales (EN_CLK, EN_CLKb y SELECT_CLKb) que controlan el circuito de generación de reloj 250, el circuito de conmutación de reloj 270 y los circuitos CDC y de derivación 230 (es decir, conmutación de reloj de modo de SMP/ASMP). En otras palabras, el proceso 300a describe una FSM 292 integrada (y se puede omitir la segunda FSM señalada anteriormente). Este proceso 300a funciona para controlar la operación tanto del regulador de voltaje y circuito de derivación 280 como los circuitos de control de reloj 250, 270 y 230. En otras palabras, la FSM 292 en la FIGURA 3B proporciona un módulo de regulación de voltaje y de conmutación de reloj que integra el control del

- regulador de voltaje y circuito de derivación 280 con el control/generación de las señales (EN_CLK, EN_CLKb y SELECT_CLKb) que controlan el circuito de generación de reloj 250 - proporcionando un controlador integrado (que controla tanto los cambios/conmutaciones de voltaje como los cambios/conmutaciones de reloj). De este modo, el control del regulador de voltaje y su salida (es decir, el suministro de voltaje al procesador) y el control del circuito de conmutación de reloj y su salida (es decir, la señal de reloj al procesador) están integrados o tienen una o más interdependencias. Tal controlador integrado habilita procesos de habilitación/calentamiento/conmutación del reloj en paralelo con los procesos de habilitación /calentamiento/conmutación del regulador de voltaje. Esto mejora la latencia general del proceso de conmutación de SMP/ASMP.
- Como se ilustra en la FIGURA 3B, el proceso 300a incluye todos los estados (310, 315, 320, 325, 330, 335) y las transiciones del proceso 300 (mostrado en la FIGURA 3A) y los estados 350, 360, 370 y 380 adicionales y las transiciones relacionadas. Además, una transición está ligeramente modificada. El proceso 300a representado por el diagrama de estado de la FSM 292 incluye diversos estados y transiciones en relación con el control de (1) el regulador de voltaje y circuito de derivación 280 y (2) los circuitos 250, 270 y 230. La máquina de estado finito (FSM) integrada controla no solamente el cambio de voltaje, sino también la conmutación de reloj y, de esta forma, puede lograr el mejor paralelismo y secuencias de acción optimizadas, mientras que se asegura que se cumpla la interdependencia correcta.
- Los cuatro estados principales adicionales incluyen - un estado BYPASS de transición (350), un estado SWITCH_CLK (360), un estado SWITCH_CLKb (370) y un estado CLKb_WU (380).
- Dentro de la transición del estado APAGADO (310) al estado de modo de SMP (330), se incluyen el estado BYPASS (350) y el estado SWITCH_CLK (360) adicionales y se disponen después del estado Retardo1 (335), como se muestra. Después de que el período de tiempo de Retardo1 haya expirado, se entra en el estado BYPASS (350) (aunque la señal BYPASS aún no se haya afirmado como alta) por la FSM 292. En el estado BYPASS (350) (esencialmente un estado intermedio del regulador de voltaje interno), se afirma la señal BYPASS y el proceso hace una transición hacia el estado de modo de SMP 330 (y se introduce el VDD en el procesador 110b).
- Tras la terminación, se entra en el estado SWITCH_CLK (360). En el estado SWITCH_CLK, el proceso 300a realiza varias funciones, incluyendo: (1) afirmar la señal EN_CLK alta, que enciende la señal CLK dentro del circuito de reloj 250, (2) esperar un período de tiempo predeterminado que permita que la señal CLK se caliente y (3) después del calentamiento, desafirmar la señal SELECT_CLKb que introduce selectivamente la señal CLK (en oposición a la señal CLKb) en el procesador 110b dentro del circuito de conmutación de reloj 270 (véase también la FIGURA 2).
- Dentro de la transición del estado de modo de SMP (330) al estado de modo de ASMP (320), se incluyen el estado CLKb_WU (calentamiento) (380) y el estado SWITCH_CLKb (370) y se disponen antes del estado VREG_MAX (325), como se muestra. Cuando se desencadena la conmutación del modo de SMP al modo de ASMP (SMP/ASMP_SELECT llega a ser baja), se entra en el estado CLKb_WU (380). En el estado CLKb_WU (280), el proceso 300a afirma la señal EN_CLKb alta, que enciende la señal CLKb dentro del circuito de reloj 250 y espera un período de tiempo predeterminado que permita que la señal CLKb se caliente. Después del calentamiento, se entra en el estado SWITCH_CLKb (370), y el proceso 300a afirma la señal SELECT_CLKb que introduce selectivamente la señal CLKb (en oposición a la señal CLK) en el procesador 110b dentro del circuito de conmutación de reloj 270 (véase también la FIGURA 2). Tras la terminación, el proceso hace una transición al estado VREG_MAX (325) para que ocurra su acción o acciones, entonces hacia el estado de modo de SMP (330), y la señal BYPASS se desafirma para entrar en el estado de modo de ASMP 320 (y el VDDb se introduce en el procesador 110b).
- La transición del estado de modo de ASMP (320) al estado de modo de SMP (330) toma un camino diferente. Cuando se desencadena la conmutación del modo de ASMP al modo de SMP (SMP/ASMP_SELECT llega a ser alta), se entra en el estado VREG_MAX (325). Tras la terminación, se entra en y se completa el estado BYPASS (350), se entra en y se completa el estado SWITCH_CLK (360), y el proceso hace una transición al estado de modo de SMP 330.
- En base al proceso 300a implementado como una máquina de estado finito, el control y la generación de las señales EN, BYPASS, EN_CLK, EN_CLKb y SELECT_CLKb se logran sin software/OS. Esto da como resultado una conmutación más rápida entre el modo de SMP y de ASMP.
- Volviendo ahora a las FIGURAS 4 y 5, se ilustran dos realizaciones 160a, 160b alternativas del regulador de voltaje y controlador de conmutador 160 mostrado en la FIGURA 2.
- La FIGURA 4 ilustra el regulador de voltaje y controlador de conmutador 160a implementado usando el controlador de conmutador 290a (con la FSM 292 implementando el proceso 300a ilustrado en la FIGURA 3B) y el regulador de voltaje y circuito de derivación 280a. En esta realización, el circuito 280a incluye un regulador de voltaje de desconexión baja (LDO) 400 y un conmutador de derivación de alta velocidad 402. La señal de referencia (Vref), la señal de referencia máxima (Vrefmax) y la señal EN se introducen en el regulador de voltaje de LDO 400. Cuando se habilita, la salida de VDDb es igual a la de VDD (cuando se afirma la señal BYPASS (BYPASS)) o Vref (cuando se desafirma la señal BYPASS) (!BYPASS)). Como se apreciará, se puede seleccionar Vref (o incluso ser programable) a un valor deseado. En esta realización, la entrada de señal de referencia de voltaje real al regulador de voltaje se puede seleccionar o bien de Vref o bien Vrefmax, y cualquiera de éstos se puede introducir selectivamente en el

regulador de voltaje bajo el control de la FSM 292 y la circuitería de conmutación apropiada (no mostrada). Como se ha descrito anteriormente, puede ser beneficioso aumentar el voltaje de salida del valor V_{ref} al valor V_{refmax} antes de conmutar la salida del circuito 280 del VDDb al VDD.

5 La FIGURA 5 ilustra el regulador de voltaje y controlador de conmutador 160a implementado usando el controlador de conmutador 290b (con la FSM 292 que implementa el proceso 300a ilustrado en la FIGURA 3B) y el regulador de voltaje y circuito de derivación 280b. En esta realización, el circuito 280b incluye un regulador de voltaje conmutado 500 con los componentes que se muestran - solamente con propósitos ilustrativos. Los expertos en la técnica entenderán fácilmente que se pueden utilizar otras configuraciones adecuadas de un regulador de voltaje de conmutador (por ejemplo, regulador de voltaje de modo conmutador, reductores, reguladores de voltaje integrados, reguladores de límite conmutado, etc.) (y también se pueden requerir esas señales de control adicionales). El circuito de derivación funciona similar al descrito con respecto a la FIGURA 4, en que cuando se habilita, la salida de VDDb es igual a la de VDD (cuando se afirma la señal BYPASS) o de VDDb (cuando se desafirma la señal BYPASS).

10 Con respecto al regulador de voltaje de LDO 400 y al regulador de modo conmutado 500, en una realización, el regulador (400 o 500) se puede incorporar en el mismo sustrato o circuito integrado (como se ha descrito anteriormente).

15 Volviendo ahora a la FIGURA 6, se muestra un diagrama de otra realización de un regulador de voltaje y controlador de conmutación 160c que tiene un regulador de voltaje y un circuito 600. El regulador de voltaje 600 ilustra una implementación diferente de un regulador de voltaje de desconexión baja. Esta arquitectura reduce/suprime el ruido que se puede generar por la conmutación de modo de SMP/ASMP usando dos metodologías de supresión de ruido distintas - predictiva (o preestablecida) y de respuesta (o reactiva). Cada metodología minimiza el ruido de conmutación y habilita una conmutación más rápida. El método de respuesta proporciona un micro nivel de ajuste y un tiempo de respuesta rápido, mientras que el método predictivo proporciona un macro nivel de ajuste. Se puede utilizar o bien uno o bien ambos de estos mecanismos.

20 Cuando cambia el comando de conmutador de modo de SMP/ASMP (cambia la señal SMP/ASMP_SELECT), el controlador 290 genera de manera predictiva una señal o señales de control para controlar la corriente de polarización del amplificador (680) a través de un circuito de control de corriente de polarización 630. Un filtro de realimentación 640 opera conjuntamente con el circuito de control de corriente de polarización 630 para aumentar la corriente de polarización, así como cambiar el ancho de banda y la velocidad de respuesta del transistor de potencia (690) - como se muestra en la FIGURA 6. Este cambio en la corriente de polarización antes de una próxima transición de SMP/ASMP real permite que el regulador de voltaje de LDO 600 compense previamente el próximo cambio en di/dt . Esto ayuda a aliviar o suprimir el ruido de conmutación de SMP/ASMP. En otras palabras, este método preestablece ciertas características operacionales (por ejemplo, $I_{polarización}$, ancho de banda, velocidad de respuesta) del regulador de voltaje antes de que el sistema realice la transición de SMP/ASMP. Como se apreciará, el circuito de control de polarización 630 y el filtro de realimentación 640 son cada uno un circuito de control.

25 Para la metodología de respuesta, un sensor de corriente 610 dispuesto en el camino de corriente a la salida del regulador 600 detecta la cantidad de cambio di/dt extraído por una carga 620 (por ejemplo, el procesador 110b). Esta señal se realimenta al controlador de la FSM 290 para ajustar la corriente de polarización y/o el bucle de realimentación para reducir el ruido de una manera en respuesta, no antes de tiempo de la manera predictiva. Un conmutador 650 auxiliar aumenta o acelera el camino de drenaje de corriente para un cambio hacia abajo del voltaje de salida, cuando sea necesario. El método de respuesta y la circuitería mostrada proporcionan la funcionalidad de que es igual, o similar, a un controlador proporcional integral derivativo (PID). Los expertos en la técnica pueden usar cualquier circuitería adecuada para realizar la funcionalidad descrita anteriormente. Como se apreciará, el circuito de control de polarización 630, el filtro de realimentación 640 y el conmutador 650 auxiliar son cada uno un circuito de control.

30 La conmutación de modo dinámica entre SMP y ASMP se realiza en una realización en la que el modo de ASMP se activa cuando solamente dos procesadores (110b y o bien 110a, 110c o bien 110d están activos) y el modo de SMP se activa cuando están activos tres o más procesadores. La determinación de si se necesita cualquiera de (1) dos procesadores o (2) tres o más procesadores se puede basar en el tipo de tráfico, el tiempo de espera del procesador, la información de desequilibrio de carga y/o el consumo de energía. Como se apreciará, otros factores y tipos de información se pueden analizar y formar la base de una decisión de cambiar (o mantener) los modos. Por ejemplo, el modo de SMP se puede seleccionar cuando la carga es ligera, o cuando la carga es pesada de manera que se utilizan todos los núcleos de la CPU y/o cuando la tasa de fallos de la caché L1 es alta, mientras que el modo de ASMP se puede seleccionar para cargas pesadas y/o desequilibradas. En una realización específica, cuando se requieren dos procesadores, los dos procesadores operan en modo de ASMP, y cuando se requieren tres o más procesadores, operan en modo de SMP.

35 Los expertos en la técnica entenderán fácilmente que uno o más de los "núcleos" (por ejemplo, A, B, C, D) también pueden incluir cada uno dos o más procesadores dentro de cada núcleo. En tales realizaciones, cada "grupo" de procesadores se categoriza para funcionar como una entidad distinta (o "núcleo").

Volviendo ahora a la FIGURA 7, se muestra conceptualmente una arquitectura (por ejemplo, método, proceso, sistema) 800 para iniciar y controlar la selección y conmutación del modo de SMP/ASMP. La selección de modo se

puede basar en el tipo de procesamiento o aplicación deseada, así como en otra información o factores. Como se muestra, el procesamiento o la aplicación 802 puede ser una aplicación de navegador 802a, una aplicación de transmisión en forma continua 802b, una aplicación de juegos 802c o una navegación 802d. También se pueden considerar otros factores/información 804.

5 Como ejemplo, suponiendo que la aplicación de transmisión en forma continua 802b requiera multiprocesamiento, un dispositivo de selección de modo 810 determina si las tareas de procesamiento asociadas con esa aplicación se deberían realizar en el modo de SMP o de ASMP. El software del sistema/OS hace esta determinación y toma la decisión. El sistema puede asignar un único procesador para emitir el comando al controlador, pero generalmente la
 10 decisión se implementa a nivel de sistema/nivel de OS. Esta decisión se puede basar en información estática, información dinámica o una combinación de las mismas. En un ejemplo, se podría predeterminar que todas las aplicaciones de codificación de video usen el modo de SMP. En otro ejemplo, todas las aplicaciones de transmisión de video en forma continua usarán el modo de ASMP a menos que la carga actual de la CPU sea tan pesada que se utilicen todos los núcleos de la CPU. Se pueden programar y utilizar otras variaciones para tomar la decisión acerca de si conmutar de un modo a otro.

15 En una realización, se puede consultar una tabla de búsqueda cuando se requieren tareas de procesamiento únicas. En otra realización, la comparación de energía puede ser un factor usado para seleccionar el modo cuando hay múltiples tareas de procesamiento. Por ejemplo, se puede seleccionar ASMP cuando un usuario está trabajando con correos electrónicos mientras escucha música simultáneamente.

20 En una realización específica como se ilustra en la FIGURA 7, se determina por el sistema cuántos procesadores se necesitan para manejar la carga o cargas de procesamiento. Cuando se determina que solamente se necesitan dos procesadores, se selecciona el modo de ASMP y los dos procesadores (B y uno de A/C/D) se controlan para operar en el modo de ASMP. Cuando se determina que se necesitan tres, cuatro o más procesadores, se selecciona el modo de SMP y los tres procesadores (A, B y C) o cuatro procesadores (A, B, C y D) operan en modo de SMP.

25 La arquitectura del sistema 100 reduce significativamente tanto los costes como la complejidad de hardware/software asociada con la conmutación dinámica SMP/ASMP en comparación con un sistema con capacidades SMP/ASMP completas para cada núcleo. Por ejemplo, en un sistema MP con cuatro procesadores/núcleos, el coste añadido a un sistema configurado según el sistema 100 en el que solamente es configurable dinámicamente un procesador) es del orden de un tercio del coste añadido en comparación con un sistema en el que son configurables SMP/ASMP dinámicamente cuatro procesadores.

30 Las pruebas la investigación han revelado que, en la mayoría de los casos, los requisitos de procesamiento se pueden cumplir con dos procesadores, y en la mayoría de los casos los dos procesadores se ejecutarán con cargas no equilibradas. De este modo, el sistema 100 que opera con los dos núcleos de procesador A y B se puede operar usar usando solamente el modo de ASMP para optimizar la eficiencia energética. De manera similar, para el máximo rendimiento, todos de los cuatro núcleos de procesador A, B, C y D pueden estar operativos en el modo de SMP con
 35 la máxima frecuencia de reloj y voltaje de suministro – dando como resultado flexibilidad y reducción de energía, mientras que al mismo tiempo se mantiene el mismo rendimiento de alta gama cuando sea necesario. También, cuando hay más de 2 procesadores operando, éstos se pueden operar en modo de SMP. El sistema 100 ofrece soluciones de compromiso beneficiosas entre bajo coste, baja energía y alto rendimiento para sistemas operativos de alto nivel (HLOS) móviles como Android/iOS/Windows, y también es adecuado para un mercado de nivel bajo a medio.

40 Ahora se describe a continuación un ejemplo o método operativo con respecto al sistema 100 ilustrado y descrito en las FIGURAS.

En este esquema operativo, cuando (1) uno o (2) tres o más núcleos están activos, se selecciona el modo de SMP y todos los procesadores activos operan a la misma frecuencia de reloj y con el mismo suministro de voltaje. Cuando
 45 están activos dos núcleos, uno de los procesadores activos es el Núcleo B y el otro procesador activo es o bien el Núcleo A, el Núcleo C o bien el Núcleo D, y los dos procesadores activos están configurados para operar en modo de ASMP.

En sistemas de múltiples procesadores/núcleos, no todos los procesadores/núcleos son necesarios en todo momento. Cuando los requisitos de procesamiento son bajos, se puede necesitar solamente uno o unos pocos procesadores, y cuando son altos, se pueden necesitar más procesadores. Este concepto se puede introducir o integrar en el proceso
 50 de selección de modo, o el proceso de selección de modo se puede basar, al menos en parte, en cuántos procesadores se requieren para manejar los requisitos informáticos.

En los sistemas descritos en la presente memoria, se puede proporcionar una funcionalidad adicional (no mostrada específicamente) que permite que cada núcleo deshabilite el reloj y/o desmorone la energía para poner el procesador/núcleo en un modo de reposo, deshabilitado o apagado. Esto da como resultado una reducción en el
 55 consumo de energía apagando los procesadores que no son necesarios (cuando un número menor de procesadores puede manejar los requisitos de procesamiento).

Se pueden implementar diversos procesos o métodos para determinar cuántos procesadores son necesarios para cumplir con los requisitos informáticos actuales. Una vez que se hace esta determinación, los núcleos se pueden encender/apagar en cualquier secuencia y/o prioridad adecuada, tal como se describe en los párrafos a continuación.

5 Volviendo ahora a la FIGURA 8, se ilustra un diagrama de flujo general de un proceso 900 para añadir/eliminar procesadores que se integra con un proceso o procesos de selección o selecciones de modo de SMP/ASMP. Se pueden hacer diversas reordenaciones o modificaciones en el proceso ilustrado dependiendo de la arquitectura específica utilizada (por ejemplo, el número de núcleos) y la funcionalidad o aplicación deseada. Como se apreciará, no se muestran todos los pasos o elementos que se pueden utilizar en tal proceso.

10 El proceso 900 se muestra en un punto en el que está operando un único procesador. Cuando solamente se necesita un único procesador, el sistema 100 opera en el modo de SMP en un único CLK1/VDD1 fijo (paso 910). En algún punto durante las operaciones de procesamiento, se determina si se necesita un segundo procesador para manejar un aumento en los requisitos de procesamiento (o por alguna otra razón) (paso 915). Esta determinación se puede hacer sobre una base periódica o en respuesta a información operativa.

15 En respuesta a la determinación de que se necesita otro procesador, el proceso 900 procede a activar el segundo procesador, y los dos procesadores activos incluirán al menos el procesador 110b. Los dos procesadores activos operan en el modo de ASMP (920) por lo cual el segundo procesador (110b) se configura automáticamente para recibir y operar según un CLK2/VDD2 diferente de CLK1/VDD1 (mientras que el primer procesador opera con CLK1/VDD1).

20 Una vez que ambos procesadores están activos, operan en el modo de ASMP. Mientras tanto, el sistema continúa evaluando la necesidad de más o menos potencia de procesamiento informático, etc., y puede hacer una determinación de si los requisitos de procesamiento están a un nivel de manera que se necesiten menos o más procesadores (paso 930a, 930b). Si son menos, el proceso pasa de nuevo a la utilización de un único procesador (en modo de SMP) (paso 910). Si son más, el proceso continúa y activa el tercer procesador (paso 940). Dado que los dos procesadores actualmente activos están en modo de ASMP, entonces se conmutan al modo de SMP y los tres operan en modo de SMP.

25 Como se apreciará, en una realización, el sistema, los procesos, los métodos y los dispositivos descritos en la presente memoria se pueden utilizar en un entorno móvil, incluyendo el incorporado en un dispositivo móvil/dispositivo informático pequeño o en una estación base y similares. Tales dispositivos, por ejemplo, se pueden configurar para transmitir y/o recibir señales inalámbricas. Los dispositivos pueden ser cualquier dispositivo de usuario final adecuado y pueden incluir tales dispositivos (o se pueden conocer) como dispositivo/equipo de usuario (UE), unidad de transmisión/recepción inalámbrica (WTRU), estación móvil, unidad de abonado fijo o móvil, buscapersonas, teléfono móvil, asistente digital personal (PDA), teléfono inteligente, ordenador portátil, ordenador, panel táctil, sensor inalámbrico, un dispositivo electrónico que se puede llevar puesto o dispositivo de electrónica de consumo.

30 Los dispositivos incluirán al menos un sistema de procesamiento 100 (como se describe en la presente memoria) que implementa diversas operaciones de procesamiento del dispositivo. Esto puede incluir, por ejemplo, codificación de señal, procesamiento de datos, procesamiento de video/audio, control de potencia, procesamiento de entrada/salida, o cualquier otra funcionalidad contemplada para un dispositivo.

35 El sistema de procesamiento 100 también soporta los métodos y enseñanzas descritos en la presente memoria, y puede incluir componentes y procesador o procesadores adicionales (por ejemplo, un microcontrolador, un procesador de señal digital, una agrupación de puertas programable en campo o un circuito integrado de aplicaciones específicas).

40 Los dispositivos que incorporan el sistema de procesamiento 100 también pueden incluir al menos un transceptor configurado para modular datos u otro contenido para su transmisión por al menos una antena. El transceptor también está configurado para demodular datos u otro contenido recibido por la al menos una antena. Cada transceptor incluye cualquier estructura adecuada para generar señales para transmisión inalámbrica y/o procesar señales recibidas de manera inalámbrica. Cada antena incluye cualquier estructura adecuada para transmitir y/o recibir señales inalámbricas. Se podrían usar uno o múltiples transceptores en el dispositivo, y se podrían usar una o múltiples antenas.

45 Estos dispositivos también pueden incluir uno o más dispositivos de entrada/salida para facilitar la interacción con un usuario. Cada dispositivo de entrada/salida incluye cualquier estructura adecuada para proporcionar información o recibir información de un usuario, tal como un altavoz, un micrófono, un teclado numérico, un teclado, un visualizador o una pantalla táctil.

50 Además, estos dispositivos pueden utilizar la memoria descrita anteriormente, o pueden incluir otra memoria, para almacenar instrucciones y datos usados, generados o recopilados por el dispositivo. Por ejemplo, la memoria podría almacenar instrucciones de software o de microprogramas ejecutadas por el sistema de procesamiento 200. La otra memoria puede incluir cualquier dispositivo o dispositivos de almacenamiento y recuperación volátiles y/o no volátiles adecuados. Se puede usar cualquier tipo de memoria adecuada, tal como memoria de acceso aleatorio (RAM), memoria de solo lectura (ROM), disco duro, disco óptico, tarjeta de módulo de identidad de suscriptor (SIM), tarjeta de memoria, tarjeta de memoria segura digital (SD), y similares.

Detalles adicionales con respecto a los dispositivos informáticos móviles/pequeños se conocen por los expertos en la técnica. Por tanto, estos detalles se omiten aquí por claridad.

5 En algunas realizaciones, algunas o todas las funciones o procesos del uno o más de los dispositivos se implementan o soportan por un programa de ordenador que se forma a partir de un código de programa legible por ordenador y que se incorpora en un medio legible por ordenador. La frase "código de programa legible por ordenador" incluye cualquier tipo de código de ordenador, incluyendo código fuente, código de objeto y código ejecutable. La frase "medio legible por ordenador" incluye cualquier tipo de medio no volátil capaz de ser accedido por un ordenador, tal como memoria de solo lectura (ROM), memoria de acceso aleatorio (RAM), una unidad de disco duro, un disco compacto (CD), un disco de video digital (DVD) o cualquier otro tipo de memoria.

10 Puede ser ventajoso exponer definiciones de ciertas palabras y frases usadas a lo largo de este documento de patente. Los términos "incluye" y "comprende", así como los derivados de los mismos, significan inclusión sin limitación. El término "o" es inclusivo, significa y/o. Las frases "asociado con" y "asociado con el mismo", así como los derivados de los mismos, significan incluir, estar incluido dentro, interconectarse con, contener, estar contenido dentro, conectarse a o con, acoplarse a o con, ser comunicable con, cooperar con, intercalar, yuxtaponer, estar próximo a, estar unido a o con, tener, tener una propiedad o similares. El término "controlador" significa cualquier dispositivo, sistema o parte de los mismos que controla al menos una operación. Un controlador se puede implementar en hardware, microprogramas, software o alguna combinación de al menos dos de los mismos. La funcionalidad asociada con cualquier controlador particular puede estar centralizada o distribuida, ya sea local o remotamente.

20 Mientras que esta descripción ha descrito ciertas realizaciones y métodos generalmente asociados, las alteraciones y permutaciones de estas realizaciones y métodos serán evidentes para los expertos en la técnica. Por consiguiente, la descripción anterior de realizaciones de ejemplo no define o restringe esta descripción. También son posibles otros cambios, sustituciones y alteraciones sin apartarse del alcance de esta descripción, como se define en las siguientes reivindicaciones.

REIVINDICACIONES

1. Un sistema de procesamiento multiprocesador (MP) (100), caracterizado por que comprende:

5 un regulador de voltaje y circuito de derivación (280) configurado para recibir un primer voltaje de suministro (VDD) y generar un segundo voltaje de suministro (VDDb), en donde el segundo voltaje de suministro tiene un valor de voltaje menor que el primer voltaje de suministro;

un primer procesador (110a) configurado para recibir y operar según una primera señal de reloj que tiene una primera frecuencia predeterminada y el primer voltaje de suministro;

10 un segundo procesador (110b) configurado para recibir y operar según o bien la primera señal de reloj o bien una segunda señal de reloj que tiene una segunda frecuencia predeterminada, diferente de la primera frecuencia predeterminada y para recibir y operar según el primer voltaje de suministro o el segundo voltaje de suministro;

un controlador (290) acoplado al regulador de voltaje y circuito de derivación (280) y configurado para generar una señal de derivación a ser enviada a dicho regulador de voltaje y circuito de derivación (280) para introducir selectivamente el primer voltaje de suministro o el segundo voltaje de suministro al segundo procesador; y

15 en donde el primer procesador (110a) está configurado además para recibir y operar según la primera señal de reloj y el primer voltaje de suministro durante tanto un primer modo como un segundo modo de operación;

en donde dicho controlador (290) comprende una máquina de estado finito (FSM (292)); y

20 si una entrada de señal LDD_MODE_SELECT en dicho controlador (290) es alta, entonces si un comando conmutador SMP/ASMP_SELECT, que indica la operación en el modo de ASMP, se recibe en el controlador (290), el controlador (290) emitirá una señal BYPASS baja y una señal EN alta a dicho regulador de voltaje y circuito de derivación (280), y en base a estos valores para las señales EN y BYPASS, la FSM (292) hace una transición al estado de modo de ASMP (320), en donde antes de entrar en dicho estado de modo de ASMP 320, se entra en un estado de Retardo2 (315) por la FSM (292) que proporciona una cantidad predeterminada de tiempo de retardo antes de que la FSM (292) emita la señal BYPASS baja y entre en el estado de modo de ASMP (320), en donde Retardo2 puede ser cualquier intervalo de período de tiempo adecuado, dependiendo de las características operativas físicas del tipo de regulador de voltaje utilizado para generar el segundo voltaje (VDDb), y

30 si el comando de conmutación indica operación en el modo de SMP, el controlador emitirá una señal BYPASS alta y una señal EN alta a dicho regulador de voltaje y circuito de derivación (280) y en base a estos valores para las señales EN y BYPASS, la FSM (292) hace una transición al estado de modo de SMP (330), en donde antes de entrar en el estado de modo de SMP (330), se entra en un estado de Retardo1 (335) que proporciona una cantidad predeterminada de tiempo de retardo antes de que la FSM (292) emita la señal BYPASS alta y entre en el estado de modo de SMP (330) en donde el Retardo1 puede ser cualquier intervalo de período de tiempo adecuado, por ejemplo, submicrosegundos a decenas de microsegundos, dependiendo de las características operativas físicas del tipo de regulador de voltaje utilizado para generar el primer voltaje de suministro (VDD).

2. El sistema de procesamiento MP según la reivindicación 1, que comprende además:

35 un tercer procesador configurado para recibir y operar solamente según la primera señal de reloj y el primer voltaje de suministro durante tanto el primer modo como el segundo modo de operación.

3. El sistema de procesamiento MP según la reivindicación 2 en donde:

cuando está en el primer modo de operación, el primer procesador y el tercer procesador reciben y operan según la primera señal de reloj y el primer voltaje de suministro; y

40 cuando está en el segundo modo de operación, el segundo procesador recibe y opera según la segunda señal de reloj y el segundo voltaje de suministro.

4. El sistema MP según la reivindicación 1, que comprende además:

un circuito de generación de reloj (250) acoplado al controlador y configurado para generar y emitir la primera señal de reloj y la segunda señal de reloj, la primera señal de reloj se introduce en el primer procesador;

45 un circuito de conmutación dispuesto entre el circuito de generación de reloj y el segundo procesador y configurado para recibir la primera señal de reloj y la segunda señal de reloj y emitir la primera señal de reloj o la segunda señal de reloj al segundo procesador, en donde durante un primer modo de operación la primera señal de reloj se emite al segundo procesador y durante un segundo modo de operación la segunda señal de reloj se emite al segundo procesador; y

50 en donde durante el primer y segundo modos de operación la primera señal de reloj se emite al primer procesador.

5. El sistema según la reivindicación 1, que comprende además:
- memoria caché acoplada al primer y segundo procesadores; y
 - un cruce de dominio de reloj (CDC) y un circuito de derivación (230) que responden al controlador y acoplados al segundo procesador y a la memoria caché, y configurados además para proporcionar una función de cruce de dominio de reloj entre el segundo procesador y la memoria caché durante un segundo modo de operación y proporcionar una función de derivación durante un primer modo de operación.
- 5
6. El sistema de procesamiento MP según la reivindicación 1, en donde el controlador está configurado además para conmutar dinámicamente la operación del segundo procesador entre el primer modo de operación y el segundo modo de operación en respuesta a una señal de selección de modo.
- 10
7. El sistema de procesamiento MP según la reivindicación 6, en donde la señal de selección de modo se genera, al menos en parte, en base a una activación o desactivación de un procesador dentro de la pluralidad de procesadores.
8. El sistema de procesamiento MP según la reivindicación 6, en donde la señal de selección de modo se genera en respuesta a al menos una de las siguientes: información de carga, información de uso, tasa de fallos de caché, información de ancho de banda de memoria o información de consumo de energía.
- 15
9. El sistema MP según la reivindicación 6, en donde el controlador está configurado además para preestablecer al menos una característica operacional del regulador de voltaje y circuito de derivación (280) en respuesta a la señal de selección de modo.

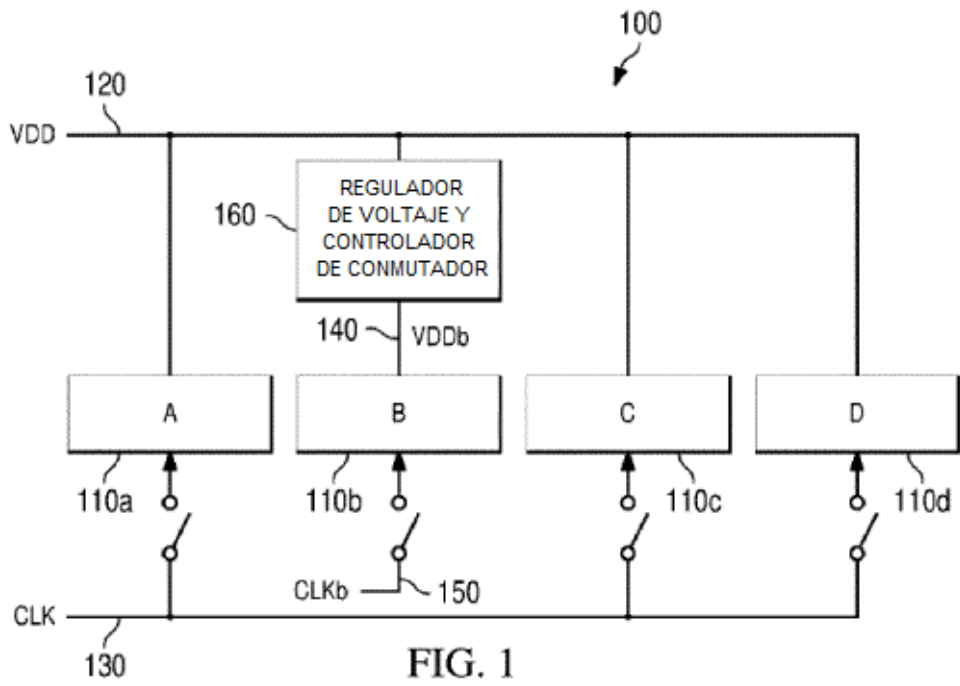


FIG. 1

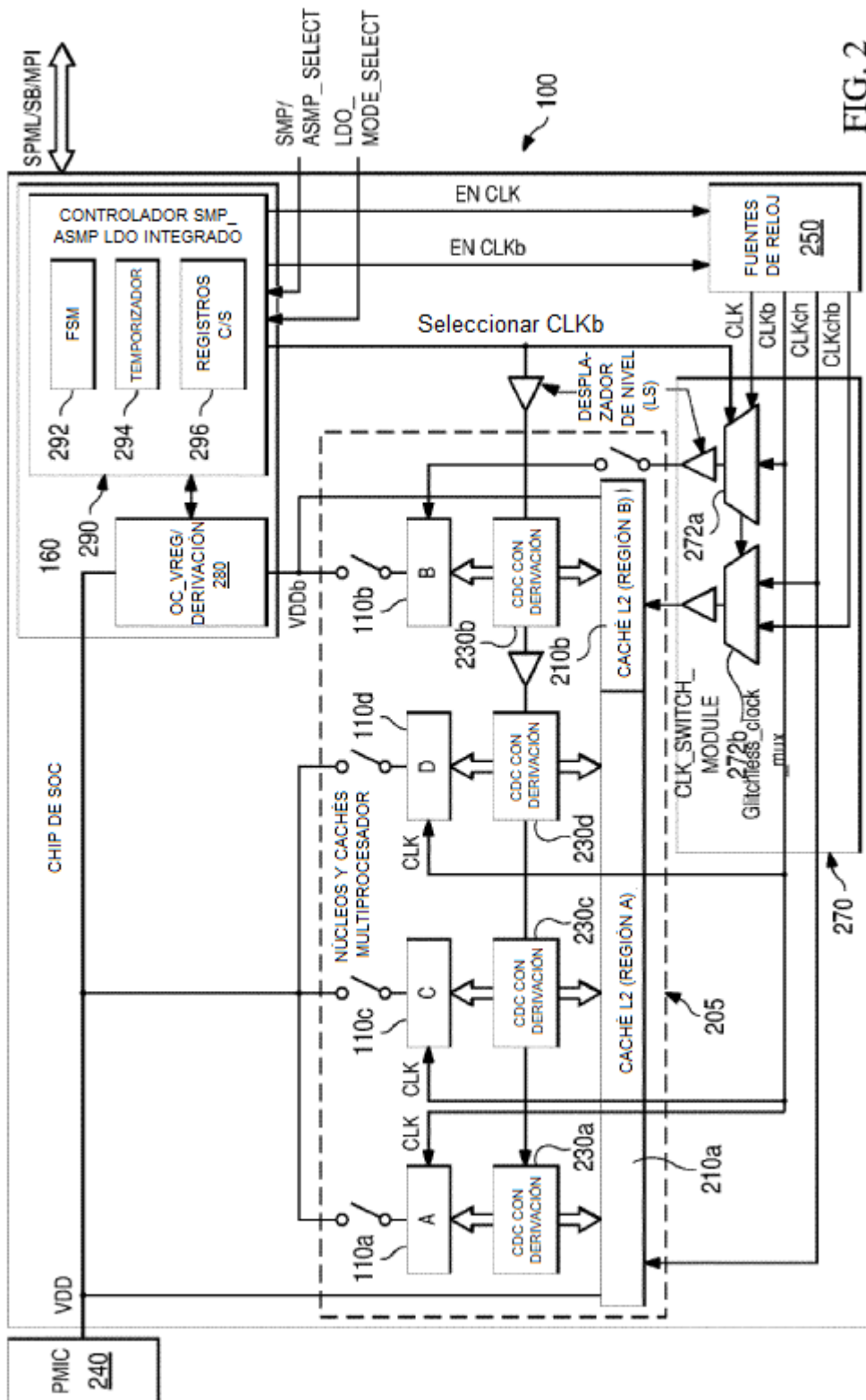


FIG. 2

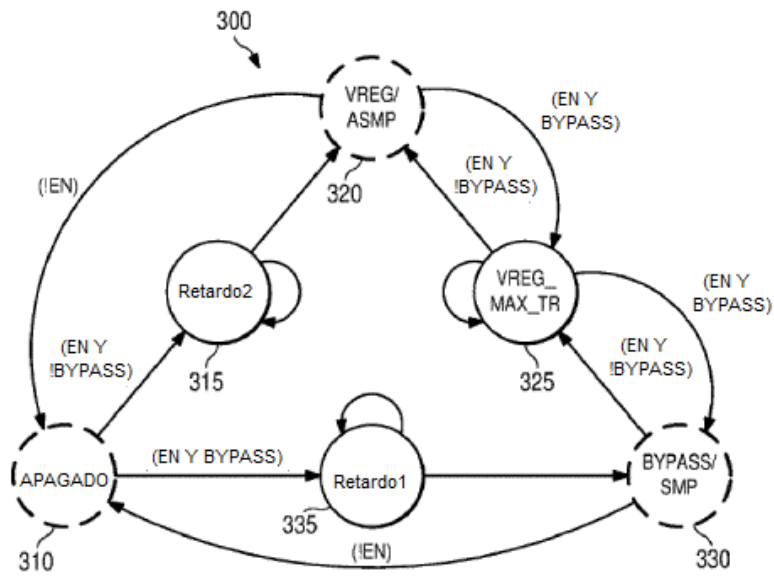


FIG. 3A

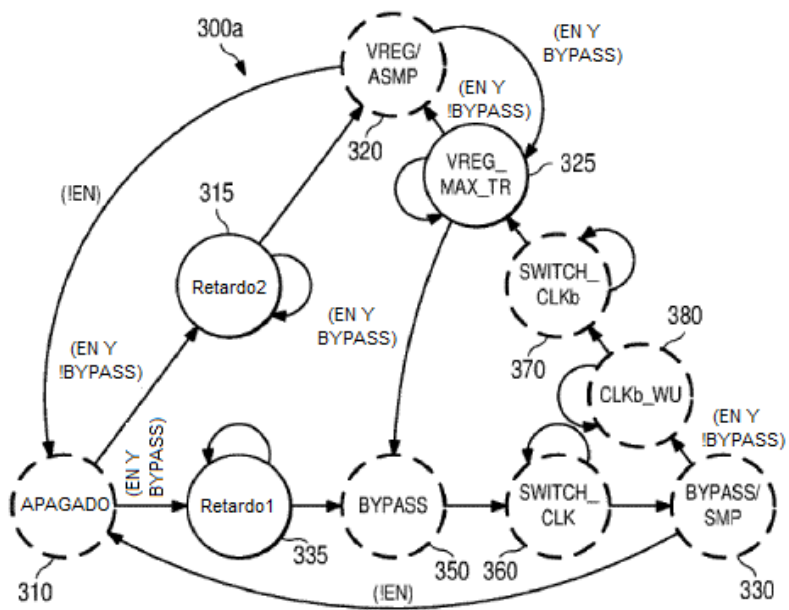


FIG. 3B

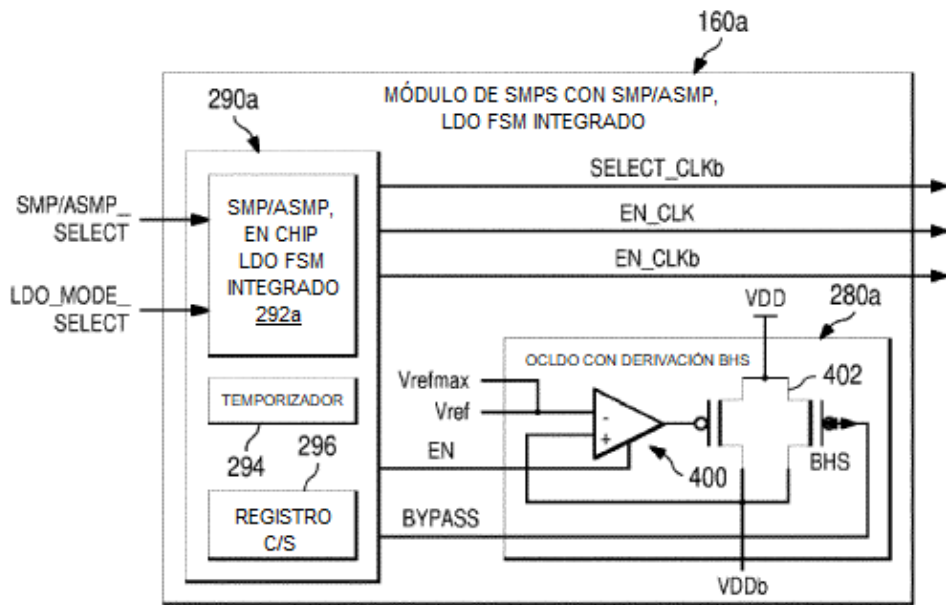


FIG. 4

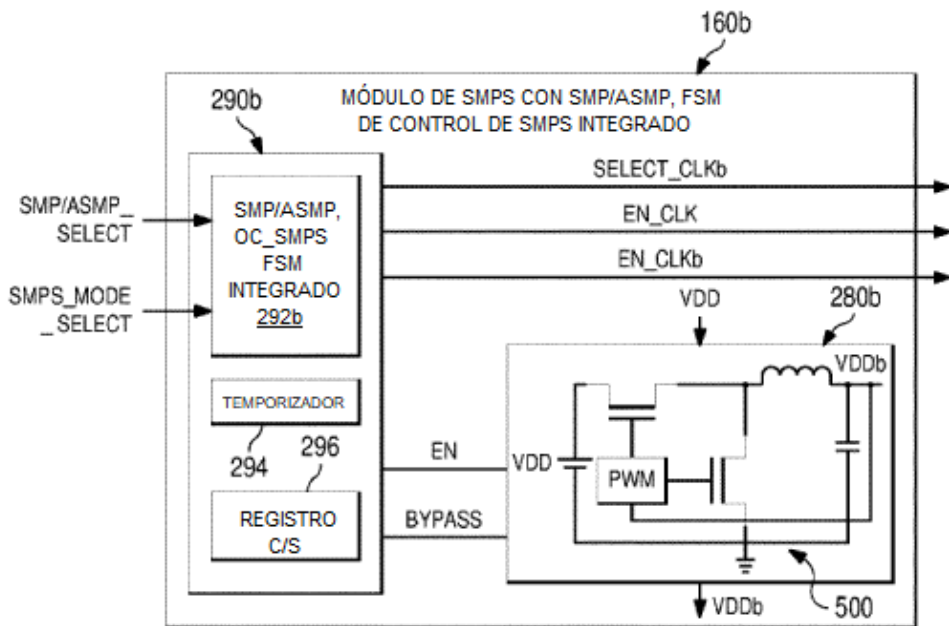


FIG. 5

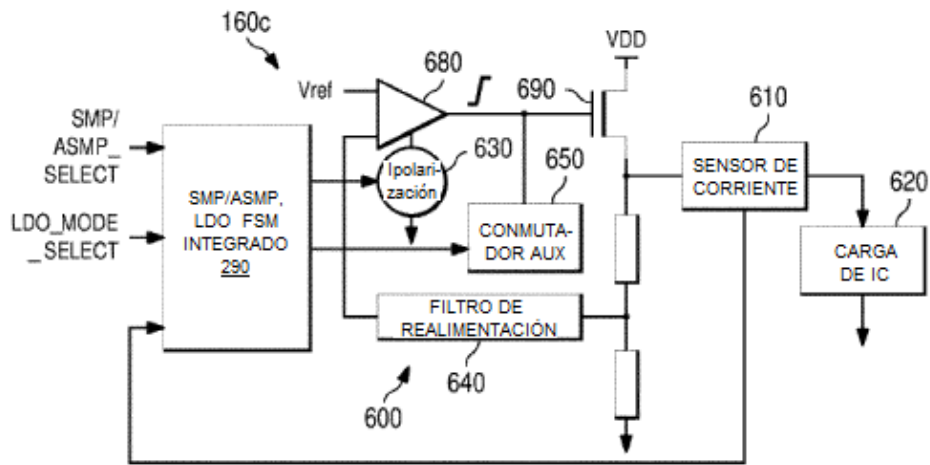


FIG. 6

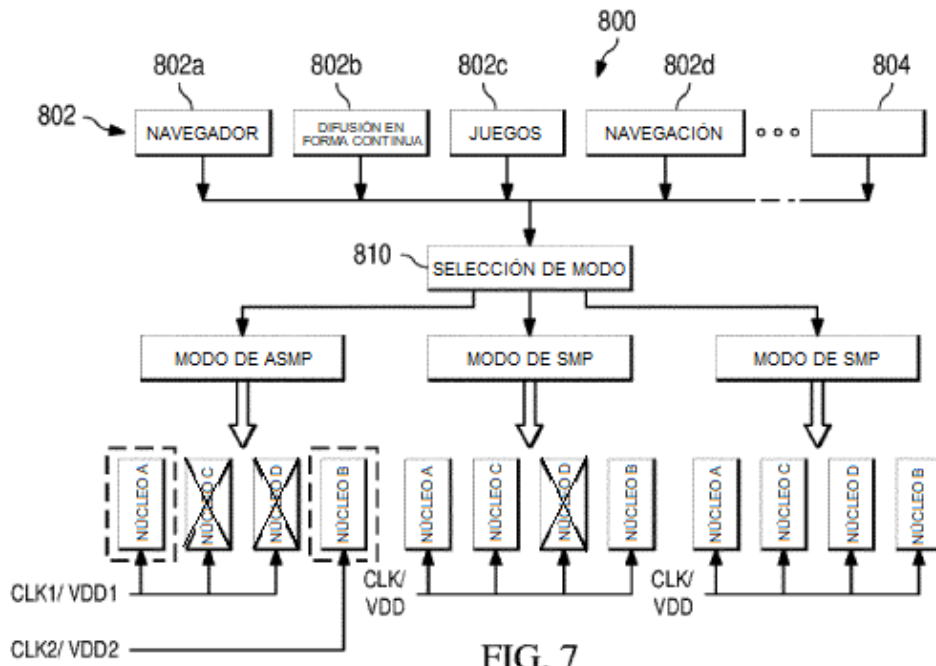


FIG. 7

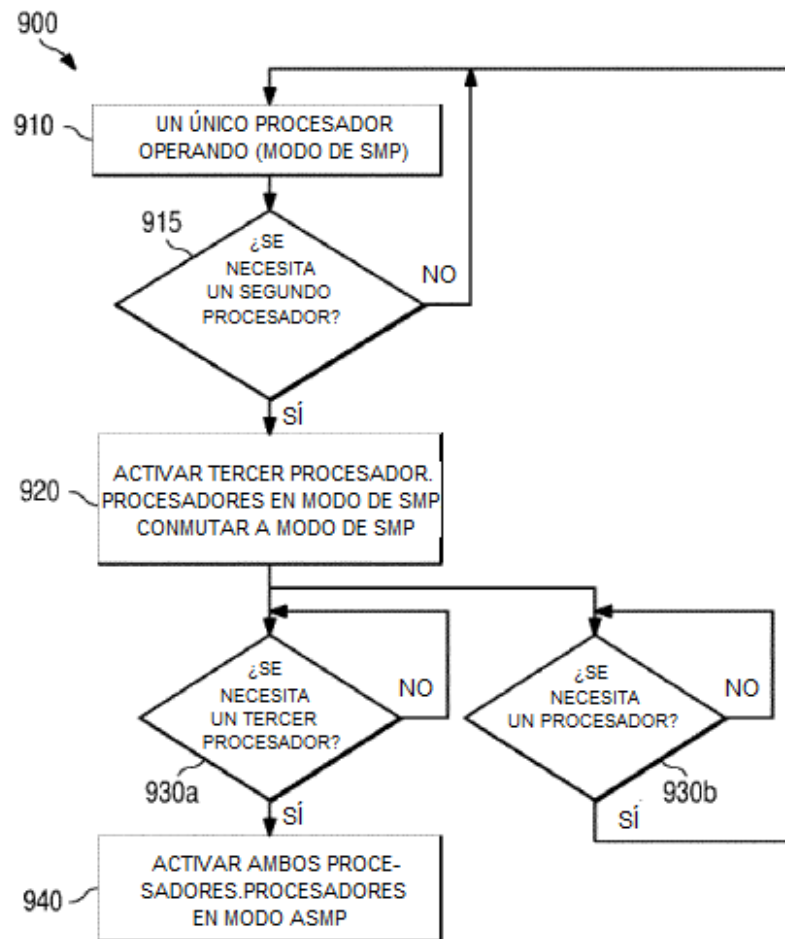


FIG. 8