

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 801 977**

51 Int. Cl.:

G06F 1/24 (2006.01)

G06F 1/26 (2006.01)

H03K 17/22 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **03.02.2010 PCT/US2010/023081**

87 Fecha y número de publicación internacional: **12.08.2010 WO10091105**

96 Fecha de presentación y número de la solicitud europea: **03.02.2010 E 10704637 (7)**

97 Fecha y número de publicación de la concesión europea: **25.03.2020 EP 2394364**

54 Título: **Detectores de encendido/apagado de múltiples voltajes de alimentación**

30 Prioridad:

04.02.2009 US 365559

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

15.01.2021

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
International IP Administration 5775 Morehouse
Drive
San Diego, California 92121, US**

72 Inventor/es:

**KWON, CHENG KI y
MOHAN, VIVEK**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 801 977 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Detectores de encendido/apagado de múltiples voltajes de alimentación

5 CAMPO TÉCNICO

[0001] La presente divulgación está relacionada, en general, con dispositivos de circuito integrado y, más particularmente, con detectores de encendido/apagado para dispositivos de múltiples voltajes de alimentación.

10 ANTECEDENTES

[0002] A medida que la tecnología ha avanzado, ha aumentado la capacidad de incluir más y más dispositivos y componentes dentro de los circuitos integrados. Las técnicas de fabricación de semiconductores han permitido que estos dispositivos integrados se vuelvan más pequeños y tengan requisitos de voltaje más bajos, mientras siguen funcionando a altas velocidades. Sin embargo, debido a que estos nuevos dispositivos integrados a menudo interactúan con dispositivos de tecnología más antiguos o productos heredados, los circuitos de entrada/salida (E/S) dentro del circuito integrado se han mantenido a voltajes operativos más altos para interactuar con los requisitos de voltaje más altos de estos sistemas más antiguos. Por lo tanto, muchos dispositivos de circuito integrado más nuevos incluyen fuentes de alimentación duales: una fuente de alimentación de bajo voltaje para las aplicaciones centrales o de funcionamiento interno, y una segunda fuente de alimentación de alto voltaje para los circuitos y dispositivos de E/S.

[0003] Los dispositivos y aplicaciones centrales se comunican con operaciones fuera del componente integrado a través de los dispositivos de E/S. Para facilitar la comunicación entre el núcleo y los dispositivos de E/S, se emplean cambiadores de nivel. Debido a que los dispositivos de E/S están conectados a los dispositivos centrales a través de cambiadores de nivel, pueden ocurrir problemas cuando los dispositivos centrales están apagados. Apagar o colapsar es una técnica común utilizada para ahorrar energía cuando no hay operaciones del dispositivo pendientes o en curso. Por ejemplo, si la red central está colapsada, es posible que los cambiadores de nivel, ya sea a través de corrientes parásitas o similares, puedan enviar una señal a los dispositivos de E/S para su transmisión. Los dispositivos de E/S suponen que los dispositivos centrales han iniciado esta comunicación y, por lo tanto, transmitirán la señal errónea al entorno externo.

[0004] Se ha encontrado útil tener los dispositivos de E/S en un estado conocido cuando las redes centrales están apagadas. Para garantizar estos estados conocidos, las soluciones han incluido la adición de hardware o software para administrar señales externas adicionales para controlar la circuitería de E/S. Mediante el uso de estas señales externas, la circuitería de E/S pueden controlarse (por ejemplo, colocarse en un estado conocido) cada vez que se colapsa la potencia central. Sin embargo, si se implementa este sistema de gestión de señal externa utilizando hardware o software, se agrega una considerable cantidad de retraso al funcionamiento del dispositivo integrado. Aunque el hardware es ligeramente más rápido que los controles de software, las soluciones de hardware pueden tener problemas ocasionados por una fuga de energía adicional significativa en el lado del dispositivo de E/S.

[0005] Una solución de hardware actualmente en uso proporciona detectores de encendido/apagado para generar una señal de control de encendido/apagado (POC) internamente. La señal POC indica a los dispositivos de E/S cuando los dispositivos centrales se apagan. La FIGURA 1 es un diagrama de circuito que ilustra el sistema POC estándar 10 para dispositivos de múltiples voltajes de alimentación. El sistema POC 10 está formado por tres bloques funcionales: detector de encendido/apagado 100, amplificador de señal 101 y etapa de salida 102. El detector de encendido/apagado 100 tiene transistores PMOS M1 y transistores NMOS M2 - M3. Los terminales de puerta para cada uno de M1-M3 están conectados a la fuente de alimentación central 103, V_{core} . Cuando la fuente de alimentación central 103 se colapsa, M2 y M3 se apagan mientras M1 está encendido, levantando el nodo de entrada al amplificador 105 a V_{IO} , es decir, la fuente de alimentación de E/S 104. Se introduce una señal "alta" en el amplificador 105 que invierte la salida a una señal "baja". En la etapa de salida 102, la señal baja del amplificador 105 se procesa en el búfer de salida 106 y nuevamente se invierte a una señal alta para POC 107. La señal alta para POC 107 se transmite a la circuitería de E/S, lo cual indica que la fuente de alimentación central 103 se ha apagado.

[0006] Cuando la fuente de alimentación central 103, el V_{core} , está encendida, M1 se vuelve muy débil y M2 y M3 se encienden fuertemente, empujando el nodo de entrada al amplificador 105 a V_{ss} , es decir, la fuente de alimentación central 103. V_{ss} se considera la señal baja lógica. Por lo tanto, el amplificador 105 lo invierte a una señal alta que a continuación se procesa en el búfer de salida 106 y se invierte nuevamente a una señal baja. Este proceso de detección de señal funciona de manera aceptable cuando la fuente de alimentación de E/S 104 está encendida y la fuente de alimentación central 103 está colapsada o cuando la fuente de alimentación central 103 se enciende antes de que se active la fuente de alimentación de E/S 104. Sin embargo, cuando la fuente de alimentación de E/S 104 se enciende antes del encendido de la fuente de alimentación central 103, puede producirse una fuga de corriente sustancial en el detector de encendido/apagado 100 o en el POC 10.

[0007] En la situación en la que la fuente de alimentación de E/S 104 está encendida y la fuente de alimentación central 103 está apagada, M1 se enciende con M2 y M3 apagados. Cuando la fuente de alimentación central 103 se enciende, M2 y M3 se encienden, y M1 se vuelve muy débil. Sin embargo, antes de que M1 pueda apagarse por completo, hay un período en el que los tres transistores dentro del detector de encendido/apagado 100 están encendidos. Por lo tanto, se crea un cortocircuito virtual a tierra que hace que una cantidad significativa de corriente fluya desde la fuente de alimentación de E/S 104 a tierra. Esta corriente de "interferencia" consume energía innecesaria.

[0008] Para reducir este consumo de energía parásito, se puede adoptar una solución para disminuir los tamaños de los transistores M1-M3. Al reducir el tamaño de M1-M3, la cantidad real de corriente que puede pasar a través de los transistores está físicamente limitada. Sin embargo, debido a que los transistores ahora son más pequeños, sus velocidades de conmutación también se reducen. La velocidad de conmutación reducida se traduce en una menor sensibilidad para detectar el encendido/apagado del voltaje de alimentación central 103 o un tiempo de procesamiento mayor para eventos de encendido/apagado.

[0009] La FIGURA 2 es una ilustración del diagrama 20 que presenta las interacciones de señal en el circuito POC 10 de la FIGURA 1. El diagrama 20 incluye el diagrama de fuente de alimentación 21 y el diagrama POC 22. A medida que la fuente de alimentación de E/S 104 se enciende, hay un aumento constante hasta que alcanza V_{IO} . El POC 107 sigue la fuente de alimentación de E/S 104 mientras se enciende para alcanzar el nivel alto. De manera similar, cuando la fuente de alimentación de E/S 104 se mantiene estable en V_{IO} en el tiempo 200, el POC 107 permanece estable en la señal alta. Cuando la fuente de alimentación central 103 comienza a encenderse en el tiempo 201, el detector de encendido/apagado 100 (FIGURA 1) tarda un poco en detectar este nuevo nivel de potencia. Una vez detectado, en el tiempo 202, el POC 107 se cambia al valor bajo. El POC 107 debería, a partir de entonces, permanecer en el nivel bajo hasta que la fuente de alimentación central 103 se colapse, entre los tiempos 203 y 205. Nuevamente, debido a que el detector de encendido/apagado 100 (FIGURA 1) tarda un poco de tiempo en detectar realmente el nuevo nivel de potencia, el POC 107 permanece en el estado bajo hasta el tiempo 204, cuando el detector de encendido/apagado 100 detecta realmente el apagado. Este tiempo de estado bajo, entre el tiempo 202 y 204 se denomina región de funcionamiento normal. Una vez que la fuente de alimentación central 103 está completamente apagada o la energía se colapsa en el tiempo 205, la entrada al amplificador 105 (FIGURA 1) se eleva nuevamente a la señal alta. A continuación, el POC 107 seguirá a la fuente de alimentación de E/S 104, ya que también se apaga entre los tiempos 206 y 207.

[0010] La corriente de fuga entre la fuente de alimentación de E/S 104 y la tierra se puede reducir debido al tamaño más pequeño del transistor. Por lo tanto, durante el tiempo entre los tiempos 201 y 205, cualquier fuga que ocurra se reduce. Sin embargo, esta fuga reducida tiene el precio de una detección más rápida. Si el circuito POC 10 puede incluir transistores de umbral inferior o más grandes, los tiempos de conmutación/detección serían más rápidos. Por ejemplo, cuando la fuente de alimentación central 103 comienza a encenderse en el tiempo 201, los transistores de umbral inferior o mayores del detector de encendido/apagado 100 detectarían el encendido en el tiempo 208, en lugar del tiempo 202. Además, cuando la fuente de alimentación central 103 comienza a apagarse en el tiempo 203, el detector de encendido/apagado 100 detectaría el apagado en el tiempo 209, en lugar del tiempo 204. Este aumento puede estar representado por la diferencia entre los períodos de tiempo 202 a 204 frente al tiempo 208 a 209. Por lo tanto, las soluciones convencionales todavía tienen problemas con fugas y tiempos de conmutación. El documento US 6 646 844 B1 divulga un módulo de desactivación de encendido que incluye un controlador acoplado para recibir una pluralidad de señales de fuente de alimentación y proporcionar una señal de desactivación de encendido dependiendo de una comparación de las señales de fuente de alimentación.

BREVE EXPLICACIÓN

[0011] Diversos modos de realización representativos de la divulgación se refieren a dispositivos integrados que tienen múltiples voltajes de alimentación. Otros modos de realización representativos de la presente divulgación se refieren a procedimientos para reducir el consumo de energía en una red de control de encendido/apagado (POC) de un dispositivo de múltiples voltajes de alimentación. Modos de realización representativos adicionales de la presente divulgación se refieren a sistemas para reducir el consumo de energía en una red POC de un dispositivo de múltiples voltajes de alimentación.

[0012] En la reivindicación 1 se define un dispositivo de múltiples voltajes de alimentación que incluye una red central operativa a un primer voltaje de alimentación y una red de control acoplada a la red central. La red de control está configurada para transmitir una señal de control. La red de control incluye un detector de subida/bajada (arriba/abajo) configurado para detectar un estado de alimentación de la red central. La red de control incluye además circuitería de procesamiento acoplados al detector de subida/bajada y está configurada para generar la señal de control basándose en el estado de potencia. La red de control incluye además uno o más circuitos de retroalimentación acoplados al detector de subida/bajada. El uno o más circuitos de retroalimentación están configurados para proporcionar señales de retroalimentación para ajustar una capacidad de corriente de dicho detector de subida/bajada.

[0013] Un procedimiento para reducir el consumo de energía en una red de control de encendido/apagado (POC) de un dispositivo de múltiples voltajes de alimentación como se define en la reivindicación 4 incluye detectar un encendido de un segundo voltaje de alimentación mientras un primer voltaje de alimentación ya está encendido, disminuir un capacidad de corriente de un detector de encendido/apagado de la red POC en respuesta a la detección de encendido, detectar un apagado del segundo voltaje de alimentación mientras el primer voltaje de alimentación está encendido, y aumentar la capacidad de corriente del encendido/apagado del detector en respuesta a la detección de apagado.

[0014] Lo anterior ha descrito bastante ampliamente las características y ventajas técnicas de los presentes modos de realización para que la descripción detallada de la divulgación siguiente pueda entenderse mejor. A continuación se describirán características y ventajas adicionales de los modos de realización que constituyen el objeto de las reivindicaciones de la divulgación. Los expertos en la técnica deberían apreciar que la concepción y los modos de realización específicos divulgados pueden utilizarse fácilmente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente divulgación. Los expertos en la técnica también deberían darse cuenta de que tales construcciones equivalentes no se apartan del alcance de la divulgación como se establece en las reivindicaciones adjuntas. Las características novedosas que se consideran características de la divulgación, tanto en cuanto a su organización como a su procedimiento de funcionamiento, junto con otros objetos y ventajas, se entenderán mejor a partir de la siguiente descripción cuando se considere en relación con las figuras adjuntas. Se ha de entender expresamente, sin embargo, que cada una las figuras se proporciona solamente para fines de ilustración y descripción, y no está concebida como una definición de los límites de la presente divulgación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0015] Para un entendimiento más completo de la presente divulgación, se hace referencia ahora a las siguientes descripciones, tomadas junto con los dibujos adjuntos.

La FIGURA 1 es un diagrama de circuito que ilustra un sistema POC convencional para dispositivos de múltiples voltajes de alimentación.

La FIGURA 2 es una ilustración de un diagrama que presenta las interacciones de señal en el circuito POC de la FIGURA 1.

La FIGURA 3A es un diagrama de bloques que ilustra un dispositivo de circuito integrado (CI) que tiene una red de control de encendido (POC) configurada de acuerdo con las enseñanzas de la presente divulgación.

La FIGURA 3B es un diagrama de bloques que ilustra una red POC configurada de acuerdo con las enseñanzas de la presente divulgación.

La FIGURA 4 es un diagrama de circuito que ilustra otra red POC configurada de acuerdo con las enseñanzas de la presente divulgación.

La FIGURA 5 es un diagrama de circuito que ilustra una red POC adicional configurada de acuerdo con las enseñanzas de la presente divulgación.

La FIGURA 6 es un diagrama de circuito que ilustra aún otra red POC configurada de acuerdo con las enseñanzas de la presente divulgación.

La FIGURA 7 es un diagrama de flujo que ilustra bloques de proceso para implementar un modo de realización de acuerdo con las enseñanzas de la presente divulgación.

DESCRIPCIÓN DETALLADA

[0016] Volviendo ahora a la FIGURA 3A, se presenta un diagrama de bloques que ilustra un dispositivo de circuito integrado (CI) 30 que tiene una red de control de encendido (POC) 305 configurada de acuerdo con un modo de realización de la presente divulgación. El dispositivo CI 30 es un circuito integrado que incluye componentes integrados alimentados por múltiples fuentes de alimentación, como el $V_{I/O}$ 300 y el V_{core} 301. El $V_{I/O}$ 300 y el V_{core} 301 suministran varias fuentes de alimentación de nivel de voltaje diferentes a diferentes componentes y redes dentro del dispositivo CI 30. Dos de estas redes integradas son la red de E/S 302 y la red central 303. La red de E/S 302 funciona a un nivel de voltaje proporcionado por el $V_{I/O}$ 300. La red central 303 funciona a un nivel de voltaje proporcionado por el V_{core} 301, que en general es un voltaje más bajo que el proporcionado por el $V_{I/O}$ 300. Debido a que la red de E/S 302 y la red central 303 funcionan a diferentes voltajes, se acoplan juntas a través de cambiadores de nivel 304 para la comunicación. Los cambiadores de nivel 304 esencialmente cambian los niveles de voltaje de cualquier comunicación que ocurra entre la red de E/S 302 y la red central 303.

[0017] La red POC 305 detecta el estado de la red central 303 y transmite una señal POC a la red de E/S 302 y a los cambiadores de nivel 304. La señal POC los enciende o apaga. Esto evita que las señales parásitas recibidas por la red de E/S 302 se transmitan por error a dispositivos o componentes externos al dispositivo de circuito integrado 30.

[0018] La FIGURA 3B es un diagrama de bloques que ilustra una red POC 305 configurada de acuerdo con un modo de realización de la presente divulgación. La red POC 305 incluye un detector de encendido/apagado 306, circuitería de procesamiento 307 y una red de retroalimentación 310. La circuitería de procesamiento 307 está compuesta por un procesador de señal 308 y un búfer de salida 309. Cuando el $V_{I/O}$ 300 está encendido y el V_{core} 301 está apagado, el detector de encendido/apagado 306 proporciona una señal de detección al procesador de señal 308, que procesa la señal de detección y transmite la señal procesada al búfer de salida 309. El búfer de salida 309 condiciona la señal procesada en una señal POC 311, que a continuación se transmite a una red de E/S 302. En el camino, una red de retroalimentación 310 recibe retroalimentación del procesador de señal 308 y alimenta esa señal nuevamente al detector de encendido/apagado 306. El detector de subida/bajada de potencia 306 usa la señal de retroalimentación para ajustar su capacidad de corriente. Mientras el V_{core} 301 está en estado apagado o bajo, la señal de retroalimentación permite que el detector de subida/bajada de potencia 306 seleccione una capacidad de corriente máxima. Este estado de capacidad de corriente máxima hace que el detector de encendido/apagado 306 sea más sensible a la detección cuando el V_{core} 301 se enciende o se apaga, o ambos, dependiendo de la configuración del circuito del detector de encendido/apagado 306.

[0019] Cuando el V_{core} 301 se enciende mientras el $V_{I/O}$ 300 está encendido, el detector de encendido/apagado 306 detecta el encendido y cambia el valor de la señal de detección transmitida al procesador de señal 308. A continuación, la señal de detección de proceso es condicionada por el búfer de salida 309 en la señal POC cambiada 311 y transmitida a la red de E/S 302. Con las señales cambiantes que se procesan a través de la circuitería de procesamiento de señales 307, la red de retroalimentación 310 recibe la nueva señal de retroalimentación que, cuando se introduce en el detector 306 de subida/bajada, hace que disminuya la capacidad de corriente dentro del detector de subida/bajada de potencia 306. Esta disminución en la capacidad de corriente limitará y reducirá la cantidad de corriente de fuga que puede disiparse a través del detector de subida/bajada de potencia 306 debido a sus conexiones al $V_{I/O}$ 300 y al V_{core} 301.

[0020] La FIGURA 4 es un diagrama de circuito que ilustra una red POC 40 configurada de acuerdo con un modo de realización no reivindicado de la presente divulgación. La red POC 40 tiene regiones de procesamiento similares a la red POC 305 (FIGURA 3A y 3B), es decir, un detector de encendido/apagado 306, un procesador de señal 308, un búfer de salida 309 y una red de retroalimentación 310. La red POC 40 también genera una señal POC 311 y está acoplada a un $V_{I/O}$ 300 y un V_{core} 301. Como se muestra en el modo de realización ilustrado en la FIGURA 4, el detector de subida/bajada de potencia 306 comprende múltiples transistores M4-M7 acoplados en serie entre sí. Cada puerta de los transistores M4-M7 está acoplada al V_{core} 301, mientras que el terminal fuente del transistor M4 está acoplado al $V_{I/O}$ 300. Los transistores M4 y M5 son transistores de tipo p y los transistores M6 y M7 son transistores de tipo n. Por lo tanto, cuando el V_{core} 301 está apagado, es decir, en un estado bajo, los transistores M4 y M5 se encienden, mientras que los transistores M6 y M7 se apagan.

[0021] Por el contrario, cuando el V_{core} 301 está encendido, es decir, en un estado alto, los transistores M4 y M5 se debilitan mucho mientras que los transistores M6 y M7 están fuertemente activados. El encendido de M6 y M7 extrae el voltaje de la entrada al amplificador inversor a V_{ss} , que es una señal baja lógica en comparación con $V_{I/O}$. V_{ss} está diseñado como la señal baja lógica y puede comprender tierra, 0 V o algún otro nivel de voltaje seleccionado que represente el símbolo bajo lógico. Por lo tanto, cuando el V_{core} 301 está apagado, los transistores M4 y M5 elevan el nivel de voltaje en la entrada a un amplificador inversor 400 al $V_{I/O}$ 300. Por lo tanto, la entrada al amplificador inversor 400 es alta cuando el V_{core} 301 está apagado y baja cuando el V_{core} 301 está encendido. El amplificador inversor 400 amplifica e invierte la señal de detección antes de transmitirla a la memoria intermedia de inversión 401 para acondicionar e invertir la señal POC 311.

[0022] La red de retroalimentación 310 comprende un transistor M8 conectado en paralelo al transistor M4. El transistor M8 también está configurado como un transistor de tipo p, de modo que cuando la señal de retroalimentación del amplificador inversor 400 es alta, el transistor M8 se apaga, y cuando la señal de retroalimentación es baja, el transistor M8 se enciende. Por lo tanto, cuando el V_{core} 301 está apagado, produciendo una señal de detección alta, el amplificador inversor 400 invierte esa señal a un nivel lógico bajo que hace que el transistor M8 se encienda. A medida que el V_{core} 301 se enciende, la señal de detección cambia a un nivel lógico bajo, lo cual cambia la señal de retroalimentación del amplificador inversor 400 a un nivel lógico alto, lo cual, a su vez, apaga el transistor M8. Mientras el transistor M8 está apagado, el detector de subida/bajada de potencia 306 tiene una capacidad de corriente disminuida, es decir, una corriente más pequeña fluirá a través del transistor M8 debido a la señal baja amplificada. El nivel de voltaje ocasionado por el V_{core} 301 en los terminales de puerta de M4 y M5 podría, en algunas situaciones de señal de interferencia o parásita, ocasionar fugas a través de M4 y M5. Debido a que la señal de retroalimentación para el transistor M8 se recibe desde el amplificador inversor 400, cuando el V_{core} 301 se apague, la señal de retroalimentación cambiará rápidamente de una lógica alta a una lógica baja, que a continuación activará el transistor M8. Por lo tanto, en la configuración de circuito representada en la

FIGURA 4, el detector de encendido/apagado 40 detectará que el V_{core} 301 se apaga más rápidamente que las redes POC existentes.

[0023] La FIGURA 5 es un diagrama de circuito que ilustra una red POC 50 configurada de acuerdo con un modo de realización no reivindicado de la presente divulgación. La red POC 50 comprende múltiples transistores M4-M7 en el detector de subida/bajada de potencia 306 acoplados de manera similar a la red POC 40 (FIGURA 4) con cada puerta acoplada a un V_{core} 301, y el terminal fuente del transistor M4 acoplado a un $V_{I/O}$ 300. Un procesador de señal 308 comprende un amplificador inversor 400, y un búfer de salida 309 incluye una memoria intermedia de inversión 401. La red POC 50 genera una señal POC 311, que se transmitirá a la red de E/S a la que está acoplada la red POC 50. En la red POC 50, una red de retroalimentación 310 está configurada con los transistores M9 y M10 acoplados en paralelo con el transistor M7. Los transistores M6, M7, M10 son del mismo tipo, tipo n o pueden ser transistores de tipo n de bajo umbral para acelerar la detección de encendido. El transistor M9 recibe su señal de retroalimentación desde la salida de la memoria intermedia de inversión 401, mientras que la puerta del transistor M10 está conectada al V_{core} 301.

[0024] En funcionamiento, cuando el $V_{I/O}$ 300 está encendido y el V_{core} 301 está apagado, el amplificador inversor 400 recibe una señal lógica alta en virtud del $V_{I/O}$ 300, que, cuando es amplificada e invertida por el amplificador inversor 400 y a continuación acondicionada e invertida por la memoria intermedia de inversión 401, proporciona una señal lógica de retroalimentación alta. Esta señal alta normalmente activaría M9 en la red de retroalimentación 310. Sin embargo, debido a que M6, M7 y M10 están apagados, no hay formación de canales dentro del transistor M9 para encenderlo. Cuando el V_{core} 301 se enciende, M4 y M5 se debilitan mucho, mientras que M6, M7 y M10 se encienden, lo cual hace que M9 se encienda inmediatamente porque su puerta ya está conectada a una entrada lógica alta. El encendido de M6 y M7 baja la entrada al amplificador inversor 400 hasta una señal baja lógica, es decir, V_{ss} . La entrada de señal de detección baja al amplificador inversor 400 se amplifica e invierte y a continuación se acondiciona e invierte nuevamente en la memoria intermedia de inversión 401. Una vez que la memoria intermedia de inversión 401 emite una señal baja, la retroalimentación de esa baja al transistor M9 apagará M9, lo cual, debido a que apagar M9 detiene la formación del canal en el transistor M10, hace que el transistor M10 también se apague. Por lo tanto, la configuración de la red POC 50, como se ilustra en la FIGURA 5, funciona para detectar que el V_{core} 301 se enciende más rápido que las redes POC existentes, al tiempo que reduce la cantidad de corriente de fuga mientras el V_{core} 301 está encendido. La señal de retroalimentación utilizada por el transistor M9 permite que el detector de subida/bajada de potencia 306 ajuste su capacidad de corriente, lo cual reduce la corriente de fuga al mismo tiempo que se mejora la velocidad de detección.

[0025] La FIGURA 6 es un diagrama de circuito que ilustra una red POC 60 configurada de acuerdo con un modo de realización de la presente divulgación. La red POC 60 incluye una red de retroalimentación 310 configurada de acuerdo con las disposiciones de circuito de la red POC 40 (FIGURA 4) y la red POC 50 (FIGURA 5). Como tal, múltiples transistores M4-M7 constituyen el detector de subida/bajada de potencia 306. La red de retroalimentación 310 incluye el transistor M8, acoplado en paralelo al transistor M4, y los transistores M9 y M10, acoplados en paralelo con el transistor M7. La señal de detección del detector de subida/bajada de potencia 306 proporciona entrada a un amplificador inversor 400 de un procesador de señal 308, que amplifica e invierte la señal de detección para la entrada a una memoria intermedia de inversión 401 de un búfer de salida 309. La señal POC condicionada e invertida 311 se transmite a continuación a la red de E/S y de cambiadores de nivel apropiada del sistema. El transistor de retroalimentación M8 obtiene su señal de retroalimentación de la salida del amplificador inversor 400, mientras que el transistor de retroalimentación M9 obtiene su señal de retroalimentación de la salida de la memoria intermedia de inversión 401. Usando estas señales de retroalimentación, como se describe con respecto a la red POC 40 (FIGURA 4) y la red POC 50 (FIGURA 5), la red POC 60 puede aumentar la velocidad a la que el V_{core} 301 se detecta rápidamente tanto en la etapa de apagado como en la de encendido. Al mismo tiempo, debido a que la red de retroalimentación 310 proporciona la capacidad de la red POC 60 para ajustar la capacidad de corriente del detector de subida/bajada de potencia 306, la corriente de fuga no deseada también se puede reducir durante los períodos de funcionamiento normal del V_{core} 301.

[0026] Debe observarse que cada uno de los modos de realización descritos con respecto a la red POC 40 (FIGURA 4), la red POC 50 (FIGURA 5) y la red POC 60 (FIGURA 6) tiene sus propias ventajas. Por ejemplo, la red POC 50 (FIGURA 5) puede tener una característica de rendimiento considerablemente mejorada con la adición de circuitería muy pequeña de óxido delgado al silicio total. Por lo tanto, cada uno de los modos de realización ilustrados, así como los diversos modos de realización adicionales y/o alternativos de la presente divulgación representan mejoras sobre los sistemas y procedimientos existentes.

[0027] La FIGURA 7 es un diagrama de flujo que ilustra bloques de proceso para implementar un modo de realización de la presente divulgación. En el bloque 700, se detecta un encendido de un segundo voltaje de alimentación mientras un primer voltaje de alimentación ya está encendido. En el bloque 701, la capacidad de corriente de un detector de encendido/apagado de la red POC disminuye en respuesta a la detección de encendido. En el bloque 702 se detecta un apagado del segundo voltaje de alimentación mientras el primer voltaje de alimentación está encendido. En el bloque 703, la capacidad de corriente del detector de encendido/apagado aumenta en respuesta a la detección de apagado.

[0028] Aunque se ha establecido una circuitería específica, los expertos en la materia apreciarán que no toda la circuitería descrita es necesaria para practicar la divulgación. Además, ciertos circuitos bien conocidos no se han descrito para mantener el foco en la divulgación. De manera similar, aunque la descripción se refiere al "0" o "bajo" lógico y al "1" o "alto" lógico en ciertos lugares, un experto en la materia aprecia que los valores lógicos se pueden cambiar, con el resto del circuito ajustado en consecuencia, sin afectar al funcionamiento de la presente divulgación.

[0029] Aunque la presente divulgación y sus ventajas se han descrito en detalle, debe entenderse que pueden hacerse diversos cambios, sustituciones y alteraciones en el presente documento sin apartarse del alcance de la divulgación como se define mediante las reivindicaciones adjuntas. Además, el alcance de la presente solicitud no pretende limitarse a los modos de realización particulares del proceso, máquina, fabricación, composición de la materia, medios, procedimientos y pasos descritos en la memoria descriptiva. Como un experto habitual en la técnica apreciará fácilmente a partir de los modos de realización de la presente divulgación, los procesos, máquinas, fabricación, composiciones de materia, medios, procedimientos o pasos, actualmente existentes o que se desarrollarán más adelante y que realicen sustancialmente la misma función o logren sustancialmente el mismo resultado que los modos de realización correspondientes descritos en el presente documento pueden utilizarse de acuerdo con la presente divulgación. Por consiguiente, las reivindicaciones adjuntas pretenden incluir dentro de su alcance tales procesos, máquinas, fabricación, composiciones de materia, medios, procedimientos o pasos.

REIVINDICACIONES

1. Un dispositivo de múltiples voltajes de alimentación que comprende:

- 5 una red central (303) operativa a un primer voltaje de alimentación (301); y
- una red de control (305) acoplada a dicha red central (303) en la que dicha red de control (305) está configurada para transmitir una señal de control, comprendiendo dicha red de control (305):
- 10 un detector de subida/bajada (306) configurado para detectar un estado de potencia de dicha red central (305), comprendiendo el detector de subida/bajada (306):
- 15 uno o más de los primeros transistores (M4; M5) acoplados a un segundo voltaje de alimentación (300), en el que dichos uno o más primeros transistores (M4; M5) están configurados para encenderse cuando dicho primer voltaje de alimentación (301) se apague y apagarse cuando dicho primer voltaje de alimentación (301) se encienda; y
- 20 uno o más segundos transistores (M6; M7) acoplados a dichos uno o más primeros transistores (M4; M5) en serie y acoplados a dicho primer voltaje de alimentación (301), en el que dichos uno o más segundos transistores (M6; M7) están configurados para encenderse cuando dicho primer voltaje de alimentación (301) se encienda y apagarse cuando dicho primer voltaje de alimentación (301) se apague;
- 25 circuitería de procesamiento (307) acoplada a dicho detector de subida/bajada y configurada para generar dicha señal de control basándose en dicho estado de potencia; y
- 30 uno o más circuitos de retroalimentación (310) acoplados a dicho detector de subida/bajada, con dichos uno o más circuitos de retroalimentación (310) configurados para proporcionar señales de retroalimentación para ajustar una capacidad de corriente de dicho detector de subida/bajada (306), con dicho uno o más circuitos de retroalimentación (310) que comprenden:
- 35 uno o más primeros transistores de retroalimentación (M8) acoplados en paralelo con dichos uno o más primeros transistores (M4; M5) y acoplados para recibir retroalimentación de dicha circuitería de procesamiento (307); y
- 40 uno o más segundos transistores de retroalimentación (M9; M10) acoplados en paralelo con dichos uno o más segundos transistores (M6; M7) y acoplados para recibir retroalimentación de dicha circuitería de procesamiento (307);
- en el que dichos uno o más primeros y segundos transistores de retroalimentación (M8; M9; M10) están configurados para apagarse cuando dicha circuitería de procesamiento (307) indica que dicho primer voltaje de alimentación (301) está encendido.

2. El dispositivo de múltiples voltajes de alimentación según la reivindicación 1, en el que dicha circuitería de procesamiento comprende:

- 45 un comparador configurado para emitir una señal de detección basándose en una señal de entrada recibida desde dicho detector de subida/bajada; y
- 50 un búfer de salida configurada para procesar dicha señal de detección en dicha señal de control.

3. El dispositivo de múltiples voltajes de alimentación según la reivindicación 1, que comprende además:

- 55 una red de entrada/salida, E/S, operativa a dicho segundo voltaje de alimentación, en el que dicha red de E/S está acoplada a dicha red central y dicha red de control, y en el que dicha red de E/S está configurada para recibir dicha señal de control.

4. Un procedimiento para reducir el consumo de energía en una red de control de encendido/apagado, POC, (305) de un dispositivo de múltiples voltajes de alimentación, comprendiendo dicho procedimiento:

- 60 detectar (700) un encendido de un segundo voltaje de alimentación (301) mientras un primer voltaje de alimentación (300) ya está encendido, en el que dicha detección de dicho encendido comprende:
- 65 recibir una señal lógica alta en una puerta de control de uno o más primeros transistores (M4; M5) y uno o más segundos transistores (M6; M7), en el que dichos uno o más primeros transistores (M4; M5) están configurados para apagarse en respuesta a dicha señal lógica alta, y en el que

dichos uno o más segundos transistores (M6; M7) están configurados para encenderse en respuesta a dicha señal lógica alta; y

5 transmitir una señal de detección a un procesador de señal (308) desde dichos uno o más segundos transistores (M6; M7) basándose en dicha señal lógica alta recibida;

10 disminuir (701) una capacidad de corriente de un detector de encendido/apagado (306) de dicha red POC en respuesta a dicha detección de encendido, con dicha disminución de dicha capacidad de corriente que comprende:

recibir una primera señal de retroalimentación desde dicho procesador de señal (308) en uno o más primeros transistores de retroalimentación (M8) acoplados en paralelo con dichos uno o más primeros transistores (M4; M5);

15 apagar dichos uno o más primeros transistores de retroalimentación (M8) en respuesta a dicha primera señal de retroalimentación;

20 recibir una segunda señal de retroalimentación desde un búfer de salida (309) de dicha red POC (305) en uno o más segundos transistores de retroalimentación (M9; M10) acoplados en paralelo con dichos uno o más segundos transistores (M6; M7); y

apagar dichos uno o más segundos transistores de retroalimentación (M9; M10) en respuesta a dicha segunda señal de retroalimentación;

25 detectar (702) un apagado de dicho segundo voltaje de alimentación (301) mientras dicho primer voltaje de alimentación (300) está encendido; y

30 aumentar (703) dicha capacidad de corriente de dicho detector de encendido/apagado (306) en respuesta a dicha detección de apagado.

5. El procedimiento según la reivindicación 4, en el que dicha detección de dicho apagado comprende:

35 recibir una señal lógica baja en dicha puerta de control de dichos uno o más transistores primero y segundo, en el que dichos uno o más primeros transistores están configurados para encenderse en respuesta a dicha señal lógica baja, y en el que dichos uno o más segundos transistores están configurados para apagarse en respuesta a dicha señal de lógica baja; y

40 transmitir una señal de detección a dicho procesador de señal desde dichos uno o más primeros transistores basándose en dicha señal lógica baja recibida.

6. El procedimiento según la reivindicación 5, en el que dicho aumento de dicha capacidad de corriente comprende:

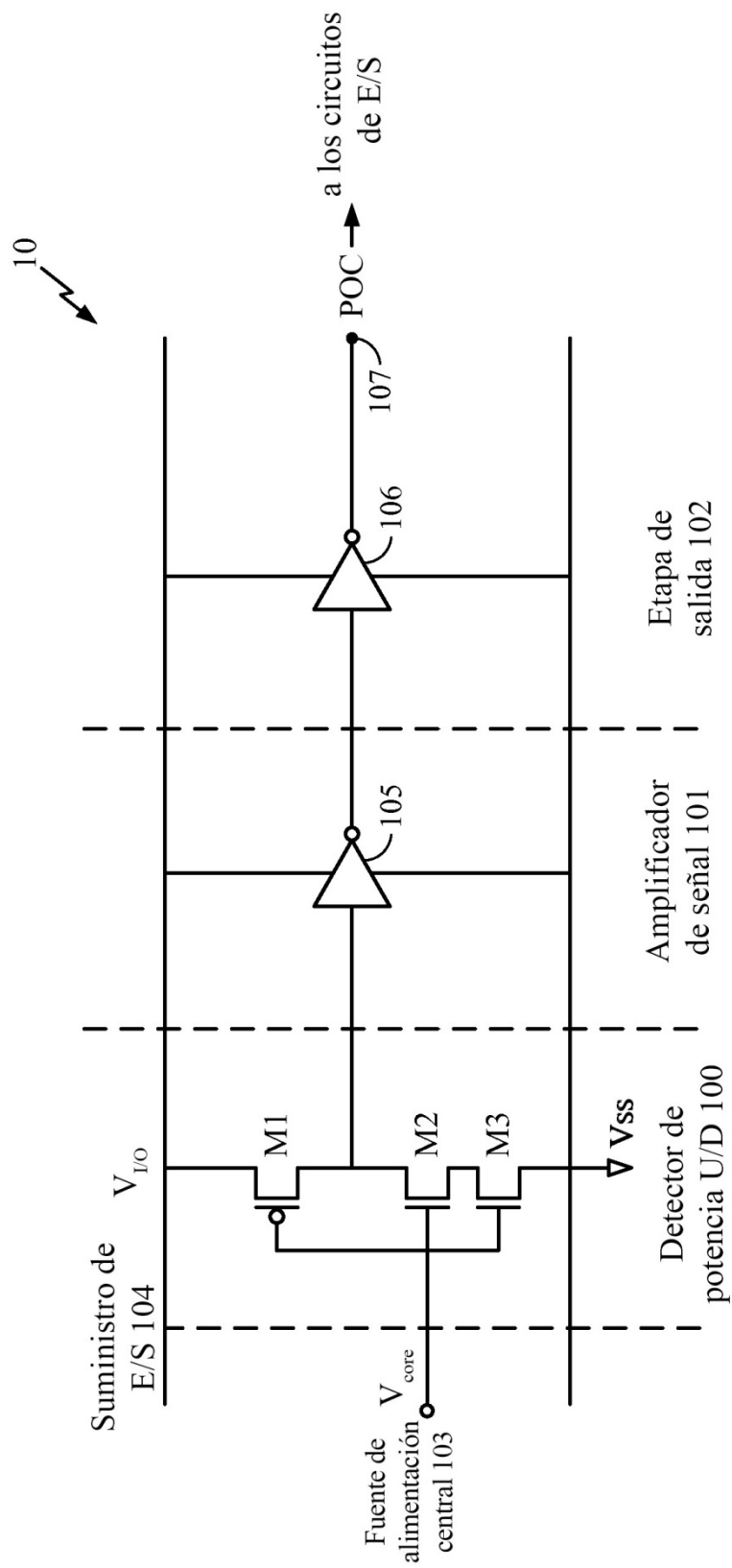
45 recibir una tercera señal de retroalimentación desde dicho procesador de señal en dichos uno o más primeros transistores de retroalimentación acoplados en paralelo con dichos uno o más primeros transistores; y

50 encender dichos uno o más primeros transistores de retroalimentación en respuesta a dicha tercera señal de retroalimentación.

7. El procedimiento según la reivindicación 5 o 6, en el que dicho aumento de dicha capacidad de corriente comprende:

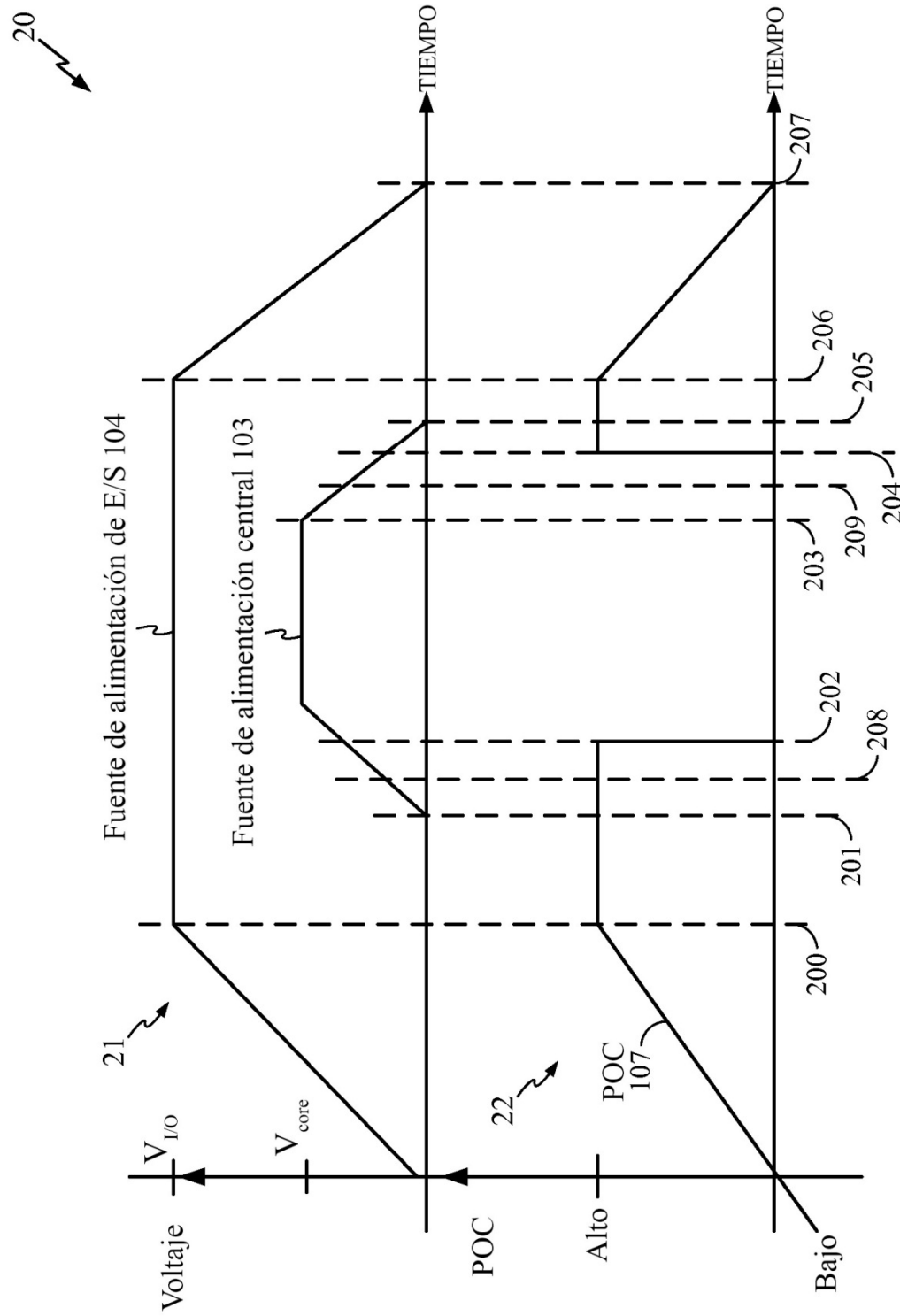
55 recibir una cuarta señal de retroalimentación desde dicho búfer de salida de dicha red POC en uno o más segundos transistores de retroalimentación acoplados en paralelo con dichos uno o más segundos transistores; y

60 encender dichos uno o más segundos transistores de retroalimentación en respuesta a dicha cuarta señal de retroalimentación.



(TÉCNICA ANTERIOR)

FIG. 1



(TÉCNICA ANTERIOR)

FIG. 2

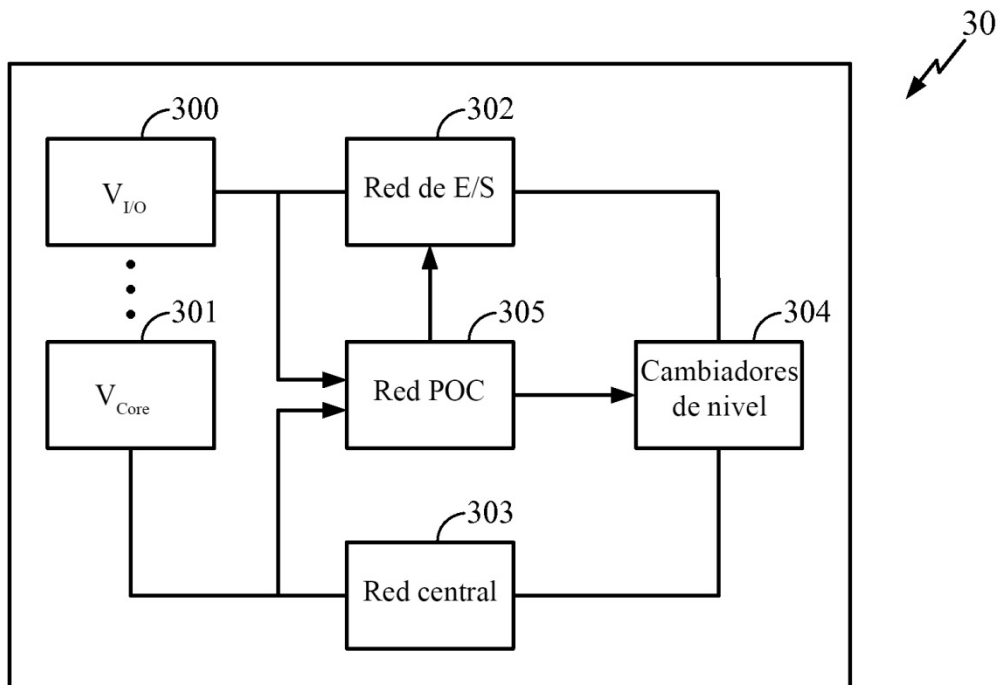


FIG. 3A

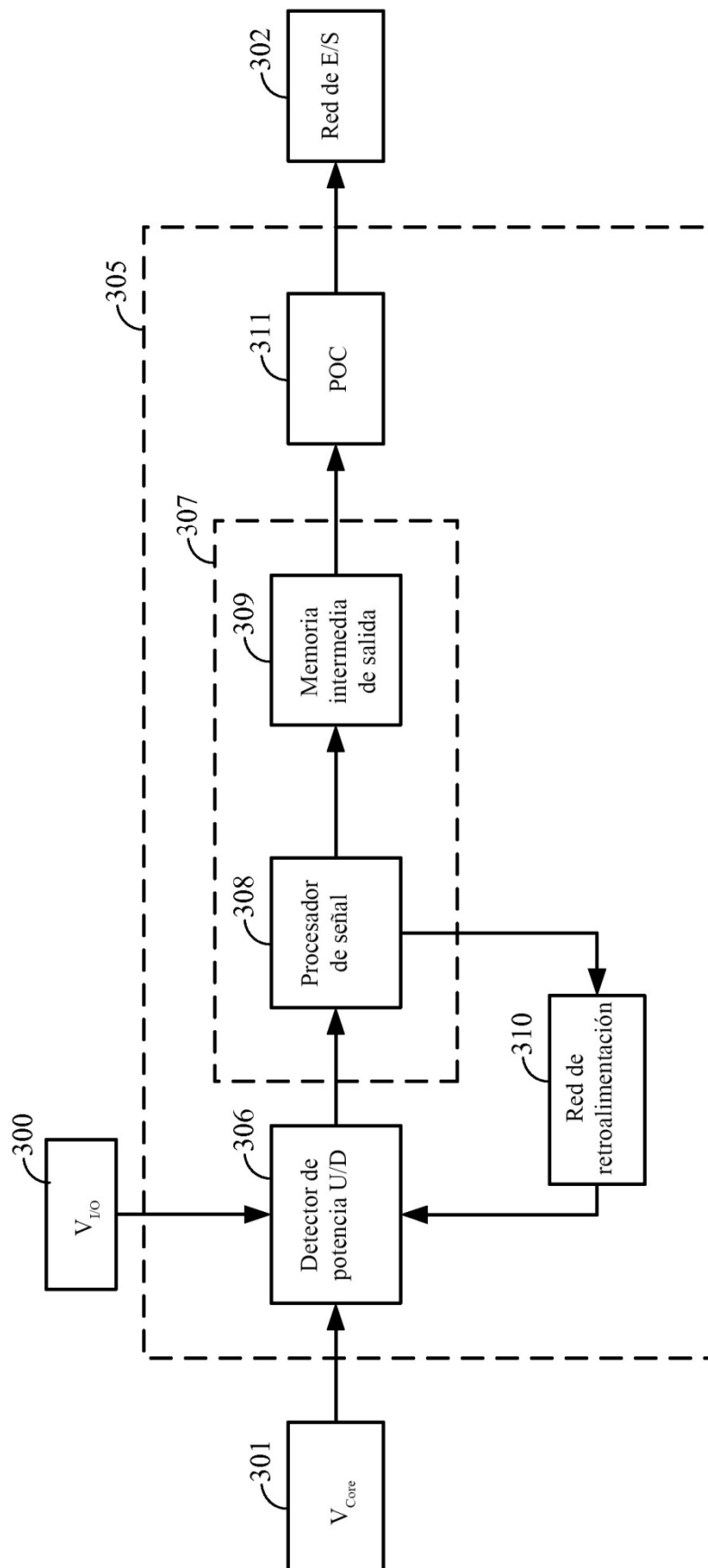


FIG. 3B

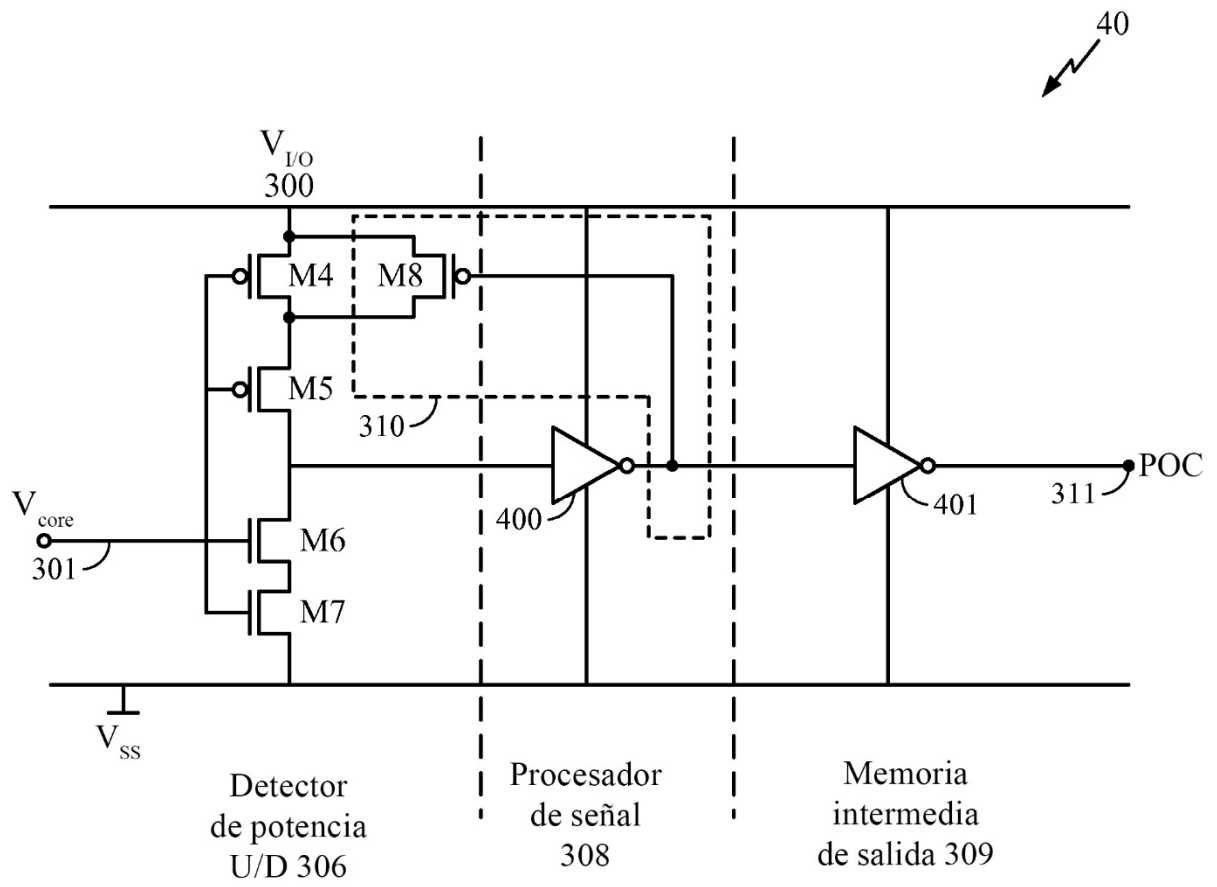


FIG. 4

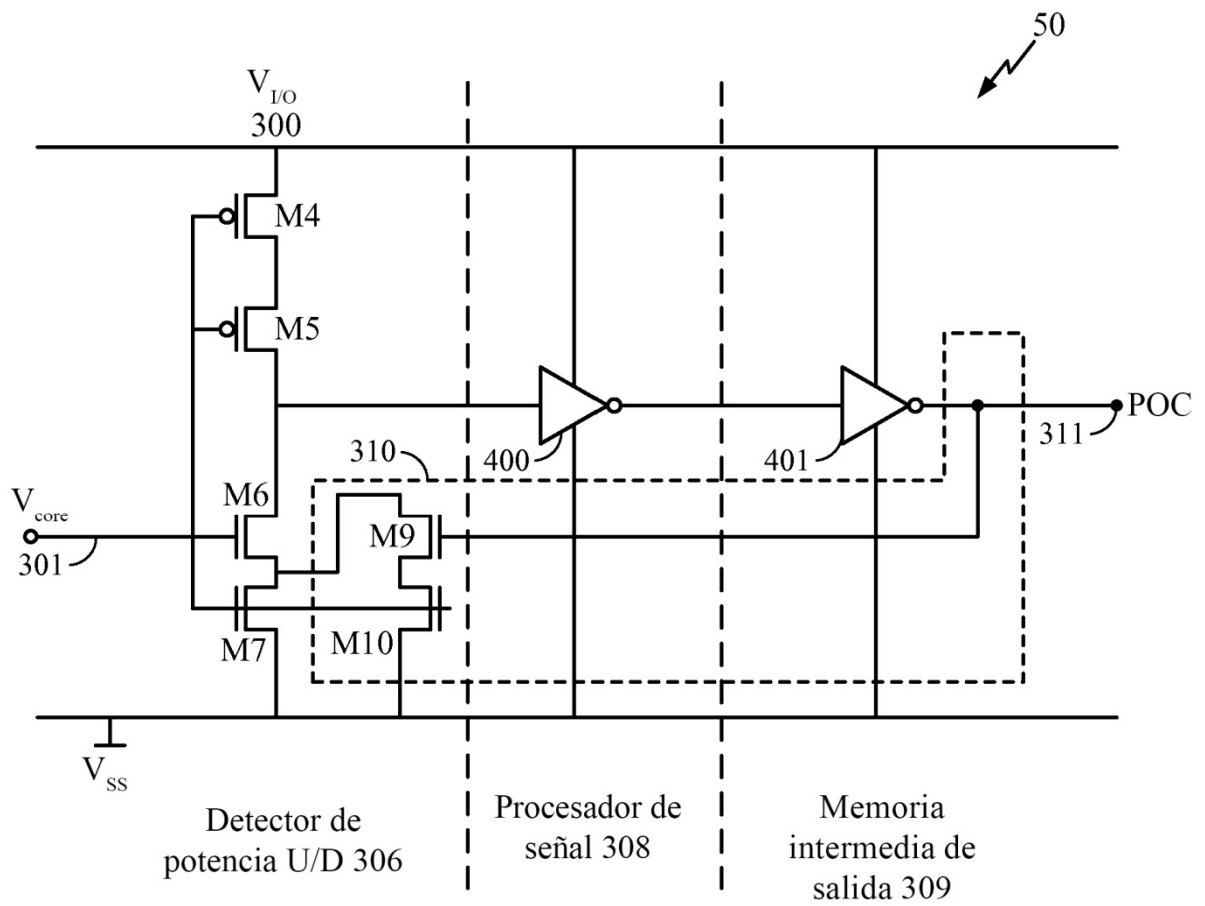


FIG. 5

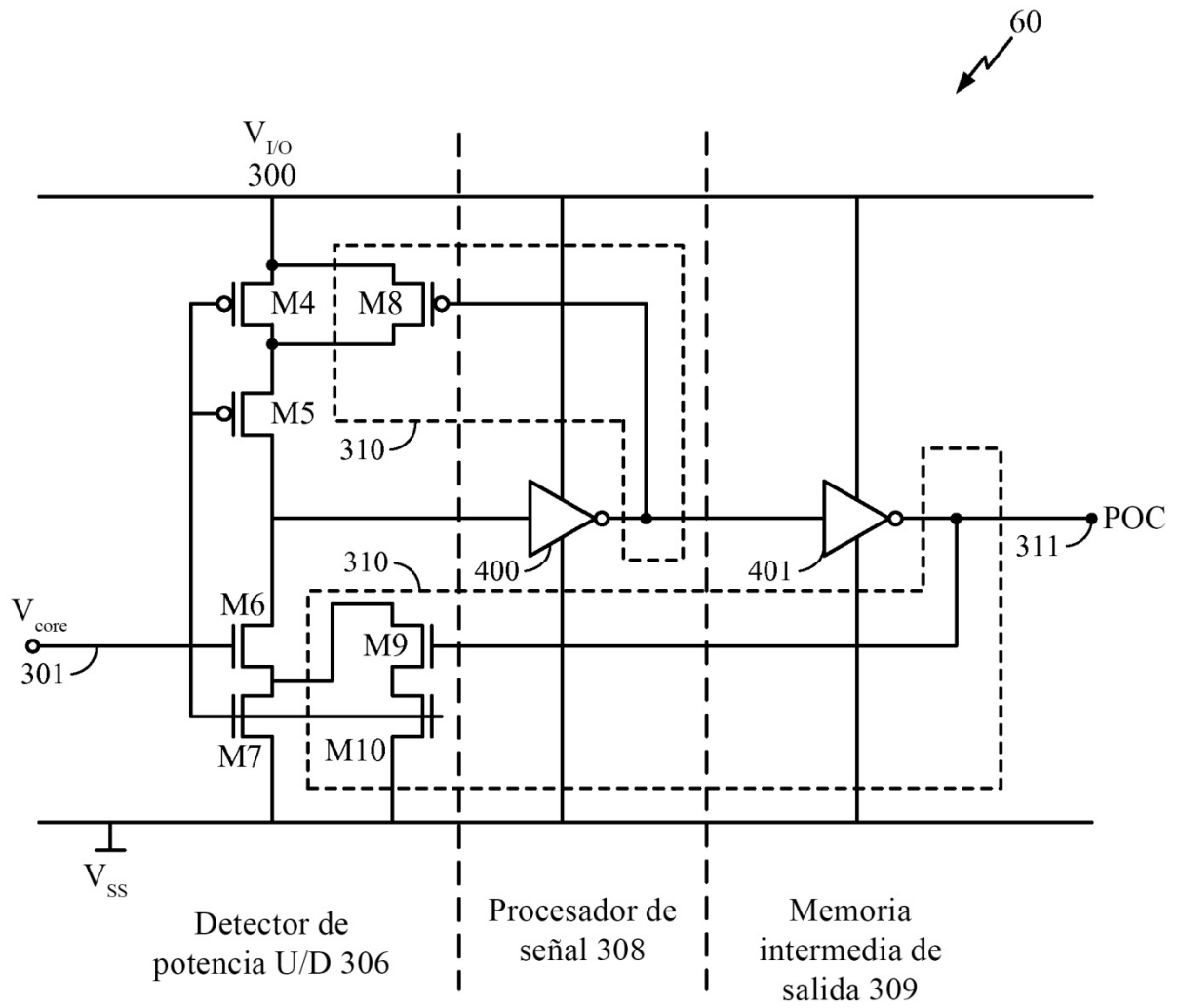


FIG. 6

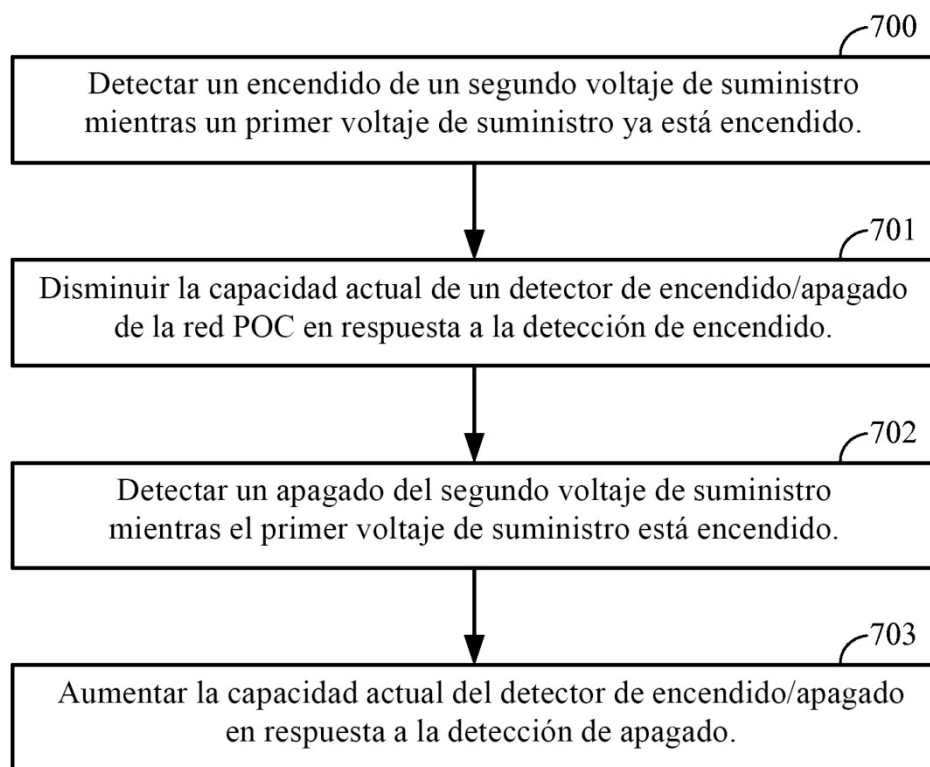


FIG. 7