

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 803 080**

51 Int. Cl.:

H03K 3/356 (2006.01)

H03K 17/00 (2006.01)

H03K 19/0185 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **06.10.2015** **PCT/US2015/054307**

87 Fecha y número de publicación internacional: **12.05.2016** **WO16073121**

96 Fecha de presentación y número de la solicitud europea: **06.10.2015** **E 15782208 (1)**

97 Fecha y número de publicación de la concesión europea: **29.04.2020** **EP 3216124**

54 Título: **Multiplexor de cambio de nivel de alta velocidad**

30 Prioridad:

06.11.2014 US 201414534967

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

22.01.2021

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

BOWLES, KEVIN ROBERT;
CORONA, JOSE GABRIEL y
BOYNAPALLI, VENUGOPAL

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 803 080 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Multiplexor de cambio de nivel de alta velocidad

5 ANTECEDENTES

Campo

10 [0001] Aspectos de la presente divulgación se refieren, en general, a cambiadores de nivel y multiplexores y, más en particular, a multiplexores de cambio de nivel.

Antecedentes

15 [0002] Un chip puede comprender diferentes dominios de potencia, donde cada dominio de potencia puede corresponder a una tensión de alimentación diferente. Por ejemplo, un primer dominio de potencia puede tener una tensión de alimentación más baja para reducir el consumo de energía de circuitos en el primer dominio de potencia, mientras que un segundo dominio de potencia puede tener una tensión de alimentación más alta para aumentar el rendimiento de los circuitos en el segundo dominio de potencia. Se pueden usar uno o más cambiadores de nivel para facilitar la comunicación entre circuitos en diferentes dominios de potencia. Por ejemplo, un cambiador de nivel puede permitir que una señal pase de un dominio de potencia a otro dominio de potencia cambiando la tensión de la señal.

25 [0003] Se hace referencia al documento US 5 487 048 A, que se refiere a un sistema de memoria que incluye una disposición de memoria que tiene al menos dos pares de líneas de datos, primera y segunda líneas de datos, que corresponden a columnas en la disposición de memoria. Se incluye una primera fase que tiene entradas conectadas a los dos pares de líneas de datos. La primera fase también tiene un par de líneas de salida, una línea de salida real y una línea de salida complementaria, donde las señales de salida generadas en las líneas de salida son controladas por un primer y un segundo conjunto de transistores. Cada transistor en el primer conjunto tiene una puerta conectada a una de las líneas de entrada, y cada transistor en el segundo conjunto está conectado en serie a uno de los transistores del primer conjunto y puede encenderse y apagarse de forma selectiva, donde uno de los dos pares de
30 líneas de datos puede seleccionarse encendiendo y apagando los transistores del segundo conjunto.

[0004] También se hace referencia al documento US 7 319 356 B1, que se refiere a un circuito controlado digitalmente que está dispuesto para proporcionar las funciones combinadas de cambio de nivel, multiplexación y funciones de control de retardo. El circuito es compacto y usa una potencia más baja y una susceptibilidad de ruido global más baja que otras soluciones. Se dispone una corriente de polarización programable para ajustar el retardo a través del circuito. La corriente de polarización puede ser proporcionada por una fuente de corriente controlada digitalmente, un DAC de corriente ponderada binaria u otros medios controlados digitalmente. Las funciones de multiplexación son proporcionadas por un circuito de fase de entrada que está limitado por la corriente de polarización programable. Una etapa de salida está dispuesta para convertir las señales de la fase de entrada a un nivel de tensión deseado.
40

[0005] El documento US 2014/021995 A1 se refiere a un biestable D que incluye un primer conmutador, un cambiador de nivel y un segundo conmutador en el mismo. El primer conmutador incluye una primera entrada y una primera salida. El cambiador de nivel incluye una segunda entrada acoplada a la primera entrada y una segunda salida. El segundo conmutador incluye una tercera entrada acoplada a la segunda salida, y una tercera salida. La primera entrada y la tercera salida forman una entrada y una salida del biestable D.
45

[0006] El documento US 5 789 966 A se refiere a un tiempo de propagación de señal a través de una matriz de puertas de transmisión, o un multiplexor, que se reduce significativamente y a un tiempo de transición de señal de salida que se reduce a la mitad detectando la no selección de una sección del multiplexor y activando un circuito de salida, preferentemente en forma de una puerta lógica, para responder a una señal que pasa a través de una sección seleccionada de la matriz de puertas de transmisión o multiplexor. Específicamente, al no seleccionarse una sección, una señal apropiada de valor lógico con una tensión de referencia se propaga en un nodo interno del multiplexor hasta la entrada del circuito de salida para preacondicionar o activar el circuito de salida. Dado que esta señal está fuertemente ligada a la tensión de referencia, la respuesta del circuito de salida mejora tanto en el tiempo de respuesta como en el tiempo de transición. Además, la capacidad de los nodos internos del multiplexor está aislada de las entradas al multiplexor, evitando compensaciones entre el rendimiento del circuito y la congestión del cableado.
50 55

[0007] Por último, se hace referencia al documento EP 1 276 239 A1 que se refiere a un aparato para un circuito multiplexor que incluye un circuito pasarela acoplado para recibir señales de entrada y señales de selección correspondientes que comprenden un subconjunto de las señales de entrada y señales de recepción recibidas por el multiplexor. El aparato también incluye un circuito predeterminado acoplado para recibir las señales seleccionadas y acoplado a un nodo de salida del circuito pasarela. Si no se valida ninguna de las señales de selección, el circuito predeterminado suministra una tensión predeterminada en el nodo de salida. Se pueden incluir otros circuitos pasarela y circuitos predeterminados acoplados a otros subconjuntos de señales de entrada y señales de selección, y se puede incluir un circuito de salida con entradas acopladas a los nodos de salida de los circuitos pasarela. La tensión
60 65

predeterminada puede representar un valor lógico que permite que el valor de otro circuito pasarela controle la salida del circuito de salida.

BREVE EXPLICACIÓN

[0008] De acuerdo con la presente invención, se proporciona un multiplexor de cambio de nivel, como se expone en la reivindicación 1, y un procedimiento de multiplexación con cambio de nivel, como se expone en la reivindicación 8. Otros modos de realización se reivindican en las reivindicaciones dependientes. Los modos de realización que no se hallan dentro del alcance de las reivindicaciones se deben interpretar como ejemplos útiles para entender la invención.

[0009] A continuación se ofrece una breve explicación de uno o más aspectos de la divulgación para proporcionar un entendimiento básico de dichos aspectos. Esta breve explicación no es una visión general exhaustiva de todos los aspectos contemplados, y no pretende ni identificar elementos clave o esenciales de todos los aspectos ni delimitar el alcance de algunos o de todos los aspectos. Su único propósito es presentar algunos conceptos de uno o más aspectos de esta divulgación de manera simplificada como preludio de la descripción más detallada que se presenta posteriormente.

[0010] De acuerdo con un primer aspecto, en el presente documento se describe un multiplexor de cambio de nivel. El multiplexor de cambio de nivel comprende un primer circuito de reducción de tensión (*pull-down*) acoplado a un primer nodo y que tiene una primera y una segunda entrada, donde el primer circuito de reducción de tensión está configurado para seleccionar una de las primera y segunda entradas en base a una o más señales de selección, para reducir la tensión del primer nodo si se selecciona la primera entrada y se lleva a un primer estado, y para reducir la tensión del primer nodo si se selecciona la segunda entrada y se lleva a un segundo estado. El multiplexor de cambio de nivel también comprende un segundo circuito de reducción de tensión acoplado a un segundo nodo y que tiene una tercera y una cuarta entrada, donde el segundo circuito de reducción de tensión está configurado para seleccionar una de las tercera y cuarta entradas en base a la una o más señales de selección, para reducir la tensión del segundo nodo si se selecciona la tercera entrada y se lleva a un tercer estado, y para reducir la tensión del cuarto nodo si se selecciona la cuarta entrada y se lleva a un cuarto estado. El multiplexor de cambio de nivel comprende además un circuito de elevación de tensión (*pull-up*) configurado para elevar la tensión del primer nodo si la tensión del segundo nodo es reducida por el segundo circuito de reducción de tensión, y para elevar la tensión del segundo nodo si la tensión del primer nodo es reducida por el primer circuito de reducción de tensión.

[0011] Un segundo aspecto se refiere a un procedimiento de multiplexación con cambio de nivel. El procedimiento comprende seleccionar una entrada de una pluralidad de entradas en base a una o más señales de selección, y reducir la tensión de uno del primer y segundo nodos en base al estado de la entrada seleccionada de la pluralidad de entradas. El procedimiento también comprende elevar la tensión del primer nodo si se reduce la tensión del segundo nodo, y elevar la tensión del segundo nodo si se reduce la tensión del primer nodo.

[0012] Un tercer aspecto se refiere a un aparato de multiplexación con cambio de nivel. El aparato comprende medios para seleccionar una de una pluralidad de entradas en base a una o más señales de selección, y medios para reducir la tensión de uno del primer y segundo nodos en base al estado de la entrada seleccionada de la pluralidad de entradas. El aparato también comprende medios para elevar la tensión del primer nodo si se reduce la tensión del segundo nodo, y medios para elevar la tensión del segundo nodo si se reduce la tensión del primer nodo.

[0013] Un cuarto aspecto se refiere a un multiplexor. El multiplexor comprende un primer multiplexor de cambio de nivel configurado para seleccionar una entrada de una primera pluralidad de entradas en base a una primera pluralidad de señales seleccionadas, para cambiar de nivel una señal en la entrada seleccionada de la primera pluralidad de entradas y para proporcionar la señal de nivel cambiado del primer multiplexor de cambio de nivel en una primera salida. El multiplexor también comprende un segundo multiplexor de cambio de nivel configurado para seleccionar una entrada de una segunda pluralidad de entradas en base a una segunda pluralidad de señales seleccionadas, para cambiar de nivel una señal en la entrada seleccionada de la segunda pluralidad de entradas y para proporcionar la señal de nivel cambiado del segundo multiplexor de cambio de nivel en una segunda salida. El multiplexor comprende además un circuito de combinación configurado para combinar la primera y segunda salidas, y un descodificador configurado para seleccionar una de la primera y segunda pluralidad de entradas en base a un puntero ya sea estableciendo una de la primera pluralidad de señales de selección en un primer estado e inhabilitando el segundo multiplexor de cambio de nivel o estableciendo una de la segunda pluralidad de señales de selección en un segundo estado e inhabilitando el primer multiplexor de cambio de nivel.

[0014] Para conseguir los objetivos anteriores y otros relacionados, los uno o más modos de realización comprenden las características descritas con detalle de aquí en adelante y expuestas, en particular, en las reivindicaciones. La descripción siguiente y los dibujos adjuntos exponen con detalle determinados aspectos ilustrativos de los uno o más modos de realización. Sin embargo, estos aspectos solo indican algunas de las diversas maneras en las que pueden emplearse los principios de diversos modos de realización, y los modos de realización descritos están concebidos para incluir todos dichos aspectos y sus equivalentes.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0015]

- 5 La FIG. 1 muestra un ejemplo de un circuito de interfaz que comprende un multiplexor, un cambiador de nivel para un puntero de lectura y un cambiador de nivel para la salida del multiplexor.
- La FIG. 2 muestra un ejemplo de un circuito de interfaz que comprende una pluralidad de cambiadores de nivel y un multiplexor.
- 10 La FIG. 3 muestra un multiplexor de cambio de nivel de acuerdo con un modo de realización de la presente divulgación.
- La FIG. 4A muestra una implementación ejemplar de un multiplexor de cambio de nivel de acuerdo con un ejemplo de la presente divulgación.
- 15 La FIG. 4B muestra una implementación ejemplar de un multiplexor de cambio de nivel de acuerdo con otro ejemplo de la presente divulgación.
- 20 La FIG. 5 muestra un ejemplo de un multiplexor que comprende dos multiplexores de cambio de nivel.
- La FIG. 6 muestra un ejemplo de un multiplexor que comprende cuatro multiplexores de cambio de nivel.
- La FIG. 7 muestra un ejemplo de un multiplexor que comprende cuatro multiplexores de cambio de nivel.
- 25 La FIG. 8 muestra un multiplexor de cambio de nivel que comprende un circuito estrangulador de multiplexación de acuerdo con un modo de realización de la presente divulgación.
- La FIG. 9 es un diagrama de flujo de un procedimiento de multiplexación con cambio de nivel de acuerdo con un modo de realización de la presente divulgación.
- 30

DESCRIPCIÓN DETALLADA

- 35 **[0016]** La descripción detallada expuesta a continuación, en relación con los dibujos adjuntos, pretende ser una descripción de diversas configuraciones y no pretende representar las únicas configuraciones en las cuales se pueden llevar a la práctica los conceptos descritos en el presente documento. La descripción detallada incluye detalles específicos con el propósito de proporcionar un pleno entendimiento de los diversos conceptos. Sin embargo, resultará evidente a los expertos en la técnica que estos conceptos se pueden llevar a la práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y componentes bien conocidos en forma de diagrama de bloques para evitar complicar dichos conceptos.
- 40 **[0017]** La FIG. 1 muestra un circuito de interfaz que puede usarse para interconectar una disposición de dispositivos de almacenamiento 110(1) a 110(4) (por ejemplo, dispositivos de almacenamiento de primero en entrar, primero en salir (FIFO)) en un primer dominio de potencia con un circuito de recepción (no mostrado) en un segundo dominio de potencia. Los dispositivos de almacenamiento también pueden denominarse memorias intermedias, registros o biestables. El circuito de interfaz comprende un multiplexor de lectura 120, un primer cambiador de nivel de tensión 130 y un segundo cambiador de nivel de tensión 140. La tensión de alimentación en el primer dominio de potencia es Vddin y la tensión de alimentación en el segundo dominio de potencia es Vddout. En este ejemplo, el multiplexor 120 está ubicado en el primer dominio de potencia.
- 45 **[0018]** En funcionamiento, el multiplexor 120 recibe un puntero de lectura desde el circuito receptor, y selecciona la salida 115(1) a 115(4) de uno de los dispositivos de almacenamiento 110(1) a 110(4) en función del puntero de lectura. La tensión del puntero de lectura cambia de nivel por el segundo cambiador de nivel 140 para permitir que el puntero de lectura cruce los límites del dominio de potencia desde el segundo dominio de potencia al primer dominio de potencia. El primer cambiador de nivel 130 cambia la tensión de la señal de salida de multiplexor para permitir que la señal de salida cruce los límites del dominio de potencia desde el primer dominio de potencia al segundo dominio de potencia.
- 50 **[0019]** Un inconveniente del circuito de interfaz en la FIG. 1 es que el circuito puede no ser apto para funcionar a altas velocidades de datos (por ejemplo, 2,5 gigahercios o más). Esto se debe a que los límites del dominio de potencia deben ser cruzados tanto por el puntero de lectura como por la señal de salida de multiplexor para leer los datos de un dispositivo de almacenamiento. Como resultado, se reduce la velocidad con la que se pueden leer los datos del dispositivo de almacenamiento. Los cruces de límite de dominio de potencia para una operación de lectura están representados por la trayectoria 145 en la FIG. 1.
- 55 **[0020]** La FIG. 2 muestra un circuito de interfaz de acuerdo con otro ejemplo. En este ejemplo, el circuito de interfaz
- 60
- 65

comprende una pluralidad de cambiadores de nivel 220(1) a 220(4) y un multiplexor de lectura 230 en el segundo dominio de potencia. Cada cambiador de nivel 220(1) a 220(4) está acoplado a la salida 115(1) a 115(4) de un dispositivo respectivo de los dispositivos de almacenamiento 110(1) a 110(4), y está configurado para cambiar de nivel la tensión de una señal de datos del dispositivo respectivo de los dispositivos de almacenamiento 110(1) a 110(4). Esto permite que la señal de datos de cada dispositivo de almacenamiento cruce los límites del dominio de potencia al multiplexor 230 en el segundo dominio de potencia. El circuito de interfaz en la FIG. 2 mitiga los problemas de temporización asociados al circuito de interfaz en la FIG. 1. Esto se debe a que el puntero de lectura no necesita cruzar los límites del dominio de potencia ya que el multiplexor 230 está ubicado en el segundo dominio de potencia. Sin embargo, el circuito de interfaz en la FIG. 2 incluye un cambiador de nivel individual para cada dispositivo de almacenamiento. Esto aumenta sustancialmente el área del circuito de interfaz, especialmente a medida que aumenta el número de dispositivos de almacenamiento.

[0021] La FIG. 3 muestra un circuito de interfaz que comprende un multiplexor de cambio de nivel 330 de acuerdo con un modo de realización de la presente divulgación. El multiplexor de cambio de nivel 330 recibe señales de datos desde los dispositivos de almacenamiento 110(1) a 110(4) en el primer dominio de potencia, y proporciona una señal seleccionada de las señales de datos en el segundo dominio de potencia en base al puntero de lectura. En este modo de realización, las funciones de multiplexación y de cambio de nivel están integradas en el multiplexor de cambio de nivel 330. Esto reduce el área del circuito de interfaz en comparación con el circuito de interfaz en la FIG. 2. Además, el multiplexor de cambio de nivel 330 recibe el puntero de lectura en el segundo dominio de potencia, mitigando así los problemas de temporización asociados al circuito de interfaz en la FIG. 1.

[0022] La FIG. 4A muestra un multiplexor de cambio de nivel 410 de acuerdo con un ejemplo de la presente divulgación. El multiplexor de cambio de nivel 410 tiene una primera entrada diferencial y una segunda entrada diferencial para recibir una primera señal diferencial y una segunda señal diferencial, respectivamente, en el primer dominio de potencia. Por ejemplo, el multiplexor de cambio de nivel 410 puede recibir la primera señal diferencial desde un primer dispositivo de los dispositivos de almacenamiento 115(1) y la segunda señal diferencial desde un segundo dispositivo de los dispositivos de almacenamiento 115(2). Por lo tanto, en el ejemplo, las salidas de los dispositivos de almacenamiento son diferenciales.

[0023] La primera entrada diferencial comprende una entrada A y una entrada $\bar{A}$ para recibir la primera señal diferencial, que comprende la señal A y su complemento $\bar{A}$ (lógica inversa) en el primer dominio de potencia. La segunda entrada diferencial comprende una entrada B y una entrada $\bar{B}$ para recibir la segunda señal diferencial, que comprende la señal B y su complemento $\bar{B}$ (lógica inversa) en el primer dominio de potencia. Cada una de las señales A, $\bar{A}$, B y $\bar{B}$ puede tener una oscilación de tensión de aproximadamente Vddin.

[0024] En funcionamiento, el multiplexor de cambio de nivel 410 selecciona la primera entrada diferencial (es decir, las entradas A y $\bar{A}$) o la segunda entrada diferencial (es decir, las entradas B y $\bar{B}$) en función de los estados lógicos de las señales de selección Sel A y Sel B recibidas en las entradas de selección Sel A y Sel B, respectivamente. Por ejemplo, el multiplexor de cambio de nivel 410 puede seleccionar la primera entrada diferencial (es decir, las entradas A y $\bar{A}$) si la señal de selección Sel A es un uno lógico y la señal de selección Sel B es un cero lógico, y seleccionar la segunda entrada diferencial (es decir, entradas B y $\bar{B}$) si la señal de selección Sel A es un cero lógico y la señal de selección Sel B es un uno lógico. El multiplexor de cambio de nivel 410 cambia el nivel de la señal diferencial en la entrada diferencial seleccionada y proporciona la señal diferencial de nivel cambiado en el segundo dominio de potencia con una oscilación de tensión de aproximadamente Vddout, como se analiza más adelante. Por lo tanto, la tensión de la señal diferencial en la entrada diferencial seleccionada cambia de nivel de Vddin a Vddout. Los estados lógicos de las señales de selección Sel A y Sel B pueden especificarse mediante el puntero de lectura mostrado en la FIG. 3 de acuerdo con el dispositivo de almacenamiento seleccionado. Las señales de selección Sel A y Sel B pueden estar en el segundo dominio de potencia.

[0025] El multiplexor de cambio de nivel 410 comprende un circuito de elevación de tensión 412, un primer circuito de reducción de tensión 420 y un segundo circuito de reducción de tensión 430. El circuito de elevación de tensión 412 comprende transistores de semiconductor de óxido metálico de tipo p (PMOS) con acoplamiento cruzado 415 y 417. Las fuentes de los transistores PMOS 415 y 417 están acopladas al raíl de alimentación Vddout del segundo dominio de potencia. La puerta de cada transistor PMOS 415 y 417 está acoplada al drenador del otro transistor PMOS 415 y 417. El drenador del transistor PMOS 415 está acoplado al nodo 460, y el drenador del transistor PMOS 417 está acoplado al nodo 465.

[0026] El primer circuito de reducción de tensión 420 comprende una primera rama 421 y una segunda rama 423. La primera rama 421 comprende un primer transistor de semiconductor de óxido metálico (NMOS) de tipo n de selección 422 y un primer transistor NMOS de excitación 426 acoplados en serie. La puerta del primer transistor NMOS de selección 422 está acoplada a la entrada de selección Sel A, y la puerta del primer transistor NMOS de excitación 426 está acoplada a la entrada A. El drenador del primer transistor NMOS de selección 422 está acoplado al nodo 460, la fuente del primer transistor NMOS de selección 422 está acoplado al drenador del primer transistor NMOS de excitación 426, y la fuente del primer transistor NMOS de excitación 426 está acoplada a tierra. La segunda rama 423 comprende un segundo transistor NMOS de selección 424 y un segundo NMOS de excitación 428 acoplados en serie. La puerta del segundo transistor NMOS de selección 424 está acoplada a la entrada de selección Sel B, y la puerta

del segundo transistor NMOS de excitación 428 está acoplada a la entrada B. El drenador del segundo transistor NMOS de selección 424 está acoplado al nodo 460, la fuente del segundo transistor NMOS de selección 424 está acoplado al drenador del segundo transistor NMOS de excitación 428, y la fuente del segundo transistor NMOS de excitación 428 está acoplada a tierra.

[0027] El segundo circuito de reducción de tensión 430 comprende una tercera rama 431 y una cuarta rama 433. La tercera rama 431 comprende un tercer transistor NMOS de selección 432 y un tercer transistor NMOS de excitación 436 acoplado en serie. La puerta del tercer transistor NMOS de selección 432 está acoplada a la entrada de selección Sel A, y la puerta del tercer transistor NMOS de excitación 436 está acoplada a la entrada $\bar{A}$. El drenador del tercer transistor NMOS de selección 432 está acoplado al nodo 465, la fuente del tercer transistor NMOS de selección 432 está acoplada al drenador del tercer transistor NMOS de excitación 436, y la fuente del tercer transistor NMOS de excitación 436 está acoplada a tierra. La cuarta rama 433 comprende un cuarto transistor NMOS de selección 434 y un cuarto NMOS de excitación 438 acoplados en serie. La puerta del cuarto transistor NMOS de selección 434 está acoplada a la entrada de selección Sel B, y la puerta del cuarto transistor NMOS de excitación 438 está acoplada a la entrada B. El drenador del cuarto transistor NMOS de selección 434 está acoplado al nodo 465, la fuente del cuarto transistor NMOS de selección 434 está acoplado al drenador del cuarto transistor NMOS de excitación 438, y la fuente del cuarto transistor NMOS de excitación 438 está acoplada a tierra.

[0028] El multiplexor de cambio de nivel 410 también comprende un primer inversor 450, un segundo inversor 455 y un transistor de bloqueo 440. El primer inversor 450 tiene una entrada acoplada al nodo 460 y una salida acoplada a una primera salida (denominada "OUT") del multiplexor de cambio de nivel 410. El segundo inversor 455 tiene una entrada acoplada al nodo 465 y una salida acoplada a una segunda salida (denominada " $\overline{OUT}$ ") del multiplexor de cambio de nivel 410. Tanto el primer como el segundo inversor 450 y 455 pueden ser alimentados por la tensión de alimentación Vddout del segundo dominio de potencia. El transistor de bloqueo 440 se puede usar para inhabilitar el multiplexor de cambio de nivel 410 conectando el nodo 465 a tierra, como analiza más adelante.

[0029] En funcionamiento, cuando la señal de selección Sel A es un uno lógico y la señal de selección Sel B es un cero lógico, los primer y tercer transistores NMOS de selección 422 y 432 se encienden y los segundo y cuarto transistores NMOS de selección 424 y 434 se apagan. Como resultado, los primer y tercer transistores NMOS de excitación 426 y 436 se acoplan a los nodos 460 y 465, respectivamente, y los segundo y cuarto transistores NMOS de excitación 428 y 438 se desacoplan de los nodos 460 y 465, respectivamente. En otras palabras, se seleccionan las entradas A y $\bar{A}$.

[0030] Si la señal A es un uno lógico, entonces el primer transistor NMOS de excitación 426 se enciende y el nodo 460 se conecta a tierra. Dado que la puerta del transistor PMOS 417 está acoplada al nodo 460, esto hace que el transistor PMOS 417 se encienda y que la tensión del nodo 465 se eleve hasta Vddout. Como resultado, el primer inversor 450 (que está acoplado al nodo 460) proporciona un uno lógico en la primera salida OUT del multiplexor de cambio de nivel 410, y el segundo inversor 455 (que está acoplado al nodo 465) proporciona un cero lógico en la segunda salida $\overline{OUT}$ del multiplexor de cambio de nivel 410.

[0031] Si la señal A es un cero lógico, entonces se enciende el tercer transistor NMOS de excitación 436 (que es excitado por la señal inversa $\bar{A}$), y el nodo 465 se conecta a tierra. Dado que la puerta del transistor PMOS 415 está acoplada al nodo 465, esto hace que el transistor PMOS 415 se encienda y que la tensión del nodo 460 se eleve hasta Vddout. Como resultado, el primer inversor 450 (que está acoplado al nodo 460) proporciona un cero lógico en la primera salida OUT del multiplexor de cambio de nivel 410, y el segundo inversor 455 (que está acoplado al nodo 465) proporciona un uno lógico en la segunda salida $\overline{OUT}$ del multiplexor de cambio de nivel 410.

[0032] Cuando la señal de selección Sel A es un cero lógico y la señal de selección Sel B es un uno lógico, los segundo y cuarto transistores NMOS de selección 424 y 434 se encienden y los primer y tercer transistores NMOS de selección 422 y 432 se apagan. Como resultado, los segundo y cuarto transistores NMOS de excitación 428 y 438 se acoplan a los nodos 460 y 465, respectivamente, y los primer y tercer transistores NMOS de excitación 426 y 436 se desacoplan de los nodos 460 y 465, respectivamente. En otras palabras, se seleccionan las entradas B y $\bar{B}$.

[0033] Si la señal B es un uno lógico, entonces el segundo transistor NMOS de excitación 428 se enciende y el nodo 460 se conecta a tierra. Dado que la puerta del transistor PMOS 417 está acoplada al nodo 460, esto hace que el transistor PMOS 417 se encienda y que la tensión del nodo 465 se eleve hasta Vddout. Como resultado, el primer inversor 450 (que está acoplado al nodo 460) proporciona un uno lógico en la primera salida OUT del multiplexor de cambio de nivel 410, y el segundo inversor 455 (que está acoplado al nodo 465) proporciona un cero lógico en la segunda salida $\overline{OUT}$ del multiplexor de cambio de nivel 410.

[0034] Si la señal B es un cero lógico, entonces se enciende el cuarto transistor NMOS de excitación 438 (que es excitado por la señal inversa $\bar{B}$), y el nodo 465 se conecta a tierra. Dado que la puerta del transistor PMOS 415 está acoplada al nodo 465, esto hace que el transistor PMOS 415 se encienda y que la tensión del nodo 460 se eleve hasta Vddout. Como resultado, el primer inversor 450 (que está acoplado al nodo 460) proporciona un cero lógico en la primera salida OUT del multiplexor de cambio de nivel 410, y el segundo inversor 455 (que está acoplado al nodo 465)

proporciona un uno lógico en la segunda salida $\overline{\text{OUT}}$ del multiplexor de cambio de nivel 410.

[0035] Por tanto, el multiplexor de cambio de nivel 410 selecciona la primera entrada diferencial (es decir, las entradas A y $\overline{A}$) si la señal de selección Sel A es un uno lógico y la señal de selección Sel B es un cero lógico, y selecciona la segunda entrada diferencial (es decir, entradas B y $\overline{B}$) si la señal de selección Sel A es un cero lógico y la señal de selección Sel B es un uno lógico. El multiplexor de cambio de nivel 410 cambia el nivel de la señal diferencial en la entrada diferencial seleccionada y proporciona la señal diferencial de nivel cambiado en el segundo dominio de potencia en las primera y segunda salidas OUT y $\overline{\text{OUT}}$.

[0036] El transistor de bloqueo 440 (por ejemplo, el transistor NMOS) se usa para inhabilitar selectivamente el multiplexor de cambio de nivel 410. Más particularmente, el transistor de bloqueo 440 inhabilita el multiplexor de cambio de nivel 410 cuando una señal de inhabilitación (denominada "Inhabilitar A/B") es un único lógico y habilita el multiplexor de cambio de nivel 410 cuando la señal de inhabilitación es un cero lógico. Cuando la señal de inhabilitación es un uno lógico, el transistor de bloqueo 440 se enciende y conecta el nodo 465 a tierra. Esto hace que el transistor PMOS 415 se encienda y que la tensión del nodo 460 sea Vddout. Como resultado, el primer inversor 450 proporciona un cero lógico en la primera salida OUT y el segundo inversor 455 proporciona un uno lógico en la segunda salida $\overline{\text{OUT}}$. El transistor de bloqueo 440 se puede usar para hacer que el multiplexor de cambio de nivel 410 pase a un estado conocido cuando el multiplexor de cambio de nivel 410 no está en uso (por ejemplo, en un modo de suspensión). Esto evita que los nodos 460 y 465 pasen a estados lógicos intermedios (por ejemplo, media Vddout) cuando el multiplexor de cambio de nivel 410 no está en uso. Cuando la señal de inhabilitación es un cero lógico, el transistor de bloqueo 440 se apaga y el multiplexor de cambio de nivel 410 funciona con normalidad, como se analiza anteriormente.

[0037] El multiplexor de cambio de nivel 410 reduce el área en comparación con el circuito mostrado en la FIG. 2, en el que se usa un cambiador de nivel individual para cada señal de entrada. Esto se debe a que el multiplexor de cambio de nivel 410 usa un circuito de elevación de tensión común 412 para las primera y segunda entradas diferenciales.

[0038] En el ejemplo mostrado en la FIG. 4A, el multiplexor de cambio de nivel 410 tiene dos entradas diferenciales. Debe apreciarse que el multiplexor de cambio de nivel 410 no está limitado a este ejemplo, y que el multiplexor de cambio de nivel 410 puede extenderse para multiplexar más de dos señales diferenciales. A este respecto, la FIG. 4B muestra un ejemplo en el que el multiplexor de cambio de nivel 470 recibe una tercera señal diferencial (es decir, la señal C y su complemento $\overline{C}$), además de las primera y segunda señales diferenciales analizadas anteriormente. En este ejemplo, el primer circuito de reducción de tensión 480 incluye una quinta rama 481 y el segundo circuito de reducción de tensión 490 incluye una sexta rama 491 para la tercera señal diferencial (es decir, señales C y $\overline{C}$).

[0039] La quinta rama 481 comprende un quinto transistor NMOS de selección 482 y un quinto transistor NMOS de excitación 486 acoplado en serie. La puerta del quinto transistor NMOS de selección 482 está acoplada a la entrada de selección Sel C, y la puerta del quinto transistor NMOS de excitación 486 está acoplada a la entrada C. El drenador del quinto transistor NMOS de selección 482 está acoplado al nodo 460, la fuente del quinto transistor NMOS de selección 482 está acoplado al drenador del quinto transistor NMOS de excitación 486, y la fuente del quinto transistor NMOS de excitación 486 está acoplada a tierra.

[0040] La sexta rama 491 comprende un sexto transistor NMOS de selección 492 y un sexto NMOS de excitación 496 acoplados en serie. La puerta del sexto transistor NMOS de selección 492 está acoplada a la entrada de selección Sel C, y la puerta del sexto transistor NMOS de excitación 496 está acoplada a la entrada $\overline{C}$. El drenador del sexto transistor NMOS de selección 492 está acoplado al nodo 465, la fuente del sexto transistor NMOS de selección 492 está acoplada al drenador del sexto transistor NMOS de excitación 496, y la fuente del sexto transistor NMOS de excitación 496 está acoplada a tierra.

[0041] En funcionamiento, una de las tres entradas diferenciales se selecciona estableciendo la señal de selección correspondiente en un uno lógico y estableciendo las otras dos señales de selección en un cero lógico. Por ejemplo, si se selecciona la tercera entrada diferencial (es decir, las entradas C y $\overline{C}$), entonces la señal de selección Sel C se establece en un uno lógico y las señales de selección Sel A y Sel B se establecen en un cero lógico. Esto hace que los quinto y sexto transistores NMOS de selección 482 y 492 se enciendan, y que los primer, segundo, tercero y cuarto transistores NMOS de selección 422, 424, 432 y 434 se apaguen. Como resultado, los quinto y sexto transistores NMOS de excitación 486 y 496 se acoplan a los nodos 460 y 465, respectivamente, y los otros transistores de excitación se desacoplan de los nodos 460 y 465. En otras palabras, se seleccionan las entradas C y $\overline{C}$.

[0042] Si la señal C es un uno lógico, entonces el quinto transistor NMOS 486 se enciende y el nodo 460 se conecta a tierra. Esto hace que el transistor PMOS 417 se encienda y que la tensión del nodo 465 se eleve hasta Vddout. Como resultado, el primer inversor 450 (que está acoplado al nodo 460) proporciona un uno lógico en la primera salida OUT, y el segundo inversor 455 (que está acoplado al nodo 465) proporciona un cero lógico en la segunda salida $\overline{\text{OUT}}$. Si la señal C es un cero lógico, entonces se enciende el sexto transistor NMOS de excitación 496 (que es excitado por la señal inversa $\overline{C}$), y el nodo 465 se conecta a tierra. Esto hace que el transistor PMOS 415 se encienda

y que la tensión del nodo 460 se eleve hasta Vddout. Como resultado, el primer inversor 450 (que está acoplado al nodo 460) proporciona un cero lógico en la primera salida OUT, y el segundo inversor 455 (que está acoplado al nodo 465) proporciona un uno lógico en la segunda salida $\overline{\text{OUT}}$.

[0043] El multiplexor de cambio de nivel 470 puede ampliarse para multiplexar señales adicionales añadiendo una rama para cada señal adicional en el primer circuito de reducción de tensión 480 y el segundo circuito de reducción de tensión 490. Sin embargo, añadir una rama adicional aumenta la carga capacitiva en cada nodo 460 y 465, lo que ralentiza el multiplexor 470.

[0044] Con referencia de nuevo a la FIG. 4A, el multiplexor de cambio de nivel 410 se puede combinar con otro u otros multiplexores de cambio de nivel que tengan la misma estructura o una estructura similar para formar un multiplexor de cambio de nivel más grande. A este respecto, la FIG. 5 muestra un ejemplo en el que el multiplexor de cambio de nivel 410 en la Fig. 4A se combina con un segundo multiplexor de cambio de nivel 510 para formar un multiplexor de cambio de nivel más grande 505. En este ejemplo, el segundo multiplexor 510 puede tener sustancialmente la misma estructura que el primer multiplexor 410, y puede configurarse para seleccionar una tercera entrada diferencial (es decir, entradas C y $\overline{\text{C}}$) o una cuarta entrada diferencial (es decir, entradas D y $\overline{\text{D}}$) en base a las señales de selección Sel C y Sel D. Más en particular, el segundo multiplexor 510 puede implementarse duplicando la estructura mostrada en la FIG. 4A, y reemplazando las entradas A, B, $\overline{\text{A}}$, $\overline{\text{B}}$, Sel A, Sel B e Inhabilitar A/B por las entradas C, D, $\overline{\text{C}}$, $\overline{\text{D}}$, Sel C, Sel D e Inhabilitar C/D, respectivamente.

[0045] En este ejemplo, la salida positiva 452 del primer multiplexor 410 está acoplada a una primera entrada de puerta OR 515, y la salida positiva 552 del segundo multiplexor 510 está acoplada a una segunda entrada de la puerta OR 515. En este ejemplo, no se usa la salida negativa $\overline{\text{OUT}}$ de cada multiplexor 410 y 510. La puerta OR 515 está en el segundo dominio de potencia y puede ser alimentada por la tensión de alimentación Vddout. La salida del multiplexor 505 (denotada "OUT") se toma en la salida de la puerta OR 515.

[0046] En este ejemplo, una de las cuatro entradas diferenciales del multiplexor 505 puede seleccionarse a la vez. La selección puede ser controlada por un decodificador de lectura 530 que recibe el puntero de lectura y controla los estados lógicos de las señales de selección Sel A, Sel B, Sel C y Sel D, y las señales de inhabilitación Inhabilitar A/D e Inhabilitar C/D para seleccionar la entrada diferencial especificada por el puntero de lectura. En este modo de realización, el puntero de lectura puede tener un valor de dos bits que especifica una de las cuatro entradas diferenciales. Para facilitar la ilustración, las conexiones individuales entre los multiplexores 410 y 510 y el decodificador de lectura 530 no se muestran en la FIG. 5.

[0047] Por ejemplo, si el puntero de lectura selecciona la primera entrada diferencial (es decir, las entradas A y $\overline{\text{A}}$), entonces el decodificador de lectura 530 puede establecer la señal de selección Sel A en un uno lógico, establecer la señal de selección Sel B en un cero lógico y establecer la señal de inhabilitación Inhabilitar C/D en un uno lógico. Esto hace que el primer multiplexor 410 seleccione la primera entrada diferencial (es decir, las entradas A y $\overline{\text{A}}$) e inhabilita el segundo multiplexor 510, haciendo que el segundo multiplexor 510 proporcione un cero lógico en la salida 552. Como resultado, el estado lógico en la salida de la puerta OR 515 depende del estado lógico en la salida positiva 452 del primer multiplexor 410 (es decir, el estado lógico de la señal A). En este ejemplo, la señal de inhabilitación Inhabilitar A/B se establece en un cero lógico.

[0048] En otro ejemplo, si el puntero de lectura selecciona la segunda entrada diferencial (es decir, las entradas B y $\overline{\text{B}}$), entonces el decodificador de lectura 530 puede establecer la señal de selección Sel B en un uno lógico, establecer la señal de selección Sel A en un cero lógico y establecer la señal de inhabilitación Inhabilitar C/D en un uno lógico. Esto hace que el primer multiplexor 410 seleccione la segunda entrada diferencial (es decir, las entradas B y $\overline{\text{B}}$) e inhabilita el segundo multiplexor 510, haciendo que el segundo multiplexor 510 proporcione un cero lógico en la salida 552. Como resultado, el estado lógico en la salida de la puerta OR 515 depende del estado lógico en la salida positiva 452 del primer multiplexor 410 (es decir, el estado lógico de la señal B). En este ejemplo, la señal de inhabilitación Inhabilitar A/B se establece en un cero lógico.

[0049] En otro ejemplo adicional, si el puntero de lectura selecciona la tercera entrada diferencial (es decir, las entradas C y $\overline{\text{C}}$), entonces el decodificador de lectura 530 puede establecer la señal de selección Sel C en un uno lógico, establecer la señal de selección Sel D en un cero lógico y establecer la señal de inhabilitación Inhabilitar A/B en un uno lógico. Esto hace que el segundo multiplexor 510 seleccione la tercera entrada diferencial (es decir, las entradas C y $\overline{\text{C}}$) e inhabilita el primer multiplexor 410, haciendo que el primer multiplexor 410 proporcione un cero lógico en la salida 452. Como resultado, el estado lógico en la salida de la puerta OR 515 depende del estado lógico en la salida positiva 552 del segundo multiplexor 510 (es decir, el estado lógico de la señal C). En este ejemplo, la señal de inhabilitación Inhabilitar C/D se establece en un cero lógico.

[0050] En otro ejemplo adicional, si el puntero de lectura selecciona la cuarta entrada diferencial (es decir, las entradas D y $\overline{\text{D}}$), entonces el decodificador de lectura 530 puede establecer la señal de selección Sel D en un uno lógico, establecer la señal de selección Sel C en un cero lógico y establecer la señal de inhabilitación Inhabilitar A/B en un uno lógico. Esto hace que el segundo multiplexor 510 seleccione la cuarta entrada diferencial (es decir, las

entradas D y $\bar{D}$) e inhabilita el primer multiplexor 410, haciendo que el primer multiplexor 410 proporcione un cero lógico en la salida 452. Como resultado, el estado lógico en la salida de la puerta OR 515 depende del estado lógico en la salida positiva 552 del segundo multiplexor 510 (es decir, el estado lógico de la señal D). En este ejemplo, la señal de inhabilitación Inhabilitar C/D se establece en un cero lógico.

[0051] En general, el descodificador de lectura 530 selecciona una de las cuatro entradas diferenciales estableciendo la señal de selección correspondiente en un uno lógico y estableciendo la otra señal de selección introducida en el mismo multiplexor 410 o 510 en un cero lógico. El descodificador de lectura 530 inhabilita el multiplexor 410 o 510 que no corresponde a la entrada diferencial seleccionada estableciendo la señal de inhabilitación correspondiente en un uno lógico. En otras palabras, el descodificador de lectura 530 inhabilita el multiplexor 410 o 510 que no tiene ninguna de sus entradas diferenciales seleccionadas.

[0052] Inhabilitar el multiplexor 410 o 510 que no corresponde a la entrada diferencial seleccionada hace que la salida positiva 452 o 552 del multiplexor sea un cero lógico. Como resultado, el estado lógico en la salida OUT de la puerta OR 515 depende del estado lógico en la salida positiva 452 o 552 del multiplexor 410 o 510 correspondiente a la entrada diferencial seleccionada. Por lo tanto, el transistor de bloqueo 440 en cada multiplexor 410 y 510 se usa para inhabilitar el multiplexor 410 o 510 que no corresponde a la entrada diferencial seleccionada.

[0053] Cuando se inhabilita todo el multiplexor 505 (por ejemplo, en modo de suspensión), entonces el descodificador de lectura 530 puede establecer ambas señales de inhabilitación Inhabilitar A/B e Inhabilitar C/D en un uno lógico. Esto hace que el multiplexor 505 proporcione un cero lógico en la salida OUT de la puerta OR 515. En este aspecto, el descodificador de lectura 530 puede recibir una señal de inhabilitación e inhabilitar el multiplexor 505 cuando la señal de inhabilitación es un uno lógico. Por lo tanto, el transistor de bloqueo 440 en cada uno de los multiplexores 410 y 510 puede realizar dos funciones: inhabilitar el multiplexor 410 o 510 respectivo cuando el multiplexor 410 o 510 respectivo no corresponde a la entrada diferencial seleccionada, e inhabilitar el multiplexor respectivo cuando todo el multiplexor 505 va a inhabilitarse (por ejemplo, en un modo de suspensión).

[0054] Los multiplexores de cambio de nivel 410 y 510 en la FIG. 5 pueden combinarse con uno o más multiplexores de cambio de nivel adicionales para formar un multiplexor aún más grande. A este respecto, la FIG. 6 muestra un ejemplo en el que el primer y segundo multiplexores de cambio de nivel 410 y 510 se combinan con los tercer y cuarto multiplexores de cambio de nivel 610 y 650 para formar un multiplexor de entrada diferencial 605. Cada uno de los tercero y cuarto multiplexores 610 y 650 pueden tener sustancialmente la misma estructura que el primer multiplexor 410 mostrado en la FIG. 4A.

[0055] El tercer multiplexor 610 puede configurarse para seleccionar una quinta entrada diferencial (es decir, entradas E y $\bar{E}$) o una sexta entrada diferencial (es decir, entradas F y $\bar{F}$) en base a las señales seleccionadas Sel E y Sel F. Más en particular, el tercer multiplexor 610 se puede implementar duplicando la estructura mostrada en la FIG. 4A y reemplazando las entradas A, B, $\bar{A}$, $\bar{B}$, Sel A, Sel B e Inhabilitar A/B por las entradas E, F, $\bar{E}$, $\bar{F}$, Sel E, Sel F e Inhabilitar E/F, respectivamente.

[0056] El cuarto multiplexor 650 puede configurarse para seleccionar una séptima entrada diferencial (es decir, entradas G y $\bar{G}$) o una octava entrada diferencial (es decir, entradas H y $\bar{H}$) en base a las señales seleccionadas Sel G y Sel H. Más en particular, el cuarto multiplexor 650 puede implementarse duplicando la estructura mostrada en la FIG. 4A y reemplazando las entradas A, B, $\bar{A}$, $\bar{B}$, Sel A, Sel B e Inhabilitar A/B por las entradas G, H, $\bar{G}$, $\bar{H}$, Sel G, Sel H e Inhabilitar G/H, respectivamente.

[0057] En este ejemplo, la salida positiva 612 del tercer multiplexor 610 está acoplada a una primera entrada de una segunda puerta OR 665, y la salida positiva 652 del cuarto multiplexor 650 está acoplada a una segunda entrada de la segunda puerta OR 665. La salida positiva 520 de la primera puerta OR 515 está acoplada a una primera entrada de una tercera puerta OR 680, y la salida 670 de la segunda puerta OR 665 está acoplada a una segunda entrada de la tercera puerta OR. La salida del multiplexor 605 se toma en la salida (denotada como "OUT") de la tercera puerta OR 680.

[0058] En este ejemplo, una de las ocho entradas diferenciales del multiplexor de cambio de nivel 605 puede seleccionarse a la vez. La selección puede ser controlada por el descodificador de lectura 630, que recibe el puntero de lectura y controla los estados lógicos de las señales de selección Sel A a Sel H, y las señales de inhabilitación Inhabilitar A/D a Inhabilitar G/H para seleccionar la entrada diferencial especificada por el puntero de lectura. En este ejemplo, el puntero de lectura puede tener un valor de tres bits que especifica una de las ocho entradas diferenciales. Para facilitar la ilustración, las conexiones individuales entre los multiplexores 410, 510, 610 y 650 y el descodificador de lectura 630 no se muestran en la FIG. 6.

[0059] En funcionamiento, el descodificador de lectura 630 selecciona una de las ocho entradas diferenciales estableciendo la señal de selección correspondiente en un uno lógico y estableciendo la otra señal de selección introducida en el mismo multiplexor 410, 510, 610 o 650 en un cero lógico. El descodificador de lectura 630 inhabilita los otros tres multiplexores que no corresponden a la entrada diferencial seleccionada estableciendo las señales de inhabilitación correspondientes en un uno lógico. Esto hace que los otros tres multiplexores proporcionen un cero

lógico, de modo que el estado lógico en la salida OUT de la tercera puerta OR 680 (y, por lo tanto, del multiplexor 605) depende del estado lógico en la salida del multiplexor 410, 510, 610 o 650 correspondiente a la entrada diferencial seleccionada.

[0060] Por ejemplo, si el puntero de lectura selecciona la octava entrada diferencial (es decir, las entradas H y $\bar{H}$), entonces el descodificador de lectura 630 puede establecer la señal de selección Sel H en un uno lógico, establecer la señal de selección Sel G en un cero lógico y las señales de inhabilitación Inhabilitar A/B, Inhabilitar C/D e Inhabilitar E/F en un uno lógico. En otro ejemplo, si el puntero de lectura selecciona la quinta entrada diferencial (es decir, las entradas E y $\bar{E}$), entonces el descodificador de lectura 630 puede establecer la señal de selección Sel E en un uno lógico, establecer la señal de selección Sel F en un cero lógico y establecer las señales de inhabilitación Inhabilitar A/B, Inhabilitar C/D e Inhabilitar G/H en uno lógico.

[0061] Cuando se inhabilita todo el multiplexor 605 (por ejemplo, en modo de suspensión), entonces el descodificador de lectura 530 puede establecer todas las señales de inhabilitación Inhabilitar A/B a Inhabilitar G/H en un uno lógico. Esto hace que el multiplexor 605 proporcione un cero lógico en la salida OUT de la tercera puerta OR 680. En este aspecto, el descodificador de lectura 630 puede recibir una señal de inhabilitación e inhabilitar el multiplexor 605 cuando la señal de inhabilitación es un uno lógico.

[0062] Por lo tanto, múltiples multiplexores de cambio de nivel se pueden combinar para obtener multiplexores más grandes aplicando la función OR a las salidas de los múltiples multiplexores de cambio de nivel. La FIG. 5 muestra un ejemplo en el que dos multiplexores de cambio de nivel 410 y 510 se combinan usando la puerta OR 515 para formar un multiplexor 505 capaz de multiplexar cuatro señales diferentes. La FIG. 6 muestra un ejemplo en el que cuatro multiplexores de cambio de nivel 410, 510, 610 y 650 se combinan usando las puertas OR 515, 665 y 680 para formar un multiplexor 605 capaz de multiplexar ocho señales diferenciales.

[0063] Debe apreciarse que las salidas de los múltiples multiplexores de cambio de nivel múltiple pueden conectarse aplicando la función OR usando diferentes tipos de puertas lógicas. A este respecto, la FIG. 7 muestra un ejemplo de un multiplexor 705 en el que la primera puerta OR 515 se reemplaza por una primera puerta NOR 715, la segunda puerta OR 665 se reemplaza por una segunda puerta NOR 765, y la tercera puerta OR 680 se reemplaza por una puerta NAND 780. La combinación de las puertas NOR 715 y 765 y la puerta NAND 780 puede ser equivalente, a nivel lógico, a la combinación de las puertas OR 515, 665 y 680 en la FIG. 6. En este ejemplo, las salidas positivas 452 y 552 del primer y segundo multiplexores 410 y 510 se introducen en la primera puerta NOR 715 y las salidas positivas 612 y 652 de los tercer y cuarto multiplexores 610 y 650 se introducen en la segunda puerta NOR 765. Las salidas 720 y 770 de las primera y segunda puertas NOR 715 y 765 se introducen en la puerta NAND 780, y la salida (denotada como "OUT") del multiplexor 705 se toma en la salida de la puerta NAND 780.

[0064] Con referencia de nuevo a la FIG. 4A, el multiplexor de cambio de nivel 410 puede estar limitado en la cantidad por la cual la tensión de alimentación Vddin del primer dominio de potencia puede diferir de la tensión de alimentación Vddout del segundo dominio de potencia. Esto puede explicarse mediante el siguiente ejemplo, en el que se selecciona la primera entrada diferencial (es decir, las entradas A y $\bar{A}$).

[0065] Cuando la señal A pasa de cero a uno, el primer transistor NMOS de excitación 426 se enciende e intenta conectar el nodo 460 a tierra. Sin embargo, el transistor PMOS 415 del circuito de elevación de tensión 412 todavía puede estar encendido y, por lo tanto, combatir (resistir) el intento del primer transistor NMOS de excitación 426 de hacer que el nodo 460 se conecte a tierra. A medida que aumenta la diferencia entre Vddout y Vddin, se hace cada vez más difícil que el primer transistor NMOS de excitación 426 (que es excitado mediante Vddin) reduzca la tensión del nodo 460. Por lo tanto, el multiplexor puede dejar de funcionar correctamente si la diferencia entre Vddin y Vddout se vuelve demasiado grande.

[0066] A este respecto, la FIG. 8 muestra un multiplexor de cambio de nivel 810 de acuerdo con un modo de realización de la presente descripción que puede funcionar con un intervalo más amplio de tensiones de alimentación. El multiplexor de cambio de nivel 810 comprende el multiplexor de cambio de nivel 410 de la FIG. 4A y un circuito estrangulador de multiplexación 815 acoplado a las fuentes de los transistores PMOS 415 y 417 del circuito de elevación de tensión 412. El circuito estrangulador de multiplexación 815 permite que la diferencia entre Vddin y Vddout sea mayor en comparación con solo el multiplexor 410, como se explica más adelante.

[0067] El circuito estrangulador de multiplexación 815 comprende un primer transistor PMOS de selección 818, un segundo transistor PMOS de selección 820, un primer circuito estrangulador 822 y un segundo circuito estrangulador 832. La puerta del primer transistor PMOS de selección 818 está acoplada para seleccionar la entrada A, y la puerta del segundo transistor PMOS de selección 820 está acoplada para seleccionar la entrada Sel B.

[0068] El primer circuito estrangulador 822 comprende un primer transistor PMOS de estrangulamiento 824 y un segundo transistor PMOS de estrangulamiento 826. El primer transistor PMOS de estrangulamiento 824 está acoplado entre el primer transistor PMOS de selección 818 y el transistor PMOS 415 del circuito de elevación de tensión 412. El segundo transistor PMOS 826 está acoplado entre el segundo transistor PMOS de selección 820 y el transistor PMOS 415 del circuito de elevación de tensión 412. La puerta del primer transistor PMOS de estrangulamiento 824

está acoplada a la entrada B, y la puerta del segundo transistor PMOS de estrangulamiento 826 está acoplada a la entrada A.

[0069] El segundo circuito estrangulador 832 comprende un tercer transistor PMOS de estrangulamiento 834 y un cuarto transistor PMOS de estrangulamiento 836. El tercer transistor PMOS de estrangulamiento 834 está acoplado entre el primer transistor PMOS de selección 818 y el transistor PMOS 417 del circuito de elevación de tensión 412, y el cuarto transistor PMOS de estrangulamiento 836 está acoplado entre el segundo transistor PMOS de selección 820 y el transistor PMOS 417 del circuito de elevación de tensión 412. La puerta del tercer transistor PMOS de estrangulamiento 834 está acoplada a la entrada $\bar{B}$, y la puerta del cuarto transistor PMOS de estrangulamiento 836 está acoplada a la entrada $\bar{A}$.

[0070] Como analiza anteriormente, el circuito estrangulador de multiplexación 815 permite que la diferencia entre Vddout y Vddin sea mayor en comparación con solamente el multiplexor de cambio de nivel 410. Esto puede explicarse mediante los siguientes ejemplos.

[0071] Cuando la señal de selección Sel A es un uno lógico y la señal de selección Sel B es un cero lógico, el primer transistor de selección 818 se apaga y el segundo transistor de selección 820 se enciende. Como resultado, los segundo y cuarto transistores PMOS de estrangulamiento 826 y 836 se acoplan al raíl de alimentación Vddout del segundo dominio de potencia, y los primer y segundo transistores PMOS de estrangulamiento 824 y 834 se desacoplan del raíl de alimentación Vddout del segundo dominio de potencia. En otras palabras, los transistores PMOS de estrangulamiento 826 y 836 correspondientes a la primera entrada diferencial (es decir, las entradas A y $\bar{A}$) se seleccionan cuando se selecciona la primera entrada diferencial.

[0072] En este ejemplo, cuando la señal A pasa de cero a uno, el primer circuito estrangulador 822 ayuda al primer transistor NMOS de excitación 426 a reducir la tensión del nodo 460 estrangulando la corriente de Vddout al transistor PMOS 415 del circuito de elevación de tensión 412. Esto se debe a que el uno lógico de la señal A apaga (o apaga parcialmente) el segundo transistor PMOS de estrangulamiento 826, reduciendo así (estrangulando) la corriente desde Vddout al transistor PMOS 415 a través del segundo transistor PMOS de estrangulamiento 826. Como resultado, la capacidad del transistor PMOS 415 de combatir (resistir) el intento del primer transistor de excitación 426 de reducir la tensión del nodo 460 disminuye. Esto permite que la diferencia entre Vddout y Vddin sea mayor en comparación con el multiplexor 410 de la FIG. 4A. La corriente no fluye desde el raíl de alimentación Vddout al transistor PMOS 415 a través del primer transistor PMOS de estrangulamiento 824 ya que el primer transistor PMOS de selección 818 está apagado.

[0073] En este ejemplo, cuando la señal A pasa de uno a cero, el cuarto circuito estrangulador 836 ayuda al tercer transistor NMOS de excitación 436 a reducir la tensión del nodo 465 estrangulando la corriente de Vddout al transistor PMOS 417 del circuito de elevación de tensión 412. Esto se debe a que la señal inversa $\bar{A}$ es un uno lógico y el uno lógico de la señal $\bar{A}$ apaga (o apaga parcialmente) el cuarto transistor PMOS de estrangulamiento 836, reduciendo así (estrangulando) la corriente de Vddout al transistor PMOS 417 a través del cuarto transistor PMOS de estrangulamiento 836. La corriente no fluye desde el raíl de alimentación Vddout al transistor PMOS 417 a través del tercer transistor PMOS de estrangulamiento 834 ya que el primer transistor PMOS de selección 818 está apagado.

[0074] Cuando la señal de selección Sel A es un cero lógico y la señal de selección Sel B es un uno lógico, el primer transistor de selección 818 se enciende y el segundo transistor de selección 820 se apaga. Como resultado, los primer y tercer transistores PMOS de estrangulamiento 824 y 834 se acoplan al raíl de alimentación Vddout del segundo dominio de potencia, y los segundo y cuarto transistores PMOS de estrangulamiento 826 y 836 se desacoplan del raíl de alimentación Vddout del segundo dominio de potencia. En otras palabras, los transistores PMOS de estrangulamiento 824 y 834 correspondientes a la segunda entrada diferencial (es decir, las entradas B y $\bar{B}$) se seleccionan cuando se selecciona la segunda entrada diferencial.

[0075] En este ejemplo, cuando la señal B pasa de cero a uno, el primer circuito estrangulador 822 ayuda al segundo transistor NMOS de excitación 428 a reducir la tensión del nodo 460 estrangulando la corriente de Vddout al transistor PMOS 415 del circuito de elevación de tensión 412. Esto se debe a que el uno lógico de la señal B apaga (o apaga parcialmente) el primer transistor PMOS de estrangulamiento 824, reduciendo así (estrangulando) la corriente desde Vddout al transistor PMOS 415 a través del primer transistor PMOS de estrangulamiento 824. La corriente no fluye desde el raíl de alimentación Vddout al transistor PMOS 415 a través del segundo transistor PMOS de estrangulamiento 826 ya que el segundo transistor PMOS de selección 820 está apagado.

[0076] En este ejemplo, cuando la señal B pasa de uno a cero, el tercer circuito estrangulador 834 ayuda al cuarto transistor NMOS de excitación 438 a reducir la tensión del nodo 465 estrangulando la corriente de Vddout al transistor PMOS 417 del circuito de elevación de tensión 412. Esto se debe a que la señal inversa B es un uno lógico y el uno lógico de la señal $\bar{B}$ apaga (o apaga parcialmente) el tercer transistor PMOS de estrangulamiento 834, reduciendo así (estrangulando) la corriente de Vddout al transistor PMOS 417 a través del tercer transistor PMOS de estrangulamiento 834. La corriente no fluye desde el raíl de alimentación Vddout al transistor PMOS 417 a través del cuarto transistor PMOS de estrangulamiento 836 ya que el segundo transistor PMOS de selección 820 está apagado.

[0077] Por tanto, el circuito estrangulador de multiplexación 815 permite que la diferencia entre Vddout y Vddin sea mayor en comparación con solamente el multiplexor de cambio de nivel 410. La diferencia entre Vddout y Vddin puede ser de 100 mV o más, 200 mV o más, o 300 mV o más.

[0078] El multiplexor de cambio de nivel 810 también puede comprender un segundo transistor de bloqueo 840 (por ejemplo, transistor PMOS), como se muestra en la FIG. 8. El segundo transistor de bloqueo 840 puede tener una fuente acoplada al r il de alimentaci n Vddout del segundo dominio de potencia, un drenador acoplado a la fuente del transistor PMOS 415 en el nodo 842, y una puerta excitada por la inversa de la se al de inhabilitaci n Inhabilitar A/B. La se al de inhabilitaci n inversa puede generarse, por ejemplo, usando un inversor alimentado mediante Vddout. En este modo de realizaci n, cuando la se al de inhabilitaci n Inhabilitar A/B es un uno l gico, el primer transistor de bloqueo 440 se enciende y hace que el nodo 465 se conecte a tierra, y el segundo transistor de bloqueo 840 se enciende y hace que la tensi n del nodo 842 (y, por lo tanto, la fuente del transistor PMOS 415) sea Vddout. El transistor PMOS 415 se enciende porque el nodo 465 se conecta a tierra mediante el primer transistor de bloqueo 440. Como resultado, el transistor PMOS 415 hace que la tensi n del nodo 460 sea aproximadamente Vddout en el nodo 842. El primer inversor 450 proporciona un cero l gico en la primera salida OUT, y el segundo inversor 455 proporciona un uno l gico en la segunda salida OUT. Cuando la se al de inhabilitaci n Inhabilitar A/B es un cero l gico, ambos transistores de bloqueo 440 y 840 se apagan, y el multiplexor 810 funciona con normalidad, como se analiza anteriormente.

[0079] La FIG. 9 es un diagrama de flujo que ilustra un procedimiento de multiplexaci n con cambio de nivel 900 de acuerdo con un modo de realizaci n de la presente divulgaci n. Se puede realizar el procedimiento 900 mediante el multiplexor de cambio de nivel 410, 470 u 810.

[0080] En la etapa 910, se selecciona una entrada de una pluralidad de entradas en base a una o m s se ales de selecci n. Por ejemplo, cada una de la pluralidad de entradas puede ser una entrada diferencial (por ejemplo, una primera entrada diferencial) que comprende un par de entradas complementarias (por ejemplo, entradas A y $\bar{A}$ para la primera entrada diferencial). En un ejemplo, la una o m s se ales de selecci n pueden comprender una se al de selecci n respectiva para cada una de la pluralidad de entradas (por ejemplo, se al de selecci n Sel A para la primera entrada diferencial). En este ejemplo, una de la pluralidad de entradas puede seleccionarse cuando la se al de selecci n respectiva es un uno l gico. Las se ales de selecci n para las entradas no seleccionadas pueden ser un cero l gico.

[0081] En la etapa 920 se reduce la tensi n de uno de los primer y segundo nodos en base al estado de la entrada seleccionada de la pluralidad de entradas. Por ejemplo, cada una de la pluralidad de entradas puede ser una entrada diferencial y la entrada seleccionada de la pluralidad de entradas puede ser excitada por una se al diferencial respectiva que comprende se ales complementarias (por ejemplo, se ales A y $\bar{A}$). En este ejemplo, la tensi n del primer nodo puede reducirse si la se al diferencial est  en un estado (por ejemplo, la se al A es un uno l gico y la se al $\bar{A}$ es un cero l gico) y la tensi n del segundo nodo puede reducirse si la se al diferencial est  en otro estado (por ejemplo, la se al A es un cero l gico y la se al $\bar{A}$ es un uno l gico).

[0082] En la etapa 930, la tensi n del primer nodo se eleva si la tensi n del segundo nodo se reduce. Por ejemplo, la tensi n del primer nodo (por ejemplo, el nodo 460) puede elevarse por un transistor PMOS (por ejemplo, el transistor PMOS 415) que tiene una puerta acoplada al segundo nodo (por ejemplo, el nodo 465).

[0083] En la etapa 940, la tensi n del segundo nodo se eleva si la tensi n del primer nodo se reduce. Por ejemplo, la tensi n del segundo nodo (por ejemplo, el nodo 465) puede elevarse por un transistor PMOS (por ejemplo, el transistor PMOS 417) que tiene una puerta acoplada al primer nodo (por ejemplo, el nodo 460).

[0084] Aunque los modos de realizaci n de la presente divulgaci n se han analizado usando el ejemplo de se ales de entrada diferenciales, debe apreciarse que la presente divulgaci n no se limita a se ales diferenciales. Por ejemplo, se ales terminadas en se al pueden introducirse en el multiplexor 410 de la FIG. 4A. En este ejemplo, los inversores pueden generar complementos de las se ales terminadas en se al en el primer dominio de potencia, y las se ales de complemento resultantes pueden introducirse en el multiplexor 410. Adem s, debe apreciarse que cada uno de los multiplexores 410, 510, 610 y 650 de las Figs. 5-7 tambi n puede incluir un circuito estrangulador de multiplexaci n para ampliar el intervalo de tensiones de alimentaci n con las que pueden funcionar los multiplexores.

[0085] El descodificador de lectura 530 o 630 puede implementarse con un procesador de prop sito general, un procesador de se ales digitales (DSP), un circuito integrado espec fico de la aplicaci n (ASIC), una matriz de puertas programables *in situ* (FPGA) u otro dispositivo de l gica programable, l gica de transistor o de puertas discretas, componentes de hardware discretos o cualquier combinaci n de los mismos dise ada para realizar las funciones descritas en el presente documento. Un procesador de prop sito general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o m quina de estados convencional. Un procesador tambi n se puede implementar como una combinaci n de dispositivos inform ticos, por ejemplo, una combinaci n de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o m s microprocesadores junto con un n cleo de DSP o cualquier otra configuraci n de este tipo.

- 5 **[0086]** La descripción previa de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones de la divulgación resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento se pueden aplicar a otras variantes sin apartarse del alcance de la divulgación. Por tanto, la divulgación no está limitada a los ejemplos descritos en el presente documento, sino que se le debe conceder el alcance más amplio conforme a los principios y características novedosas divulgados en el presente documento.

REIVINDICACIONES

1. Un multiplexor de cambio de nivel (810), que comprende:

un primer circuito de reducción de tensión (420) acoplado a un primer nodo y que tiene una primera y una segunda entrada, donde el primer circuito de reducción de tensión (420) está configurado para seleccionar una de las primera y segunda entradas en base a una o más señales de selección, para reducir la tensión del primer nodo si se selecciona la primera entrada y se lleva a un primer estado, y para reducir la tensión del primer nodo si se selecciona la segunda entrada y se lleva a un segundo estado;

un segundo circuito de reducción de tensión (430) acoplado a un segundo nodo y que tiene una tercera y una cuarta entrada, donde el segundo circuito de reducción de tensión (430) está configurado para seleccionar una de las tercera y cuarta entradas en base a la una o más señales de selección, para reducir la tensión del segundo nodo si se selecciona la tercera entrada y se lleva a un tercer estado, y para reducir la tensión del segundo nodo si se selecciona la cuarta entrada y se lleva a un cuarto estado;

un circuito de elevación de tensión (412) configurado para elevar la tensión del primer nodo si se reduce la tensión del segundo nodo mediante el segundo circuito de reducción de tensión (430), y para elevar la tensión del segundo nodo si se reduce la tensión del primer nodo mediante el primer circuito de reducción de tensión (420), donde el circuito de elevación de tensión comprende:

un primer transistor (415) configurado para elevar la tensión del primer nodo si se reduce la tensión del segundo nodo mediante el segundo circuito de reducción de tensión (430), donde el primer transistor (415) tiene una puerta acoplada al segundo nodo;

y un segundo transistor (417) configurado para elevar la tensión del segundo nodo si se reduce la tensión del primer nodo mediante el primer circuito de reducción de tensión (420), donde el segundo transistor (417) tiene una puerta acoplada al primer nodo; y

un circuito estrangulador (815) configurado para reducir la corriente desde un raíl de alimentación al primer transistor (415) si se selecciona la primera entrada y se excita al primer estado.

2. El multiplexor de cambio de nivel (810) de la reivindicación 1, en el que cada uno del primer, segundo, tercer y cuarto estado es un estado de un uno lógico.

3. El multiplexor de cambio de nivel (810) de la reivindicación 2, en el que las primera y tercera entradas son excitadas por un primer par de señales complementarias, y las segunda y cuarta entradas son excitadas por un segundo par de señales complementarias.

4. El multiplexor de cambio de nivel (810) de la reivindicación 1, en el que los primer y segundo transistores (415, 417) comprenden transistores de semiconductor de óxido metálico de tipo p, PMOS, con acoplamiento cruzado.

5. El multiplexor de cambio de nivel (810) de la reivindicación 1, en el que el circuito estrangulador (815) está configurado para reducir la corriente desde el raíl de alimentación al primer transistor (415) si se selecciona la segunda entrada y se excita al segundo estado.

6. El multiplexor de cambio de nivel (810) de la reivindicación 1, en el que el circuito estrangulador (815) está configurado para reducir la corriente desde el raíl de alimentación al segundo transistor (415) si se selecciona la tercera entrada y se excita al tercer estado.

7. El multiplexor de cambio de nivel (810) de la reivindicación 1, que comprende además un transistor de bloqueo (840) acoplado entre el segundo nodo y una puesta a tierra, donde el transistor de bloqueo (840) está configurado para encenderse si una señal de inhabilitación está en un estado de un uno lógico.

8. Un procedimiento (900) de multiplexación con cambio de nivel, que comprende:

seleccionar (910) una entrada de una pluralidad de entradas en base a una o más señales de selección;

reducir la tensión (920) de uno de los primer y segundo nodos en base al estado de la entrada seleccionada de la pluralidad de entradas;

elevar la tensión (930) del primer nodo si se reduce la tensión del segundo nodo;

elevar la tensión (940) del segundo nodo si se reduce la tensión del primer nodo;

en el que elevar la tensión del primer nodo si se reduce la tensión del segundo nodo comprende elevar la

tensión del primer nodo usando un primer transistor acoplado entre un raíl de alimentación y el primer nodo, y elevar la tensión del segundo nodo si se reduce la tensión del primer nodo comprende elevar la tensión del segundo nodo usando un segundo transistor acoplado entre el raíl de alimentación y el segundo nodo; y

5 estrangular la corriente desde el raíl de alimentación al primer transistor si se reduce la tensión del primer nodo.

9. El procedimiento de la reivindicación 8, en el que cada una de la pluralidad de entradas comprende una entrada diferencial.

10 10. El procedimiento (900) de la reivindicación 8, en el que elevar la tensión del primer nodo si se reduce la tensión del segundo nodo comprende elevar la tensión del primer nodo hasta una primera tensión, donde la entrada seleccionada de la pluralidad de entradas es excitada por una señal diferencial que tiene una oscilación de tensión aproximadamente igual a una segunda tensión y la primera tensión es mayor que la segunda tensión.

15 11. El procedimiento (900) de la reivindicación 8, que comprende además estrangular la corriente desde el raíl de alimentación al segundo transistor si se reduce la tensión del segundo nodo.

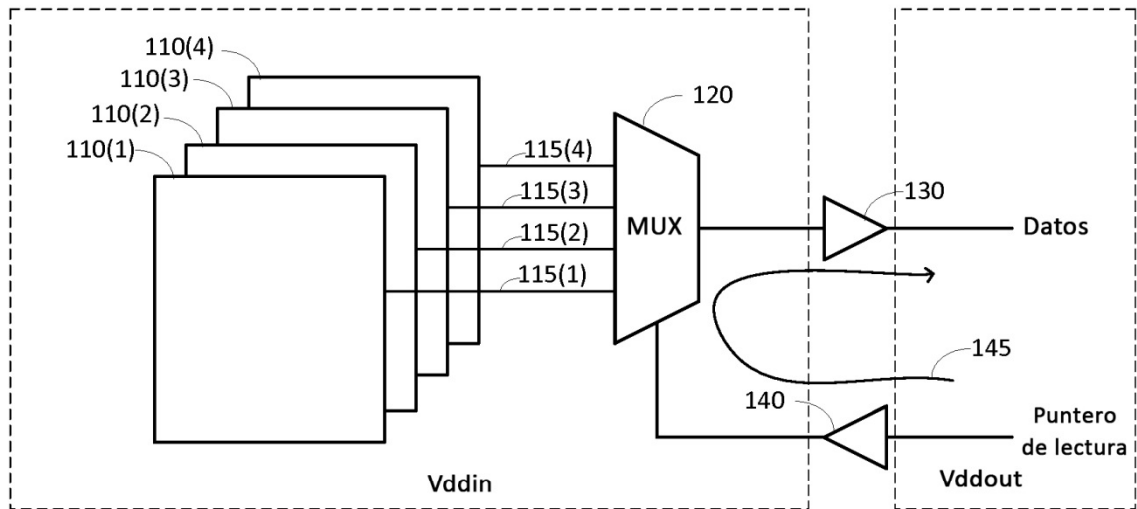


FIG. 1

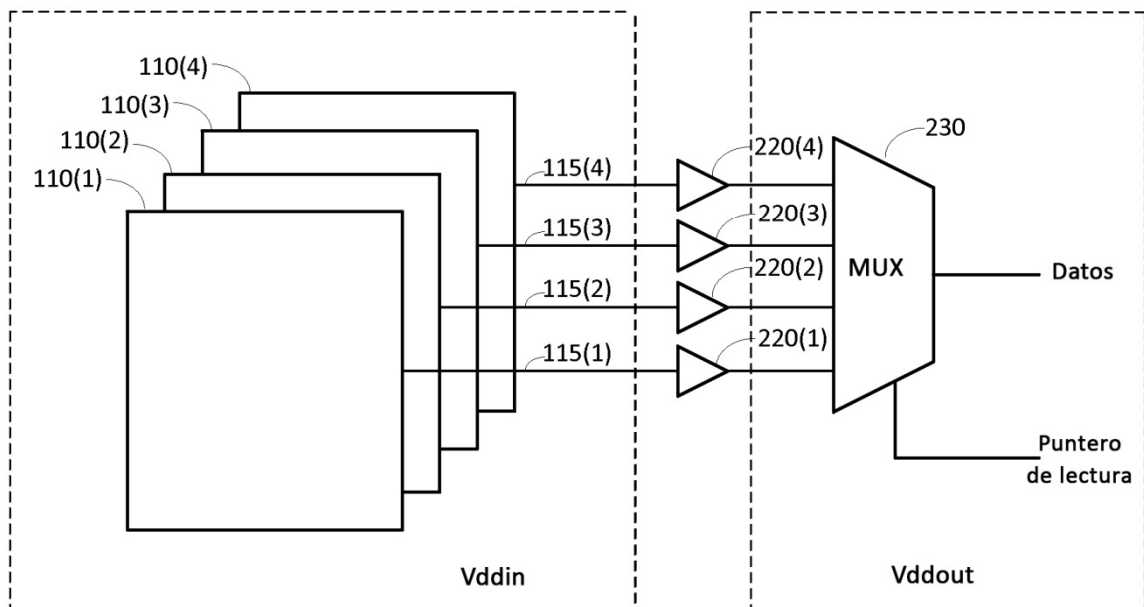


FIG. 2

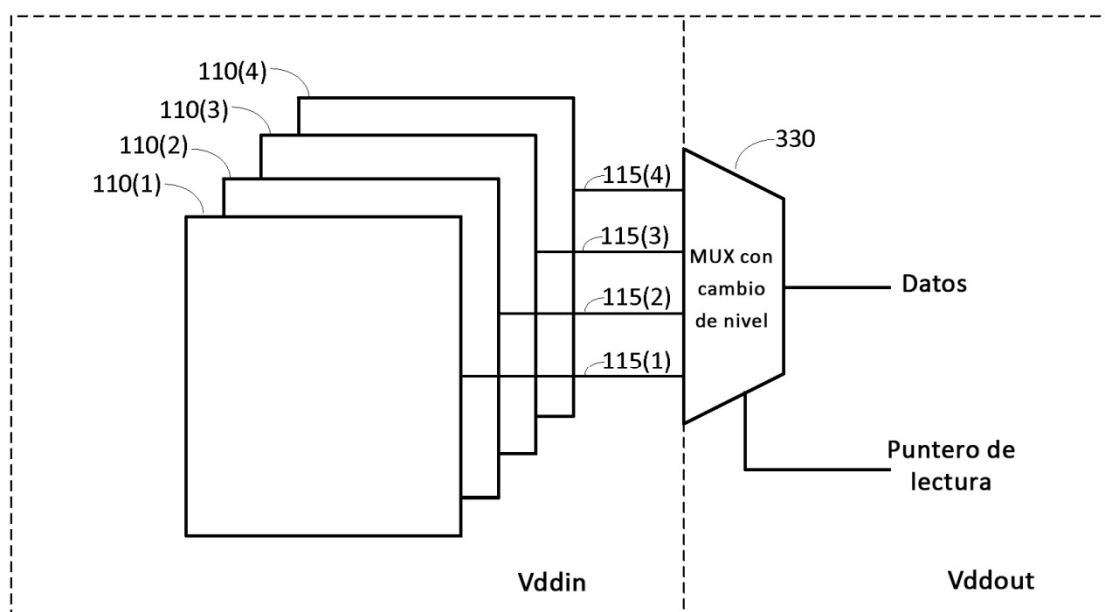


FIG. 3

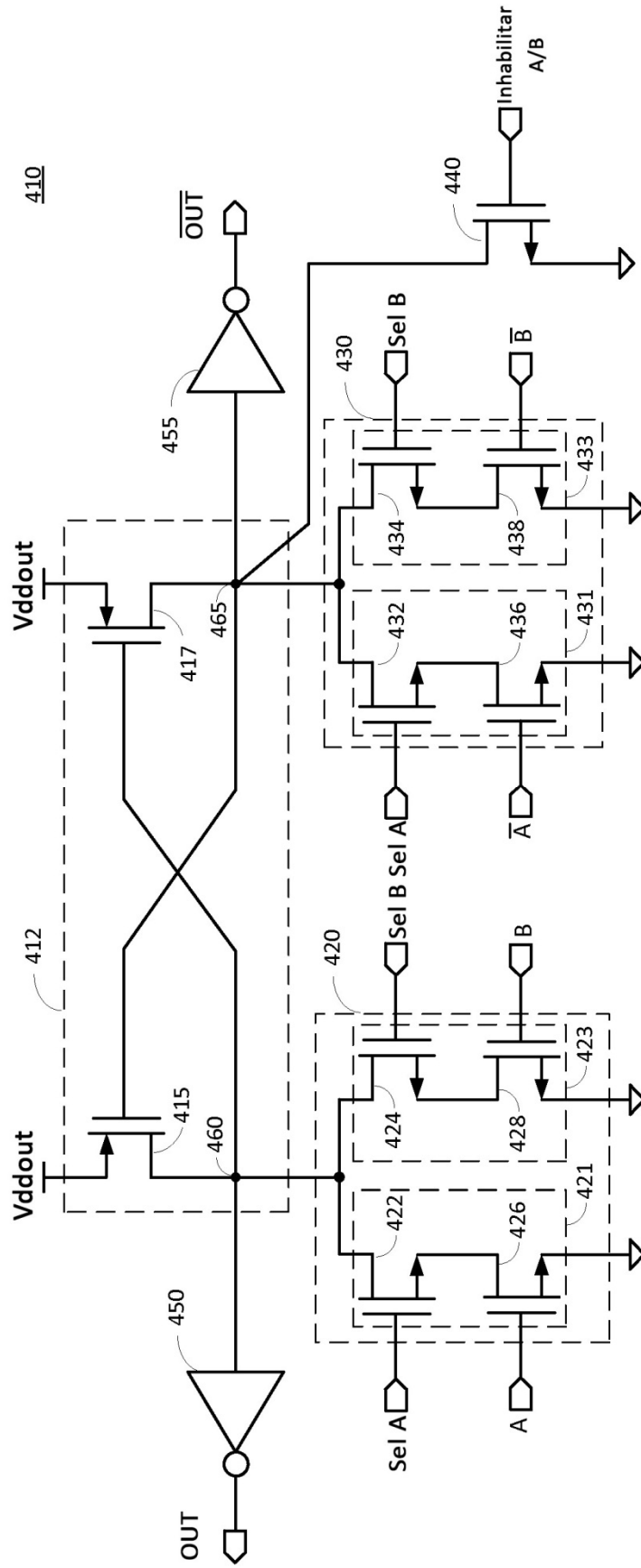


FIG. 4A

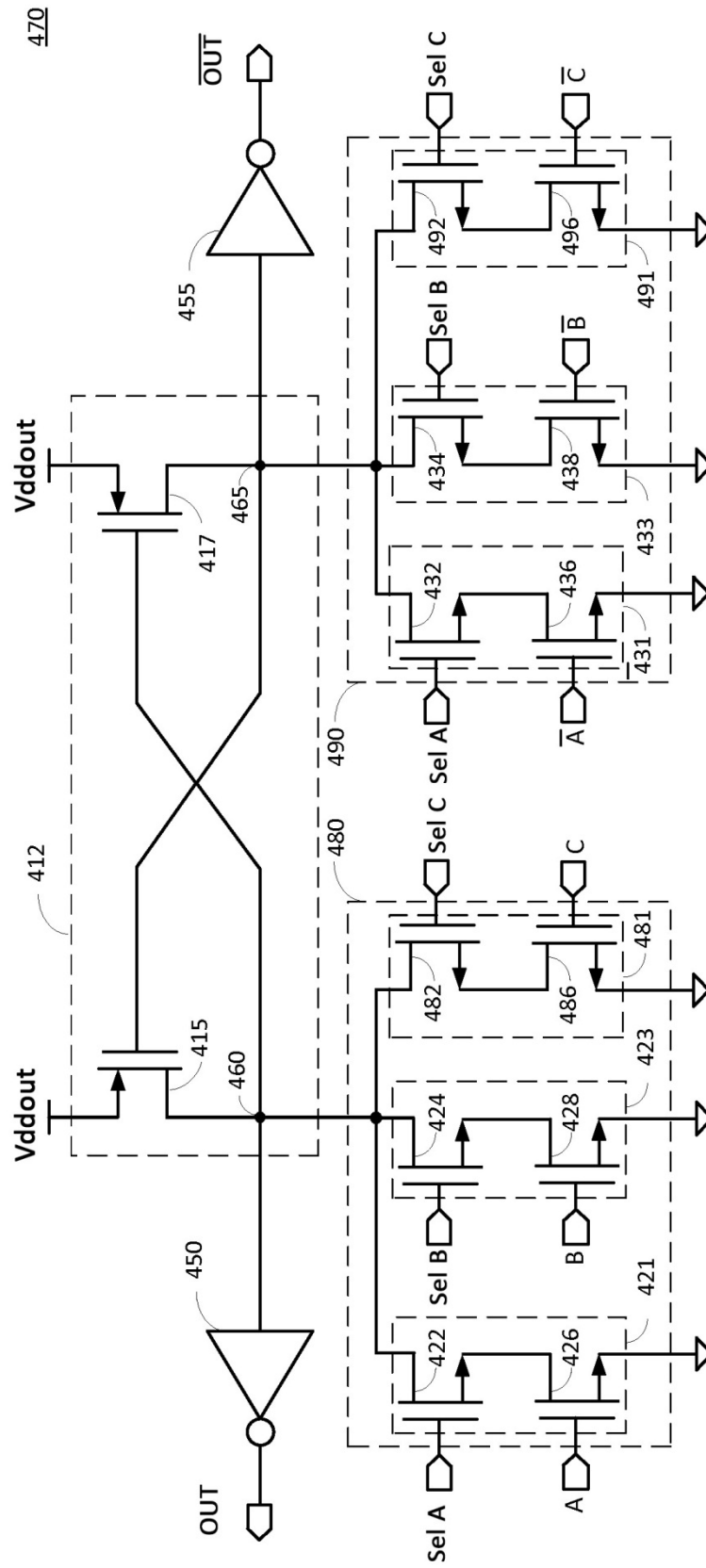


FIG. 4B

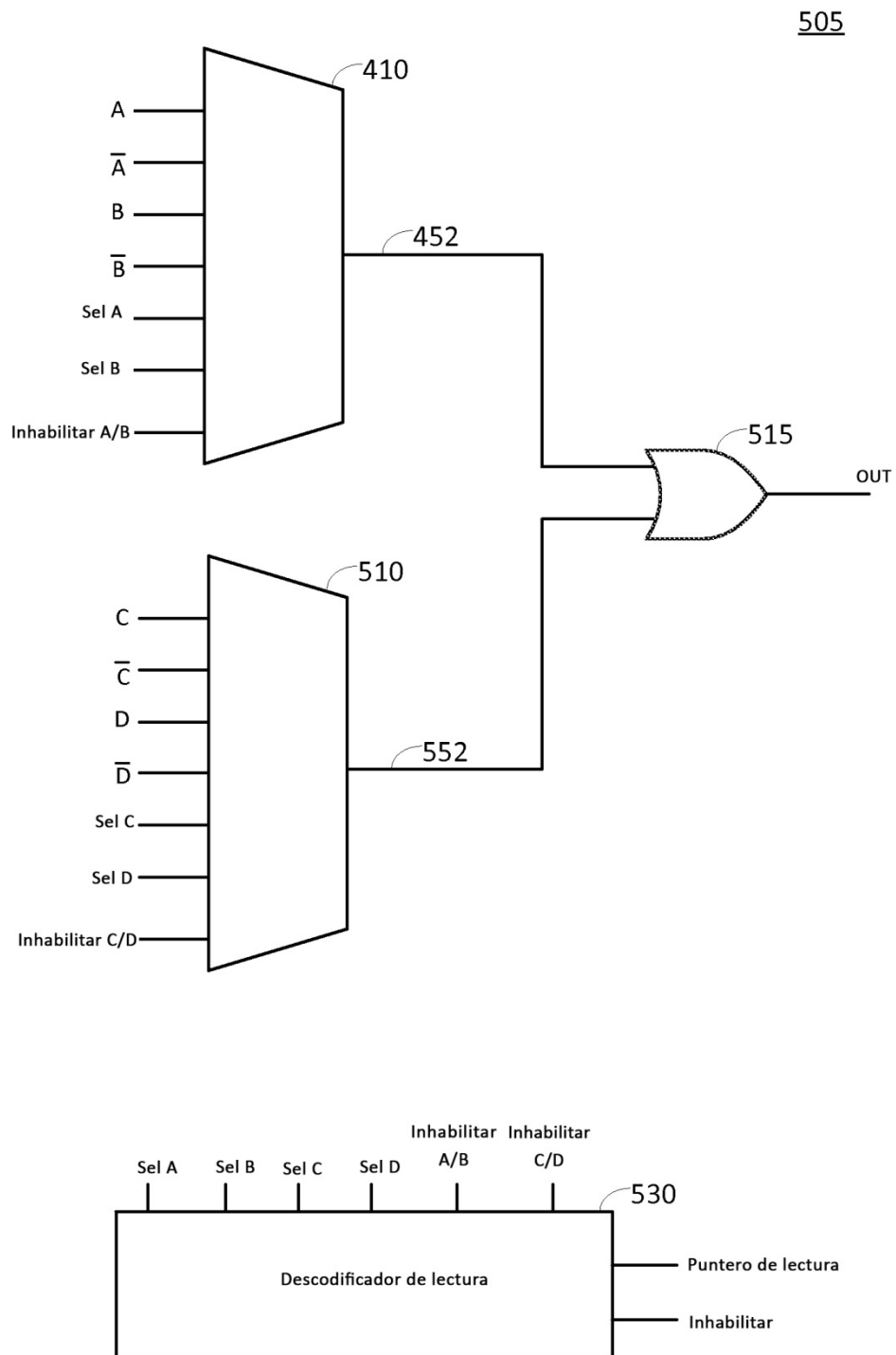


FIG. 5

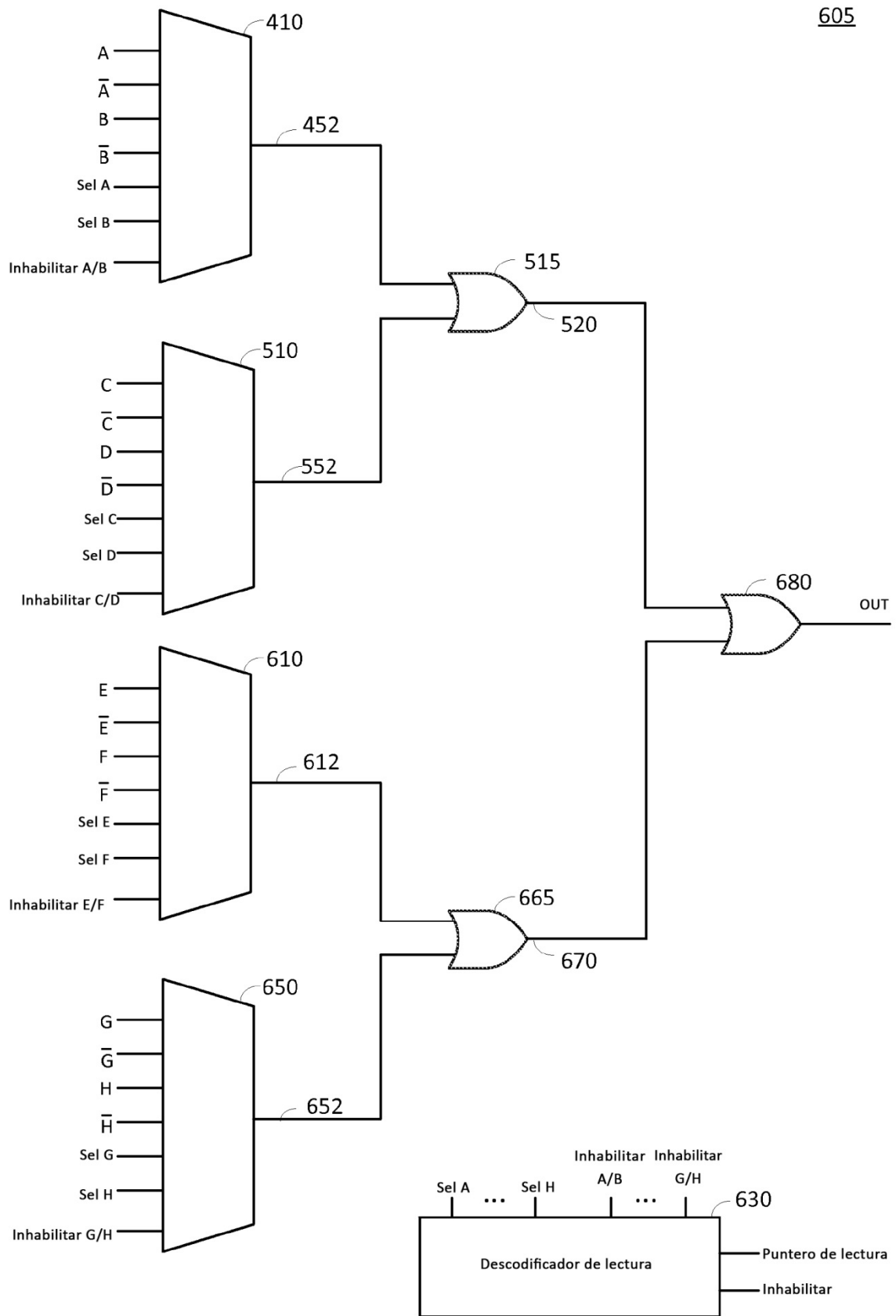


FIG. 6

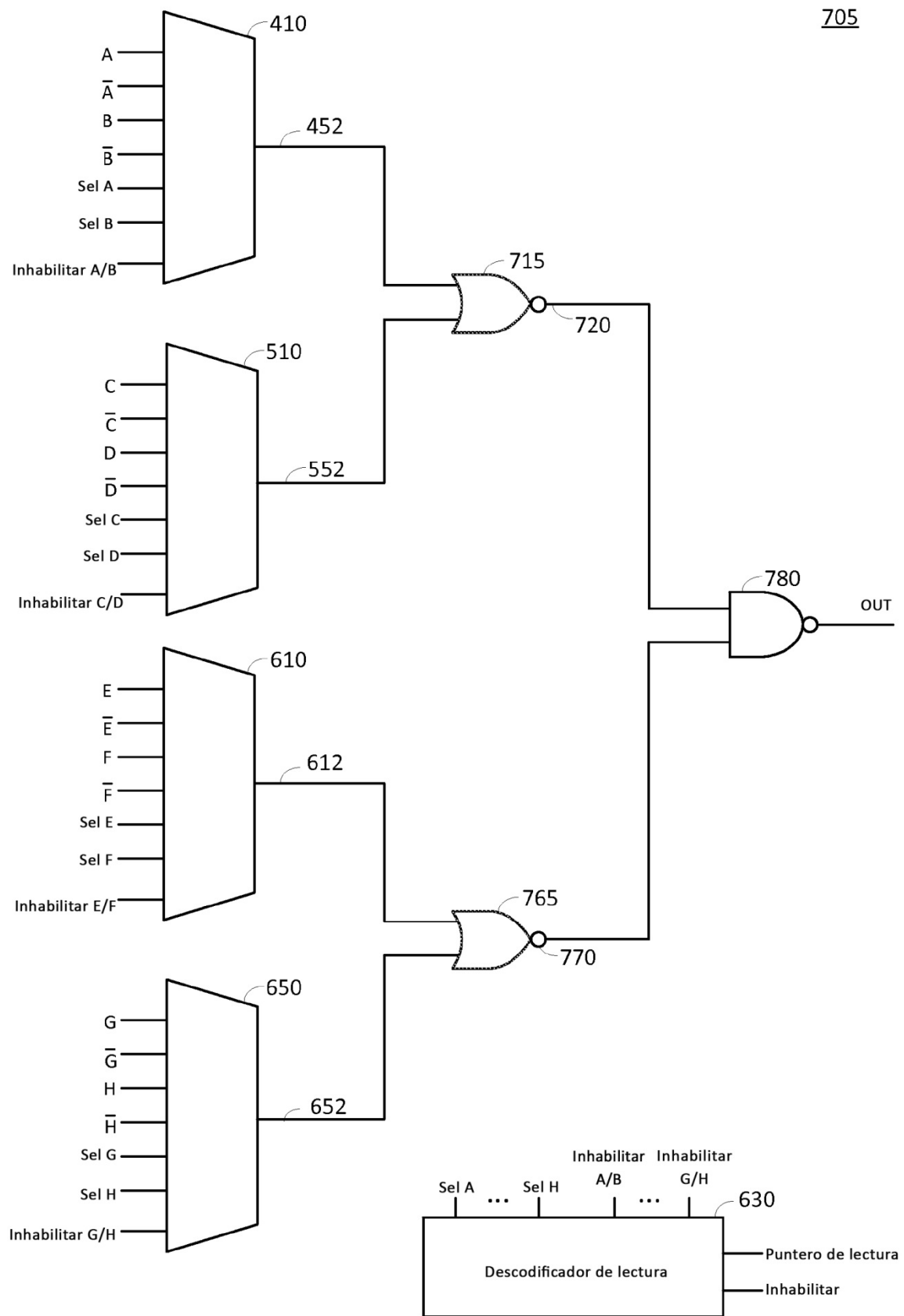


FIG. 7

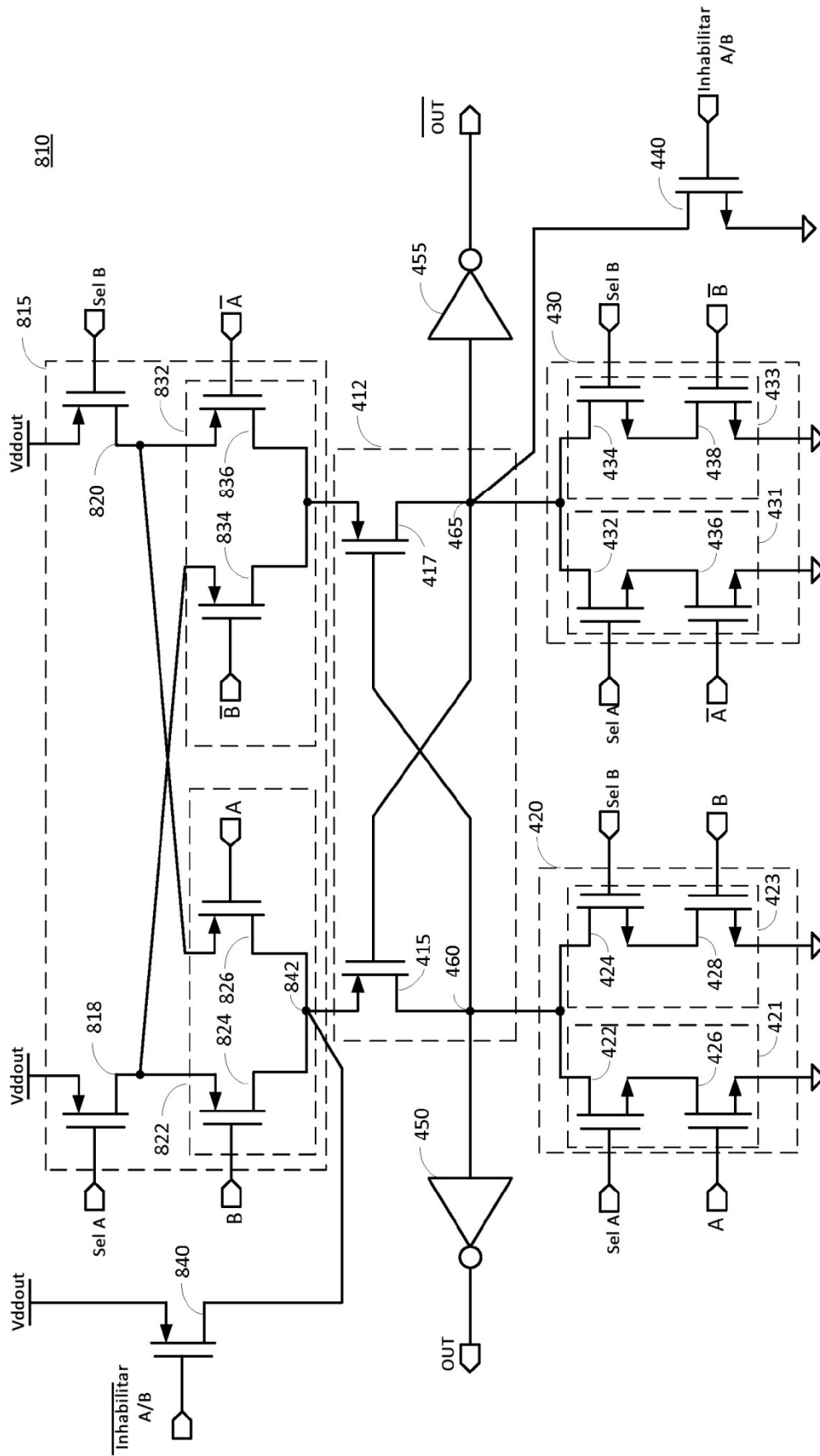


FIG. 8

900

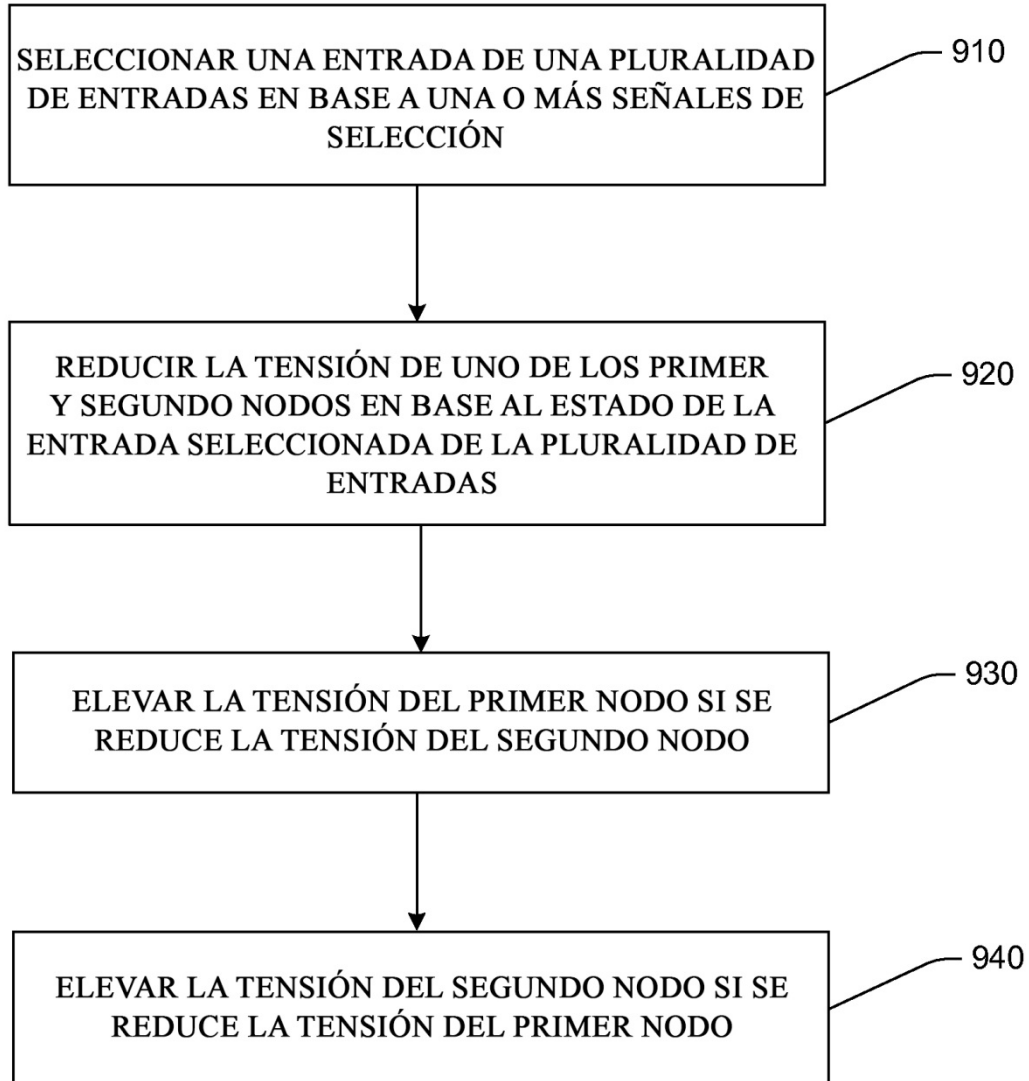


FIG. 9